

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6097037号
(P6097037)

(45) 発行日 平成29年3月15日(2017.3.15)

(24) 登録日 平成29年2月24日(2017.2.24)

(51) Int.Cl.

F 1

HO1L 29/786	(2006.01)	HO1L	29/78	616S
HO1L 27/115	(2017.01)	HO1L	29/78	618B
HO1L 21/8242	(2006.01)	HO1L	27/10	434
HO1L 27/108	(2006.01)	HO1L	27/10	321
HO1L 27/105	(2006.01)	HO1L	27/10	671Z

請求項の数 3 (全 34 頁) 最終頁に続く

(21) 出願番号

特願2012-202220 (P2012-202220)

(22) 出願日

平成24年9月14日 (2012.9.14)

(65) 公開番号

特開2013-77817 (P2013-77817A)

(43) 公開日

平成25年4月25日 (2013.4.25)

審査請求日

平成27年8月26日 (2015.8.26)

(31) 優先権主張番号

特願2011-202963 (P2011-202963)

(32) 優先日

平成23年9月16日 (2011.9.16)

(33) 優先権主張国

日本国 (JP)

(73) 特許権者 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

(72) 発明者 磯部 敦生

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

(72) 発明者 佐々木 俊成

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

審査官 市川 武宜

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

第1の絶縁層と、

前記第1の絶縁層と同一上面を有する第1の導電層と、

前記第1の導電層上及び前記第1の絶縁層上の酸化物半導体層と、

前記酸化物半導体層上のゲート絶縁層と、

前記ゲート絶縁層上のゲート電極層と、

前記ゲート電極層上の第2の絶縁層と、

前記第2の絶縁層上の第2の導電層及び第3の導電層と、を有し、

前記酸化物半導体層は、ソース領域と、ドレイン領域と、前記ソース領域と前記ドレイン領域とに挟まれたチャネル形成領域とを有し、 10

前記ソース領域及び前記ドレイン領域の一方は、前記第1の導電層及び前記第2の導電層と電気的に接続され、

前記ソース領域及び前記ドレイン領域の他方は、前記第3の導電層と電気的に接続され、

前記第1の導電層と同層に位置し、且つ前記ソース領域及び前記ドレイン領域の他方と電気的に接続される導電層を有さず、

前記チャネル形成領域は、前記第1の絶縁層と接し、

前記第2の導電層は、前記ゲート絶縁層及び前記第2の絶縁層の第1の開口を介して前記第1の導電層と接する半導体装置。 20

【請求項 2】

第 1 の絶縁層と、

前記第 1 の絶縁層と同一上面を有する第 1 の導電層と、

前記第 1 の導電層上及び前記第 1 の絶縁層上の酸化物半導体層と、

前記酸化物半導体層上のゲート絶縁層と、

前記ゲート絶縁層上のゲート電極層と、

前記ゲート電極層上の第 2 の絶縁層と、

前記第 2 の絶縁層上の第 2 の導電層及び第 3 の導電層と、を有し、

前記酸化物半導体層は、ソース領域と、ドレイン領域と、前記ソース領域と前記ドレイン領域とに挟まれたチャネル形成領域とを有し、

前記ソース領域及び前記ドレイン領域の一方は、前記第 1 の導電層及び前記第 2 の導電層と電気的に接続され、

前記ソース領域及び前記ドレイン領域の他方は、前記第 3 の導電層と電気的に接続され、

前記第 1 の導電層と同層に位置し、且つ前記ソース領域及び前記ドレイン領域の他方と電気的に接続される導電層を有さず、

前記チャネル形成領域は、前記第 1 の絶縁層と接し、

前記第 2 の導電層は、前記ゲート絶縁層及び前記第 2 の絶縁層の第 1 の開口を介して前記ソース領域及び前記ドレイン領域の一方と接し、

前記第 3 の導電層は、前記ゲート絶縁層及び前記第 2 の絶縁層の第 2 の開口を介して前記ソース領域及び前記ドレイン領域の他方と接する半導体装置。

【請求項 3】

第 1 の絶縁層と、

前記第 1 の絶縁層と同一上面を有する第 1 の導電層と、

前記第 1 の導電層上及び前記第 1 の絶縁層上の酸化物半導体層と、

前記酸化物半導体層上のゲート絶縁層と、

前記ゲート絶縁層上のゲート電極層と、

前記ゲート電極層上の第 2 の絶縁層と、

前記第 2 の絶縁層上の第 2 の導電層及び第 3 の導電層と、を有し、

前記酸化物半導体層は、ソース領域と、ドレイン領域と、前記ソース領域と前記ドレイン領域とに挟まれたチャネル形成領域とを有し、

前記ソース領域及び前記ドレイン領域の一方は、前記第 1 の導電層及び前記第 2 の導電層と電気的に接続され、

前記ソース領域及び前記ドレイン領域の他方は、前記第 3 の導電層と電気的に接続され、

前記第 1 の導電層と同層に位置し、且つ前記ソース領域及び前記ドレイン領域の他方と電気的に接続される導電層を有さない半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

開示する発明は、半導体装置及びその作製方法に関する。

【0002】

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、発光表示装置、半導体回路及び電子機器は全て半導体装置である。

【背景技術】

【0003】

絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタを構成する技術が注目されている。該トランジスタは集積回路（IC）や画像表示装置（単に表示装置とも表記する）のような半導体電子デバイスに広く応用されている。トランジスタに適用可能

10

20

30

40

50

な半導体薄膜としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

【0004】

例えば、酸化物半導体として、酸化亜鉛、In-Ga-Zn-O系酸化物を用いてトランジスタを作製し、表示装置の画素のスイッチング素子などに用いる技術が特許文献1及び特許文献2で開示されている。

【0005】

特許文献3では、酸化物半導体を用いたスタガ型のトランジスタにおいて、ソース領域及びドレイン領域と、ソース電極及びドレイン電極との間に、緩衝層として導電性の高い窒素を含む酸化物半導体を設け、酸化物半導体と、ソース電極及びドレイン電極とのコンタクト抵抗を低減する技術が開示されている。

10

【0006】

非特許文献1では、自己整合的にチャネル領域、ソース領域及びドレイン領域を形成したトップゲート構造の非晶質酸化物半導体トランジスタが開示されている。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2007-123861号公報

【特許文献2】特開2007-96055号公報

【特許文献3】特開2010-135774号公報

20

【非特許文献】

【0008】

【非特許文献1】Jae Chul Park et al., "High performance amorphous oxide thin film transistors with self-aligned top-gate structure" IEDM 2009, pp 191-194

【発明の概要】

【発明が解決しようとする課題】

【0009】

トランジスタを含む半導体装置の高性能化に伴い、トランジスタの高速動作が求められている。そこで本発明の一態様では、酸化物半導体を含み、高速動作が可能なトランジスタ及びその作製方法を提供することを課題の一とする。または、該トランジスタを含む信頼性の高い半導体装置及びその作製方法を提供することを課題の一とする。

30

【課題を解決するための手段】

【0010】

開示する発明の一態様は、下地絶縁層中に埋め込まれ、上面の少なくとも一部が下地絶縁層から露出した電極層上に、一対の低抵抗領域及びチャネル形成領域を含む酸化物半導体層を設け、電極層において、または、酸化物半導体層の低抵抗領域であって電極層と重畳する領域において、酸化物半導体層の上層に設けられる配線層との電気的な接続を行う半導体装置である。より具体的には、例えば以下の構成とすることができる。

40

【0011】

本発明の一態様は、下地絶縁層と、下地絶縁層中に埋め込まれ、且つ、上面の少なくとも一部が下地絶縁層から露出した第1の電極層及び第2の電極層と、第1の電極層、第2の電極層及び下地絶縁層上に接して設けられ、一対の低抵抗領域及び一対の低抵抗領域に挟まれたチャネル形成領域を含む酸化物半導体層と、酸化物半導体層上に設けられたゲート絶縁層と、ゲート絶縁層を介してチャネル形成領域上に設けられたゲート電極層と、ゲート絶縁層上に設けられた絶縁層と、絶縁層及びゲート絶縁層に設けられた開口を介して、第1の電極層及び第2の電極層とそれぞれ電気的に接続する第1の配線層及び第2の配線層と、を有し、低抵抗領域の一方は少なくとも一部において第1の電極層と接し、低抵抗領域の他方は少なくとも一部において第2の電極層と接し、チャネル形成領域は下地絶縁

50

層と接する半導体装置である。

【0012】

また、本発明の他の一態様は、下地絶縁層と、下地絶縁層中に埋め込まれ、且つ、上面の少なくとも一部が下地絶縁層から露出した第1の電極層及び第2の電極層と、第1の電極層、第2の電極層及び下地絶縁層上に接して設けられ、一対の低抵抗領域及び一対の低抵抗領域に挟まれたチャネル形成領域を含む酸化物半導体層と、酸化物半導体層上に設けられたゲート絶縁層と、ゲート絶縁層を介してチャネル形成領域上に設けられたゲート電極層と、ゲート絶縁層上に設けられた絶縁層と、絶縁層及びゲート絶縁層に設けられた開口を介して、第1の電極層及び第2の電極層とそれぞれ接する第1の配線層及び第2の配線層と、を有し、低抵抗領域の一方は少なくとも一部において第1の電極層と接し、低抵抗領域の他方は少なくとも一部において第2の電極層と接し、チャネル形成領域は下地絶縁層と接する半導体装置である。

【0013】

また、本発明の他の一態様は、下地絶縁層と、下地絶縁層中に埋め込まれ、且つ、上面の少なくとも一部が下地絶縁層から露出した第1の電極層及び第2の電極層と、第1の電極層、第2の電極層及び下地絶縁層上に接して設けられ、一対の低抵抗領域及び一対の低抵抗領域に挟まれたチャネル形成領域を含む酸化物半導体層と、酸化物半導体層上に設けられたゲート絶縁層と、ゲート絶縁層を介してチャネル形成領域上に設けられたゲート電極層と、ゲート絶縁層上に設けられた絶縁層と、絶縁層及びゲート絶縁層に設けられた開口を介して、一対の低抵抗領域とそれぞれ接する第1の配線層及び第2の配線層と、を有し、低抵抗領域の一方は少なくとも一部において第1の電極層と接し、低抵抗領域の他方は少なくとも一部において第2の電極層と接し、チャネル形成領域は下地絶縁層と接する半導体装置である。

【0014】

上記の半導体装置において、絶縁膜及びゲート絶縁層の開口は、低抵抗領域と重畳する領域に設けられていてもよい。また、開口と重畳する低抵抗領域の膜厚は、チャネル形成領域の膜厚より薄いこともある。

【0015】

または、上記の半導体装置において、第1の電極層または第2の電極層は、酸化物半導体層と重畳しない領域を有し、酸化物半導体層と重畳しない領域において、第1の配線層または第2の配線層と接していてもよい。

【0016】

なお、酸化物半導体は、単結晶、多結晶（ポリクリスタルともいう）、または非晶質（アモルファスともいう）などの状態をとる。

【0017】

アモルファス状態の酸化物半導体は、比較的容易に平坦な表面を得ることができるため、これを用いたトランジスタは動作させた際の界面散乱を低減でき、比較的容易に、比較的高い電界効果移動度を得ることができる。

【0018】

また、結晶性を有する酸化物半導体では、よりバルク内欠陥を低減することができ、表面の平坦性を高めれば、該結晶性を有する酸化物半導体を用いたトランジスタは、アモルファス状態の酸化物半導体を用いたトランジスタ以上の電界効果移動度を得ることができる。表面の平坦性を高めるためには、平坦な表面上に酸化物半導体を形成する方が好ましく、具体的には、平均面粗さ（Ra）が0.15nm以下、好ましくは0.1nm以下の表面上に形成するとよい。

【0019】

なお、Raとは、JIS B 0601:2001（ISO4287:1997）で定義されている算術平均粗さを曲面に対して適用できるよう三次元に拡張したものであり、「基準面から指定面までの偏差の絶対値を平均した値」で表現でき、以下の式にて定義される。

10

20

30

40

50

【0020】

【数1】

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy$$

【0021】

ここで、指定面とは、粗さ計測の対象となる面であり、座標($x_1, y_1, f(x_1, y_1)$)、($x_1, y_2, f(x_1, y_2)$)、($x_2, y_1, f(x_2, y_1)$)、($x_2, y_2, f(x_2, y_2)$)の4点で表される四角形の領域とし、指定面をxy平面に投影した長方形の面積を S_0 、基準面の高さ(指定面の平均の高さ)を Z_0 とする。Ra 10は原子間力顕微鏡(AFM: Atomic Force Microscope)にて測定可能である。

【0022】

なお、本明細書等において、「上」の用語は、構成要素の位置関係が「直上」であることを限定するものではない。例えば、「ゲート絶縁層上のゲート電極」との表現であれば、ゲート絶縁層とゲート電極との間に他の構成要素を含むものを除外しない。また、「下」の用語についても同様である。

【0023】

また、本明細書等において、「電極」や「配線」という用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」という用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。 20

【0024】

また、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書等においては、「ソース」や「ドレイン」という用語は、入れ替えて用いることができるものとする。

【0025】

なお、本明細書等において、「電気的に接続」には、「何らかの電気的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電気的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。例えば、「何らかの電気的作用を有するもの」には、電極や配線が含まれる。 30

【発明の効果】

【0026】

本発明の一態様により、酸化物半導体を含み、高速動作が可能なトランジスタ及びその作製方法を提供することができる。

【0027】

また、本発明の一態様により、信頼性の高い半導体装置及びその作製方法を提供することができる。

【図面の簡単な説明】 40

【0028】

【図1】半導体装置の一態様を示す平面図及び断面図。

【図2】半導体装置の一態様を示す平面図及び断面図。

【図3】半導体装置の一態様を示す断面図。

【図4】半導体装置の作製工程の一例を示す断面図。

【図5】半導体装置の一態様を示す断面図、平面図及び回路図。

【図6】半導体装置の一態様を示す回路図及び斜視図。

【図7】半導体装置の一態様を示す平面図及び断面図。

【図8】半導体装置の一態様を示す回路図。

【図9】半導体装置の一態様を示すブロック図。 50

【図10】半導体装置の一態様を示すプロック図。

【図11】半導体装置の一態様を示すプロック図。

【図12】実施例に用いたトランジスタの構造を示す断面図。

【図13】実施例のトランジスタの電気特性評価を示す図。

【図14】実施例のトランジスタの電気特性評価を示す図。

【発明を実施するための形態】

【0029】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、その形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は以下の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同一部分または同様の機能を有する部分には、同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。また、同様の機能を有する部分を指す場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。

10

【0030】

なお、本明細書等において、第1、第2として付される序数詞は便宜上用いるものであり、工程順又は積層順を示すものではない。また、本明細書等において発明を特定するための事項として固有の名称を示すものではない。

20

【0031】

(実施の形態1)

本実施の形態では、半導体装置及び半導体装置の作製方法の一態様を図1乃至図4を用いて説明する。

【0032】

半導体装置の構成例

図1(A)及び図1(B)に半導体装置の例として、トランジスタ420の断面図及び平面図を示す。図1(A)は、トランジスタ420の平面図であり、図1(B)は、図1(A)のX-Yにおける断面図である。なお、図1(A)では、煩雑になることを避けるため、トランジスタ420の構成要素の一部(例えば、絶縁層407)を省略して図示している。

30

【0033】

図1(A)及び図1(B)に示すトランジスタ420は、絶縁表面を有する基板400上に、下地絶縁層436と、下地絶縁層436中に埋め込まれ、且つ、上面の少なくとも一部が下地絶縁層436から露出した電極層405a及び電極層405bと、一対の低抵抗領域404a、404b、及び低抵抗領域404aと低抵抗領域404bに挟まれたチャネル形成領域409を含む酸化物半導体層403と、酸化物半導体層403上に設けられたゲート絶縁層402と、ゲート絶縁層402を介してチャネル形成領域409上に設けられたゲート電極層401と、ゲート絶縁層402上に設けられた絶縁層407と、絶縁層407及びゲート絶縁層402に設けられた開口を介して、電極層405a及び電極層405bとそれぞれ電気的に接続する第1の配線層465a及び第2の配線層465bと、を含んで構成される。

40

【0034】

また、トランジスタ420において、酸化物半導体層403は、低抵抗領域404a及び低抵抗領域404bの少なくとも一部において、電極層405a及び電極層405bとそれぞれ接し、且つ、チャネル形成領域409は下地絶縁層436と接している。

【0035】

酸化物半導体層403と電気的に接続する電極層405aまたは配線層465aの一方は、トランジスタ420のソース端子として用いることができる。また、酸化物半導体層403と電気的に接続する電極層405bまたは配線層465bの一方は、トランジスタ420のドレイン端子として用いることができる。

【0036】

50

本実施の形態において、酸化物半導体層403は、CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)膜であるのが好ましい。

【0037】

CAAC-OS膜は、完全な単結晶ではなく、完全な非晶質でもない。CAAC-OS膜は、非晶質相に結晶部及び非晶質部を有する結晶-非晶質混相構造の酸化物半導体層である。なお、当該結晶部は、一辺が100nm未満の立方体内に収まる大きさが多い。また、透過型電子顕微鏡(TEM:Transmission Electron Microscope)による観察像では、CAAC-OS膜に含まれる非晶質部と結晶部との境界は明確ではない。また、TEMによってCAAC-OS膜には粒界(グレインバウンダリーともいう)は確認できない。そのため、CAAC-OS膜は、粒界に起因する電子移動度の低下が抑制される。

【0038】

CAAC-OS膜に含まれる結晶部は、c軸がCAAC-OS膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃い、かつa b面に垂直な方向から見て三角形状または六角形状の原子配列を有し、金属原子及び酸素原子を有する層が重なる。なお当該層の法線ベクトルがc軸方向である。なお、異なる結晶部間で、それぞれa軸及びb軸の向きが異なっていてもよい。本明細書において、単に垂直と記載する場合、85°以上95°以下の範囲も含まれることとする。また、単に平行と記載する場合、-5°以上5°以下の範囲も含まれることとする。

【0039】

なお、CAAC-OS膜中の、結晶部の占める分布が一様でなくてもよい。例えば、CAAC-OS膜の形成過程において、酸化物半導体層の表面側から結晶成長させる場合、被形成面の近傍に対し表面の近傍では結晶部の占める割合が高くなることがある。また、CAAC-OS膜へ不純物を添加することにより、当該不純物添加領域において結晶部が非晶質化することもある。

【0040】

CAAC-OS膜に含まれる結晶部のc軸は、CAAC-OS膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃うため、CAAC-OS膜の形状(被形成面の断面形状または表面の断面形状)によっては互いに異なる方向を向くことがある。なお、結晶部のc軸の方向は、CAAC-OS膜が形成されたときの被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向となる。結晶部は、成膜を行うことにより、または成膜後に加熱処理などの結晶化処理を行うことで形成される。

【0041】

CAAC-OS膜を用いることで、可視光や紫外光の照射によるトランジスタの電気特性の変動が低減されるため、信頼性の高いトランジスタを得ることができる。

【0042】

CAAC-OS膜は、例えば、多結晶である酸化物半導体スパッタリング用ターゲットを用い、スパッタリング法によって成膜する。当該スパッタリング用ターゲットにイオンが衝突すると、スパッタリング用ターゲットに含まれる結晶領域がa-b面から劈開し、a-b面に平行な面を有する平板状またはペレット状のスパッタリング粒子として剥離することがある。この場合、当該平板状のスパッタリング粒子が、結晶状態を維持したまま基板に到達することで、CAAC-OS膜を成膜することができる。

【0043】

また、CAAC-OS膜を成膜するために、以下の条件を適用することが好ましい。

【0044】

成膜時の不純物混入を低減することで、不純物によって結晶状態が崩れることを抑制することができる。例えば、成膜室内に存在する不純物濃度(水素、水、二酸化炭素及び窒素など)を低減すればよい。また、成膜ガス中の不純物濃度を低減すればよい。具体的には、露点が-80以下、好ましくは-100以下である成膜ガスを用いる。

10

20

30

40

50

【0045】

また、成膜時の基板加熱温度を高めることで、基板到達後にスパッタリング粒子のマイグレーションが起こる。具体的には、基板加熱温度を100以上740以下、好ましくは200以上500以下として成膜する。成膜時の基板加熱温度を高めることで、平板状のスパッタリング粒子が基板に到達した場合、基板上でマイグレーションが起り、スパッタリング粒子の平らな面が基板に付着する。

【0046】

また、成膜ガス中の酸素割合を高め、電力を最適化することで、成膜時のプラズマダメージを軽減することが好ましい。成膜ガス中の酸素割合は、30体積%以上、好ましくは100体積%とする。

10

【0047】

スパッタリング用ターゲットの一例として、In-Ga-Zn-O化合物ターゲットについて以下に示す。

【0048】

InO_x粉末、GaO_y粉末及びZnO_z粉末を所定のmol数で混合し、加圧処理後、1000以上1500以下の温度で加熱処理をすることで多結晶であるIn-Ga-Zn-O化合物ターゲットとする。なお、X、Y及びZは任意の正数である。ここで、所定のmol数比は、例えば、InO_x粉末、GaO_y粉末及びZnO_z粉末が、2:2:1、8:4:3、3:1:1、1:1:1、4:2:3又は3:1:2である。なお、粉末の種類、及びその混合するmol数比は、作製するスパッタリング用ターゲットによって適宜変更すればよい。

20

【0049】

また、トランジスタ420において、低抵抗領域404a及び低抵抗領域404bは、ゲート電極層401を形成後に、該ゲート電極層401をマスクとして不純物元素を導入することによって、自己整合的に形成される。また、当該領域は、トランジスタ420のソース領域またはドレイン領域として機能させることができる。低抵抗領域404a及び低抵抗領域404bを設けることによって、当該一対の低抵抗領域の間に設けられたチャネル形成領域409に加わる電界を緩和させることができる。また、電極層405a及び電極層405bがそれぞれ低抵抗領域と接する構成とすることで、酸化物半導体層403と、電極層405a及び電極層405bと、のコンタクト抵抗を低減することができる。

30

【0050】

また、トランジスタ420において、電極層405a及び電極層405bは、モリブデン、チタン、タンタル、タンクスチル、アルミニウム、銅、クロム、ネオジム、スカンジウム等の金属材料、または上述した元素を成分とする金属窒化物膜（窒化チタン膜、窒化モリブデン膜、窒化タンクスチル膜）等を用いて形成される。または、電極層405a及び電極層405bとして、酸化物半導体を用いてもよい。また、電極層405a及び電極層405bは単層または積層とすることができます。

30

【0051】

なお、低抵抗領域404a及び低抵抗領域404bへの不純物元素の導入工程において、電極層405a及び電極層405bにおいてゲート絶縁層402と接する領域にも、不純物元素が導入され、低抵抗化されうる。よって、当該領域において、配線層465a及び配線層465bと、電極層405a及び電極層405bと、が接することで、接続領域のコンタクト抵抗を低減することができる。したがって、トランジスタの電気特性の一つであるオン特性（例えば、オン電流、及び電界効果移動度）が高く、高速動作、高速応答が可能なトランジスタ420とすることができます。

40

【0052】

なお、電極層405a及び電極層405bに酸化物半導体材料を適用する場合には、酸化物半導体層403のパターンを形成する際に、電極層405a及び電極層405bが極力エッチングされないように、少なくとも下地絶縁層436から露出した電極層405a及び電極層405bと、酸化物半導体層403とが、エッチングの選択比のとれる材料を用

50

いる必要がある。ただし、エッチングの条件によっては、図1(C)のトランジスタ421に示すように、電極層415a及び電極層415bの一部がエッチングされた形状となることもある。

【0053】

また、電極層に酸化物半導体材料を適用した場合、酸化物半導体層の材料や成膜条件によっては、電極層と、酸化物半導体層との界面が不明確になる場合もある。また、界面が不明確になる場合、電極層と、酸化物半導体層との混合領域または混合層と呼ぶことのできる箇所が形成されることもある。なお、図1(C)において、電極層415a及び電極層415bと、酸化物半導体層403との界面を模式的に点線で図示している。

【0054】

図1に示すトランジスタ420及びトランジスタ421は、島状の酸化物半導体層の外側において、電極層と、配線層とが接しているが、本発明の実施の形態はこれに限られない。図2(A)及び図2(B)に、半導体装置の別の例として、トランジスタ422の平面図及び断面図を示す。図2(A)は、トランジスタ422の平面図であり、図2(B)は、図2(A)のV-Wにおける断面図である。なお、図2(A)では、煩雑になることを避けるため、トランジスタ422の構成要素の一部(例えば、絶縁層407)を省略して図示している。

【0055】

図2(A)及び図2(B)に示すトランジスタ422は、電極層405aまたは電極層405bと、酸化物半導体層403の低抵抗領域404a、404bとが重畠する領域において、ゲート絶縁層402及び絶縁層407に開口が設けられている。当該開口を介して、酸化物半導体層403の低抵抗領域404a、404bと配線層465a、465bがそれぞれ接することで、島状の酸化物半導体層403と重畠する領域において、電極層405aまたは電極層405bと、配線層465a、465bとが電気的に接続する。

【0056】

トランジスタ422において、配線層465a及び配線層465bはそれぞれ、酸化物半導体層403の低抵抗領域404a及び低抵抗領域404bと接する構成とすることで、酸化物半導体層403と、配線層465a及び配線層465bとのコンタクト抵抗を低減することができる。

【0057】

また、電極層405a及び電極層405bがそれぞれ低抵抗領域404a及び低抵抗領域404bと接する構成とすることで、酸化物半導体層403と、電極層405a及び電極層405bとのコンタクト抵抗を低減することができる。

【0058】

なお、トランジスタ422は、電極層405a側、電極層405b側の双方において、島状の酸化物半導体層403と重畠する領域のゲート絶縁層402及び絶縁層407に開口が設けられた構成を示したが、本発明の実施の形態はこれに限られない。例えば、電極層405a側においては、島状の酸化物半導体層403と重畠する領域においてゲート絶縁層402及び絶縁層407に開口を有し、電極層405b側においては、島状の酸化物半導体層403の外側と重畠する領域においてゲート絶縁層402及び絶縁層407に開口を有していてもよい。または、図2(C)のトランジスタ428に示すように、電極層405をソース側、またはドレイン側の片側のみに設ける構成としてもよい。トランジスタ428の構成とすることで、トランジスタにおけるレイアウトの自由度を向上させることができる。

【0059】

また、図2(A)及び図2(B)に示すトランジスタ422は、酸化物半導体層403の上面において配線層465a及び配線層465bと接しているが、本実施の形態はこれに限られない。例えば、酸化物半導体層403(より具体的には、低抵抗領域404aまたは低抵抗領域404b)へ達する開口のエッチングの条件によっては、図3(A)または図3(B)に示すように、酸化物半導体層403の一部がエッチングされた形状となるこ

10

20

30

40

50

ともある。

【0060】

図3(A)に示すトランジスタ424は、酸化物半導体層403へ達する開口を形成する際に、酸化物半導体層403の一部がエッティングされた例である。トランジスタ424において、配線層465a及び配線層465bと接する領域の低抵抗領域404a及び低抵抗領域404bは、チャネル形成領域409と比較して薄い膜厚を有している。また、図3(B)に示すトランジスタ426も同様に、酸化物半導体層403へ達する開口を形成する際に、酸化物半導体層403の一部がエッティングされた例である。トランジスタ426においては、酸化物半導体層403を貫通して開口が設けられており、配線層465a及び配線層465bは、それぞれ電極層405a及び電極層405bと接している。

10

【0061】

トランジスタ422、トランジスタ424及びトランジスタ426は、酸化物半導体層と酸化物半導体層の下層に設けられる電極層とが重畳する領域に開口を形成し、当該開口を介して酸化物半導体層と、酸化物半導体層の上層に設けられる配線層とを電気的に接続させている。したがって、酸化物半導体層の薄膜化によって、開口を形成する際に酸化物半導体層が一部エッティングされる場合、または、開口が酸化物半導体層を突き抜けて下層の電極層に達する場合であっても、下層に設けられた電極層によって、配線層と酸化物半導体層との電気的な接続を補償することができる。よって、信頼性よくトランジスタの微細化を達成することが可能となる。

【0062】

20

半導体装置の作製方法

以下、図4(A)乃至図4(D)を用いて、図1に示すトランジスタ420の作製工程の例について説明する。

【0063】

まず、絶縁表面を有する基板400上に、電極層405a及び電極層405bとなる導電膜を形成し、当該導電膜を加工して電極層405a及び電極層405bを形成する。

【0064】

絶縁表面を有する基板400に使用することができる基板に大きな制限はないが、少なくとも、後の熱処理工程に耐えうる程度の耐熱性を有していることが必要となる。例えば、バリウムホウケイ酸ガラスやアルミニノホウケイ酸ガラスなどのガラス基板、セラミック基板、石英基板、サファイア基板などを用いることができる。また、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI基板などを適用することもでき、これらの基板に半導体素子が設けられたものを、基板400として用いてもよい。

30

【0065】

また、基板400として、可とう性基板を用いてもよい。可とう性基板を用いる場合、可とう性基板上に酸化物半導体を含むトランジスタを直接作製してもよいし、他の作製基板に酸化物半導体を含むトランジスタを作製し、その後可とう性基板に剥離、転置してもよい。なお、作製基板から可とう性基板に剥離、転置するために、作製基板と酸化物半導体を含むトランジスタとの間に剥離層を設けるとよい。

40

【0066】

電極層405a及び電極層405bは、後の加熱処理に耐えられる材料を用いて、プラズマCVD法又はスパッタリング法等によって10nm以上500nm以下の膜厚で形成する。例えば、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウムから選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜(窒化チタン膜、窒化モリブデン膜、窒化タングステン膜)等を用いることができる。また、アルミニウム、銅などの金属膜の下側または上側の一方または双方にチタン、モリブデン、タングステンなどの高融点金属膜またはそれらの金属窒化物膜(窒化チタン膜、窒化モリブデン膜、窒化タングステン膜)を積層させた構成としてもよい。

50

【0067】

また、電極層405a及び電極層405bに用いる導電膜としては、酸化物半導体で形成しても良い。酸化物半導体としては、In-Ga-Zn系酸化物、酸化インジウム(In_2O_3)、酸化スズ(SnO_2)、酸化亜鉛(ZnO)、酸化インジウム酸化スズ($In_2O_3-SnO_2$ 、ITOと略記する)、酸化インジウム酸化亜鉛(In_2O_3-ZnO)またはこれらの酸化物半導体材料に酸化シリコンを含ませたものを用いることができる。

【0068】

次いで、電極層405a及び電極層405b上に下地絶縁層436を成膜する(図4(A)参照)。下地絶縁層436は、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、酸化ハフニウム、酸化ガリウム、またはこれらの混合材料を含む膜から選ばれた、単層または積層構造とすることができます。但し、下地絶縁層436は、酸化物絶縁膜を含む単層または積層構造として、該酸化物絶縁膜が後に形成される酸化物半導体層と接する構造とするのが好ましい。

【0069】

また、下地絶縁層436は化学量論的組成を超える酸素を含む領域(以下、酸素過剰領域とも表記する)を有すると、下地絶縁層436に含まれる過剰な酸素によって、後に形成される酸化物半導体層の酸素欠損を補填することができるため好ましい。下地絶縁層436が積層構造の場合は、少なくとも酸化物半導体層と接する層において酸素過剰領域を有するのが好ましい。下地絶縁層436に酸素過剰領域を設けるには、例えば、酸素雰囲気下にて下地絶縁層436を成膜すればよい。または、成膜後の下地絶縁層436に、酸素(少なくとも、酸素ラジカル、酸素原子、酸素イオンのいずれかを含む)を注入して、酸素過剰領域を形成してもよい。酸素の注入方法としては、イオン注入法、イオンドーピング法、プラズマイマージョンイオンインプランテーション法、プラズマ処理などを用いることができる。

【0070】

なお、下地絶縁層436の成膜前に、電極層405a及び電極層405bに窒素プラズマ処理を行ってもよい。窒素プラズマ処理を行うことにより、電極層405a及び電極層405bと、後に成膜される酸化物半導体層403とのコンタクト抵抗を低減することができる。

【0071】

次いで、下地絶縁層436に研磨処理(例えば、化学的機械研磨(Chemical Mechanical Polishing: CMP)処理)やエッティング処理を行うことにより、電極層405a及び電極層405bの上面を露出させる。研磨処理、またはエッティング処理は複数回行ってもよく、これらを組み合わせて行ってもよい。また、組み合わせて行う場合、工程順は特に限定されないが、下地絶縁層436上に設けられる酸化物半導体層の結晶性を向上させるためには、下地絶縁層436の表面は可能な限り平坦にしておくことが望ましい。

【0072】

次に、露出した電極層405a及び電極層405b、並びに下地絶縁層436上に接するように酸化物半導体層403を形成する。

【0073】

酸化物半導体層403は、単層構造であってもよいし、積層構造であってもよい。また、非晶質構造であってもよいし、結晶性酸化物半導体としてもよい。酸化物半導体層403を非晶質構造とする場合には、後の作製工程において、酸化物半導体層に熱処理を行うことによって、結晶性酸化物半導体層としてもよい。非晶質酸化物半導体層を結晶化させる熱処理の温度は、250以上700以下、好ましくは、400以上、より好ましくは500以上、さらに好ましくは550以上とする。なお、当該熱処理は、作製工程における他の熱処理を兼ねることも可能である。

10

20

30

40

50

【0074】

酸化物半導体層403の成膜方法は、スパッタリング法、MBE (Molecular Beam Epitaxy) 法、CVD法、パルスレーザ堆積法、ALD (Atomic Layer Deposition) 法等を適宜用いることができる。また、酸化物半導体層403は、スパッタリングターゲット表面に対し、概略垂直に複数の基板表面がセットされた状態で成膜を行うスパッタリング装置を用いて成膜してもよい。

【0075】

酸化物半導体層403を形成する際、できる限り酸化物半導体層403に含まれる水素濃度を低減させることができ。水素濃度を低減させるには、例えば、スパッタリング法を用いて成膜を行う場合には、スパッタリング装置の処理室内に供給する雰囲気ガスとして、水素、水、水酸基または水素化物などの不純物が除去された高純度の希ガス（代表的にはアルゴン）、酸素ガス、及び希ガスと酸素ガスとの混合ガスを適宜用いる。

10

【0076】

また、処理室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入して成膜を行うことで、成膜された酸化物半導体層の水素濃度を低減させることができる。成膜室内の残留水分を除去するためには、吸着型の真空ポンプ、例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることができる。また、ターボ分子ポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素分子、水(H_2O)など水素原子を含む化合物（より好ましくは炭素原子を含む化合物も）等の排気能力が高いため、当該成膜室で成膜した酸化物半導体層403に含まれる不純物の濃度を低減できる。

20

【0077】

また、酸化物半導体層403をスパッタリング法で成膜する場合、成膜に用いる金属酸化物ターゲットの相対密度（充填率）は90%以上100%以下、好ましくは95%以上99.9%以下とする。相対密度の高い金属酸化物ターゲットを用いることにより、成膜した酸化物半導体層を緻密な膜とすることができます。

【0078】

また、基板400を高温に保持した状態で酸化物半導体層403を形成することも、酸化物半導体層403中に含まれる不純物濃度を低減するのに有効である。基板400を加熱する温度としては、150以上450以下とすればよく、好ましくは基板温度が200以上350以下とすればよい。また、成膜時に基板を高温で加熱することで、結晶性酸化物半導体層を形成することができる。

30

【0079】

酸化物半導体層403に用いる酸化物半導体としては、少なくともインジウム(In)あるいは亜鉛(Zn)を含むことが好ましい。特に In と Zn を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム(Ga)を有することが好ましい。また、スタビライザーとしてスズ(Sn)を有することが好ましい。また、スタビライザーとしてハフニウム(Hf)を有することが好ましい。また、スタビライザーとしてアルミニウム(Al)を有することが好ましい。また、スタビライザーとしてジルコニウム(Zr)を有することが好ましい。

40

【0080】

また、他のスタビライザーとして、ランタノイドである、ランタン(La)、セリウム(Ce)、プラセオジム(Pr)、ネオジム(Nd)、サマリウム(Sm)、ユウロピウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホルミウム(Ho)、エルビウム(Er)、ツリウム(Tm)、イッテルビウム(Yb)、ルテチウム(Lu)のいずれか一種あるいは複数種を有してもよい。

【0081】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物である $In-Zn$ 系酸化物、 $Sn-Zn$ 系酸化物、 $Al-Zn$ 系酸化物、 $Zn-Mg$ 系

50

酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物、三元系金属の酸化物であるIn-Ga-Zn系酸化物、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、四元系金属の酸化物であるIn-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物を用いることができる。
10

【0082】

なお、酸化物半導体層403は、成膜時に酸素が多く含まれるような条件（例えば、酸素100%の雰囲気下でスパッタリング法により成膜を行うなど）で成膜して、酸素を多く含む（好ましくは酸化物半導体が結晶状態における化学量論的組成に対し、酸素の含有量が過剰な領域が含まれている）膜とすることが好ましい。

【0083】

また酸化物半導体層403を成膜するスパッタリングガスとしては水素、水、水酸基又は水素化物などの不純物が除去された高純度ガスを用いることが好ましい。

【0084】

酸化物半導体層403としてCAC-O₅膜を適用する場合、該CAC-O₅膜を得る方法としては、三つ挙げられる。一つ目は、成膜温度を200以上450以下として酸化物半導体層の成膜を行い、表面に概略垂直にc軸配向させる方法である。二つ目は、酸化物半導体層を薄い膜厚で成膜した後、200以上700以下の熱処理を行い、表面に概略垂直にc軸配向させる方法である。三つ目は、一層目の膜厚を薄く成膜した後、200以上700以下の熱処理を行い、二層目の成膜を行い、表面に概略垂直にc軸配向させる方法である。
20

【0085】

本実施の形態では、電極層405a及び電極層405bの上面を露出するための下地絶縁層436の研磨処理またはエッティング処理によって、酸化物半導体層403の成膜表面が平坦化されているため、効果的に酸化物半導体層403の結晶化を図ることが可能である。なお、電極層405a及び電極層405bの上面を露出するための下地絶縁層436の研磨処理またはエッティング処理に加えて、さらに平坦化処理を行ってもよい。平坦化処理としては、特に限定されないが、研磨処理、ドライエッティング処理、プラズマ処理を用いることができる。
30

【0086】

プラズマ処理としては、例えば、アルゴンガスを導入してプラズマを発生させる逆スパッタリングを行うことができる。

【0087】

平坦化処理として、研磨処理、ドライエッティング処理、プラズマ処理は複数回行ってもよく、それらを組み合わせて行ってもよい。また、組み合わせて行う場合、工程順は特に限定されず、適宜設定すればよい。
40

【0088】

成膜後の酸化物半導体膜をフォトリソグラフィ工程により加工して、島状の酸化物半導体層403が形成される。島状の酸化物半導体層403へ加工するためのレジストマスクをインクジェットで形成してもよい。レジストマスクをインクジェットで形成するとフォトマスクを使用しないため、製造コストを低減することができる。

【0089】

なお、酸化物半導体層403を島状に加工する際には、加工後の酸化物半導体層403と、露出した電極層405aの上面及び電極層405bの上面とが、少なくとも一部におい
50

て接するようにレジストマスクを形成する。本実施の形態においては、島状の酸化物半導体層403の端部が電極層405a及び電極層405bの上面と接する構成を示すが、本発明の実施の形態はこれに限られない。例えば、露出した電極層405aまたは電極層405bの全面を覆うように、酸化物半導体層403を島状に加工してもよい。

【0090】

また、酸化物半導体層403に、当該酸化物半導体層403に含まれる過剰な水素（水や水酸基を含む）を除去（脱水化または脱水素化）するための熱処理を行うのが好ましい。熱処理の温度は、300以上700以下、または基板の歪み点未満とする。熱処理は減圧下または窒素雰囲気下などで行うことができる。

【0091】

この熱処理によって、n型不純物である水素を酸化物半導体から除去することができる。例えば、脱水化又は脱水素化処理後の酸化物半導体層403に含まれる水素濃度を、 $5 \times 10^{-19} / \text{cm}^3$ 以下、好ましくは $5 \times 10^{-18} / \text{cm}^3$ 以下とすることができる。

【0092】

なお、脱水化または脱水素化のための熱処理は、酸化物半導体層の成膜後であればトランジスタ420の作製工程においてどのタイミングで行ってもよい。但し、ゲート絶縁層402または絶縁層407として酸化アルミニウム膜を用いる場合には、当該酸化アルミニウム膜を形成する前に行うのが好ましい。また、脱水化又は脱水素化のための熱処理は、複数回行ってもよく、他の加熱処理と兼ねてもよい。

【0093】

なお、脱水化または脱水素化のための熱処理を酸化物半導体層403の島状への加工前に行うと、下地絶縁層436に含まれる酸素が熱処理によって放出されるのを防止することができるため好ましい。

【0094】

熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。または、熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上好ましくは7N(99.99999%)以上（即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下）とすることが好ましい。

【0095】

また、熱処理で酸化物半導体層403を加熱した後、加熱温度を維持、またはその加熱温度から徐冷しながら同じ炉に高純度の酸素ガス、高純度の一酸化二窒素ガス、又は超乾燥エア（CRDS（キャビティリングダウンレーザー分光法）方式の露点計を用いて測定した場合の水分量が20ppm（露点換算で-55）以下、好ましくは1ppm以下、より好ましくは10ppb以下の空気）を導入してもよい。酸素ガスまたは一酸化二窒素ガスに、水、水素などが含まれないことが好ましい。または、熱処理装置に導入する酸素ガスまたは一酸化二窒素ガスの純度を、6N以上好ましくは7N以上（即ち、酸素ガスまたは一酸化二窒素ガス中の不純物濃度を1ppm以下、好ましくは0.1ppm以下）とすることが好ましい。酸素ガスまたは一酸化二窒素ガスの作用により、脱水化または脱水素化処理による不純物の排除工程によって同時に減少してしまった酸化物半導体を構成する主成分材料である酸素を供給することによって、酸化物半導体層403を高純度化及びi型（真性）化することができる。

【0096】

また、脱水化又は脱水素化処理を行った酸化物半導体層に、酸素（少なくとも、酸素ラジカル、酸素原子、酸素イオン、のいずれかを含む）を導入して膜中に酸素を供給してもよい。

【0097】

脱水化または脱水素化処理を行った酸化物半導体層403に、酸素を導入して膜中に酸素を供給することによって、酸化物半導体層403を高純度化、及びi型（真性）化することができる。高純度化し、i型（真性）化した酸化物半導体層403を有するトランジス

10

20

30

40

50

タは、電気特性変動が抑制されており、電気的に安定である。

【0098】

酸素の導入工程は、酸化物半導体層403に酸素導入する場合、酸化物半導体層403に直接導入してもよいし、後に形成されるゲート絶縁層402や絶縁層407などの他の膜を通過して酸化物半導体層403へ導入してもよい。酸素を他の膜を通過して導入する場合は、イオン注入法、イオンドーピング法、プラズマイマージョンイオンインプランテーション法などを用いればよいが、露出された酸化物半導体層403へ直接酸素を導入する場合は、上記の方法に加えてプラズマ処理なども用いることができる。

【0099】

酸化物半導体層403への酸素の導入は、脱水化又は脱水素化処理を行った後であればよ
く、特に限定されない。また、上記脱水化または脱水素化処理を行った酸化物半導体層4
03への酸素の導入は複数回行ってもよい。

10

【0100】

次いで、酸化物半導体層403を覆うゲート絶縁層402を形成する（図4（B）参照）
。

【0101】

ゲート絶縁層402の膜厚は、1nm以上20nm以下とし、スパッタリング法、MBE法、CVD法、パルスレーザ堆積法、ALD法等を適宜用いることができる。また、ゲート絶縁層402は、スパッタリングターゲット表面に対し、概略垂直に複数の基板表面がセットされた状態で成膜を行うスパッタ装置を用いて成膜してもよい。

20

【0102】

ゲート絶縁層402の材料としては、酸化シリコン、酸化ガリウム、酸化アルミニウム、窒化シリコン、酸化窒化シリコン、酸化窒化アルミニウム、又は窒化酸化シリコン等を用いることができる。ゲート絶縁層402は、酸化物半導体層403と接する部分において酸素を含むことが好ましい。特に、ゲート絶縁層402は、膜中（バルク中）に少なくとも化学量論的組成を超える量の酸素が存在することが好ましく、例えば、ゲート絶縁層402として、酸化シリコン膜を用いる場合には、 SiO_{2+} （ただし、 >0 ）とするのが好ましい。本実施の形態では、ゲート絶縁層402として、 SiO_{2+} （ただし、 >0 ）である酸化シリコン膜を用いる。この酸化シリコン膜をゲート絶縁層402として用いることで、酸化物半導体層403に酸素を供給することができ、特性を良好にすることができる。さらに、ゲート絶縁層402は、作製するトランジスタのサイズやゲート絶縁層402の段差被覆性を考慮して形成することが好ましい。

30

【0103】

また、ゲート絶縁層402の材料として酸化ハフニウム、酸化イットリウム、ハフニウムシリケート($\text{HfSi}_{x}O_y$ ($x > 0$ 、 $y > 0$))、窒素が添加されたハフニウムシリケート($\text{HfSiO}_{x}N_y$ ($x > 0$ 、 $y > 0$))、ハフニウムアルミニネート($\text{HfAl}_{x}O_y$ ($x > 0$ 、 $y > 0$))、酸化ランタンなどのhig h-k材料を用いることでゲートリーケ電流を低減できる。さらに、ゲート絶縁層402は、単層構造としても良いし、積層構造としても良い。

40

【0104】

次いで、ゲート電極層401をプラズマCVD法またはスパッタリング法等により、ゲート絶縁層402上であって、下地絶縁層436及び酸化物半導体層403と重畳する領域（電極層405a及び電極層405bの間と重畳する領域）に形成する。ゲート電極層401の材料は、モリブデン、チタン、タンタル、タンゲステン、アルミニウム、銅、クロム、ネオジム、スカンジウムから選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜（窒化チタン膜、窒化モリブデン膜、窒化タンゲステン膜）等を用いることができる。また、ゲート電極層401としてリン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜、ニッケルシリサイドなどのシリサイド膜を用いてよい。ゲート電極層401は、単層構造としてもよいし、積層構造としてもよい。

【0105】

50

また、ゲート電極層401の材料は、インジウム錫酸化物、酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を適用することもできる。また、上記導電性材料と、上記金属材料の積層構造とすることもできる。

【0106】

また、ゲート絶縁層402と接するゲート電極層401の一層として、窒素を含む金属酸化物、具体的には、窒素を含むIn-Ga-Zn-O膜や、窒素を含むIn-Sn-O膜や、窒素を含むIn-Ga-O膜や、窒素を含むIn-Zn-O膜や、窒素を含むSn-O膜や、窒素を含むIn-O膜や、金属窒化膜(InN, SnNなど)を用いることができる。これらの膜は5eV(電子ボルト)、好ましくは5.5eV(電子ボルト)以上の仕事関数を有し、ゲート電極層として用いた場合、トランジスタの電気特性のしきい値電圧をプラスにすることができ、所謂ノーマリーオフのスイッチング素子を実現できる。10

【0107】

次に、ゲート電極層401をマスクとして酸化物半導体層403にドーパント431を導入し、自己整合的に低抵抗領域404a、低抵抗領域404b及びチャネル形成領域409を形成する(図4(C)参照)。

【0108】

また、酸化物半導体層403へのドーパント431の導入によって、ゲート絶縁層402と接する領域の電極層405a及び電極層405bへも不純物元素が導入され、当該領域の電極層405a及び電極層405bも同様に低抵抗化される。また、ゲート絶縁層402または酸化物半導体層403の膜厚や、ドーパント431の導入条件によっては、酸化物半導体層403と接する領域の電極層405a及び電極層405bにもドーパント431が導入される場合もある。20

【0109】

ドーパント431は、酸化物半導体層403の導電率を変化させる不純物である。ドーパント431としては、15族元素(代表的にはリン(P)、砒素(As)、及びアンチモン(Sb))、ホウ素(B)、アルミニウム(Al)、窒素(N)、アルゴン(Argon)、ヘリウム(He)、ネオン(Ne)、インジウム(In)、フッ素(F)、塩素(Cl)、チタン(Ti)、及び亜鉛(Zn)のいずれかから選択される—以上を用いることができる。30

【0110】

ドーパント431の導入方法としては、イオン注入法、イオンドーピング法、プラズマイマージョンイオンインプランテーション法などを用いることができる。その際には、ドーパント431の単体のイオンあるいはフッ化物、塩化物のイオンを用いると好ましい。なお、ドーパント431は、絶縁層407を通過して、酸化物半導体層403に導入することもできる。

【0111】

ドーパント431の導入工程は、加速電圧、ドーズ量などの注入条件、また通過させる膜の膜厚を適宜設定して制御すればよい。本実施の形態では、ドーパント431としてホウ素を用いて、イオン注入法でホウ素イオンの注入を行う。なお、ドーパント431のドーズ量は 1×10^{13} ions/cm²以上 5×10^{16} ions/cm²以下とすればよい。40

【0112】

低抵抗領域404a及び低抵抗領域404bにおけるドーパント431の濃度は、 5×10^{18} /cm³以上 1×10^{22} /cm³以下であることが好ましい。

【0113】

ドーパント431を導入する際に、基板400を加熱しながら行ってもよい。

【0114】

なお、酸化物半導体層403にドーパント431を導入する処理は、複数回行ってもよく50

、ドーパントの種類も複数種用いてもよい。

【0115】

また、ドーパント431の導入処理後、加熱処理を行ってもよい。加熱条件としては、温度300以上700以下、好ましくは300以上450以下で1時間、酸素雰囲気下で行なうことが好ましい。また、窒素雰囲気下、減圧下、大気（超乾燥エア）下で加熱処理を行ってもよい。

【0116】

酸化物半導体層403を結晶性酸化物半導体層とした場合、ドーパント431の導入により、一部非晶質化する場合がある。この場合、ドーパント431の導入後に加熱処理を行うことによって、酸化物半導体層403の結晶性を回復することができる。

10

【0117】

ドーパント431の導入によって、チャネル形成領域409を挟んで低抵抗領域404a及び低抵抗領域404bが設けられた酸化物半導体層403が形成される。

【0118】

次いで、ゲート絶縁層402及びゲート電極層401上に絶縁層407を形成する。

【0119】

絶縁層407は、プラズマCVD法、スパッタリング法、または蒸着法等により成膜することができる。絶縁層407は、代表的には酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、酸化ハフニウム膜、酸化マグネシウム膜、酸化ジルコニウム膜、酸化ランタン膜、酸化バリウム膜、酸化窒化アルミニウム膜、窒化アルミニウム膜、または酸化ガリウム膜などの無機絶縁膜などを用いることができる。

20

【0120】

絶縁層407は、単層でも積層でもよく、例えば酸化シリコン膜及び酸化アルミニウム膜の積層を用いることができる。酸化アルミニウム膜は、水素、水分などの不純物、及び酸素の両方に対して膜を通過させない遮断効果（ブロック効果）が高く、作製工程中及び作製後において、変動要因となる水素、水分などの不純物の酸化物半導体層403への混入、及び酸化物半導体を構成する主成分材料である酸素の酸化物半導体層403からの放出を防止する保護膜として機能するため好ましく適用することができる。

【0121】

絶縁層407は、スパッタリング法など、絶縁層407に水、水素等の不純物を混入させない方法を適宜用いて形成することが好ましい。

30

【0122】

酸化物半導体層403の成膜時と同様に、絶縁層407の成膜室内の残留水分を除去するためには、吸着型の真空ポンプ（クライオポンプなど）を用いることが好ましい。クライオポンプを用いて排気した成膜室で成膜した絶縁層407に含まれる不純物の濃度を低減できる。また、絶縁層407の成膜室内の残留水分を除去するための排気手段としては、ターボ分子ポンプにコールドトラップを加えたものであってもよい。

【0123】

次いで、電極層405a及び電極層405bに達する開口を形成する。当該開口に、電極層405aと接する配線層465a、及び、電極層405bと接する配線層465bを形成する（図4（D）参照）。

40

【0124】

配線層465a及び配線層465bはゲート電極層401と同様の材料及び作製方法を用いて形成することができる。例えば、配線層465a及び配線層465bとして窒化タンタル膜と銅膜との積層、または窒化タンタル膜とタンゲステン膜との積層などを用いることができる。

【0125】

以上の工程によって、本実施の形態のトランジスタ420が形成される。

【0126】

本実施の形態で示すトランジスタは、一対の低抵抗領域及びチャネル形成領域を含む酸化

50

物半導体層と、低抵抗領域において酸化物半導体層の下面と接し、下地絶縁層中に埋め込まれた電極層と、を有する。また、電極層において、または、酸化物半導体層の低抵抗領域であって電極層と重疊する領域において、酸化物半導体層の上層に設けられる配線層との電気的な接続を行う。これによって、酸化物半導体層と、上層に設けられる配線層及び／または下地絶縁層中に埋め込まれた電極層と、のコンタクトをオーミック性のコンタクトとすることができます、ショットキー接合と比較して熱的にも安定な動作が可能となる。また、そのコンタクト抵抗を低減することができる。よって、トランジスタのオン電流を増加させることができ、電気的特性の優れたトランジスタを得ることが可能となる。

【0127】

また、酸化物半導体層と電気的に接続する電極層は、下地絶縁層中に埋め込まれているため、当該電極層の膜厚を厚くした場合でも、酸化物半導体層のカバレッジ不良をおこし得ない。よって、電極層及び配線層の厚膜化を達成しつつ、酸化物半導体層を薄膜化することが可能となり、トランジスタの微細化、高速駆動化を図ることができる。また、酸化物半導体層の成膜表面が平坦化されているため、酸化物半導体層の結晶性を向上させることができる。

10

【0128】

また、上層の配線層と、酸化物半導体層と、を電気的に接続するための開口が、下地絶縁層中に埋め込まれた電極層と重疊する領域に設けられるため、開口を形成する際に酸化物半導体層が一部エッチングされる場合、又は、開口が酸化物半導体層を突き抜けて下層の電極層に達する場合であっても、下層に設けられた電極層によって、配線層と酸化物半導体層との電気的な接続を補償し得る。よって、信頼性よくトランジスタの微細化を達成することができる。また、開口の形成に要求されるアライメント精度及び加工精度の自由度を向上させることができる。

20

【0129】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

【0130】

(実施の形態2)

本実施の形態では、実施の形態1に示すトランジスタを使用し、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置の一例を、図面を用いて説明する。なお、本実施の形態の半導体装置は、トランジスタ162として実施の形態1に記載のトランジスタを適用して構成される。トランジスタ162としては、実施の形態1で示すトランジスタのいずれの構造も適用することができる。

30

【0131】

図5は、半導体装置の構成の一例である。図5(A)に半導体装置の断面図を、図5(B)に半導体装置の平面図を、図5(C)に半導体装置の回路図をそれぞれ示す。ここで、図5(A)は、図5(B)のC1-C2、及びD1-D2における断面に相当する。

【0132】

図5(A)及び図5(B)に示す半導体装置は、下部に第1の半導体材料を用いたトランジスタ160を有し、上部に第2の半導体材料を用いたトランジスタ162を有するものである。

40

【0133】

ここで、第1の半導体材料と第2の半導体材料は異なる禁制帯幅を持つ材料とすることが望ましい。例えば、第1の半導体材料を酸化物半導体以外の半導体材料(シリコンなど)とし、第2の半導体材料を酸化物半導体とすることができます。酸化物半導体以外の材料を用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用いたトランジスタは、その特性により長時間の電荷保持を可能とする。

【0134】

トランジスタ162は、酸化物半導体を含むトランジスタであり、オフ電流が小さいため、このトランジスタを用いることにより長期にわたり記憶内容を保持することが可能であ

50

る。つまり、リフレッシュ動作を必要としない、或いは、リフレッシュ動作の頻度が極めて少ない半導体記憶装置とすることが可能となるため、消費電力を十分に低減することができる。

【0135】

なお、上記トランジスタは、いずれもnチャネル型トランジスタであるものとして説明するが、pチャネル型トランジスタを用いることができるのではない。また、開示する発明の技術的な本質は、情報を保持するために酸化物半導体をトランジスタ162に用いる点にあるから、半導体装置に用いられる材料や半導体装置の構造など、半導体装置の具体的な構成をここで示すものに限定する必要はない。

【0136】

図5(A)におけるトランジスタ160は、半導体材料(例えば、シリコンなど)を含む基板100に設けられたチャネル形成領域116と、チャネル形成領域116を挟むように設けられた不純物領域120と、不純物領域120に接する金属間化合物領域124と、チャネル形成領域116上に設けられたゲート絶縁層108と、ゲート絶縁層108上に設けられたゲート電極層110と、を有する。なお、図において、明示的にはソース電極やドレイン電極を有しない場合があるが、便宜上、このような状態を含めてトランジスタと呼ぶ場合がある。また、この場合、トランジスタの接続関係を説明するために、ソース領域やドレイン領域を含めてソース電極やドレイン電極と表現することがある。つまり、本明細書において、ソース電極との記載には、ソース領域が含まれうる。

【0137】

基板100上にはトランジスタ160を囲むように素子分離絶縁層106が設けられており、素子分離絶縁層106及び金属間化合物領域124上に絶縁層130が設けられている。なお、高集積化を実現するためには、図5(A)に示すようにトランジスタ160がサイドウォール絶縁層を有しない構成とすることが望ましい。一方で、トランジスタ160の特性を重視する場合には、ゲート電極層110の側面にサイドウォール絶縁層を設け、不純物濃度が異なる領域を含む不純物領域120としてもよい。

【0138】

図5(A)に示すトランジスタ162は、酸化物半導体をチャネル形成領域に用いたトランジスタである。ここで、トランジスタ162に含まれる酸化物半導体層144は、高純度化されたものであることが望ましい。高純度化された酸化物半導体を用いることで、極めて優れたオフ特性のトランジスタ162を得ることができる。

【0139】

また、酸化物半導体層144は、低抵抗領域144a、低抵抗領域144b及びチャネル形成領域144cを含む。

【0140】

ゲート絶縁層146を介してソース電極層142a(またはドレイン電極層142b)と重畳する領域には、導電層148bが設けられており、ソース電極層142aと、ゲート絶縁層146と、導電層148bとによって、容量素子164が構成される。すなわち、トランジスタ162のソース電極層142aは、容量素子164の一方の電極として機能し、導電層148bは、容量素子164の他方の電極として機能する。なお、容量が不要の場合には、容量素子164を設けない構成とすることもできる。また、容量素子164は、別途、トランジスタ162の上方に設けてよい。

【0141】

また、トランジスタ162及び容量素子164の上には、絶縁層150及び絶縁層152が単層または積層で設けられている。そして、絶縁層152上にはトランジスタ162のソース電極層142aと電気的に接続する配線層156a、トランジスタ162のドレイン電極層142bと電気的に接続する配線層156bが設けられている。配線層156a及び配線層156bは、絶縁層150、絶縁層152及びゲート絶縁層146などに形成された開口を介してソース電極層142a、及びドレイン電極層142bとそれぞれ電気的に接続される。

10

20

30

40

50

【0142】

図5(A)及び図5(B)において、トランジスタ160と、トランジスタ162とは、少なくとも一部が重畠するように設けられており、トランジスタ160のソース領域またはドレイン領域と酸化物半導体層144の一部が重畠するように設けられているのが好ましい。また、トランジスタ162及び容量素子164が、トランジスタ160の少なくとも一部と重畠するように設けられている。このような平面レイアウトを採用することにより、半導体装置の占有面積の低減を図ることができるため、高集積化を図ることができる。

【0143】

次に、図5(A)及び図5(B)に対応する回路構成の一例を図5(C)に示す。

10

【0144】

図5(C)において、第1の配線(1st Line)とトランジスタ160のソース電極とは、電気的に接続され、第2の配線(2nd Line)とトランジスタ160のドレイン電極とは、電気的に接続されている。また、第3の配線(3rd Line)とトランジスタ162のソース電極またはドレイン電極の一方とは、電気的に接続され、第4の配線(4th Line)と、トランジスタ162のゲート電極層とは、電気的に接続されている。そして、トランジスタ160のゲート電極層と、トランジスタ162のソース電極またはドレイン電極の一方は、容量素子164の電極の他方と電気的に接続され、第5の配線(5th Line)と、容量素子164の電極の他方は電気的に接続されている。

20

【0145】

図5(C)に示す半導体装置では、トランジスタ160のゲート電極層の電位が保持可能という特徴を生かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

【0146】

情報の書き込み及び保持について説明する。まず、第4の配線の電位を、トランジスタ162がオン状態となる電位にして、トランジスタ162をオン状態とする。これにより、第3の配線の電位が、トランジスタ160のゲート電極層、及び容量素子164が接続されたノード(ノードFG)に与えられる。すなわち、ノードFGには、所定の電荷が与えられる(書き込み)。ここでは、異なる二つの電位レベルを与える電荷(以下Lowレベル電荷、Highレベル電荷という)のいずれかが与えられるものとする。その後、第4の配線の電位を、トランジスタ162がオフ状態となる電位にして、トランジスタ162をオフ状態とすることにより、ノードFGに与えられた電荷が保持される(保持)。

30

【0147】

トランジスタ162のオフ電流は極めて小さいため、トランジスタ160のゲート電極層の電荷は長時間にわたって保持される。

【0148】

次に情報の読み出しについて説明する。第1の配線に所定の電位(定電位)を与えた状態で、第5の配線に適切な電位(読み出し電位)を与えると、ノードFGに保持された電荷量に応じて、第2の配線は異なる電位をとる。一般に、トランジスタ160をnチャネル型とすると、ノードFG(トランジスタ160のゲート電極と言い換えることもできる)にHighレベル電荷が与えられている場合の見かけのしきい値電圧 V_{th_H} は、ノードFGにLowレベル電荷が与えられている場合の見かけのしきい値電圧 V_{th_L} より低くなるためである。ここで、見かけのしきい値電圧とは、トランジスタ160を「オン状態」とするために必要な第5の配線の電位をいうものとする。したがって、第5の配線の電位を V_{th_H} と V_{th_L} の間の電位 V_0 とすることにより、ノードFGに与えられた電荷を判別できる。例えば、書き込みにおいて、Highレベル電荷が与えられていた場合には、第5の配線の電位が V_0 ($> V_{th_H}$)となれば、トランジスタ160は「オン状態」となる。Lowレベル電荷が与えられていた場合には、第5の配線の電位が V_0 ($< V_{th_L}$)となっても、トランジスタ160は「オフ状態」のままである。こ

40

50

のため、第2の配線の電位を見ることで、保持されている情報を読み出すことができる。

【0149】

なお、メモリセルをアレイ状に配置して用いる場合、所望のメモリセルの情報のみを読み出せることが必要になる。このように情報を読み出さない場合には、ゲート電極層の状態にかかわらずトランジスタ160が「オフ状態」となるような電位、つまり、 V_{t_h-H} より小さい電位を第5の配線に与えればよい。または、ゲート電極層の状態にかかわらずトランジスタ160が「オン状態」となるような電位、つまり、 V_{t_h-L} より大きい電位を第5の配線に与えればよい。

【0150】

本実施の形態に示す半導体装置では、チャネル形成領域に酸化物半導体を用いたオフ電流の極めて小さいトランジスタを適用することで、極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合（ただし、電位は固定されていることが望ましい）であっても、長期にわたって記憶内容を保持することが可能である。

10

【0151】

また、本実施の形態に示す半導体装置では、情報の書き込みに高い電圧を必要とせず、素子の劣化の問題もない。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行う必要がないため、ゲート絶縁層の劣化といった問題が全く生じない。すなわち、開示する発明に係る半導体装置では、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。

20

【0152】

また、トランジスタ162は、下地絶縁層に埋め込まれた電極層または酸化物半導体層の低抵抗領域において、上層に設けられる配線層と電気的に接続するため、コンタクト抵抗を低減することができ、電気的特性の優れた（例えば、高いオン電流特性を有する）トランジスタとすることができる。したがって、トランジスタ162を適用することで、半導体装置の高性能化を達成することができる。さらに、トランジスタ162は信頼性の高いトランジスタであるため、半導体装置の高信頼性化を図ることができる。

30

【0153】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

【0154】

（実施の形態3）

本実施の形態においては、実施の形態1に示すトランジスタを使用し、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置について、実施の形態2に示した構成と異なる構成について、図6及び図7を用いて説明を行う。なお、本実施の形態の半導体装置は、トランジスタ162として実施の形態1に記載のトランジスタを適用して構成される。トランジスタ162としては、実施の形態1で示すトランジスタのいずれの構造も適用することができる。

40

【0155】

図6(A)は、半導体装置の回路構成の一例を示し、図6(B)は半導体装置の一例を示す概念図である。まず、図6(A)に示す半導体装置について説明を行い、続けて図6(B)に示す半導体装置について、以下説明を行う。

【0156】

図6(A)に示す半導体装置において、ピット線BLとトランジスタ162のソース電極またはドレイン電極の一方とは電気的に接続され、ワード線WLとトランジスタ162のゲート電極層とは電気的に接続され、トランジスタ162のソース電極またはドレイン電極の他方と容量素子254の第1の端子とは電気的に接続されている。

50

【0157】

酸化物半導体を用いたトランジスタ162は、オフ電流が極めて小さいという特徴を有している。このため、トランジスタ162をオフ状態とすることで、容量素子254の第1の端子の電位（あるいは、容量素子254に蓄積された電荷）を極めて長時間にわたって保持することが可能である。

【0158】

次に、図6（A）に示す半導体装置（メモリセル250）に、情報の書き込み及び保持を行う場合について説明する。

【0159】

まず、ワード線WLの電位を、トランジスタ162がオン状態となる電位として、トランジスタ162をオン状態とする。これにより、ビット線BLの電位が、容量素子254の第1の端子に与えられる（書き込み）。その後、ワード線WLの電位を、トランジスタ162がオフ状態となる電位として、トランジスタ162をオフ状態とすることにより、容量素子254の第1の端子の電位が保持される（保持）。 10

【0160】

トランジスタ162のオフ電流は極めて小さいため、容量素子254の第1の端子の電位（あるいは容量素子に蓄積された電荷）は長時間にわたって保持することができる。

【0161】

次に、情報の読み出しについて説明する。トランジスタ162がオン状態となると、浮遊状態であるビット線BLと容量素子254とが導通し、ビット線BLと容量素子254の間に電荷が再分配される。その結果、ビット線BLの電位が変化する。ビット線BLの電位の変化量は、容量素子254の第1の端子の電位（あるいは容量素子254に蓄積された電荷）によって、異なる値をとる。 20

【0162】

例えば、容量素子254の第1の端子の電位をV、容量素子254の容量をC、ビット線BLが有する容量成分（以下、ビット線容量とも呼ぶ）をCB、電荷が再分配される前のビット線BLの電位をVB0とすると、電荷が再分配された後のビット線BLの電位は、 $(CB \times VB0 + C \times V) / (CB + C)$ となる。従って、メモリセル250の状態として、容量素子254の第1の端子の電位がV1とV0（V1 > V0）の2状態をとるとすると、電位V1を保持している場合のビット線BLの電位（= $CB \times VB0 + C \times V1$ ）/（CB + C）は、電位V0を保持している場合のビット線BLの電位（= $CB \times VB0 + C \times V0$ ）/（CB + C）よりも高くなることがわかる。 30

【0163】

そして、ビット線BLの電位を所定の電位と比較することで、情報を読み出すことができる。

【0164】

このように、図6（A）に示す半導体装置は、トランジスタ162のオフ電流が極めて小さいという特徴から、容量素子254に蓄積された電荷は長時間にわたって保持することができる。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合であっても、長期にわたって記憶内容を保持することができる。 40

【0165】

次に、図6（B）に示す半導体装置について、説明を行う。

【0166】

図6（B）に示す半導体装置は、上部に記憶回路として図6（A）に示したメモリセル250を複数有するメモリセルアレイ251a及びメモリセルアレイ251bを有し、下部に、メモリセルアレイ251a及びメモリセルアレイ251bを動作させるために必要な周辺回路253を有する。なお、周辺回路253は、メモリセルアレイ251a及びメモリセルアレイ251bと電気的に接続されている。 50

【0167】

図6(B)に示した構成とすることにより、周辺回路253をメモリセルアレイ251a及びメモリセルアレイ251bの直下に設けることができるため半導体装置の小型化を図ることができる。

【0168】

周辺回路253に設けられるトランジスタは、トランジスタ162とは異なる半導体材料を用いるのがより好ましい。例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素等を用いることができ、単結晶半導体を用いることが好ましい。他に、有機半導体材料などを用いてもよい。このような半導体材料を用いたトランジスタは、十分な高速動作が可能である。したがって、前記トランジスタにより、高速動作が要求される各種回路(論理回路、駆動回路など)を好適に実現することが可能である。

10

【0169】

なお、図6(B)に示した半導体装置では、メモリセルアレイ251aとメモリセルアレイ251bの2つのメモリセルアレイが積層された構成を例示したが、積層するメモリセルアレイの数はこれに限定されない。3つ以上のメモリセルアレイを積層する構成としても良い。

【0170】

次に、図6(A)に示したメモリセル250の具体的な構成について図7を用いて説明を行う。

20

【0171】

図7は、メモリセル250の構成の一例である。図7(A)に、メモリセル250の平面図を、図7(B)に図7(A)の線分A-Bにおける断面図をそれぞれ示す。

【0172】

図7(A)及び図7(B)に示すトランジスタ162は、実施の形態1で示すトランジスタの構成と同様の構成とすることができます。本実施の形態では、実施の形態1のトランジスタ420と同様の構成を有する場合を例に説明する。

【0173】

図7(B)に示すように、電極502及び電極504上にトランジスタ162が設けられている。電極502は、図7(A)におけるビット線BLとして機能する配線であり、トランジスタ162に含まれる酸化物半導体層の低抵抗領域の一方と接して設けられている。また、電極504は、図7(A)における容量素子254の一方の電極として機能し、トランジスタ162に含まれる酸化物半導体層の低抵抗領域の他方と接して設けられている。トランジスタ162上において、電極504と重畳する領域に設けられた電極506は、容量素子254の他方の電極として機能する。

30

【0174】

また、図7(A)に示すように、容量素子254の他方の電極506は、容量線508と電気的に接続する。ゲート絶縁層146を介して酸化物半導体層144上に設けられたゲート電極層148aは、ワード線509と電気的に接続する。

【0175】

40

また、図7(C)に、メモリセルアレイと、周辺回路との接続部における断面図を示す。周辺回路は、例えばnチャネル型トランジスタ510及びpチャネル型トランジスタ512を含む構成とすることができます。nチャネル型トランジスタ510及びpチャネル型トランジスタ512に用いる半導体材料としては、酸化物半導体以外の半導体材料(シリコンなど)を用いるのが好ましい。このような材料を用いることで、周辺回路に含まれるトランジスタの高速動作を図ることができる。

【0176】

図7(A)に示す平面レイアウトを採用することにより、半導体装置の占有面積の低減を図ることができるため、高集積化を図ることができる。

【0177】

50

以上のように、上部に多層に形成された複数のメモリセルは、酸化物半導体を用いたトランジスタにより形成されている。高純度化され、真性化された酸化物半導体を用いたトランジスタは、オフ電流が小さいため、これを用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、容量素子 254 は、図 7 (B) で示すように電極 504、酸化物半導体層 144、ゲート絶縁層 146、電極 506 が積層されることによって形成される。

【0178】

このように、酸化物半導体以外の材料を用いたトランジスタ（換言すると、十分な高速動作が可能なトランジスタ）を用いた周辺回路と、酸化物半導体を用いたトランジスタ（より広義には、十分にオフ電流が小さいトランジスタ）を用いた記憶回路とを一体に備えることで、これまでにない特徴を有する半導体装置を実現することができる。また、周辺回路と記憶回路を積層構造とすることにより、半導体装置の集積化を図ることができる。

10

【0179】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【0180】

（実施の形態 4）

本実施の形態では、先の実施の形態で示した半導体装置を携帯電話、スマートフォン、電子書籍などの携帯機器に応用した場合の例を図 8 乃至図 11 を用いて説明する。

20

【0181】

携帯電話、スマートフォン、電子書籍などの携帯機器においては、画像データの一時記憶などに S R A M または D R A M が使用されている。S R A M または D R A M が使用される理由としてはフラッシュメモリでは応答が遅く、画像処理には不向きであるためである。一方で、S R A M または D R A M を画像データの一時記憶に用いた場合、以下の特徴がある。

【0182】

通常の S R A M は、図 8 (A) に示すように 1 つのメモリセルがトランジスタ 801 ~ 806 の 6 個のトランジスタで構成されており、それを X デコーダー 807、Y デコーダー 808 にて駆動している。トランジスタ 803 とトランジスタ 805、トランジスタ 804 とトランジスタ 806 はインバータを構成し、高速駆動を可能としている。しかし 1 つのメモリセルが 6 トランジスタで構成されているため、セル面積が大きいという欠点がある。デザインルールの最小寸法を F としたときに S R A M のメモリセル面積は通常 100 ~ 150 F² である。このため S R A M はビットあたりの単価が各種メモリの中で最も高い。

30

【0183】

それに対して、D R A M はメモリセルが図 8 (B) に示すようにトランジスタ 811、保持容量 812 によって構成され、それを X デコーダー 813、Y デコーダー 814 にて駆動している。1 つのセルが 1 トランジスタ 1 容量の構成になっており、面積が小さい。D R A M のメモリセル面積は通常 10 F² 以下である。ただし、D R A M は常にリフレッシュが必要であり、書き換えをおこなわない場合でも電力を消費する。

40

【0184】

しかし、先の実施の形態で説明した半導体装置のメモリセル面積は、10 F² 前後であり、且つ頻繁なリフレッシュは不要である。したがって、メモリセル面積が縮小され、且つ消費電力を低減することができる。

【0185】

図 9 に携帯機器のブロック図を示す。図 9 に示す携帯機器は R F 回路 901、アナログベースバンド回路 902、デジタルベースバンド回路 903、バッテリー 904、電源回路 905、アプリケーションプロセッサ 906、フラッシュメモリ 910、ディスプレイコントローラ 911、メモリ回路 912、ディスプレイ 913、タッチセンサ 919、音声

50

回路 917、キーボード 918 などより構成されている。ディスプレイ 913 は表示部 914、ソースドライバ 915、ゲートドライバ 916 によって構成されている。アプリケーションプロセッサ 906 は CPU 907、DSP 908、インターフェイス (IF) 909 を有している。一般にメモリ回路 912 は SRAM または DRAM で構成されており、この部分に先の実施の形態で説明した半導体装置を採用することによって、情報の書き込み及び読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力を十分に低減することができる。

【0186】

図 10 に、ディスプレイのメモリ回路 950 に先の実施の形態で説明した半導体装置を使用した例を示す。図 10 に示すメモリ回路 950 は、メモリ 952、メモリ 953、スイッチ 954、スイッチ 955 及びメモリコントローラ 951 により構成されている。また、メモリ回路は、信号線から入力された画像データ（入力画像データ）、メモリ 952、及びメモリ 953 に記憶されたデータ（記憶画像データ）を読み出し、及び制御を行うディスプレイコントローラ 956 と、ディスプレイコントローラ 956 からの信号により表示するディスプレイ 957 が接続されている。

【0187】

まず、ある画像データがアプリケーションプロセッサ（図示しない）によって、形成される（入力画像データ A）。入力画像データ A は、スイッチ 954 を介してメモリ 952 に記憶される。そしてメモリ 952 に記憶された画像データ（記憶画像データ A）は、スイッチ 955、及びディスプレイコントローラ 956 を介してディスプレイ 957 に送られ、表示される。

【0188】

入力画像データ A に変更が無い場合、記憶画像データ A は、通常 30 ~ 60 Hz 程度の周期でメモリ 952 からスイッチ 955 を介して、ディスプレイコントローラ 956 から読み出される。

【0189】

次に、例えばユーザーが画面を書き換える操作をしたとき（すなわち、入力画像データ A に変更が有る場合）、アプリケーションプロセッサは新たな画像データ（入力画像データ B）を形成する。入力画像データ B はスイッチ 954 を介してメモリ 953 に記憶される。この間も定期的にメモリ 952 からスイッチ 955 を介して記憶画像データ A は読み出されている。メモリ 953 に新たな画像データ（記憶画像データ B）が記憶し終わると、ディスプレイ 957 の次のフレームより、記憶画像データ B は読み出され、スイッチ 955、及びディスプレイコントローラ 956 を介して、ディスプレイ 957 に記憶画像データ B が送られ、表示がおこなわれる。この読み出しがさらに次に新たな画像データがメモリ 952 に記憶されるまで継続される。

【0190】

このようにメモリ 952 及びメモリ 953 は交互に画像データの書き込みと、画像データの読み出しを行うことによって、ディスプレイ 957 の表示をおこなう。なお、メモリ 952 及びメモリ 953 はそれぞれ別のメモリには限定されず、1 つのメモリを分割して使用してもよい。先の実施の形態で説明した半導体装置をメモリ 952 及びメモリ 953 に採用することによって、情報の書き込み及び読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力を十分に低減することができる。

【0191】

図 11 に電子書籍のブロック図を示す。図 11 はバッテリー 1001、電源回路 1002、マイクロプロセッサ 1003、フラッシュメモリ 1004、音声回路 1005、キーボード 1006、メモリ回路 1007、タッチパネル 1008、ディスプレイ 1009、ディスプレイコントローラ 1010 によって構成される。

【0192】

ここでは、図 11 のメモリ回路 1007 に先の実施の形態で説明した半導体装置を使用することができる。メモリ回路 1007 は書籍の内容を一時的に保持する機能を持つ。例え

10

20

30

40

50

ば、ユーザーが電子書籍を読んでいるときに、特定の箇所にマーキング（表示の色を変える、アンダーラインを引く、文字を太くする、文字の書体を変えるなど）をしたい場合に、ユーザーが指定した箇所の情報を一時的に記憶し、保持する機能を有する。この情報を長期に保存する場合にはフラッシュメモリ 1004 にコピーしてもよい。このような場合においても、先の実施の形態で説明した半導体装置を採用することによって、情報の書き込み及び読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減することができる。

【0193】

以上のように、本実施の形態に示す携帯機器には、先の実施の形態に係る半導体装置が搭載されている。このため、読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力を低減した携帯機器が実現される。 10

【0194】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

【実施例】

【0195】

本実施例では、実施の形態 1 に示すトランジスタを作製し、電気特性の評価を行った。

【0196】

本実施例に用いたトランジスタの構成を図 12 (A) 乃至図 12 (D) に示す。 20

【0197】

図 12 (A) に示すトランジスタ 622A 及び図 12 (B) に示すトランジスタ 622B は、実施の形態 1 のトランジスタ 422 と同様の構成である。トランジスタ 622A においては配線層 665a をソース端子として用い、配線層 665b をドレイン端子として用いる。また、トランジスタ 622B においては電極層 605a をソース端子として用い、電極層 605b をドレイン端子として用いる。

【0198】

また、図 12 (C) に示すトランジスタ 628A 及び図 12 (D) に示すトランジスタ 628B は、実施の形態 1 に示すトランジスタ 428 と同様の構成である。トランジスタ 628A においては電極層 605 をソース端子として用い、配線層 665a をドレイン端子として用いる。また、トランジスタ 628B においては配線層 665a をソース端子として用い、電極層 605 をドレイン端子として用いる。 30

【0199】

以下に、本実施例に用いたトランジスタの作製方法を示す。なお、本実施例のトランジスタ 622A、トランジスタ 622B、トランジスタ 628A 及びトランジスタ 628B は、いずれも同様の方法によって作製した。

【0200】

はじめにシリコン基板 600 をスパッタリング装置内に搬入し、アルゴン雰囲気下（アルゴンガス流量 50 sccm）で、圧力 0.4 Pa、電源電力（電源出力）5.0 kW とし 3 分間逆スパッタリングを行い、表面を平坦化させた。その後、大気開放せずに連続的に、絶縁層 632 として膜厚 300 nm の酸化シリコン膜を、スパッタリング法によって成膜した。酸化シリコン膜の成膜条件は、酸素雰囲気下（流量 50 sccm）で、圧力 0.4 Pa、電源電力（電源出力）5.0 kW とし、シリコン基板 600 とターゲットとの間の距離を 60 mm、基板温度 100 とした。 40

【0201】

次に、絶縁層 632 上に、導電膜として膜厚 100 nm のタンゲステン膜をスパッタリング法で成膜し、フォトリソグラフィ法によって加工して電極層 605（電極層 605a 及び電極層 605b）を形成した。タンゲステン膜の成膜条件としては、タンゲステンターゲットを用い、アルゴン雰囲気（アルゴンガス流量 80 sccm）で、圧力 0.8 Pa、電源電力（電源出力）1.0 kW とし、基板を加熱するために、加熱したアルゴンガスを流量 10 sccm で流した。 50

【0202】

電極層 605 上に下地絶縁層 636 として酸化シリコン膜をスパッタリング法で成膜し、当該酸化シリコン膜を CMP 处理することで電極層 605 の上面を露出させた。酸化シリコン膜の成膜条件は、酸素雰囲気下（流量 50 sccm）で、圧力 0.4 Pa、電源電力（電源出力）5.0 kW とし、シリコン基板 600 とターゲットとの間の距離を 60 mm、基板温度 100°、膜厚 400 nm とした。また、CMP 处理の条件は、CMP 研磨パッドとしてポリウレタン系研磨布を用い、スラリーとして N P 8020（ニッタ・ハース株式会社製）の原液（シリカ粒径 60 nm ~ 80 nm）を用い、スラリー温度を室温とし、研磨圧 0.08 MPa、基板を固定している側のスピンドル回転数を 50 rpm、研磨布が固定されているテーブル回転数を 50 rpm とした。

10

【0203】

次いで、露出した電極層及び下地絶縁層 636 上に、酸化物半導体層 603 として In : Ga : Zn = 3 : 1 : 2 [原子数比] の酸化物ターゲットを用いたスパッタリング法により、膜厚 15 nm の In - Ga - Zn - O 膜を形成した。成膜条件は、アルゴン及び酸素 (Ar : O₂ = 30 sccm : 15 sccm) 雰囲気下、圧力 0.4 Pa、電源電力 0.5 kW、基板温度 200° とした。

【0204】

成膜した酸化物半導体層 603 を ICP (Inductively Coupled Plasma) 誘導結合型プラズマ）エッチング法により、エッチングし、島状に加工した。エッチング条件は、エッチングガスとして三塩化ホウ素と塩素の混合ガスを用い (BCl₃ : Cl₂ = 60 sccm : 20 sccm)、電源電力 450 W、バイアス電力 100 W、圧力 1.9 Pa とした。

20

【0205】

次いで、島状の酸化物半導体層 603 上に、ゲート絶縁層 602 として CVD 法によって窒化酸化シリコン膜を膜厚 20 nm で成膜した。

【0206】

ゲート絶縁層 602 上に、スパッタリング法により膜厚 30 nm の窒化タンタル膜と膜厚 135 nm のタンゲステン膜の積層を成膜し、エッチング法によって加工してゲート電極層 601 を形成した。窒化タンタル膜の成膜条件は、アルゴン及び窒素 (Ar : N₂ = 50 sccm : 10 sccm) 雰囲気下、圧力 0.6 Pa、電源電力 1 kW とした。また、タンゲステン膜の成膜条件は、アルゴン雰囲気下（流量 100 sccm）、圧力 2.0 Pa、電源電力 4 kW とし、基板を加熱するために、加熱したアルゴンガスを流量 10 sccm で流した。

30

【0207】

また、窒化タンタル膜とタンゲステン膜のエッチング条件は、第 1 エッチング条件として、エッチングガスとして塩素、四フッ化メタン及び酸素の混合ガス (Cl₂ : CF₄ : O₂ = 45 sccm : 55 sccm : 55 sccm) を用い、電源電力 3 kW、バイアス電力 110 W、圧力 0.67 Pa、基板温度 40° としてタンゲステン膜をエッチングした。その後、第 2 エッチング条件として、エッチングガスとして塩素ガス (Cl₂ = 100 sccm) を用い、電源電力 2 kW、バイアス電力 50 W、基板温度 -10° として、15 秒間エッチングした後、第 3 エッチング条件として、エッチングガスとして塩素ガス (Cl₂ = 100 sccm) を用い、電源電力 1 kW、バイアス電力 25 W、基板温度 -10° として 50 秒間エッチングして窒化タンタル膜をエッチングした。

40

【0208】

次いで、ゲート電極層 601 をマスクとしてイオン注入法により酸化物半導体層 603 に、リン (P) イオンを注入して、低抵抗領域 604a、低抵抗領域 604b 及びチャネル形成領域 609 を自己整合的に形成した。リン (P) イオンの注入条件は加速電圧 30 kV、ドーズ量を 1.0×10^{15} ions/cm² とした。

【0209】

次いで、絶縁層 607 として CVD 法によって窒化酸化シリコン膜を膜厚 300 nm で成

50

膜した。

【0210】

絶縁層607及びゲート絶縁層602に酸化物半導体層603に達する開口を形成し、該開口にスパッタリング法により膜厚300nmのモリブデン膜を形成し、エッチングにより加工して、配線層665a及び配線層665bを形成した。モリブデン膜の成膜条件は、アルゴン雰囲気下($Ar = 50 \text{ sccm}$)で、圧力0.3Pa、電源電力2kWとした。また、モリブデン膜のエッチング条件は、エッチングガスとして塩素、四フッ化メタン及び酸素の混合ガスを用い($Cl_2 : CF_4 : O_2 = 45 \text{ sccm} : 55 \text{ sccm} : 55 \text{ sccm}$ 、電源電力3kW、バイアス電力140W、圧力0.67Paとした。

【0211】

その後、ポリイミド膜を1.5μmの膜厚で塗布法によって成膜し、大気雰囲気下、300で1時間の熱処理を行った。

【0212】

以上によって、本実施例のトランジスタを作製した。

【0213】

なお、本実施例のトランジスタ622A、トランジスタ622B、トランジスタ628A及びトランジスタ628Bは、チャネル長(L)を0.9μm、チャネル幅(W)を10μm、ゲート電極層と電極層のオフセット長を0.2μmとした。

【0214】

作製したトランジスタの電気特性の評価結果を図13及び図14に示す。

【0215】

図13(A)は、トランジスタ622Aの電気特性の評価結果であり、ドレイン電圧(V_d)が1V、または0.1Vにおけるゲート電圧(V_g) - ドレイン電流(I_d)曲線(ゲート電圧(V_g)を横軸、ドレイン電流(I_d)の対数を縦軸にプロットした曲線)、及びドレイン電圧(V_d)が0.1Vにおける電界効果移動度を示す。

【0216】

図13(B)は、トランジスタ622Bの電気特性の評価結果であり、ドレイン電圧(V_d)が1V、または0.1Vにおけるゲート電圧(V_g) - ドレイン電流(I_d)曲線、及びドレイン電圧(V_d)が0.1Vにおける電界効果移動度を示す。

【0217】

図14(A)は、トランジスタ628Aの電気特性の評価結果であり、電極層605がGNDであって、ドレイン電圧(V_d)が1V、または0.1Vにおけるゲート電圧(V_g) - ドレイン電流(I_d)曲線、及びドレイン電圧(V_d)が0.1Vにおける電界効果移動度を示す。

【0218】

図14(B)は、トランジスタ628Bの電気特性の評価結果であり、配線層665aがGNDであって、ドレイン電圧(V_d)が1V、または0.1Vにおけるゲート電圧(V_g) - ドレイン電流(I_d)曲線、及びドレイン電圧(V_d)が0.1Vにおける電界効果移動度を示す。

【0219】

図13及び図14に示すように本実施例のトランジスタ622A、トランジスタ622B、トランジスタ628A、トランジスタ628Bはそれぞれスイッチング素子としての電気特性を示した。ドレイン電圧(V_d)が1Vにおけるシフト値は、トランジスタ622Aは-0.45V、トランジスタ622Bは-0.41V、トランジスタ628Aは-0.40V、トランジスタ628Bは-0.40Vであった。なお、本実施例においてシフト値とは、ゲート電圧(V_g) - ドレイン電流(I_d)曲線において、該曲線の最大傾きの接線と、ドレイン電流(I_d)が $1 \times 10^{-12} \text{ A}$ の直線との交点におけるゲート電圧(V_g)の値とする。また、ドレイン電圧(V_d)が0.1Vにおいて、トランジスタ622Aは $5.3 \text{ cm}^2 / \text{Vs}$ 、トランジスタ622Bは $5.5 \text{ cm}^2 / \text{Vs}$ 、トランジスタ628Aは $6.2 \text{ cm}^2 / \text{Vs}$ 、トランジスタ628Bは $6.3 \text{ cm}^2 / \text{Vs}$ という電

10

20

30

40

50

界効果移動度が得られた。

【0220】

また、本実施例のトランジスタにおいて、ドレイン電圧を1V、ゲート電圧を3Vにした場合のオン電流の平均値(n数 = 25)は、トランジスタ622Aは24.7μA、トランジスタ622Bは24.3μA、トランジスタ628Aは27.8μA、トランジスタ628Bは27.8μAであった。

【0221】

以上より、本実施例のトランジスタは高い電気的特性を付与されたトランジスタであることが示された。

【符号の説明】

10

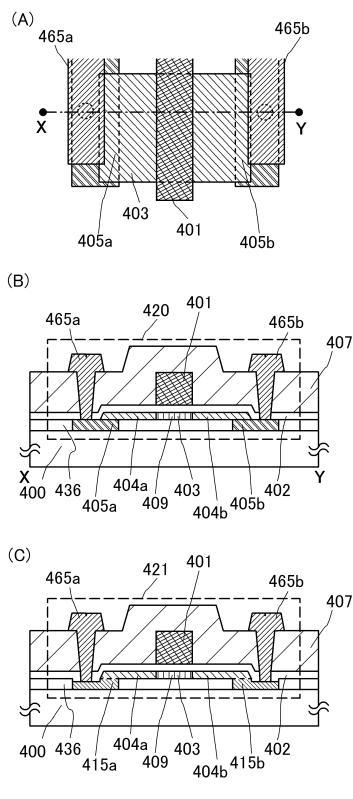
【0222】

400	基板
401	ゲート電極層
402	ゲート絶縁層
403	酸化物半導体層
404 a	低抵抗領域
404 b	低抵抗領域
405	電極層
405 a	電極層
405 b	電極層
407	絶縁層
409	チャネル形成領域
415 a	電極層
415 b	電極層
420	トランジスタ
421	トランジスタ
422	トランジスタ
424	トランジスタ
426	トランジスタ
428	トランジスタ
431	ドーパント
436	下地絶縁層
465 a	配線層
465 b	配線層

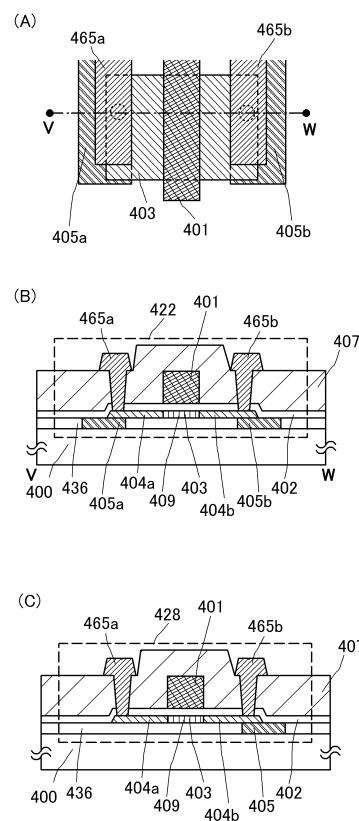
20

30

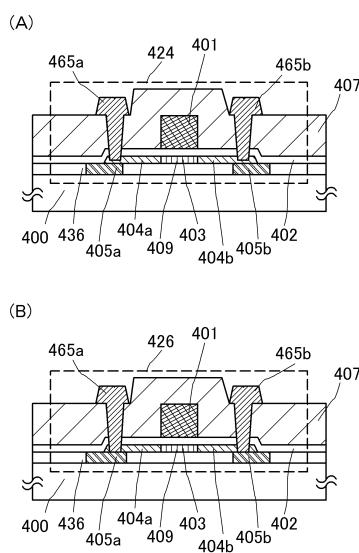
【図1】



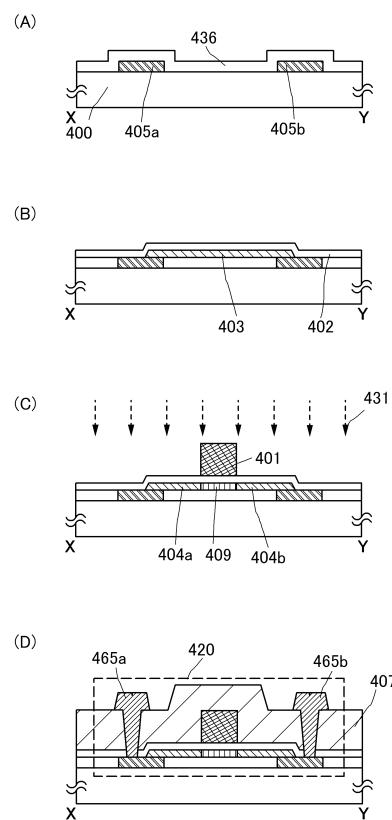
【図2】



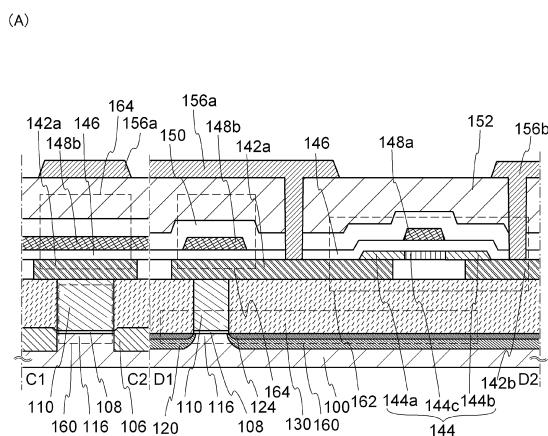
【図3】



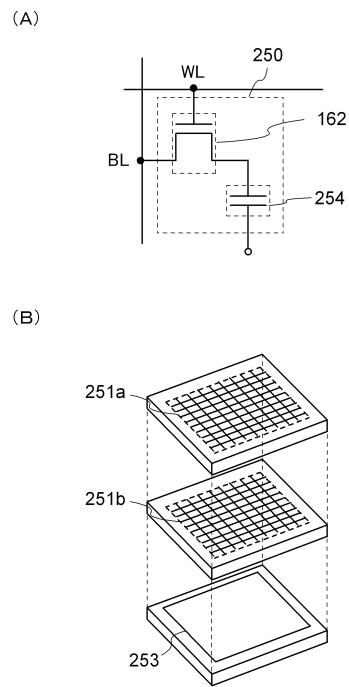
【図4】



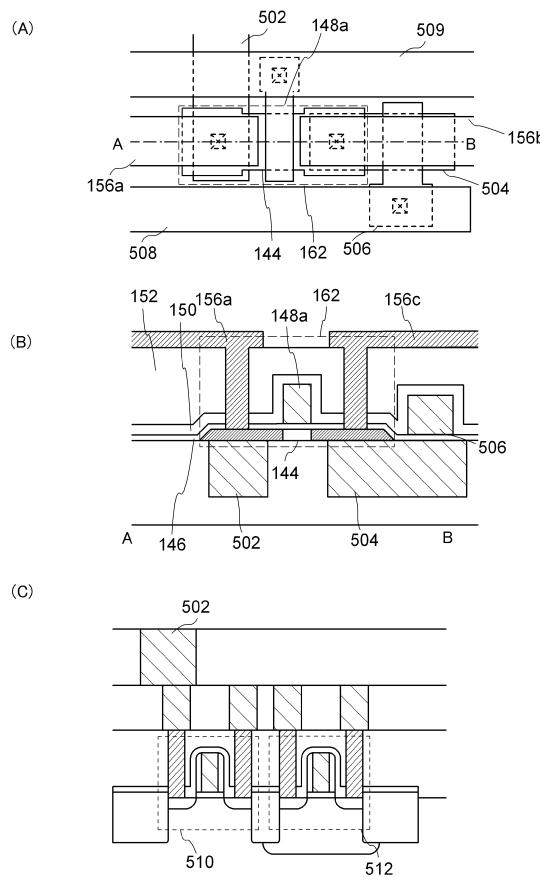
【図5】



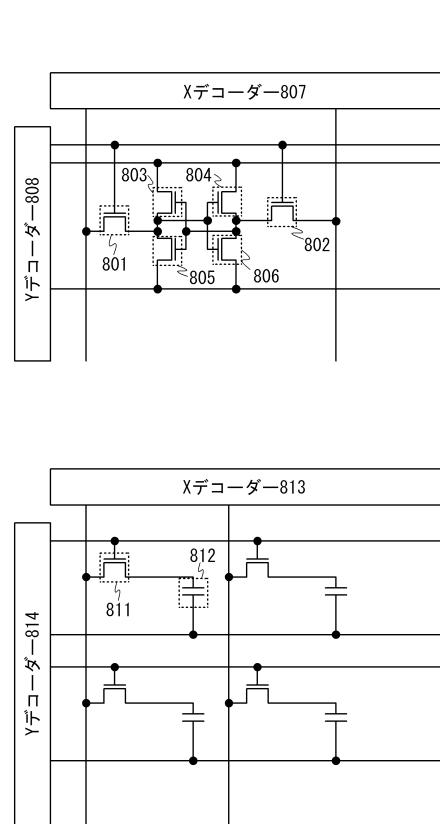
【図6】



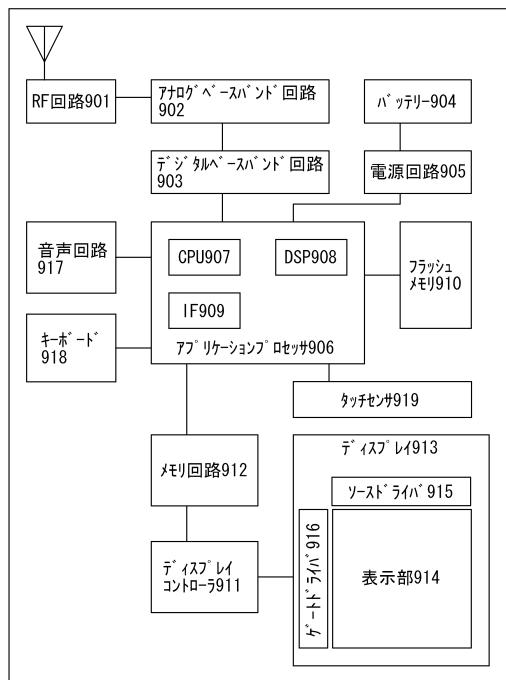
【図7】



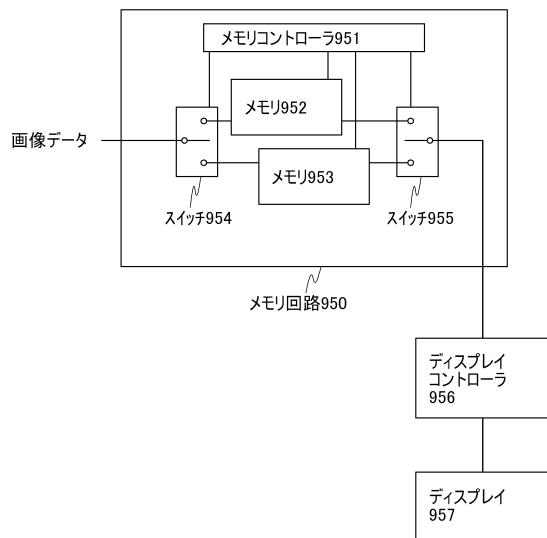
【図8】



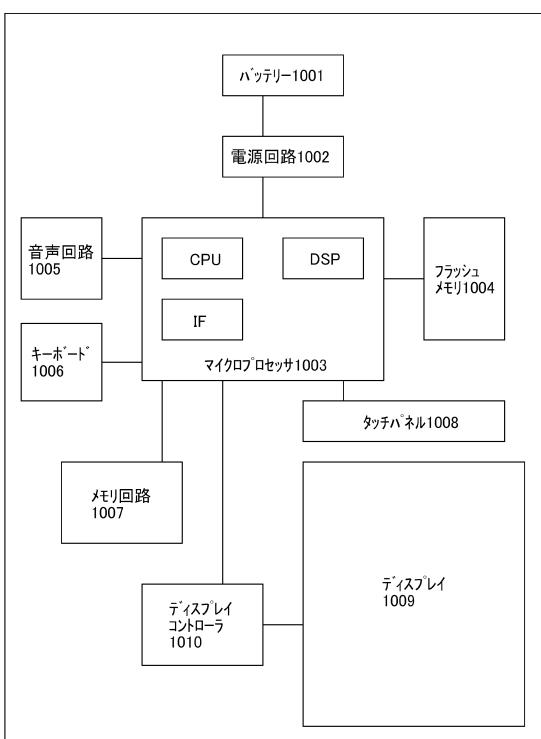
【図9】



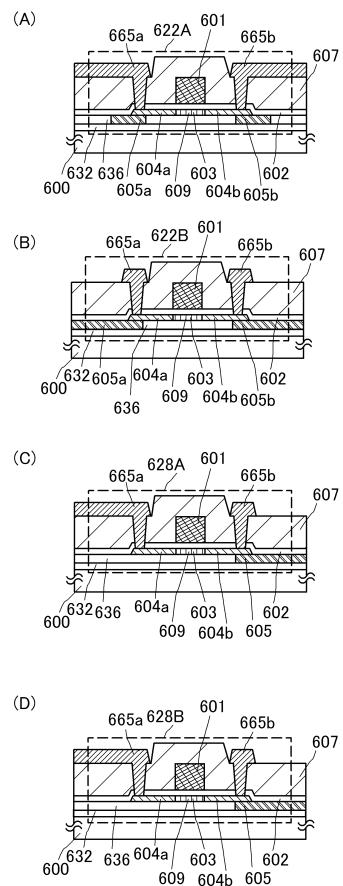
【図10】



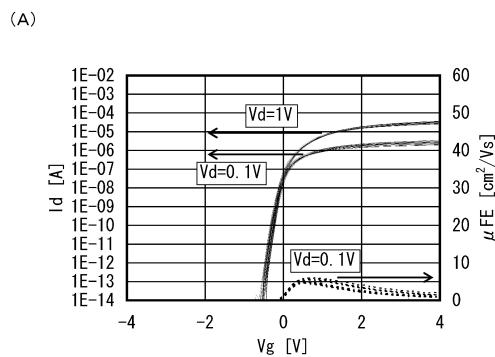
【図11】



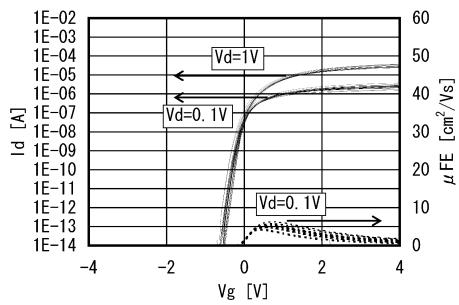
【図12】



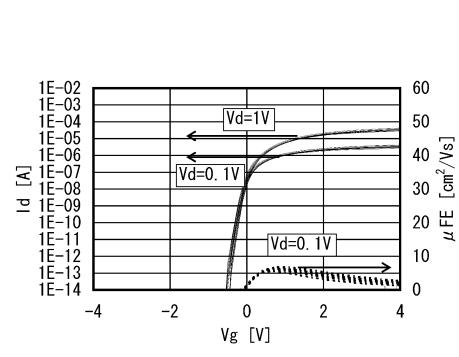
【図 1 3】



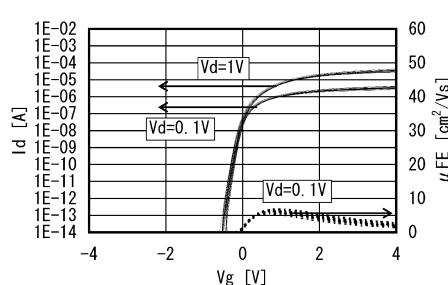
(B)



【図 1 4】



(B)



フロントページの続き

(51)Int.Cl.		F I
H 01 L	27/10 (2006.01)	H 01 L 27/10 4 4 1
H 01 L	21/336 (2006.01)	H 01 L 27/10 4 9 5
H 01 L	29/788 (2006.01)	H 01 L 27/10 6 8 1 A
H 01 L	29/792 (2006.01)	H 01 L 27/10 6 8 1 B
C 23 C	14/34 (2006.01)	H 01 L 27/10 6 8 1 F
H 01 L	21/3065 (2006.01)	H 01 L 27/10 6 8 1 E
		H 01 L 29/78 3 7 1
		H 01 L 27/10 4 8 1
		H 01 L 27/10 4 6 1
		H 01 L 27/10 6 2 1 Z
		H 01 L 27/10 6 5 1
		C 23 C 14/34 A
		H 01 L 21/302 1 0 4 C
		H 01 L 29/78 6 2 7 A

(56)参考文献 特開平03-095937 (JP, A)

特開2009-158942 (JP, A)

特開平07-099286 (JP, A)

特開2007-220818 (JP, A)

特開2011-146694 (JP, A)

特開平08-330593 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H 01 L 29 / 786
 C 23 C 14 / 34
 H 01 L 21 / 3065
 H 01 L 21 / 336
 H 01 L 21 / 8242
 H 01 L 27 / 10
 H 01 L 27 / 105
 H 01 L 27 / 108
 H 01 L 27 / 115
 H 01 L 29 / 788
 H 01 L 29 / 792