

(11) 特許出願公開番号

特開2009-206760

(P2009-206760A)

(43) 公開日 平成21年9月10日(2009.9.10)

(51) Int. Cl.
H03K 5/13 (2006.01)

F I
H O 3 K 5/13

テーマコード (参考)
5J001

審査請求 未請求 請求項の数 4 O L (全 7 頁)

(21) 出願番号 特願2008-46377 (P2008-46377)
(22) 出願日 平成20年2月27日 (2008. 2. 27)

(71) 出願人 000002325
セイコーインスツル株式会社
千葉県千葉市美浜区中瀬 1 丁目 8 番地

(74) 代理人 100079212
弁理士 松下 義治

(72) 発明者 宮野入 純
千葉県千葉市美浜区中瀬 1 丁目 8 番地 セ
イコーインスツル株式会社内

F ターム (参考) 5J001 AA05 AA11 BB12 BB25 CC03
DD03 DD05

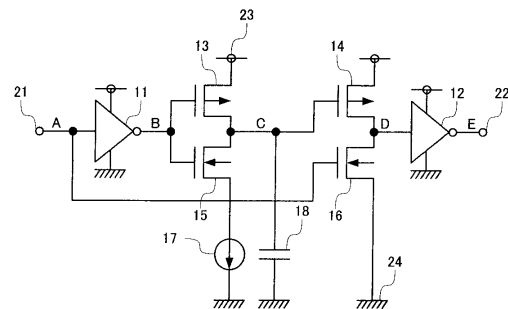
(54) 【発明の名称】 遅延回路

(57) 【要約】

【課題】 電源電圧に依存せず、入力信号と出力信号との位相を一致させる遅延回路を提供する。

【解決手段】 入力信号Aがハイである時のみ、一端に電源電圧を印加される容量18と、入力信号Aがローに変化する時のみ、容量18の一端に接続し、容量18の一端の電圧を電源電圧から徐々に電圧降下させる定電流回路17と、入力信号Aがローに変化した時から所定の遅延時間が経過することにより、電圧降下した分の電圧が閾値電圧の絶対値以上になると、オンし、出力信号Eがローに変化するよう動作するPMOSトランジスタ14と、を備える。

【選択図】 図 1



【特許請求の範囲】**【請求項 1】**

遅延回路において、

入力信号がハイまたはローである時のみ、一端に電源電圧を印加される第一容量と、前記入力信号がローまたはハイに変化する時のみ、前記第一容量の一端に接続し、前記第一容量の一端の電圧を前記電源電圧から徐々に電圧降下させる定電流回路と、

前記入力信号がローまたはハイに変化した時から所定の遅延時間が経過することにより、電圧降下した分の電圧が閾値電圧の絶対値以上になると、オンし、出力信号がローまたはハイに変化するよう動作するPMOSトランジスタと、

を備えることを特徴とする遅延回路。

10

【請求項 2】

前記第一容量は、他端が接地端子に設けられることを特徴とする請求項 1 記載の遅延回路。

【請求項 3】

前記第一容量は、他端が電源端子に設けられることを特徴とする請求項 1 記載の遅延回路。

【請求項 4】

前記PMOSトランジスタのドレインと接地端子との間に設けられる第二容量、をさらに備えることを特徴とする請求項 1 記載の遅延回路。

【発明の詳細な説明】

20

【技術分野】**【0001】**

本発明は、遅延回路に関する。

【背景技術】**【0002】**

現在、半導体装置に、遅延回路が搭載されることがある。遅延回路は、信号のタイミングを制御する回路である。

【0003】

ここで、電源電圧が変動しても遅延時間が変化しないような遅延回路が求められている。

30

【0004】

例えば、2個の定電流回路、容量及びインバータを用いる定電流回路が開示されている。一の定電流回路が入力電圧に基づいて容量に充電し、他の定電流回路が入力電圧に基づいて容量を放電させ、容量に発生する電圧が入力電圧に基づいて制御されている。その容量の電圧に基づき、インバータは、入力電圧よりも遅延した出力電圧を出力する（例えば、特許文献 1 参照）。

【特許文献 1】特開 2006-352399 号公報（図 1～2）

【発明の開示】**【発明が解決しようとする課題】****【0005】**

40

しかし、特許文献 1 によって開示された技術では、遅延時間が発生することにより、その遅延時間分、出力信号の位相が入力信号の位相とずれてしまう。

【0006】

本発明は、上記課題に鑑みてなされ、電源電圧に依存せず、入力信号と出力信号との位相を一致させる遅延回路を提供する。

【課題を解決するための手段】**【0007】**

本発明は、上記課題を解決するため、遅延回路において、入力信号がハイまたはローである時のみ、一端に電源電圧を印加される第一容量と、前記入力信号がローまたはハイに変化する時のみ、前記第一容量の一端に接続し、前記第一容量の一端の電圧を前記電源電

50

圧から徐々に電圧降下させる定電流回路と、前記入力信号がローまたはハイに変化した時から所定の遅延時間が経過することにより、電圧降下した分の電圧が閾値電圧の絶対値以上になると、オンし、出力信号がローまたはハイに変化するように動作するPMOSトランジスタと、を備えることを特徴とする遅延回路を提供する。

【発明の効果】

【0008】

本発明では、入力信号がローまたはハイになった時から、容量の一端の電圧は電源電圧から徐々に電圧降下して電圧降下した分の電圧がPMOSトランジスタの閾値電圧の絶対値以上になる時は、入力信号がローまたはハイになった時から、遅延時間が経過した時である。つまり、遅延時間は、電源電圧に基づかず、容量の一端の電圧の電圧降下の速度及びPMOSトランジスタの閾値電圧の絶対値によって決定される。

10

【0009】

また、本発明では、入力信号がローまたはハイになってから出力信号がローまたはハイになるまでに遅延時間が存在し、入力信号がハイまたはローになると同時に出力信号がハイまたはローになるので、入力信号と出力信号との位相は一致する。

【発明を実施するための最良の形態】

【0010】

以下、本発明の実施形態を、図面を参照して説明する。

【0011】

まず、遅延回路の構成について説明する。図1は、遅延回路を示す回路図である。

20

【0012】

遅延回路は、入力端子21、出力端子22、電源端子23及び接地端子24を備える。また、遅延回路は、インバータ11～12、PMOSトランジスタ13～14、NMOSトランジスタ15～16、定電流回路17及び容量18を備える。

【0013】

インバータ11は、入力端子が入力端子21及びNMOSトランジスタ16のゲートに接続され、出力端子がPMOSトランジスタ13及びNMOSトランジスタ15のゲートに接続され、電源端子が電源端子23に接続され、接地端子が接地端子24に接続される。PMOSトランジスタ13は、ソースが電源端子23に接続され、ドレインがNMOSトランジスタ15のドレインと容量18の一端とPMOSトランジスタ14のゲートとに接続される。定電流回路17は、NMOSトランジスタ15のソースと接地端子24との間に設けられる。容量18は、他端が電源端子23に接続される。PMOSトランジスタ14は、ソースが電源端子23に接続され、ドレインがNMOSトランジスタ16のドレイン及びインバータ12の入力端子に接続される。NMOSトランジスタ16は、ソースが接地端子24に接続される。インバータ12は、出力端子が出力端子22に接続され、電源端子が電源端子23に接続され、接地端子が接地端子24に接続される。

30

【0014】

次に、遅延回路の動作について説明する。図2は、時間に基づいた信号を示すタイミングチャートであり、(A)は入力信号を示し、(B)は内部信号を示し、(C)は内部信号を示し、(D)は内部信号を示し、(E)は出力信号を示す。

40

【0015】

ここで、入力端子21の信号は入力信号Aであるとし、PMOSトランジスタ13及びNMOSトランジスタ15のゲート信号は内部信号Bであるとし、PMOSトランジスタ14のゲート信号は内部信号Cであるとし、インバータ12の入力端子の信号は内部信号Dであるとし、出力端子22の信号は出力信号Eであるとする。

【0016】

<時間T0から時間T1未満が経過している場合>

図2の(A)に示すように、入力信号Aがハイであると、インバータ11により、図2の(B)に示すように、内部信号Bはローである。すると、PMOSトランジスタ13はオンし、NMOSトランジスタ15はオフしているので、図2の(C)に示すように、内

50

部信号Cはハイである。よって、PMOSトランジスタ14はオフしている。この時、容量18の一端に電源電圧が印加され、容量18は充電され、また、定電流回路17の電流経路は遮断されている。また、入力信号Aがハイであるので、NMOSトランジスタ16はオンしている。よって、図2の(D)に示すように、内部信号Dはローであり、インバータ12により、図2の(E)に示すように、出力信号Eはハイである。

【0017】

＜時間T0から時間T1が経過した場合＞

図2の(A)に示すように、入力信号Aがローになると、インバータ11により、図2の(B)に示すように、内部信号Bはハイになる。すると、PMOSトランジスタ13はオフし、NMOSトランジスタ15はオンするので、定電流回路17は容量18の一端に接続し、定電流回路17によって容量18は放電し、図2の(C)に示すように、内部信号Cは電源電圧から徐々に電圧降下する。

10

【0018】

容量18の一端の電圧(内部信号C)が電源電圧から徐々に電圧降下しても、電圧降下した分の電圧(PMOSトランジスタ14のゲートソース間電圧)がPMOSトランジスタ14の閾値電圧の絶対値未満であるので、PMOSトランジスタ14はオフしたままである。また、入力信号Aがローになると、NMOSトランジスタ16はオフする。インバータ12の入力端子に接続されるMOSトランジスタ(図示せず)にゲート容量が存在するので、PMOSトランジスタ14及びNMOSトランジスタ16がオフしても、図2の(D)に示すように、内部信号Dは不定にならずにローのままであり、インバータ12により、図2の(E)に示すように、出力信号Eはハイのままである。

20

【0019】

＜時間T0から時間T2が経過した場合＞

入力信号Aがローになった時から遅延時間Tdが経過することにより、容量18の一端の電圧(内部信号C)は電源電圧から徐々に電圧降下し、電圧降下した分の電圧(PMOSトランジスタ14のゲートソース間電圧)がPMOSトランジスタ14の閾値電圧の絶対値以上になると、PMOSトランジスタ14はオンする。また、入力信号Aがローになると、NMOSトランジスタ16はオフする。よって、図2の(D)に示すように、内部信号Dはハイになり、インバータ12により、図2の(E)に示すように、出力信号Eはローになる。つまり、入力信号Aがローになってから出力信号Eがローになるまでに、遅延時間Td(T2-T1)が存在する。

30

【0020】

ここで、定電流回路17の電流駆動能力が低いと、その分、定電流回路17によって容量18は遅く放電するので、内部信号Cは遅く低くなる。つまり、遅延時間Tdが長くなる。また、容量18の容量値が大きいと、その分、定電流回路17によって容量18は遅く放電するので、内部信号Cは遅く低くなる。つまり、遅延時間Tdが長くなる。また、PMOSトランジスタ14の閾値電圧の絶対値が高いと、その分、PMOSトランジスタ14はオンしにくい。つまり、遅延時間Tdが長くなる。

【0021】

＜時間T0から時間T3が経過した場合＞

内部信号Cは電源電圧から徐々に電圧降下し、定電流回路17によって容量18が放電し終わると、内部信号Cはローになる。

40

【0022】

＜時間T0から時間T4が経過した場合＞

図2の(A)に示すように、入力信号Aがハイになり、インバータ11により、図2の(B)に示すように、内部信号Bはローになる。すると、PMOSトランジスタ13はオンし、NMOSトランジスタ15はオフするので、図2の(C)に示すように、内部信号Cはハイになる。よって、PMOSトランジスタ14はオフする。この時、容量18は充電され、定電流回路17の電流経路は遮断されている。また、入力信号Aがハイになると、NMOSトランジスタ16はオンする。よって、図2の(D)に示すように、内部信号

50

Dはローになり、インバータ12により、図2の(E)に示すように、出力信号Eはハイになる。つまり、入力信号Aがハイになると同時に、出力信号Eがハイになる。

【0023】

次に、定電流回路17の例について説明する。図3は、定電流回路を示す回路図である。図4は、定電流回路を示す回路図である。

【0024】

定電流回路17は、例えば、図3に示すように、ディプレッション型NMOSトランジスタ31を有する。ディプレッション型NMOSトランジスタ31は、ゲート及びソースが接地端子24に接続され、ドレインがNMOSトランジスタ15のソースに接続される。

10

【0025】

また、定電流回路17は、例えば、図4に示すように、抵抗41、PMOSトランジスタ42～43及びNMOSトランジスタ44～46を有する。抵抗41は、一端が電源端子23に接続され、他端がPMOSトランジスタ42のソースに接続される。PMOSトランジスタ42は、ゲートがドレインとPMOSトランジスタ43のゲートとNMOSトランジスタ44のドレインとに接続され、ソースが電源端子23に接続される。PMOSトランジスタ43は、ドレインがNMOSトランジスタ44～45のゲートとNMOSトランジスタ45のドレインとNMOSトランジスタ46のゲートとに接続される。NMOSトランジスタ44は、ソースが接地端子24に接続される。NMOSトランジスタ45は、ソースが接地端子24に接続される。NMOSトランジスタ46は、ソースが接地端子24に接続され、ドレインがNMOSトランジスタ15のソースに接続される。

20

【0026】

このようにすると、入力信号Aがローになった時から、容量18の一端の電圧（内部信号C）は電源電圧から徐々に電圧降下して電圧降下した分の電圧（PMOSトランジスタ14のゲート－ソース間電圧）がPMOSトランジスタ14の閾値電圧の絶対値以上になる時は、入力信号Aがローになった時から、遅延時間Tdが経過した時である。つまり、遅延時間Tdは、電源電圧に基づかず、容量18の一端の電圧の電圧降下の速度及びPMOSトランジスタ14の閾値電圧の絶対値によって決定される。この電圧降下の速度は、定電流回路17の電流駆動能力及び容量18の容量値によって決定されるので、遅延時間Tdは、電源電圧に基づかず、定電流回路17の電流駆動能力と容量18の容量値とPMOSトランジスタ14の閾値電圧の絶対値によって決定される。

30

【0027】

また、入力信号Aがローになってから出力信号Eがローになるまでに遅延時間Tdが存在し、入力信号Aがハイになると同時に出力信号Eがハイになるので、入力信号と出力信号との位相は一致する。

【0028】

なお、上記の説明では、入力信号Aのハイが遅延するが、入力端子の直後及び出力端子の直前にインバータ（図示せず）が設けられることにより、入力信号Aのローが遅延しても良い。

【0029】

また、図5に示すように、PMOSトランジスタ14のドレインと接地端子24との間に容量19が新たに設けられても良い。すると、容量19はインバータ12の入力端子に接続されるMOSトランジスタ（図示せず）にゲート容量を補強するので、内部信号Dが安定する。

40

【0030】

また、上記の説明では、接地端子24に容量18が設けられていたが、図6に示すように、電源端子23に容量18aが設けられても良い。

【図面の簡単な説明】

【0031】

【図1】遅延回路を示す回路図である。

50

【図 2】時間に基づいた信号を示すタイミングチャートであり、(A) は入力信号を示し、(B) は内部信号を示し、(C) は内部信号を示し、(D) は内部信号を示し、(E) は出力信号を示す。

【図 3】定電流回路を示す回路図である。

【図 4】定電流回路を示す回路図である。

【図 5】遅延回路を示す回路図である。

【図 6】遅延回路を示す回路図である。

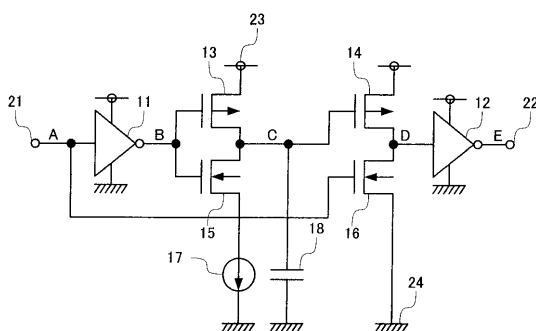
【符号の説明】

【0032】

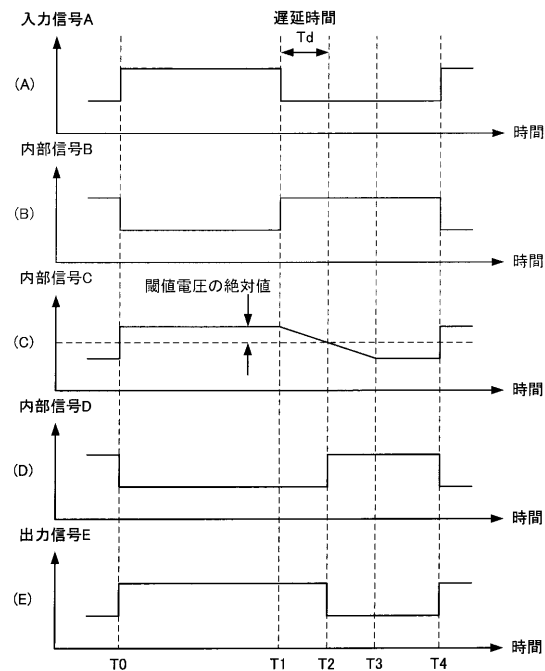
21 …… 入力端子 22 …… 出力端子
 23 …… 電源端子 24 …… 接地端子
 11～12 …… インバータ 13～14 …… PMOS トランジスタ
 15～16 …… NMOS トランジスタ 17 …… 定電流回路
 18 …… 容量 B～D …… 内部信号
 A …… 入力信号 E …… 出力信号

10

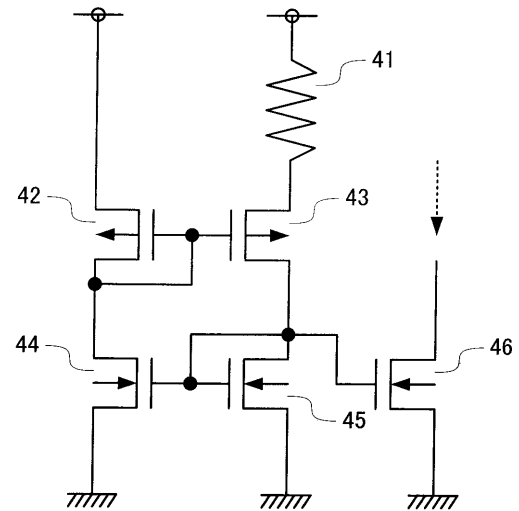
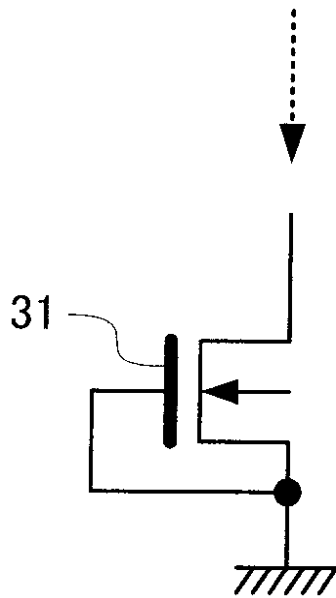
【図 1】



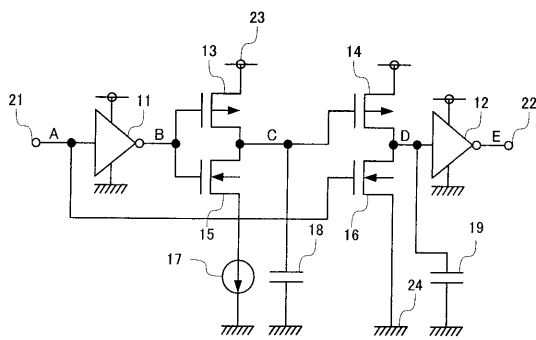
【図 2】



【図 4】



【 図 5 】



【图 6】

