



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I776563 B

(45)公告日：中華民國 111 (2022) 年 09 月 01 日

(21)申請案號：110123203

(22)申請日：中華民國 104 (2015) 年 03 月 18 日

(51)Int. Cl. : H01L29/78 (2006.01)

H01L29/41 (2006.01)

(30)優先權：2014/03/28 日本

2014-069534

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP) ; 坂倉真之 SAKAKURA, MASAYUKI (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 201306265A

JP 2002-9289A

JP 2011-181913A

JP 2014-29994A

US 2011/0133177A1

US 2013/0320332A1

審查人員：翁佑菱

申請專利範圍項數：8 項 圖式數：22 共 114 頁

(54)名稱

電晶體和半導體裝置

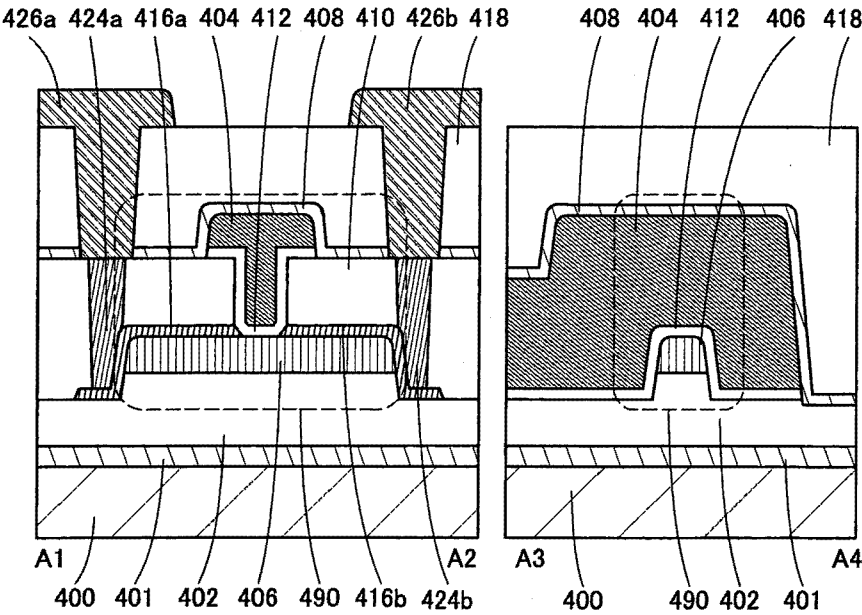
(57)摘要

本發明提供一種寄生電容小的電晶體。提供一種頻率特性高的電晶體。提供一種包括該電晶體的半導體裝置。本發明的一個實施方式是一種電晶體，包括：氧化物半導體、第一導電體、第二導電體、第三導電體、第一絕緣體、以及第二絕緣體，其中，第一導電體包括第一導電體與氧化物半導體隔著第一絕緣體相互重疊的第一區域；第一導電體與第二導電體隔著第一絕緣體及第二絕緣體相互重疊的第二區域；第一導電體與第三導電體隔著第一絕緣體及第二絕緣體相互重疊的第三區域。氧化物半導體包括該氧化物半導體與第二導電體接觸的第四區域；以及該氧化物半導體與第三導電體接觸的第五區域。

A transistor with small parasitic capacitance can be provided. A transistor with high frequency characteristics can be provided. A semiconductor device including the transistor can be provided. Provided is a transistor including an oxide semiconductor, a first conductor, a second conductor, a third conductor, a first insulator, and a second insulator. The first conductor has a first region where the first conductor overlaps with the oxide semiconductor with the first insulator positioned therebetween; a second region where the first conductor overlaps with the second conductor with the first and second insulators positioned therebetween; and a third region where the first conductor overlaps with the third conductor with the first and second insulators positioned therebetween. The oxide semiconductor including a fourth region where the oxide semiconductor is in contact with the second conductor; and a fifth region where the oxide semiconductor is in contact with the third conductor.

指定代表圖：

圖 1B



符號簡單說明：

- 400:基板
- 401:絕緣體
- 402:絕緣體
- 404:導電體
- 406:半導體
- 408:絕緣體
- 410:絕緣體
- 412:絕緣體
- 416a:導電體
- 416b:導電體
- 418:絕緣體
- 424a:導電體
- 424b:導電體
- 426a:導電體
- 426b:導電體
- 490:電晶體

發明摘要

【發明名稱】(中文/英文)

電晶體和半導體裝置

TRANSISTOR AND SEMICONDUCTOR DEVICE

【中文】

本發明提供一種寄生電容小的電晶體。提供一種頻率特性高的電晶體。提供一種包括該電晶體的半導體裝置。本發明的一個實施方式是一種電晶體，包括：氧化物半導體、第一導電體、第二導電體、第三導電體、第一絕緣體、以及第二絕緣體，其中，第一導電體包括第一導電體與氧化物半導體隔著第一絕緣體相互重疊的第一區域；第一導電體與第二導電體隔著第一絕緣體及第二絕緣體相互重疊的第二區域；第一導電體與第三導電體隔著第一絕緣體及第二絕緣體相互重疊的第三區域。氧化物半導體包括該氧化物半導體與第二導電體接觸的第四區域；以及該氧化物半導體與第三導電體接觸的第五區域。

【 英文 】

A transistor with small parasitic capacitance can be provided. A transistor with high frequency characteristics can be provided. A semiconductor device including the transistor can be provided. Provided is a transistor including an oxide semiconductor, a first conductor, a second conductor, a third conductor, a first insulator, and a second insulator. The first conductor has a first region where the first conductor overlaps with the oxide semiconductor with the first insulator positioned therebetween; a second region where the first conductor overlaps with the second conductor with the first and second insulators positioned therebetween; and a third region where the first conductor overlaps with the third conductor with the first and second insulators positioned therebetween. The oxide semiconductor including a fourth region where the oxide semiconductor is in contact with the second conductor; and a fifth region where the oxide semiconductor is in contact with the third conductor.

【代表圖】

【本案指定代表圖】：第(1B)圖。

【本代表圖之符號簡單說明】：

400：基板

401：絕緣體

402：絕緣體

404：導電體

406：半導體

408：絕緣體

410：絕緣體

412：絕緣體

416a：導電體

416b：導電體

418：絕緣體

424a：導電體

424b：導電體

426a：導電體

426b：導電體

490：電晶體

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本申請書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

電晶體和半導體裝置

TRANSISTOR AND SEMICONDUCTOR DEVICE

【技術領域】

[0001] 本發明例如係關於一種電晶體、半導體裝置以及其製造方法。本發明例如係關於一種顯示裝置、發光裝置、照明設備、蓄電裝置、記憶體裝置、處理器、或電子裝置。本發明係關於一種顯示裝置、液晶顯示裝置、發光裝置、記憶體裝置或電子裝置的製造方法。本發明係關於一種半導體裝置、顯示裝置、液晶顯示裝置、發光裝置、記憶體裝置或電子裝置的驅動方法。

[0002] 注意，本發明的一個實施方式不侷限於上述發明所屬之技術領域。本說明書等所公開的發明的一個實施方式的技術領域係關於一種物體、方法或製造方法。另外，本發明的一個實施方式係關於一種程式（process）、機器（machine）、產品（manufacture）或者組合物（composition of matter）。

[0003] 在本說明書等中，半導體裝置一般是指能夠藉由利用半導體特性而工作的所有裝置。顯示裝置、發光裝置、照明設備、電光裝置、半導體電路以及電子裝置在一些情況下包括半導體裝置。

【先前技術】

[0004] 近年來，使用氧化物半導體的電晶體受到關注。氧化物半導體可以利用濺射法等形成，所以可以用於大型顯示裝置中的電晶體的半導體。另外，因為可以改良而利用包括非晶矽的電晶體的生產設備的一部分，所以包括氧化物半導體的電晶體還具有可以抑制設備投資的優點。

[0005] 已知包括氧化物半導體的電晶體在非導通狀態下具有極小的洩漏電流。例如，應用了包括氧化物半導體的電晶體的洩漏電流低的特性的低功耗 CPU 等已被公開（參照專利文獻 1）。

[0006]

[專利文獻 1] 日本專利申請公開第 2012-257187 號公報

【發明內容】

[0007] 本發明的一個實施方式的目的是之一提供一種具有小寄生電容的電晶體。本發明的一個實施方式的目的是之一提供一種具有高頻率特性的電晶體。本發明的一個實施方式的目的是之一提供一種具有良好電特性的電晶體。本發明的一個實施方式的目的是之一提供一種具有穩定電特性的電晶體。本發明的一個實施方式的目的是之一提供一種關態電流（off-state current）低的電晶體。本發

明的一個實施方式的目的之一是提供一種新穎的電晶體。本發明的一個實施方式的目的之一是提供一種包括上述電晶體的半導體裝置。本發明的一個實施方式的目的之一是提供一種可工作速度快的半導體裝置。本發明的一個實施方式的目的之一是提供一種新穎的半導體裝置。本發明的一個實施方式的目的之一是提供一種包括上述半導體裝置的模組。本發明的一個實施方式的目的之一是提供一種包括上述半導體裝置或上述模組的電子裝置。

[0008] 對上述目的的描述並不妨礙其他目的的存在。本發明的一個實施方式並不需要實現所有上述目的。其他的目的從說明書、圖式、申請專利範圍等的描述中是顯而易見的，並且可以從所述說明書、圖式、申請專利範圍等的描述中衍生。

[0009] (1) 本發明的一個實施方式是一種電晶體，包括：氧化物半導體、第一導電體、第二導電體、第三導電體、第一絕緣體、以及第二絕緣體。第一導電體包括第一區域、第二區域以及第三區域，第一區域包括第一導電體與氧化物半導體隔著第一絕緣體相互重疊的區域，第二區域包括第一導電體與第二導電體隔著第一絕緣體及第二絕緣體相互重疊的區域，第三區域包括第一導電體與第三導電體隔著第一絕緣體及第二絕緣體相互重疊的區域，氧化物半導體包括第四區域以及第五區域，第四區域包括氧化物半導體與第二導電體相互接觸的區域，並且，第五區域包括氧化物半導體與第三導電體相互接觸的區域。

[0010] (2) 本發明的一個實施方式是一種半導體裝置，包括： p 通道型電晶體以及 n 通道型電晶體，其中， p 通道型電晶體的源極和汲極中的一個與 n 通道型電晶體的源極和汲極中的一個電連接， p 通道型電晶體的閘極與 n 通道型電晶體的閘極電連接， p 通道型電晶體在通道形成區域中包括矽，並且， n 通道型電晶體是 (1) 所述的電晶體。

[0011] (3) 本發明的一個實施方式是一種 (2) 所述的半導體裝置，其中 p 通道型電晶體使用其頂面中的結晶面包括 (110) 面的區域的矽基板來形成。

[0012] (4) 本發明的一個實施方式是一種 (2) 或 (3) 所述的半導體裝置，其中 p 通道型電晶體的通道形成區域具有濃度梯度，使得賦予 n 型導電性的雜質濃度向該通道形成區域的表面附近逐漸增高。

[0013] (5) 本發明的一個實施方式是一種 (2) 至 (4) 之中任一個所述的半導體裝置，其中 p 通道型電晶體的閘極包括功函數為 4.5eV 以上的導電體。

[0014] (6) 本發明的一個實施方式是一種 (2) 至 (5) 之中任一個所述的半導體裝置，其中氧化物半導體包括銦。

[0015] (7) 本發明的一個實施方式是一種 (2) 至 (6) 之中任一個所述的半導體裝置，其中氧化物半導體包括第一氧化物半導體層、第二氧化物半導體層以及第三氧化物半導體層，並包括第一氧化物半導體層、第二氧化

物半導體層、第三氧化物半導體層相互重疊的區域。

[0016] 注意，在根據本發明的一個實施方式的半導體裝置中，可以使用其他半導體代替氧化物半導體。

[0017] 本發明能夠提供一種具有小寄生電容的電晶體。能夠提供一種具有高頻率特性的電晶體。能夠提供一種具有良好電特性的電晶體。能夠提供一種具有穩定電特性的電晶體。能夠提供一種具有低關態電流的電晶體。能夠提供一種新穎的電晶體。能夠提供一種包括上述電晶體半導體裝置。能夠提供一種可工作速度快的半導體裝置。能夠提供一種新穎的半導體裝置。能夠提供一種包括上述半導體裝置的模組。能夠提供一種包括上述半導體裝置或上述模組的電子裝置。

[0018] 注意，對上述效果的描述並不妨礙其他效果的存在。本發明的一個實施方式並不需要具有所有上述效果。除上述效果外的效果從說明書、圖式、申請專利範圍等的描述中是顯而易見的，並且可以從所述描述中抽出。

【圖式簡單說明】

在圖式中：

[0019]

圖 1A 和圖 1B 是示出根據本發明的一個實施方式的電晶體的俯視圖及剖面圖；

圖 2A 至圖 2D 是示出根據本發明的一個實施方式的電晶體的一部分的剖面圖；

圖 3A 和圖 3B 是示出根據本發明的一個實施方式的電晶體的一部分的剖面圖及示出能帶結構的圖；

圖 4A 和圖 4B 是示出根據本發明的一個實施方式的電晶體的剖面圖；

圖 5A 和圖 5B 是示出根據本發明的一個實施方式的電晶體的製造方法的剖面圖；

圖 6A 和圖 6B 是示出根據本發明的一個實施方式的電晶體的製造方法的剖面圖；

圖 7A 和圖 7B 是示出根據本發明的一個實施方式的電晶體的製造方法的剖面圖；

圖 8A 和圖 8B 是示出根據本發明的一個實施方式的電晶體的製造方法的剖面圖；

圖 9A 和圖 9B 是示出根據本發明的一個實施方式的電晶體的製造方法的俯視圖及剖面圖；

圖 10A 和圖 10B 是示出根據本發明的一個實施方式的電晶體的剖面圖；

圖 11A 和圖 11B 是示出根據本發明的一個實施方式的電晶體的製造方法的剖面圖；

圖 12A 和圖 12B 是示出根據本發明的一個實施方式的電晶體的製造方法的剖面圖；

圖 13A 和圖 13B 是示出根據本發明的一個實施方式的電晶體的製造方法的剖面圖；

圖 14A 和圖 14B 是示出根據本發明的一個實施方式的半導體裝置的電路圖；

圖 15 是示出根據本發明的一個實施方式的半導體裝置的剖面圖；

圖 16 是示出根據本發明的一個實施方式的半導體裝置的剖面圖；

圖 17 是示出根據本發明的一個實施方式的半導體裝置的剖面圖；

圖 18A 和圖 18B 是示出根據本發明的一個實施方式的記憶體裝置的電路圖；

圖 19 是示出根據本發明的一個實施方式的 CPU 的方塊圖；

圖 20 是示出根據本發明的一個實施方式的記憶元件的電路圖；

圖 21A 至圖 21C 是示出根據本發明的一個實施方式的顯示裝置的俯視圖及電路圖；

圖 22A 至圖 22F 是示出根據本發明的一個實施方式的電子裝置的圖。

【實施方式】

[0020] 下文將參照圖式對本發明的實施方式進行詳細的說明。然而，本發明不侷限於以下說明，所屬技術領域的普通技術人員可以很容易地理解一個事實就是其方式和詳細內容可以被變換為各種形式。此外，本發明不應該被解釋為僅限定在下面的實施方式所記載的內容中。注意，當利用圖式說明發明結構時，表示相同部分的元件符

號在不同的圖式中共同使用。另外，在一些情況下使用相同的陰影圖案於相似的部分，而相似的部分不特別附加元件符號表示。

[0021] 注意，在圖式中，有時為了簡化而誇大尺寸、膜（層）的厚度或區域。

[0022] 在本說明書中，例如，為了描述物體形狀，可以將容納物體的最小立方體的一邊長度或者物體的一個剖面的等效圓直徑換稱為物體的“直徑”、“粒徑”、“大小”、“尺寸”、“寬度”。用語「物體的一個剖面的等效圓直徑」是指等於物體的一個剖面具有相同的面積的正圓形的直徑。

[0023] 電壓在大多情況下指某個電位與參考電位（例如，接地電位（GND）或源極電位）之間的電位差。可以將電壓稱為電位而反之亦然。

[0024] 為方便起見，在本說明書中使用第一、第二等序數詞，而其並不表示步驟順序或疊層順序。因此，例如可以將用語“第一”適當地替換為用語“第二”或“第三”等。此外，在本說明書等中記載的序數詞與用於規範本發明的一個實施方式的序數詞不一定一致。

[0025] 注意，例如在導電性充分低時，在一些情況下“半導體”包括“絕緣體”的特性。此外，“半導體”和“絕緣體”的邊界不清楚，因此在一些情況下不能精確地區別“半導體”和“絕緣體”。由此，在一些情況下可以將本說明書所記載的“半導體”換稱為“絕緣體”。同樣地，在一些情

況下可以將本說明書所記載的“絕緣體”換稱為“半導體”。

[0026] 另外，例如在導電性充分高時，在一些情況下即便表示為“半導體”也具有“導電體”的特性。此外，“半導體”和“導電體”的邊界不清楚，因此在一些情況下不能精確地區別。由此，在一些情況下可以將本說明書所記載的“半導體”換稱為“導電體”。同樣地，在一些情況下可以將本說明書所記載的“導電體”換稱為“半導體”。

[0027] 注意，半導體的雜質例如是指構成半導體的主要成分之外的元素。例如，具有濃度低於 0.1atomic% 的元素是雜質。當包含雜質時，可在半導體中形成 DOS (Density of State: 態密度)，例如載子移動率可降低或結晶性可降低等。在半導體是氧化物半導體的情況下，改變半導體特性的雜質的例子包括第一族元素、第二族元素、第十四族元素、第十五族元素或主要成分之外的過渡金屬等，具體是，例如有氫（包括水）、鋰、鈉、矽、硼、磷、碳、氮等。在氧化物半導體的情況下，藉由氫等雜質的進入可形成氧缺陷。此外，在半導體是矽膜的情況下，改變半導體特性的雜質的例子包括氧、除氫之外的第一族元素、第二族元素、第十三族元素、第十五族元素等。

[0028] 另外，在本說明書中，“A 具有濃度 B 的區域”之記載包括例如：A 的某區域中在深度方向上整體區域的濃度為 B 的情況、A 的某區域中在深度方向上的濃度的平均值為 B 的情況、A 的某區域中在深度方向上的濃度

的中間值為 B 的情況、A 的某區域中在深度方向上的濃度的最大值為 B 的情況、A 的某區域中在深度方向上的濃度的最小值為 B 的情況、A 的某區域中在深度方向上的濃度的收斂值為 B 的情況、以及 A 的某區域中在測量中得到可能的值的濃度為 B 的情況等。

[0029] 在本說明書中，在記載為“A 具有大小 B、長度 B、厚度 B、寬度 B 或距離 B 的區域”時，例如包括：A 的某區域整體區域的大小、長度、厚度、寬度或距離為 B 的情況；A 的某區域的大小、長度、厚度、寬度或距離的平均值為 B 的情況；A 的某區域的大小、長度、厚度、寬度或距離的中值為 B 的情況；A 的某區域的大小、長度、厚度、寬度或距離的最大值為 B 的情況；A 的某區域的大小、長度、厚度、寬度或距離的最小值為 B 的情況；A 的某區域的大小、長度、厚度、寬度或距離的收斂值為 B 的情況；以及 A 的某區域中的在測量中能夠得到可能是個準確的值的的大小、長度、厚度、寬度或距離為 B 的情況等。

[0030] 注意，例如，通道長度是指在電晶體的俯視圖中，半導體（或在電晶體處於開啟狀態時，在半導體中電流流動的部分）與閘極電極相互重疊的區域或形成有通道的區域中的源極（源極區域或源極電極）與汲極（汲極區域或汲極電極）之間的距離。在一個電晶體中，通道長度不一定在所有的區域中成為相同的值。即，一個電晶體的通道長度在一些情況下不侷限於一個值。因此，在本說明書中，通道長度是形成通道的區域中的任一個值、最大

值、最小值或平均值。

[0031] 例如，通道寬度是指半導體（或在電晶體處於開啟狀態時，在半導體中電流流動的部分）與閘極電極相互重疊的區域或形成有通道的區域中的源極與汲極相對的部分的長度。在一個電晶體中，通道寬度在所有區域中不一定為相同。換言之，一個電晶體的通道寬度在一些情況下不侷限於一個值。因此，在本說明書中，通道寬度是形成有通道的區域中的任一個值、最大值、最小值或平均值。

[0032] 另外，取決於電晶體的結構，在一些情況下實際上形成有通道的區域中的通道寬度（下面稱為有效的通道寬度）不同於電晶體的俯視圖所示的通道寬度（下面稱為外觀上的通道寬度）。例如，在具有三維結構的電晶體中，在一些情況下因為有效的通道寬度大於電晶體的俯視圖所示的外觀上的通道寬度，所以不能忽略其影響。例如，在具有微型且三維結構的電晶體中，在一些情況下形成在半導體側面的通道區域的比例大於形成在半導體頂面的通道區域的比例。在此情況下，實際上形成有通道的有效的通道寬度大於俯視圖所示的外觀上的通道寬度。

[0033] 在具有三維結構的電晶體中，在一些情況下難以藉由實測來估計有效的通道寬度。例如，為了從設計值估計有效的通道寬度，需要假設已知半導體的形狀作為一個假設條件。因此，在半導體的形狀不正確地已知的情況下，難以正確地測定有效的通道寬度。

[0034] 於是，在本說明書中，在一些情況下在電晶體的俯視圖中將作為半導體與閘極電極相互重疊的區域中的源極與汲極相對的部分的長度的外觀上的通道寬度稱為“圍繞通道寬度（SCW：Surrounded Channel Width）”。此外，在本說明書中，在簡單地表示用語“通道寬度”時，在一些情況下是指圍繞通道寬度或外觀上的通道寬度。或者，在本說明書中，在簡單地表示用語“通道寬度”的情況下，可表示有效的通道寬度。注意，藉由取得剖面TEM影像等並對該影像進行分析等，可以決定通道長度、通道寬度、有效的通道寬度、外觀上的通道寬度、圍繞通道寬度等的值。

[0035] 另外，在藉由計算求得電晶體的場效移動率或每個通道寬度的電流值等的情況下，可使用圍繞通道寬度計算。在此情況下，該求得的值不同於在一些情況下使用有效的通道寬度計算來求得的值。

[0036] 在本說明書中，“A 具有其端部比 B 的端部突出的形狀”可意味著在俯視圖或剖面圖中 A 的至少一個端部位於 B 的至少一個端部的側的情況。因此，例如可以將“A 具有其端部比 B 的端部突出的形狀”的記載解釋為在俯視圖中 A 的一個端部位於 B 的一個端部的側。

[0037] 在本說明書中，“平行”是指兩條直線形成的角度為 -10° 以上且 10° 以下的狀態。因此，還包括該角度為 -5° 以上且 5° 以下的狀態。另外，“垂直”是指兩條直線形成的角度為 80° 以上且 100° 以下的狀態。因此，還包括

該角度為 85° 以上且 95° 以下的狀態。

[0038] 在本說明書中，六方晶系包括三方晶系和菱方晶系。

[0039]

〈電晶體的結構〉

下面，將說明根據本發明的一個實施方式的電晶體的結構。

[0040]

〈電晶體結構 1〉

圖 1A 及圖 1B 是根據本發明的一個實施方式的電晶體 490 的俯視圖及剖面圖。圖 1A 是俯視圖。圖 1B 是對應於圖 1A 所示的點劃線 A1-A2 及點劃線 A3-A4 的剖面圖。注意，在圖 1A 的俯視圖中，為了明確起見，省略構成要素的一部分。

[0041] 在圖 1B 中，電晶體 490 包括：基板 400 上的絕緣體 401、絕緣體 401 上的絕緣體 402、絕緣體 402 上的半導體 406、具有與半導體 406 的頂面及側面接觸的區域的導電體 416a 及導電體 416b、與導電體 416a 及導電體 416b 的頂面接觸且具有到達導電體 416a 的開口部及到達導電體 416b 的開口部的絕緣體 410、藉由絕緣體 410 的開口部與導電體 416a 接觸的導電體 424a、藉由絕緣體 410 的開口部與導電體 416b 接觸的導電體 424b、與半導體 406 的頂面接觸的絕緣體 412、隔著絕緣體 412 配置於半導體 406 上的導電體 404、以及絕緣體 410 及導電體

404 上的絕緣體 408。

[0042] 注意，電晶體 490 不一定包括絕緣體 401。電晶體 490 不一定包括絕緣體 402。電晶體 490 在一些情況下可以不包括絕緣體 408。電晶體 490 不一定包括導電體 424a。電晶體 490 不一定包括導電體 424b。

[0043] 在圖 1B 中，包括到達導電體 424a 的開口部及到達導電體 424b 的開口部的絕緣體 418 和藉由絕緣體 418 的開口部分別與導電體 424a 與導電體 424b 接觸的導電體 426a 以及導電體 426b 位於電晶體 490 的絕緣體 408 上。

[0044] 在電晶體 490 中，導電體 404 作為閘極電極。另外，絕緣體 412 作為閘極絕緣體。導電體 416a 及導電體 416b 作為源極電極以及汲極電極。因此，能夠由施加到導電體 404 的電位控制半導體 406 的電阻。即，能夠由施加到導電體 404 的電位控制導電體 416a 與導電體 416b 之間的導通或非導通。

[0045] 另外，電晶體 490 的導電體 404 包括隔著絕緣體 410 與導電體 416a 重疊的區域以及隔著絕緣體 410 與導電體 416b 重疊的區域。電晶體 490 藉由在導電體 404 與導電體 416a 之間及導電體 404 與導電體 416b 之間分別包括絕緣體 410，藉此可以減小寄生電容。因此，電晶體 490 高具有頻率特性。

[0046] 如圖 1B 所示，半導體 406 的側面與導電體 416a 及導電體 416b 接觸。另外，可以由作為閘極電極的

導電體 404 的電場電圍繞半導體 406。將由閘極電極的電場電圍繞半導體的電晶體結構稱為 **surrounded channel (s-channel)** 結構。因此，在一些情況下通道形成在整個半導體 406 (**bulk**) 中。在 **s-channel** 結構中，可以使大電流流過電晶體的源極與汲極之間，由此可以增大導通時的電流（通態電流）。另外，由於半導體 406 由導電體 404 的電場圍繞，所以能夠減少非導通時的電流（關態電流（**off-state current**））。

[0047] 注意，藉由使電晶體 490 被具有阻擋氫等雜質及氧的功能的絕緣體圍繞，能夠使電晶體 490 的電特性穩定。例如，作為絕緣體 401 及絕緣體 408，可以使用具有阻擋氫等雜質及氧的功能的絕緣體。

[0048] 作為具有阻擋氫等雜質及氧的功能的絕緣體，例如可以使用包含硼、碳、氮、氧、氟、鎂、鋁、矽、磷、氯、氫、鎵、銻、鉍、鉛、銻、釷或鈾的絕緣體的單層或疊層。

[0049] 例如，絕緣體 401 可以由氧化鋁、氧化鎂、氮氧化矽、氮化矽、氧化鎵、氧化銻、氧化鉍、氧化鉛、氧化銻、氧化釷、氧化鈾形成。注意，絕緣體 401 較佳為包含氧化鋁或氮化矽。例如，藉由使絕緣體 401 包含氧化鋁或氮化矽，能夠抑制氫等雜質混入半導體 406。另外，例如，藉由使絕緣體 401 包含氧化鋁或氮化矽，能夠減少氧向外的擴散。

[0050] 另外，例如，絕緣體 408 可以由氧化鋁、氧

化鎂、氮氧化矽、氮化矽、氧化鎵、氧化鋳、氧化釔、氧化鋯、氧化鐳、氧化釷、氧化鈾或氧化鈾形成。注意，絕緣體 408 較佳為包含氧化鋁或氮化矽。例如，藉由使絕緣體 408 包含氧化鋁或氮化矽，能夠抑制氫等雜質混入半導體 406。另外，例如，藉由使絕緣體 408 包含氧化鋁或氮化矽，能夠減少氧向外的擴散。

[0051] 絕緣體 402 具有例如包含硼、碳、氮、氧、氟、鎂、鋁、矽、磷、氯、氫、銻、鍺、釷、鉛、鐳、鈾、鈾或鈾的絕緣體的單層或疊層。例如，作為絕緣體 402，可以由氧化鋁、氧化鎂、氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化銻、氧化鍺、氧化釷、氧化鉛、氧化鐳、氧化鈾、氧化鈾或氧化鈾形成。

[0052] 絕緣體 402 也可以具有防止雜質從基板 400 擴散的功能。另外，當半導體 406 為氧化物半導體時，絕緣體 402 可以具有向半導體 406 供應氧的功能。

[0053] 導電體 416a 及導電體 416b 各可以具有例如包含硼、氮、氧、氟、矽、磷、鋁、鈦、鉻、錳、鈷、鎳、銅、鋅、鎵、鉕、鋯、鈳、釷、銀、銦、錫、鉭和鎢中的一種以上的導電體的單層或疊層。例如，也可以使用合金或化合物，可以使用包含鋁的導電體、包含銅及鈦的導電體、包含銅及錳的導電體、包含銦、錫及氧的導電體或者包含鈦及氮的導電體等。

[0054] 注意，可以取決於導電體 416a 及導電體 416b 的端部形狀形成偏置區域和重疊區域。

[0055] 在圖 2A 及圖 2B 所示的剖面圖中，在導電體 416a 的端部處半導體 406 的頂面與導電體 416a 的側面所形成的角度為 θ_a ，在導電體 416b 的端部處半導體 406 的頂面與導電體 416b 的側面所形成的角度為 θ_b 。注意，在導電體 416a 的端部或導電體 416b 的端部處 θ_a 或 θ_b 的角度具有範圍時， θ_a 或 θ_b 為該角度的平均值、中值、最小值或最大值。

[0056] 在圖 2A 中， θ_a 的角度大且導電體 416a 的突出量比絕緣體 412 的厚度小，藉此形成偏置區域 L_{offa} 。類似地，在圖 2A 中， θ_b 的角度大且導電體 416b 的突出量比絕緣體 412 的厚度小，藉此形成偏置區域 L_{offb} 。例如， θ_a 為 60° 以上且低於 90° 即可。另外，例如， θ_b 為 60° 以上且低於 90° 即可。注意， L_{offa} 與 L_{offb} 的大小可以相同，也可以不同。例如，當 L_{offa} 與 L_{offb} 的大小相同時，能夠降低半導體裝置中的多個電晶體 490 的電特性或形狀的偏差。相反的，當 L_{offa} 與 L_{offb} 的大小不同時，在一些情況下能夠降低由於電場集中在特定區域中而導致的電晶體 490 的劣化。

[0057] 另一方面，在圖 2B 中，因為 θ_a 的角度小且導電體 416a 的突出量比絕緣體 412 的厚度大，所以形成重疊區域 L_{ova} 。同樣地，在圖 2B 中，因為 θ_b 的角度小且導電體 416b 的突出量比絕緣體 412 的厚度大，所以形成重疊區域 L_{ovb} 。例如， θ_a 為 15° 以上且低於 60° ，或為 20° 以上且低於 50° 即可。另外，例如， θ_b 為 15° 以上且低

於 60° ，或為 20° 以上且低於 50° 即可。注意， L_{ov_a} 與 L_{ov_b} 的大小可以相同，也可以不同。例如，藉由使 L_{ov_a} 與 L_{ov_b} 的大小相同，能夠降低半導體裝置中的多個電晶體 490 的電特性或形狀的偏差。另外，藉由使 L_{ov_a} 與 L_{ov_b} 的大小不同，在一些情況下能夠降低由於電場集中在特定區域中而導致的電晶體 490 的劣化。

[0058] 注意，電晶體 490 也可以包括偏置區域和重疊區域的兩者。例如，藉由具有 Lova 和 Loffb，在一些情況下能夠增大通態電流，並降低由於電場集中在特性區域中而導致的電晶體 490 的劣化。

[0059] 在圖 2C 所示的剖面圖中，在導電體 416a 的端部處半導體 406 的頂面與導電體 416a 的側面所形成的角度大致垂直，在導電體 416b 的端部處半導體 406 的頂面與導電體 416b 的側面所形成的角度大致垂直。此時，絕緣體 412 的厚度與偏置區域的長度（在圖 2C 中表示為 L_{offa} 及 L_{offb} ）相同。

[0060] 在圖 2D 所示的剖面圖中，導電體 416a 的端部具有曲面，導電體 416b 的端部具有曲面。藉由使導電體 416a 及導電體 416b 的端部具有曲面，在一些情況下能夠緩和導電體 416a 及導電體 416b 的端部處的電場集中。因此，在一些情況下能夠降低由於發生電場集中而導致的電晶體 490 的劣化。

[0061] 絕緣體 410 可以具有例如包含硼、碳、氮、氧、氟、鎂、鋁、矽、磷、氯、氫、銻、鍺、鈮、鉛、

鏷、釹、鉛或鉍的絕緣體的單層或疊層。例如，絕緣體 410 可以由氧化鋁、氧化鎂、氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鎵、氧化鍺、氧化釷、氧化鈳、氧化鏷、氧化釹、氧化鉛或氧化鉍形成。

[0062] 注意，絕緣體 410 較佳為包括相對介電常數低的絕緣體。例如，絕緣體 410 較佳為包含氧化矽、氧氮化矽、氮氧化矽、氮化矽或樹脂等。或者，絕緣體 410 較佳為包括氧化矽或氧氮化矽與樹脂的疊層結構。因為氧化矽及氧氮化矽對熱穩定，所以藉由與樹脂組合，可以實現熱穩定且相對介電常數低的疊層結構。作為樹脂，例如可以舉出聚酯、聚烯烴、聚醯胺（尼龍、芳族聚醯胺等）、聚醯亞胺、聚碳酸酯或丙烯酸等。

[0063] 絕緣體 412 可以具有例如包含硼、碳、氮、氧、氟、鎂、鋁、矽、磷、氯、氫、鎵、鍺、釷、鈳、鏷、釹、鉛或鉍的絕緣體的單層或疊層。例如，絕緣體 412 可以由氧化鋁、氧化鎂、氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鎵、氧化鍺、氧化釷、氧化鈳、氧化鏷、氧化釹、氧化鉛或氧化鉍形成。

[0064] 注意，絕緣體 412 較佳為包括相對介電常數高的絕緣體。例如，絕緣體 412 較佳為包含氧化鎵、氧化鉛、含有鋁及鉛的氧化物、含有鋁及鉛的氧氮化物、含有矽及鉛的氧化物或者含有矽及鉛的氧氮化物等。或者，絕緣體 412 較佳為包括氧化矽或氧氮化矽與相對介電常數高的絕緣體的疊層結構。因為氧化矽及氧氮化矽對熱穩定，

所以藉由與相對介電常數高的絕緣體組合，可以實現熱穩定且相對介電常數高的疊層結構。例如，藉由使絕緣體 412 的半導體 406 一側包含氧化鋁、氧化鎵或氧化鉛，能夠抑制氧化矽或氧氮化矽所含有的矽混入半導體 406。另外，例如在絕緣體 412 的半導體 406 一側包含氧化矽或氧氮化矽時，在一些情況下在氧化鋁、氧化鎵或氧化鉛與氧化矽或氧氮化矽的介面處形成陷阱中心。該陷阱中心在一些情況下可以藉由俘獲電子而使電晶體的臨界電壓向正方向漂移。

[0065] 導電體 404 可以具有例如包含硼、氮、氧、氟、矽、磷、鋁、鈦、鉻、錳、鈷、鎳、銅、鋅、鎵、鉍、銨、鉬、鈮、銀、銦、錫、鉭和鎢中的一種以上的導電體的單層或疊層。例如，也可以使用合金或化合物，可以使用包含鋁的導電體、包含銅及鈦的導電體、包含銅及錳的導電體、包含銦、錫及氧的導電體或者包含鈦及氮的導電體等。

[0066] 導電體 424a 及導電體 424b 可以具有例如包含硼、氮、氧、氟、矽、磷、鋁、鈦、鉻、錳、鈷、鎳、銅、鋅、鎵、鉍、銨、鉬、鈮、銀、銦、錫、鉭和鎢中的一種以上的導電體的單層或疊層。例如，也可以使用合金或化合物，可以使用包含鋁的導電體、包含銅及鈦的導電體、包含銅及錳的導電體、包含銦、錫及氧的導電體或者包含鈦及氮的導電體等。

[0067] 導電體 426a 及導電體 426b 可以具有例如包

含硼、氮、氧、氟、矽、磷、鋁、鈦、鉻、錳、鈷、鎳、銅、鋅、鎵、釷、鈳、鈹、鈳、鈳、銀、銦、錫、鉭和鎢中的一種以上的導電體的單層或疊層。例如，也可以使用合金或化合物，可以使用包含鋁的導電體、包含銅及鈦的導電體、包含銅及錳的導電體、包含銦、錫及氧的導電體或者包含鈦及氮的導電體等。

[0068] 絕緣體 418 可以具有例如包含硼、碳、氮、氧、氟、鎂、鋁、矽、磷、氮、氫、鎵、銻、鉍、鉛、鐳、釷、鈾或鈾的絕緣體的單層或疊層。例如，絕緣體 418 可以使用氧化鋁、氧化鎂、氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鎵、氧化銻、氧化鉍、氧化鉛、氧化鐳、氧化釷、氧化鈾或氧化鈾形成。

[0069] 注意，絕緣體 418 較佳為包括相對介電常數低的絕緣體。例如，絕緣體 418 較佳為包含氧化矽、氧氮化矽、氮氧化矽、氮化矽或樹脂等。或者，絕緣體 418 較佳為具有氧化矽或氧氮化矽與樹脂的疊層結構。因為氧化矽及氧氮化矽對熱穩定，所以藉由與樹脂組合，可以實現熱穩定且相對介電常數低的疊層結構。作為樹脂，例如可以舉出聚酯、聚烯烴、聚醯胺（尼龍、芳族聚醯胺等）、聚醯亞胺、聚碳酸酯或丙烯酸樹脂等。

[0070] 作為半導體 406，較佳為使用氧化物半導體。注意，在一些情況下可以使用矽（包含應變矽）、鍺、矽鍺、碳化矽、鎵砷、鋁鎵砷、銦磷、氮化鎵或有機半導體等。

[0071] 下面說明氧化物半導體的結構。

[0072] 氧化物半導體大致分為非單晶氧化物半導體和單晶氧化物半導體。非單晶氧化物半導體包括 CAAC-OS (C-Axis Aligned Crystalline Oxide Semiconductor: c 軸配向結晶氧化物半導體)、多晶氧化物半導體、微晶氧化物半導體以及非晶氧化物半導體等。

[0073] 首先，說明 CAAC-OS。

[0074] CAAC-OS 是包含呈 c 軸配向的多個結晶部的氧化物半導體之一。

[0075] 藉由使用穿透式電子顯微鏡 (TEM: Transmission Electron Microscope) 觀察 CAAC-OS 的明視野影像及繞射圖案的複合分析影像 (也稱為高解析度 TEM 影像)，來能確認到多個結晶部。另一方面，在高解析度 TEM 影像中，觀察不到各結晶部之間的明確的邊界，即晶界 (grain boundary)。因此，在 CAAC-OS 中，不容易發生由晶界引起的電子移動率的下降。

[0076] 當從與樣本面大致平行的方向觀察 CAAC-OS 的高解析度剖面 TEM 影像時，可以確認到在結晶部中金屬原子排列為層狀。各金屬原子層具有反映了形成 CAAC-OS 膜的面 (也稱為被形成面) 或 CAAC-OS 的頂面的凸凹的形狀並以平行於 CAAC-OS 的被形成面或頂面的方式排列。

[0077] 另一方面，當從與樣本面大致垂直的方向觀察 CAAC-OS 的平面的高解析度 TEM 影像時，可知在結晶

部中金屬原子排列為三角形狀或六角形狀。但是，在不同的結晶部之間金屬原子的排列沒有規律性。

[0078] 使用 X 射線繞射 (XRD:X-Ray Diffraction) 裝置對 CAAC-OS 進行結構分析。例如，當利用 out-of-plane 法分析包括 InGaZnO_4 結晶的 CAAC-OS 時，在繞射角 (2θ) 為 31° 附近時常出現峰值。由於該峰值來源於 InGaZnO_4 結晶的 (009) 面，由此可知 CAAC-OS 中的結晶具有 c 軸配向性，並且 c 軸朝向大致垂直於 CAAC-OS 的被形成面或頂面的方向。

[0079] 注意，當利用 out-of-plane 法分析包括 InGaZnO_4 結晶的 CAAC-OS 時，除了在 2θ 為 31° 附近的峰值之外，可在 2θ 為 36° 附近觀察到峰值。 2θ 為 36° 附近的峰值意味著 CAAC-OS 的一部分中含有不具有 c 軸配向的結晶。較佳的是，在 CAAC-OS 中在 2θ 為 31° 附近時出現峰值而在 2θ 為 36° 附近時不出現峰值。

[0080] CAAC-OS 是雜質濃度低的氧化物半導體。雜質是指氫、碳、矽、過渡金屬元素等氧化物半導體的主要成分以外的元素。尤其是，某一種元素如矽等與氧的鍵合力比構成氧化物半導體的金屬元素與氧的鍵合力強，該元素會奪取氧化物半導體中的氧，從而打亂氧化物半導體的原子排列，導致結晶性下降。另外，由於鐵或鎳等的重金屬、氫、二氧化碳等的原子半徑（或分子半徑）大，所以若包含在氧化物半導體內，則會打亂氧化物半導體的原子排列，導致結晶性下降。注意，包含在氧化物半導體中的

雜質可作為載子陷阱或載子發生源。

[0081] 此外，CAAC-OS 是具有缺陷態低密度的氧化物半導體。例如，氧化物半導體中的氧缺陷作為載子陷阱，或當其中俘獲氫時而作為載子發生源。

[0082] 將雜質濃度低且缺陷態密度低（氧缺陷量少）的狀態稱為“高純度本質”或“實質上高純度本質”。在高純度本質或實質上高純度本質的氧化物半導體中載子發生源少，所以可以降低載子密度。因此，使用該氧化物半導體的電晶體很少具有負臨界電壓的電特性（也稱為常開啟特性）。在高純度本質或實質上高純度本質的氧化物半導體中載子陷阱少。因此，使用該氧化物半導體的電晶體的電特性變動小，於是成為高可靠性電晶體。此外，被氧化物半導體的載子陷阱俘獲的電荷直到被釋放需要長時間。被俘獲的電荷可像固定電荷那樣動作。因此，使用雜質濃度高且缺陷態密度高的氧化物半導體的電晶體可具有不穩定的電特性。

[0083] 此外，在使用 CAAC-OS 的電晶體中，起因於可見光或紫外光的照射的電特性的變動小。

[0084] 接下來，說明微晶氧化物半導體。

[0085] 在微晶氧化物半導體的高解析度 TEM 影像中有能夠觀察到結晶部的區域和觀察不到明確的結晶部的區域。在微晶氧化物半導體中含有的結晶部的尺寸大多為 1nm 以上且 100nm 以下或 1nm 以上且 10nm 以下。尤其是，將具有尺寸為 1nm 以上且 10nm 以下或 1nm 以上且

3nm 以下的微晶的奈米晶 (nc: nanocrystal) 的氧化物半導體稱為 nc-OS (nanocrystalline Oxide Semiconductor: 奈米晶氧化物半導體)。另外，例如在 nc-OS 的高解析度 TEM 影像中，在一些情況下不能明確地確認到晶界。

[0086] nc-OS 在微小區域 (例如是 1nm 以上且 10nm 以下的區域，特別是 1nm 以上且 3nm 以下的區域) 中其原子排列具有週期性。另外，nc-OS 在不同的結晶部之間觀察不到晶體配向的規律性。因此，在膜整體上觀察不到配向性。所以，在一些情況下 nc-OS 在某些分析方法中與非晶氧化物半導體沒有差別。例如，在藉由利用使用其束徑比結晶部大的 X 射線的 XRD 裝置的 out-of-plane 法對 nc-OS 進行結構分析時，檢測不出表示結晶面的峰值。此外，在對 nc-OS 進行使用其束徑比結晶部大 (例如，50nm 以上) 的電子射線的電子繞射 (也稱為選區電子繞射) 時，觀察到類似於光暈圖案的繞射圖案。另一方面，在對 nc-OS 進行使用其束徑近於或小於結晶部的電子射線的奈米束電子繞射時，觀察到斑點。另外，在 nc-OS 的奈米束電子繞射圖案中，在一些情況下觀察到如圓圈那樣的 (環狀的) 亮度高的區域。在 nc-OS 的奈米束電子繞射圖案中，還在一些情況下觀察到環狀的區域內的多個斑點。

[0087] nc-OS 是其規律性比非晶氧化物半導體高的氧化物半導體。因此，nc-OS 的缺陷態密度比非晶氧化物半導體低。但是，nc-OS 在不同的結晶部之間觀察不到晶體配向的規律性。所以，nc-OS 的缺陷態密度比 CAAC-OS

高。

[0088] 接著，說明非晶氧化物半導體。

[0089] 非晶氧化物半導體是膜中的原子排列沒有規律且不具有結晶部的氧化物半導體。其一個例子為具有如石英那樣的無定形態的氧化物半導體。

[0090] 在非晶氧化物半導體的高解析度 TEM 影像中無法發現結晶部。

[0091] 在使用 XRD 裝置藉由 out-of-plane 法對非晶氧化物半導體進行結構分析時，檢測不到表示結晶面的峰值。在對非晶氧化物半導體進行電子繞射時，觀察到光暈圖案。在對非晶氧化物半導體進行奈米束電子繞射時，觀察不到斑點而觀察到光暈圖案。

[0092] 注意，氧化物半導體可具有介於 nc-OS 與非晶氧化物半導體之間的物性的結構。將具有這樣的結構的氧化物半導體特別稱為(類非晶)amorphous-like 氧化物半導體 (amorphous-like OS : amorphous-like Oxide Semiconductor) 。

[0093] 在 amorphous-like OS 的高解析度 TEM 影像中在一些情況下觀察到空洞 (void) 。另外，在高解析度 TEM 影像中，有能夠明確地觀察到結晶部的區域和不能觀察到結晶部的區域。在 amorphous-like OS 中，在一些情況下因為用於 TEM 觀察的微量電子束而產生晶化，由此觀察到結晶部的生長。另一方面，在良好的 nc-OS 中，幾乎沒有因為用於 TEM 觀察的微量電子束而產生的晶

化。

[0094] 此外，可以使用高解析度 TEM 影像測定 amorphous-like OS 及 nc-OS 的結晶部大小。例如， InGaZnO_4 的結晶具有層狀結構，在 In-O 層間具有兩個 Ga-Zn-O 層。 InGaZnO_4 結晶的單位晶格具有三個 In-O 層和六個 Ga-Zn-O 層這九個層在 c 軸方向上以層狀層疊的結構。因此，這些相鄰的層間的間隔等於 (009) 面的晶格表面間隔（也稱為 d 值），經結晶結構分析得出該值為 0.29nm。因此，著眼於高解析度 TEM 影像的晶格條紋，在晶格條紋的間隔為 0.28nm 以上且 0.30nm 以下的區域，每個晶格條紋都對應於 InGaZnO_4 的結晶的 a-b 面。

[0095] 注意，氧化物半導體例如可以是包括非晶氧化物半導體、amorphous-like OS、微晶氧化物半導體和 CAAC-OS 中的兩種以上的疊層膜。

[0096] 圖 3A 是將電晶體 490 的一部分放大的剖面圖。在圖 3A 中，半導體 406 是依次層疊半導體層 406a、半導體層 406b 及半導體層 406c 的疊層膜。

[0097] 對可用於半導體層 406a、半導體層 406b 及半導體層 406c 等的半導體進行說明。

[0098] 半導體層 406b 例如是包含銦的氧化物半導體。例如，在半導體層 406b 包含銦時，其載子移動率（電子移動率）得到提高。此外，半導體層 406b 較佳為包含元素 M。元素 M 較佳是鋁、鎵、鉍或錫等。作為可用作元素 M 的其他元素，有硼、矽、鈦、鐵、鎳、鋅、

鉍、銨、鉬、鐳、銻、釷、鉛、鉭、鎢等。注意，作為元素 M 也可以組合使用上述多個元素。元素 M 例如是與氧的鍵能高的元素。元素 M 例如是與氧的鍵能高於銦的元素。或者，元素 M 例如是可增大氧化物半導體的能隙的元素。此外，半導體層 406b 較佳為包含鋅。當氧化物半導體包含鋅時，在一些情況下容易晶化。

[0099] 注意，半導體層 406b 不侷限於包含銦的氧化物半導體。半導體層 406b 例如也可以是鋅錫氧化物、鎵錫氧化物或氧化鎵等不包含銦且包含鋅、鎵或錫的氧化物半導體等。

[0100] 作為半導體層 406b，例如使用能隙大的氧化物。半導體層 406b 的能隙例如是 2.5eV 以上且 4.2eV 以下，較佳為 2.8eV 以上且 3.8eV 以下，更佳為 3eV 以上且 3.5eV 以下。

[0101] 例如，半導體層 406a 及半導體層 406c 包括構成半導體層 406b 的氧之外的元素中的一種以上的元素。因為半導體層 406a 及半導體層 406c 分別包括構成半導體層 406b 的氧之外的元素中的一種以上的元素，所以不容易在半導體層 406a 與半導體層 406b 的介面以及半導體層 406b 與半導體層 406c 的介面處形成介面能階。

[0102] 對半導體層 406a、半導體層 406b 及半導體層 406c 包含銦的情況進行說明。另外，在半導體層 406a 是 In-M-Zn 氧化物的情況下，在 In 和 M 的總和為 100atomic%時，較佳的是：In 低於 50atomic%，M 為

50atomic%以上，更佳的是：In 低於 25atomic%，M 為 75atomic%以上。此外，在半導體層 406b 是 In-M-Zn 氧化物的情況下，在 In 和 M 的總和為 100atomic%時，較佳的是：In 為 25atomic%以上，M 低於 75atomic%，更佳的是：In 為 34atomic%以上，M 低於 66atomic%。此外，在半導體層 406c 是 In-M-Zn 氧化物的情況下，在 In 和 M 的總和為 100atomic%時，較佳的是：In 低於 50atomic%，M 為 50atomic%以上，更佳的是：In 低於 25atomic%，M 為 75atomic%以上。另外，半導體層 406c 也可以使用與半導體層 406a 相同的種類的氧化物。

[0103] 作為半導體層 406b 使用其電子親和力大於半導體層 406a 及半導體層 406c 的氧化物。例如，作為半導體層 406b 使用如下氧化物，該氧化物的電子親和力比半導體層 406a 及半導體層 406c 大 0.07eV 以上且 1.3eV 以下，較佳為大 0.1eV 以上且 0.7eV 以下，更佳為大 0.15eV 以上且 0.4eV 以下。注意，電子親和力是真空能階和導帶底之間的能量差。

[0104] 銦鎵氧化物的電子親和力小，其氧阻擋性高。因此，半導體層 406c 較佳為包含銦鎵氧化物。鎵原子的比率[$\text{Ga}/(\text{In}+\text{Ga})$]例如為 70%以上，較佳為 80%以上，更佳為 90%以上。

[0105] 注意，半導體層 406a 或/及半導體層 406c 也可以是氧化鎵。例如，當將氧化鎵用於半導體層 406c 時，能夠降低在導電體 416a 或導電體 416b 與導電體 404

之間產生的洩漏電流。即，能夠減少電晶體 490 的關態電流。

[0106] 此時，若施加閘極電壓，通道則形成在半導體層 406a、半導體層 406b 和半導體層 406c 當中的電子親和力大的半導體層 406b 中。

[0107] 圖 3B 示出對應於圖 3A 所示的點劃線 E1-E2 的能帶結構。圖 3B 示出真空能階（記為“vacuum level”）、各層的導帶底的能量（記為“ E_c ”）以及價帶頂（記為“ E_v ”）。

[0108] 在此，在一些情況下在半導體層 406a 與半導體層 406b 之間具有半導體層 406a 和半導體層 406b 的混合區域。另外，在一些情況下在半導體層 406b 與半導體層 406c 之間具有半導體層 406b 和半導體層 406c 的混合區域。混合區域的介面態密度較低。因此，在半導體層 406a、半導體層 406b 和半導體層 406c 的疊層體的能帶結構中，各層之間的介面及介面附近的能量連續地變化（也稱為連續接合）。

[0109] 此時，電子不在半導體層 406a 中及半導體層 406c 中移動，而主要在半導體層 406b 中移動。因此，藉由降低半導體層 406a 與半導體層 406b 的介面處的介面態密度、半導體層 406b 與半導體層 406c 的介面處的介面態密度，在半導體層 406b 中妨礙電子移動的情況得到減少，從而可以提高電晶體 490 的通態電流。

[0110] 注意，在電晶體 490 具有 s-channel 結構的情

況下，通道形成在整個半導體層 406b 中。因此，半導體層 406b 具有越大的厚度，通道區域越大。即，半導體層 406b 越厚，電晶體 490 的通態電流越大。例如，半導體層 406b 具有其厚度為 20nm 以上，較佳為 40nm 以上，更佳為 60nm 以上，進一步較佳為 100nm 以上的區域即可。注意，包括電晶體 490 的半導體裝置的生產率在一些情況下會下降，因此，例如，半導體層 406b 具有其厚度為 300nm 以下，較佳為 200nm 以下，更佳為 150nm 以下的區域即可。

[0111] 此外，為了提高電晶體 490 的通態電流，半導體層 406c 的厚度越小越好。例如，半導體層 406c 具有其厚度低於 10nm，較佳為 5nm 以下，更佳為 3nm 以下的區域即可。另一方面，半導體層 406c 具有阻擋構成相鄰的絕緣體的氧之外的元素（氫、矽等）侵入形成有通道的半導體層 406b 中的功能。因此，半導體層 406c 較佳為具有一定程度的厚度。例如，半導體層 406c 具有其厚度為 0.3nm 以上，較佳為 1nm 以上，更佳為 2nm 以上的區域即可。另外，為了抑制從絕緣體 402 等釋放的氧向外擴散，半導體層 406c 較佳為具有阻擋氧的性質。

[0112] 此外，為了提高可靠性，較佳的是，半導體層 406a 的厚度大，並且半導體層 406c 的厚度小。例如，半導體層 406a 具有其厚度例如為 10nm 以上，較佳為 20nm 以上，更佳為 40nm 以上，進一步較佳為 60nm 以上的區域即可。藉由將半導體層 406a 形成得厚，可以拉開

相鄰的絕緣體和半導體層 406a 的介面與形成有通道的半導體層 406b 的距離。注意，因為包括電晶體 490 的半導體裝置的生產率在一些情況下會下降，所以半導體層 406a 具有其厚度例如為 200nm 以下，較佳為 120nm 以下，更佳為 80nm 以下的區域即可。

[0113] 例如，氧化物半導體中的矽在一些情況下成為載子陷阱或載子發生源。因此，半導體層 406b 的矽濃度越低越好。例如，在半導體層 406b 與半導體層 406a 之間具有藉由二次離子質譜分析法（SIMS：Secondary Ion Mass Spectrometry）得到的矽濃度低於 $1 \times 10^{19} \text{atoms/cm}^3$ ，較佳為低於 $5 \times 10^{18} \text{atoms/cm}^3$ ，更佳為低於 $2 \times 10^{18} \text{atoms/cm}^3$ 的區域。此外，在半導體層 406b 與半導體層 406c 之間具有藉由 SIMS 得到的矽濃度低於 $1 \times 10^{19} \text{atoms/cm}^3$ ，較佳為低於 $5 \times 10^{18} \text{atoms/cm}^3$ ，更佳為低於 $2 \times 10^{18} \text{atoms/cm}^3$ 的區域。

[0114] 另外，半導體層 406b 具有藉由 SIMS 得到的氫濃度為 $2 \times 10^{20} \text{atoms/cm}^3$ 以下，較佳為 $5 \times 10^{19} \text{atoms/cm}^3$ 以下，更佳為 $1 \times 10^{19} \text{atoms/cm}^3$ 以下，進一步較佳為 $5 \times 10^{18} \text{atoms/cm}^3$ 以下的區域。此外，為了降低半導體層 406b 的氫濃度，較佳為降低半導體層 406a 及半導體層 406c 的氫濃度。半導體層 406a 及半導體層 406c 具有藉由 SIMS 得到的氫濃度為 $2 \times 10^{20} \text{atoms/cm}^3$ 以下，較佳為 $5 \times 10^{19} \text{atoms/cm}^3$ 以下，更佳為 $1 \times 10^{19} \text{atoms/cm}^3$ 以下，進一步較佳為 $5 \times 10^{18} \text{atoms/cm}^3$ 以下的區域。此外，為了降低

半導體層 406b 的氮濃度，較佳為降低半導體層 406a 及半導體層 406c 的氮濃度。另外，半導體層 406b 具有藉由 SIMS 得到的氮濃度低於 $5 \times 10^{19} \text{ atoms/cm}^3$ ，較佳為 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下，更佳為 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下，進一步較佳為 $5 \times 10^{17} \text{ atoms/cm}^3$ 以下的區域。半導體層 406a 及半導體層 406c 具有藉由 SIMS 得到的氮濃度低於 $5 \times 10^{19} \text{ atoms/cm}^3$ ，較佳為 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下，更佳為 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下，進一步較佳為 $5 \times 10^{17} \text{ atoms/cm}^3$ 以下的區域。

[0115] 注意，當銅混入氧化物半導體時，在一些情況下生成電子陷阱。電子陷阱在一些情況下使電晶體的臨界電壓向正方向漂移。因此，半導體層 406b 的表面或內部的銅濃度越低越好。例如，半導體層 406b 較佳為具有銅濃度為 $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下或者 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下的區域。

[0116] 上述三層結構是一個例子。例如，也可以採用沒有半導體層 406a 或半導體層 406c 的兩層結構。或者，也可以採用在半導體層 406a 上或下、或者在半導體層 406c 上或下設置作為半導體層 406a、半導體層 406b 和半導體層 406c 例示的半導體中的任何一個半導體的四層結構。或者，也可以採用在半導體層 406a 上、半導體層 406a 下、半導體層 406c 上、半導體層 406c 下中的任何兩個以上的位置設置作為半導體層 406a、半導體層 406b 和半導體層 406c 例示的半導體中的任何一個半導體的 n 層結構（n 為 5 以上的整數）。

[0117] 作為基板 400 例如可以使用絕緣體基板、半導體基板或導電體基板。作為絕緣體基板，例如可以舉出玻璃基板、石英基板、藍寶石基板、安定氧化鋯基板（鈮安定氧化鋯基板等）、樹脂基板等。例如，作為半導體基板，可以舉出由矽或鍺等構成的單一材料的半導體基板、或者由碳化矽、矽鍺、砷化鎵、磷化銦、氧化鋅或氧化鎵等構成的化合物半導體基板等。並且，還可以舉出在上述半導體基板內部具有絕緣體區域的半導體基板，例如為 SOI（Silicon On Insulator；絕緣體上覆矽）基板等。作為導電體基板，可以舉出石墨基板、金屬基板、合金基板、導電樹脂基板等。或者，可以舉出包含金屬的氮化物的基板、包含金屬的氧化物的基板等。再者，還可以舉出設置有導電體或半導體的絕緣體基板、設置有導電體或絕緣體的半導體基板、設置有半導體或絕緣體的導電體基板等。或者，也可以使用在這些基板上設置有元件的基板。作為在基板上被設置的元件，可以舉出電容元件、電阻元件、切換元件、發光元件、記憶元件等。

[0118] 此外，作為基板 400 也可以使用撓性基板。另外，作為在撓性基板上設置電晶體的方法，也可以舉出如下方法：在不具有撓性的基板上形成電晶體之後，剝離電晶體而將該電晶體轉置到撓性基板的基板 400 上。在此情況下，較佳為在不具有撓性的基板與電晶體之間設置剝離層。此外，作為基板 400，也可以使用包含纖維的薄片、薄膜或箔等。另外，基板 400 也可以具有伸縮性。此

外，基板 400 可以具有在停止彎曲或拉伸時恢復為原來的形狀的性質。或者，也可以具有不恢復為原來的形狀的性質。基板 400 例如具有其厚度為 $5\mu\text{m}$ 以上且 $700\mu\text{m}$ 以下，較佳為 $10\mu\text{m}$ 以上且 $500\mu\text{m}$ 以下，更佳為 $15\mu\text{m}$ 以上且 $300\mu\text{m}$ 以下的區域。藉由將基板 400 形成得薄，可以實現包括電晶體 490 的半導體裝置的輕量化。另外，藉由將基板 400 形成得薄，即便在使用玻璃等的情況下，基板 400 也在一些情況下會具有伸縮性或在停止彎曲或拉伸時恢復為原來的形狀的性質。因此，可以緩和因掉落等而基板 400 上的半導體裝置受到的衝擊等。即，能夠提供一種耐久性高的半導體裝置。

[0119] 撓性基板的基板 400 例如可以使用金屬、合金、樹脂、玻璃或其纖維等。撓性基板的基板 400 的線膨脹係數越低，因環境而發生的變形越得到抑制，所以是較佳的。撓性基板的基板 400 例如使用線膨脹係數為 $1\times 10^{-3}/\text{K}$ 以下、 $5\times 10^{-5}/\text{K}$ 以下或 $1\times 10^{-5}/\text{K}$ 以下的材料即可。作為樹脂，例如可以舉出聚酯、聚烯烴、聚醯胺（尼龍、芳族聚醯胺等）、聚醯亞胺、聚碳酸酯、丙烯酸樹脂等。尤其是芳族聚醯胺的線膨脹係數較低，因此撓性基板的基板 400 較佳為使用芳族聚醯胺。

[0120] 注意，電晶體 490 也可以採用圖 4A 或圖 4B 所示的剖面圖的結構。圖 4A 與圖 1B 的不同之處是在絕緣體 402 下包括導電體 413。另外，圖 4B 與圖 4A 的不同之處是導電體 413 與導電體 404 電連接。

[0121] 導電體 413 作為電晶體 490 的第二閘極（還稱為背閘極電極）。例如，也可以對導電體 413 施加低於或高於源極電極的電壓而使電晶體 490 的臨界電壓在正或負方向上漂移。例如，藉由使電晶體 490 的臨界電壓向正方向漂移，在一些情況下即便閘極電壓為 0V 也能夠實現電晶體 490 成為非導通狀態（關閉狀態）的常關閉（normally-off）。注意，施加到導電體 413 的電壓既可為可變的，又可為固定的。

[0122] 導電體 413 可以具有例如包含硼、氮、氧、氟、矽、磷、鋁、鈦、鉻、錳、鈷、鎳、銅、鋅、鎵、鉭、銦、鋇、鈣、銀、銮、錫、鉭和鎢中的一種以上的導電體的單層或疊層。例如，也可以使用合金或化合物，還可以使用包含鋁的導電體、包含銅及鈦的導電體、包含銅及錳的導電體、包含銮、錫及氧的導電體或者包含鈦及氮的導電體等。

[0123]

〈電晶體結構 1 的製造方法〉

下面，對圖 1A 和圖 1B 所示的電晶體 490 的製造方法進行說明。

[0124] 首先，準備基板 400。

[0125] 接著，形成絕緣體 401。絕緣體 401 可以藉由濺射法、化學氣相沉積（CVD：Chemical Vapor Deposition）法、分子束磊晶（MBE：Molecular Beam Epitaxy）法、脈衝雷射沉積（PLD：Pulsed Laser

Deposition) 法、原子層沉積 (ALD: Atomic Layer Deposition) 法等形式。

[0126] 注意，CVD 法可以分為利用電漿的電漿 CVD (PECVD: Plasma Enhanced CVD) 法、利用熱量的熱 CVD (TCVD: Thermal CVD) 法及利用光的光 CVD (Photo CVD) 法等。再者，CVD 法可以根據使用的源氣體被分為金屬 CVD (MCVD: Metal CVD) 法及有機金屬 CVD (MOCVD: Metal Organic CVD) 法。

[0127] 藉由利用電漿 CVD 法，可以以較低的溫度得到高品質的膜。另外，因為在熱 CVD 法中不使用電漿，所以能夠減少對被處理物造成的電漿損傷。例如，包括在半導體裝置中的佈線、電極、元件（電晶體、電容元件等）等在一些情況下因從電漿接收電荷而會產生電荷積聚 (charge buildup)。在此情況下，由於所累積的電荷可使包括在半導體裝置中的佈線、電極、元件等受損傷。另一方面，在採用不使用電漿的熱 CVD 法的情況下，因為這種電漿損傷小，所以能夠提高半導體裝置的良率。另外，在熱 CVD 法中，成膜時的電漿損傷小，因此能夠得到缺陷較少的膜。

[0128] 另外，ALD 法也是能夠減少對被處理物造成的電漿損傷的成膜方法。此外，ALD 法的成膜時的電漿損傷也小，所以能夠得到缺陷較少的膜。

[0129] 不同於從靶材等中被釋放的粒子沉積的成膜方法，CVD 法及 ALD 法是因被處理物表面的反應而形成

膜的形成方法。因此，藉由 CVD 法及 ALD 法形成的膜不易受被處理物的形狀的影響而具有良好的步階覆蓋性。尤其是，藉由 ALD 法形成的膜具有良好的步階覆蓋性和厚度均勻性，所以 ALD 法適合用於形成覆蓋縱橫比高的開口部的表面的膜。但是，ALD 法的沉積速度比較慢，所以在一些情況下較佳為與沉積速度快的 CVD 法等其他成膜方法組合而使用。

[0130] CVD 法或 ALD 法可以藉由調整源氣體的流量比控制所得到的膜的組成。例如，當使用 CVD 法或 ALD 法時，可以藉由調整源氣體的流量比形成任意組成的膜。此外，例如，當使用 CVD 法或 ALD 法時，可以藉由一邊形成膜一邊改變源氣體的流量比來形成其組成連續變化的膜。在一邊改變源氣體的流量比一邊形成膜時，因為可以省略傳送及調整壓力所需的時間，所以與使用多個成膜室進行成膜的情況相比可以使其成膜時所需的時間縮短。因此，在一些情況下可以提高半導體裝置的生產率。

[0131] 接著，形成絕緣體 402（參照圖 5A）。絕緣體 402 可以使用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形式。

[0132] 接著，也可以進行對絕緣體 402 添加氧的處理。作為添加氧的處理，例如有離子植入法、電漿處理法等。另外，對絕緣體 402 添加的氧成為過剩氧。

[0133] 接著，形成半導體。半導體可以使用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形式。

[0134] 接著，也可以進行對半導體添加氧的處理。作為添加氧的處理，例如有離子植入法、電漿處理法等。注意，對半導體添加的氧成為過剩氧。注意，當半導體為疊層膜時，較佳為對對應於成為圖 3A 的半導體層 406a 的半導體的層進行添加氧的處理。

[0135] 接著，較佳為進行第一加熱處理。第一加熱處理以 250℃ 以上且 650℃ 以下的溫度，較佳為以 450℃ 以上且 600℃ 以下的溫度，更佳為以 520℃ 以上且 570℃ 以下的溫度進行即可。第一加熱處理在惰性氣體氛圍或者包含 10ppm 以上、1% 以上或 10% 以上的氧化性氣體的氛圍下進行。第一加熱處理也可以在減壓狀態下進行。或者，也可以以如下方法進行第一加熱處理：在惰性氣體氛圍下進行加熱處理之後，為了填補脫離了的氧而在包含 10ppm 以上、1% 以上或 10% 以上的氧化性氣體氛圍下進行另一個加熱處理。藉由進行第一加熱處理，可以提高半導體的結晶性，並可以去除氫或水等雜質。

[0136] 接著，藉由光微影法等對半導體進行加工形成半導體 406（參照圖 5B）。注意，當形成半導體 406 時，在一些情況下絕緣體 402 的一部分也被蝕刻而變薄。即，絕緣體 402 可在與半導體 406 接觸的區域具有凸部。

[0137] 接著，形成導電體。導電體可以使用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形式。

[0138] 接著，藉由光微影法等對導電體進行加工形成導電體 416（參照圖 6A）。注意，導電體 416 覆蓋半導

體 406。

[0139] 在光微影法中，首先藉由光罩對光阻劑進行曝光。接著，使用顯影液去除或留下所曝光的區域而形成光阻遮罩。接著，藉由該光阻遮罩進行蝕刻處理來將導體、半導體或絕緣體等加工為所希望的形狀。例如，使用 KrF 準分子雷射、ArF 準分子雷射、EUV（Extreme Ultraviolet：極紫外）光等對光阻劑進行曝光來形成光阻遮罩，即可。此外，也可以利用在基板和投影透鏡之間填滿液體（例如，水）的狀態下進行曝光的液浸技術。另外，也可以使用電子束或離子束代替上述光。注意，當使用電子束或離子束時，不需要光罩。另外，可以使用灰化處理等乾蝕刻處理或/及濕蝕刻處理來去除光阻遮罩。

[0140] 接著，形成絕緣體 438（參照圖 6B）。絕緣體 438 可以使用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形式。另外，絕緣體 438 可以使用旋塗法、浸漬法、液滴噴射法（噴墨法等）、印刷法（網版印刷、平板印刷等）、刮刀（doctor knife）法、輥塗（roll coater）法或簾式塗布（curtain coater）法等形式。

[0141] 絕緣體 438 以其頂面具有平坦性的方式形成。例如，在成膜剛結束後，絕緣體 438 的頂面可以具有平坦性。或者，例如，在成膜後，可以從上面去除絕緣體 438 以使絕緣體 438 的頂面平行於基板背面等基準面。將這種處理稱為平坦化處理。作為平坦化處理，有化學機械拋光（CMP：Chemical Mechanical Polishing）處理、乾蝕

刻處理等。注意，絕緣體 438 的頂面也可以不具有平坦性。

[0142] 接著，藉由光微影法等對絕緣體 438 進行加工形成絕緣體 439，該絕緣體 439 包括到達將在後面成為導電體 416a 的區域的開口部及到達將在後面成為導電體 416b 的區域的開口部。

[0143] 接著，形成導電體。導電體可以使用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形式。導電體以填充絕緣體 439 的開口部的方式形成。因此，較佳為使用 CVD 法（尤其是 MCVD 法）。另外，為了提高藉由 CVD 法成膜的導電體的緊密性，在一些情況下較佳為採用藉由 ALD 法等成膜的導電體與藉由 CVD 法成膜的導電體的疊層膜。例如，可以使用依次形成有氮化鈦與鎢的疊層膜等。

[0144] 接著，以平行於基板背面等基準面的方式從上面去除導電體，直到僅在絕緣體 439 的開口部中留下導電體為止。此時，將從絕緣體 439 的開口部露出的導電體分別稱為導電體 424a 及導電體 424b（參照圖 7A）。

[0145] 接著，藉由光微影法等對絕緣體 439 進行加工形成絕緣體 410。

[0146] 接著，藉由光微影法等對導電體 416 進行加工形成導電體 416a 及導電體 416b（參照圖 7B）。注意，絕緣體 439 的加工與導電體 416 的加工可以在同一光微影製程中進行。藉由在同一光微影製程中進行加工，能夠減

少製程數。因此，能夠提高包括電晶體 490 的半導體裝置的生產率。或者，絕緣體 439 的加工與導電體 416 的加工可以在不同的光微影製程中進行。藉由在不同的光微影製程中進行加工可容易將各膜形成為不同形狀。

[0147] 此時，半導體 406 成為露出的狀態。

[0148] 接著，形成絕緣體。絕緣體可以使用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形式。在形成於絕緣體 410、導電體 416a 及導電體 416b 的開口部的側面及底面以均勻的厚度形成絕緣體。因此，較佳為使用 ALD 法。

[0149] 接著，形成導電體。導電體可以使用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形式。導電體以填充形成在絕緣體 410 等的開口部的方式形成。因此，較佳為使用 CVD 法（尤其是 MCVD 法）。另外，為了提高藉由 CVD 法成膜的導電體的緊密性，在一些情況下較佳為採用藉由 ALD 法等成膜的導電體與藉由 CVD 法成膜的導電體的疊層膜。例如，可以使用依次形成有氮化鈦與鎢的疊層膜等。

[0150] 接著，藉由光微影法等對導電體進行加工形成導電體 404。

[0151] 接著，藉由光微影法等對絕緣體進行加工形成絕緣體 412（參照圖 8A）。注意，導電體的加工與絕緣體的加工也可以在同一光微影製程中進行。藉由在同一光微影製程中進行加工，能夠減少製程數。因此，能夠提高

包括電晶體 490 的半導體裝置的生產率。或者，導電體的加工與絕緣體的加工可以在不同的光微影製程中進行。藉由在不同的光微影製程中進行加工，可容易將各膜形成為不同形狀。另外，雖然在此示出對絕緣體進行加工形成絕緣體 412 的例子，但是根據本發明的一個實施方式的電晶體不侷限於此。例如，絕緣體可以不被加工而直接被用作絕緣體 412。

[0152] 接著，形成成為絕緣體 408 的絕緣體。成為絕緣體 408 的絕緣體可以使用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形式。

[0153] 在形成成為絕緣體 408 的絕緣體之後，在任何時候都可以進行第二加熱處理。藉由進行第二加熱處理，由於包含在絕緣體 402 等中的過剩氧移動到半導體 406，因此能夠降低半導體 406 的缺陷（氧缺陷）。注意，第二加熱處理以絕緣體 402 中的過剩氧（氧）擴散到半導體 406 的溫度進行即可。例如，關於第二加熱處理，可以參照第一加熱處理的記載。或者，第二加熱處理較佳為以比第一加熱處理低的溫度進行。第一加熱處理與第二加熱處理的溫度之差例如為 20℃ 以上且 150℃ 以下，較佳為 40℃ 以上且 100℃ 以下。由此，能夠抑制過剩氧（氧）過多地從絕緣體 402 釋放。注意，當在形成各層時進行的加熱處理可以兼作第二加熱處理時，在一些情況下不一定要進行第二加熱處理。

[0154] 接著，形成成為絕緣體 418 的絕緣體。成為

絕緣體 418 的絕緣體可以使用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形式。

[0155] 接著，藉由光微影法等對成為絕緣體 418 的絕緣體進行加工形成絕緣體 418。

[0156] 接著，藉由光微影法等對成為絕緣體 408 的絕緣體進行加工形成絕緣體 408。注意，成為絕緣體 418 的絕緣體的加工與成為絕緣體 408 的絕緣體的加工可以在同一光微影製程中進行。藉由在同一光微影製程中進行加工，能夠減少製程數。因此，能夠提高包括電晶體 490 的半導體裝置的生產率。或者，成為絕緣體 418 的絕緣體的加工與成為絕緣體 408 的絕緣體的加工可以在不同的光微影製程中進行。藉由在不同的光微影製程中進行加工，可容易將各膜形成為不同形狀。

[0157] 此時，導電體 424a 及導電體 424b 成為露出的狀態。

[0158] 接著，形成導電體。導電體可以使用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形式。

[0159] 接著，藉由光微影法等對導電體進行加工形成導電體 426a 及導電體 426b（參照圖 8B）。

[0160] 藉由上述步驟，可以製造圖 1A 和圖 1B 所示的電晶體 490。

[0161] 在電晶體 490 中，可以根據各層的厚度或形狀等控制偏置區域或重疊區域的尺寸等。因此，可以使偏置區域或重疊區域的尺寸等比光微影法的最小加工尺寸

小，所以容易實現電晶體的微型化。另外，寄生電容也小，所以能夠實現頻率特性高的電晶體。

[0162]

〈電晶體結構 2〉

下面，說明具有與圖 1A 和圖 1B 等所示的電晶體 490 不同結構的電晶體 590。圖 9A 及圖 9B 是根據本發明的一個實施方式的電晶體 590 的俯視圖及剖面圖。圖 9A 是俯視圖。圖 9B 是對應於圖 9A 所示的點劃線 B1-B2 及點劃線 B3-B4 的剖面圖。注意，在圖 9A 的俯視圖中，為了明確起見，省略構成要素的一部分。

[0163] 在圖 9B 中，電晶體 590 包括：基板 500 上的絕緣體 501、絕緣體 501 上的絕緣體 502、絕緣體 502 上的半導體 506、具有與半導體 506 的頂面接觸的區域的導電體 516a 及導電體 516b、與導電體 516a 及導電體 516b 的頂面接觸的絕緣體 510、與半導體 506 的頂面接觸的絕緣體 512、隔著絕緣體 512 配置於半導體 506 上的導電體 504、以及絕緣體 510 及導電體 504 上的絕緣體 508。

[0164] 注意，電晶體 590 在一些情況下不一定包括絕緣體 501。電晶體 590 在一些情況下不一定包括絕緣體 502。電晶體 590 在一些情況下不一定包括絕緣體 508。

[0165] 在圖 9B 中，絕緣體 518 在電晶體 590 的絕緣體 508 上。絕緣體 518、絕緣體 508 及絕緣體 510 具有到達導電體 516a 的開口部和到達導電體 516b 的開口部。另外，電晶體 590 包括分別藉由絕緣體 518、絕緣體 508

及絕緣體 510 中的開口部與導電體 516a 與導電體 516b 接觸的導電體 524a 和導電體 524b、與導電體 524a 接觸的導電體 526a、以及與導電體 524b 接觸的導電體 526b。

[0166] 在電晶體 590 中，導電體 504 作為閘極電極。另外，絕緣體 512 作為閘極絕緣體。另外，導電體 516a 及導電體 516b 作為源極電極以及汲極電極。因此，能夠由施加到導電體 504 的電位控制半導體 506 的電阻。即，能夠由施加到導電體 504 的電位控制導電體 516a 與導電體 516b 之間的導通/非導通。

[0167] 在電晶體 590 中，導電體 504 包括隔著絕緣體 510 與導電體 516a 重疊的區域以及隔著絕緣體 510 與導電體 516b 重疊的區域。電晶體 590 包括絕緣體 510 在導電體 504 與導電體 516a 之間及導電體 504 與導電體 516b 之間，藉此減小寄生電容。因此，電晶體 590 具有高頻率特性的電晶體。

[0168] 如圖 9B 所示，可以由導電體 504 的電場電圍繞半導體 506。即，電晶體 590 具有 s-channel 結構。因此，能夠增大電晶體的通態電流。另外，能夠減少電晶體的關態電流。另外，由於導電體 516a 及導電體 516b 不接觸於半導體 506 的側面，所以由導電體 504 的電場圍繞半導體 506 的效果被強化。因此，電晶體 590 比電晶體 490 更容易得到 s-channel 結構的益處。

[0169] 注意，藉由使電晶體 590 被具有阻擋氫等雜質及氧的功能的絕緣體圍繞時，能夠使電晶體 590 的電特

性穩定。例如，作為絕緣體 501 及絕緣體 508，可以使用具有阻擋氫等雜質及氧的功能的絕緣體。

[0170] 注意，關於基板 500，參照基板 400 的記載。關於絕緣體 501，參照絕緣體 401 的記載。關於絕緣體 502，參照絕緣體 402 的記載。關於半導體 506，參照半導體 406 的記載。關於導電體 516a，參照導電體 416a 的記載。關於導電體 516b，參照導電體 416b 的記載。關於絕緣體 512，參照絕緣體 412 的記載。關於導電體 504，參照導電體 404 的記載。關於絕緣體 508，參照絕緣體 408 的記載。關於絕緣體 518，參照絕緣體 418 的記載。關於導電體 524a，參照導電體 424a 的記載。關於導電體 524b，參照導電體 424b 的記載。關於導電體 526a，參照導電體 426a 的記載。另外，關於導電體 526b，參照導電體 426b 的記載。

[0171] 注意，電晶體 590 也可以具有圖 10A 或圖 10B 所示的剖面圖的結構。圖 10A 與圖 9B 的不同之處是在絕緣體 502 下包括導電體 513。另外，圖 10B 與圖 10A 的不同之處是導電體 513 與導電體 504 電連接。

[0172] 導電體 513 作為電晶體 590 的第二閘極電極（還稱為背閘極電極）。例如，也可以對導電體 513 施加低於或高於源極電極的電壓而使電晶體 590 的臨界電壓在正或負方向上漂移。例如，藉由使電晶體 590 的臨界電壓向正方向漂移，在一些情況下即便閘極電壓為 0V 也能夠實現電晶體 590 成為非導通狀態（關閉狀態）的常關閉。

注意，施加到導電體 513 的電壓既可為可變的，又可為固定的。

[0173] 注意，關於導電體 513，參照導電體 413 的記載。

[0174]

〈電晶體結構 2 的製造方法〉

下面，對圖 9A 和圖 9B 所示的電晶體 590 的製造方法進行說明。

[0175] 首先，準備基板 500。

[0176] 接著，形成絕緣體 501。絕緣體 501 可以使用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形式。

[0177] 接著，形成絕緣體 502（參照圖 11A）。絕緣體 502 可以使用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形式。

[0178] 接著，也可以進行對絕緣體 502 添加氧的處理。作為添加氧的處理，例如有離子植入法、電漿處理法等。另外，對絕緣體 502 添加的氧成為過剩氧。

[0179] 接著，形成半導體。半導體可以使用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形式。

[0180] 接著，也可以進行對半導體添加氧的處理。作為添加氧的處理，例如有離子植入法、電漿處理法等。注意，對半導體添加的氧成為過剩氧。注意，當半導體為疊層膜時，較佳為對對應於成為圖 3A 的半導體層 406a 的半導體的層進行添加氧的處理。

[0181] 接著，較佳為進行第一加熱處理。第一加熱處理以 250℃ 以上且 650℃ 以下的溫度，較佳為以 450℃ 以上且 600℃ 以下的溫度，更佳為以 520℃ 以上且 570℃ 以下的溫度進行即可。第一加熱處理在惰性氣體氛圍或者包含 10ppm 以上、1%以上或 10%以上的氧化性氣體的氛圍下進行。第一加熱處理也可以在減壓狀態下進行。或者，也可以以如下方法進行第一加熱處理：在惰性氣體氛圍下進行加熱處理之後，為了填補脫離了的氧而在包含 10ppm 以上、1%以上或 10%以上的氧化性氣體氛圍下進行另一個加熱處理。藉由進行第一加熱處理，例如可以提高半導體的結晶性，並可以去除氫或水等雜質。

[0182] 接著，形成導電體。導電體可以使用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形式。

[0183] 接著，藉由光微影法等對導電體進行加工形成導電體 516。

[0184] 接著，透過導電體 516 對半導體進行蝕刻，使形成半導體 506（參照圖 11B）。注意，當形成半導體 506 時，在一些情況下絕緣體 502 的一部分也被蝕刻而變薄。即，絕緣體 502 在與半導體 506 接觸的區域中可具有凸部。

[0185] 接著，形成絕緣體 538（參照圖 12A）。絕緣體 538 可以使用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形式。另外，絕緣體 538 可以使用旋塗法、浸漬法、液滴噴射法（噴墨法等）、印刷法（網版印刷、平板

印刷等)、刮刀(doctor knife)法、輥塗(roll coater)法或簾式塗布(curtain coater)法等形式。

[0186] 絕緣體 538 的頂面也可以具有平坦性。

[0187] 接著，藉由光微影法等對絕緣體 538 進行加工形成絕緣體 539。

[0188] 接著，藉由光微影法等對導電體 516 進行加工形成導電體 516a 及導電體 516b (參照圖 12B)。注意，絕緣體 538 的加工與導電體 516 的加工也可以在同一光微影製程中進行。藉由在同一光微影製程中進行加工，能夠減少製程數。因此，能夠提高包括電晶體 590 的半導體裝置的生產率。或者，絕緣體 538 的加工與導電體 516 的加工可以在不同的光微影製程中進行。藉由在不同的光微影製程中進行加工，可容易將各膜形成為不同形狀。

[0189] 此時，半導體 506 成為露出的狀態。

[0190] 接著，形成絕緣體。絕緣體可以使用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形式。在形成於絕緣體 539、導電體 516a 及導電體 516b 的開口部的側面及底面以均勻的厚度形成絕緣體。因此，較佳為使用 ALD 法。

[0191] 接著，形成導電體。導電體可以使用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形式。導電體以填充形成在絕緣體 539 等的開口部的方式形成。因此，較佳為使用 CVD 法 (尤其是 MCVD 法)。另外，為了提高藉由 CVD 法成膜的導電體的緊密性，在一些情況下較

佳為採用藉由 ALD 法等成膜的導電體與藉由 CVD 法成膜的導電體的疊層膜。例如，可以使用依次形成有氮化鈦與鎢的疊層膜等。

[0192] 接著，藉由光微影法等對導電體進行加工形成導電體 504。

[0193] 接著，藉由光微影法等對絕緣體進行加工形成絕緣體 512（參照圖 13A）。注意，導電體的加工與絕緣體的加工也可以在同一光微影製程中進行。藉由在同一光微影製程中進行加工，能夠減少製程數。因此，能夠提高包括電晶體 590 的半導體裝置的生產率。或者，導電體的加工與絕緣體的加工可以在不同的光微影製程中進行。藉由在不同的光微影製程中進行加工，可容易將各膜形成為不同形狀。另外，雖然在此示出對絕緣體進行加工形成絕緣體 512 的例子，但是根據本發明的一個實施方式的電晶體不侷限於此。例如，絕緣體在一些情況下可以不被加工而直接被用作絕緣體 512。

[0194] 接著，形成成為絕緣體 508 的絕緣體。成為絕緣體 508 的絕緣體可以使用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形式。

[0195] 在形成成為絕緣體 508 的絕緣體之後，在任何時候都可以進行第二加熱處理。藉由進行第二加熱處理，由於包含在絕緣體 502 等中的過剩氧移動到半導體 506，因此能夠降低半導體 506 的缺陷（氧缺陷）。注意，第二加熱處理以絕緣體 502 中的過剩氧（氧）擴散到

半導體 506 的溫度進行即可。例如，關於第二加熱處理，可以參照第一加熱處理的記載。或者，第二加熱處理較佳為以比第一加熱處理低的溫度進行。第一加熱處理與第二加熱處理的溫度之差例如為 20℃ 以上且 150℃ 以下，較佳為 40℃ 以上且 100℃ 以下。由此，能夠抑制過剩氧（氧）過多地從絕緣體 502 釋放。注意，當在形成各層時進行的加熱處理可以兼作第二加熱處理時，不一定需要進行第二加熱處理。

[0196] 接著，形成成為絕緣體 518 的絕緣體。成為絕緣體 518 的絕緣體可以使用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形式。

[0197] 接著，藉由光微影法等對成為絕緣體 518 的絕緣體進行加工形成絕緣體 518。

[0198] 接著，藉由光微影法等對成為絕緣體 508 的絕緣體進行加工形成絕緣體 508。注意，成為絕緣體 518 的絕緣體的加工與成為絕緣體 508 的絕緣體的加工可以在同一光微影製程中進行。藉由在同一光微影製程中進行加工，能夠減少製程數。因此，能夠提高包括電晶體 590 的半導體裝置的生產率。或者，成為絕緣體 518 的絕緣體的加工與成為絕緣體 508 的絕緣體的加工可以在不同的光微影製程中進行。藉由在不同的光微影製程中進行加工，可容易將各膜形成為不同形狀。

[0199] 接著，藉由光微影法等對絕緣體 539 進行加工形成絕緣體 510。注意，成為絕緣體 518 的絕緣體的加

工、成為絕緣體 508 的絕緣體的加工與絕緣體 539 的加工可以在同一光微影製程中進行。藉由在同一光微影製程中進行加工，能夠減少製程數。因此，能夠提高包括電晶體 590 的半導體裝置的生產率。或者，成為絕緣體 518 的絕緣體的加工、成為絕緣體 508 的絕緣體的加工與絕緣體 539 的加工可以在不同的光微影製程中進行。藉由在不同的光微影製程中進行加工，可容易將各膜形成為不同形狀。

[0200] 此時，導電體 516a 及導電體 516b 成為露出的狀態。

[0201] 接著，形成導電體。導電體可以使用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形式。導電體以填充絕緣體 518、絕緣體 508 及絕緣體 510 的開口部的方式形成。因此，較佳為使用 CVD 法（尤其是 MCVD 法）。另外，為了提高藉由 CVD 法成膜的導電體的緊密性，在一些情況下較佳為採用藉由 ALD 法等成膜的導電體與藉由 CVD 法成膜的導電體的疊層膜。例如，可以使用依次形成有氮化鈦與鎢的疊層膜等。

[0202] 接著，以平行於基板背面等基準面的方式從上面去除導電體，直到僅在絕緣體 518、絕緣體 508 及絕緣體 510 的開口部中留下導電體為止。此時，將從絕緣體 518、絕緣體 508 及絕緣體 510 的開口部露出的導電體分別稱為導電體 524a 及導電體 524b。

[0203] 接著，形成導電體。導電體可以使用濺射

法、CVD 法、MBE 法、PLD 法或 ALD 法等形式。

[0204] 接著，藉由光微影法等對導電體進行加工形成導電體 526a 及導電體 526b（參照圖 13B）。

[0205] 藉由上述步驟，可以製造圖 9A 和圖 9B 所示的電晶體 590。

[0206] 在電晶體 590 中，可以根據各層的厚度或形狀等控制偏置區域或重疊區域的尺寸等。因此，可以使偏置區域或重疊區域的大小等比光微影法的最小加工尺寸小，所以容易實現電晶體的微型化。另外，寄生電容也小，所以能夠實現頻率特性高的電晶體。

[0207]

〈半導體裝置〉

下面，例示出根據本發明的一個實施方式的半導體裝置。

[0208]

〈電路〉

下面，說明利用根據本發明的一個實施方式的電晶體的電路的一個例子。

[0209]

[CMOS 反相器]

圖 14A 所示的電路圖示出所謂的 CMOS 反相器的結構，其中使 p 通道型電晶體 2200 與 n 通道型電晶體 2100 串聯連接，並使各閘極連接。

[0210]

〈半導體裝置的結構〉

圖 15 是對應於圖 14A 的半導體裝置的剖面圖。圖 15 所示的半導體裝置包括電晶體 2200 以及配置於電晶體 2200 的上方的電晶體 2100。注意，雖然這裡示出作為電晶體 2100 使用圖 1A 和圖 1B 所示的電晶體 490 的例子，但是根據本發明的一個實施方式的半導體裝置不侷限於此。例如，作為電晶體 2100 也可以使用圖 4A 或圖 4B 所示的電晶體 490、圖 9A 和圖 9B 所示的電晶體 590、圖 10A 或圖 10B 所示的電晶體 590 等。因此，關於電晶體 2100，適當地參照上述電晶體的記載。

[0211] 圖 15 所示的電晶體 2200 是使用半導體基板 450 的電晶體。電晶體 2200 包括半導體基板 450 中的區域 474a、半導體基板 450 中的區域 474b、半導體基板 450 中的區域 470、絕緣體 462 以及導電體 454。注意，電晶體 2200 在一些情況下可以不包括區域 470。

[0212] 在電晶體 2200 中，區域 474a 及區域 474b 具有源極區域及汲極區域的功能。另外，區域 470 具有控制臨界電壓的功能。另外，絕緣體 462 具有閘極絕緣體的功能。另外，導電體 454 具有閘極電極的功能。因此，能夠由施加到導電體 454 的電位控制通道形成區域的電阻。即，能夠由施加到導電體 454 的電位控制區域 474a 與區域 474b 間的導通或非導通。

[0213] 作為半導體基板 450，例如可以使用由矽或鍺等構成的單一材料的半導體基板、或者由碳化矽、矽鍺、

砷化鎵、磷化銦、氧化鋅或氧化鎵等構成的化合物半導體基板等。較佳的是，作為半導體基板 450 使用單晶矽基板。

[0214] 作為半導體基板 450 使用包含賦予 n 型導電性的雜質的半導體基板。注意，作為半導體基板 450，也可以使用包含賦予 p 型導電性的雜質的半導體基板。此時，在成為電晶體 2200 的區域中配置包含賦予 n 型導電性的雜質的井，即可。或者，半導體基板 450 也可以為 i 型。

[0215] 半導體基板 450 的頂面較佳為具有 (110) 面。由此，能夠提高電晶體 2200 的導通特性。

[0216] 區域 474a 及區域 474b 是包含賦予 p 型導電性的雜質的區域。由此，電晶體 2200 具有 p 通道型的結構。

[0217] 區域 470 是其賦予 n 型導電性的雜質濃度高於半導體基板 450 或井的區域。即，藉由包括區域 470，能夠使電晶體 2200 的臨界電壓向負方向漂移。因此，即便在將功函數高的導電體用於導電體 454 的情況下也容易得到常關閉的電特性。由於在很多情況下功函數高的導電體的耐熱性比功函數低的導電體高，因此後面製程的彈性可得到提高，從而能夠提高半導體裝置的性能。

[0218] 注意，電晶體 2200 與鄰接的電晶體被區域 460 等隔開。區域 460 具有絕緣性。

[0219] 圖 15 所示的半導體裝置包括絕緣體 464、絕

緣體 466、絕緣體 468、導電體 480a、導電體 480b、導電體 480c、導電體 478a、導電體 478b、導電體 478c、導電體 476a、導電體 476b、導電體 416c、導電體 424c 以及導電體 426c。

[0220] 將絕緣體 464 配置於電晶體 2200 上。另外，將絕緣體 466 配置於絕緣體 464 上。另外，將絕緣體 468 配置於絕緣體 466 上。另外，將電晶體 2100 及導電體 416c 配置於絕緣體 468 上。

[0221] 絕緣體 464 包括到達區域 474a 的開口部、到達區域 474b 的開口部以及到達導電體 454 的開口部。另外，導電體 480a、導電體 480b 或導電體 480c 分別埋入在各開口部中。

[0222] 另外，絕緣體 466 包括到達導電體 480a 的開口部、到達導電體 480b 的開口部以及到達導電體 480c 的開口部。另外，導電體 478a、導電體 478b 或導電體 478c 分別埋入在各開口部中。

[0223] 另外，絕緣體 468 包括到達導電體 478b 的開口部以及到達導電體 478c 的開口部。另外，導電體 476a 或導電體 476b 分別埋入在各開口部中。

[0224] 導電體 476a 與電晶體 2100 的導電體 416b 接觸。另外，導電體 476b 與導電體 416c 接觸。

[0225] 絕緣體 410 包括到達導電體 416c 的開口部。另外，導電體 424c 埋入在開口部中。

[0226] 絕緣體 418 及絕緣體 408 包括到達導電體

424c 的開口部以及到達導電體 404 的開口部。另外，導電體 424c 與導電體 404 藉由各開口部由導電體 426c 電連接。

[0227] 注意，圖 16 所示的半導體裝置與圖 15 所示的半導體裝置的不同之處只在於電晶體 2200 的結構。因此，關於圖 16 所示的半導體裝置，參照圖 15 所示的半導體裝置的記載。明確而言，在圖 16 所示的半導體裝置中，電晶體 2200 為 Fin 型。藉由使電晶體 2200 成為 Fin 型，有效的通道寬度得到增大，從而能夠提高電晶體 2200 的導通特性。另外，由於可以增大閘極電極的電場影響，所以能夠提高電晶體 2200 的關閉特性。

[0228] 另外，圖 17 所示的半導體裝置與圖 15 所示的半導體裝置的不同之處只在於電晶體 2200 的結構。因此，關於圖 17 所示的半導體裝置，參照圖 15 所示的半導體裝置的記載。明確而言，在圖 17 所示的半導體裝置中，電晶體 2200 使用 SOI 基板形成。圖 17 示出區域 456 與半導體基板 450 被絕緣體 452 隔開的結構。藉由使用 SOI 基板，可以降低穿通電流等，所以能夠提高電晶體 2200 的關閉特性。注意，絕緣體 452 可以藉由使半導體基板 450 的一部分絕緣體化形成。例如，作為絕緣體 452 可以使用氧化矽。

[0229] 在圖 15、圖 16 及圖 17 所示的半導體裝置中，由於使用半導體基板形成 p 通道型電晶體，並在其上方製造 n 通道型電晶體，因此能夠減少元件所占的面積。

即，可以提高半導體裝置的集成度。另外，與使用同一半導體基板形成 n 通道型電晶體與 p 通道型電晶體的情況相比，可以簡化製程，所以能夠提高半導體裝置的生產率。另外，能夠提高半導體裝置的良率。另外，p 通道型電晶體在一些情況下可以省略 LDD (Lightly Doped Drain) 區域的形成、淺溝槽 (Shallow Trench) 結構的形成或彎曲設計等複雜的製程。因此，與使用半導體基板形成 n 通道型電晶體的半導體裝置相比，圖 15 至圖 17 所示的半導體裝置在一些情況下能夠提高生產率和良率。

[0230]

[CMOS 類比開關]

此外，圖 14B 所示的電路圖示出使電晶體 2100 和電晶體 2200 的各源極和汲極連接的結構。藉由採用這種結構，可以將該電晶體用作所謂的 CMOS 類比開關。

[0231]

[記憶體裝置的例子]

參照圖 18A 和圖 18B 示出半導體裝置（記憶體裝置）的一個例子，其中使用根據本發明的一個實施方式的電晶體，即便在沒有電力供應的情況下也能夠保持儲存內容，並且對寫入次數也沒有限制。

[0232] 圖 18A 所示的半導體裝置包括使用第一半導體的電晶體 3200、使用第二半導體的電晶體 3300 以及電容元件 3400。另外，作為電晶體 3300 可以使用上述電晶體。

[0233] 電晶體 3300 是使用氧化物半導體的電晶體。由於電晶體 3300 的關態電流小，所以可以長期間在半導體裝置的特定的節點中保持儲存內容。即，因為不需要更新工作或可以使更新工作的頻率極低，所以能夠實現低功耗的半導體裝置。

[0234] 在圖 18A 中，第一佈線 3001 與電晶體 3200 的源極電連接，第二佈線 3002 與電晶體 3200 的汲極電連接。此外，第三佈線 3003 電連接於電晶體 3300 的源極和汲極中的一個，第四佈線 3004 與電晶體 3300 的閘極電連接。再者，電晶體 3200 的閘極及電晶體 3300 的源極和汲極中的另一個電連接於電容元件 3400 的一個電極，第五佈線 3005 與電容元件 3400 的另一個電極電連接。

[0235] 圖 18A 所示的半導體裝置藉由具有能夠保持電晶體 3200 的閘極的電位的特徵，可以如下所示進行資訊的寫入、保持以及讀出。

[0236] 對資訊的寫入及保持進行說明。首先，將第四佈線 3004 的電位設定為使電晶體 3300 成為導通狀態的電位，而使電晶體 3300 處於導通狀態。由此，第三佈線 3003 的電位被施加到與電晶體 3200 的閘極及電容元件 3400 的一個電極電連接的節點 FG。換言之，對電晶體 3200 的閘極施加規定的電荷（寫入）。這裡，施加賦予兩種不同電位位準的電荷（以下，稱為低位準電荷、高位準電荷）中的任一個。然後，將第四佈線 3004 的電位設定為使電晶體 3300 成為非導通狀態的電位而使電晶體

3300 處於非導通狀態。由此，在節點 FG 中保持電荷（保持）。

[0237] 因為電晶體 3300 的關態電流極小，所以節點 FG 的電荷被長時間保持。

[0238] 接著，對資訊的讀出進行說明。當在對第一佈線 3001 施加規定的電位（恆電位）的狀態下對第五佈線 3005 施加適當的電位（讀出電位）時，第二佈線 3002 具有對應於保持在節點 FG 中的電荷量的電位。這是因為：在電晶體 3200 為 n 通道型電晶體的情況下，對電晶體 3200 的閘極施加高位準電荷時的外觀上的臨界電壓 V_{th_H} 低於對電晶體 3200 的閘極施加低位準電荷時的外觀上的臨界電壓 V_{th_L} 。在此，外觀上的臨界電壓是指為了使電晶體 3200 成為導通狀態所需要的第五佈線 3005 的電位。由此，藉由將第五佈線 3005 的電位設定為 V_{th_H} 與 V_{th_L} 之間的電位 V_0 ，可以辨別施加到節點 FG 的電荷。例如，在寫入時節點 FG 被供應高位準電荷的情況下，若第五佈線 3005 的電位為 $V_0 (>V_{th_H})$ ，電晶體 3200 則成為“導通狀態”。另一方面，當節點 FG 被供應低位準電荷時，即便第五佈線 3005 的電位為 $V_0 (<V_{th_L})$ ，電晶體 3200 還保持“非導通狀態”。因此，藉由辨別第二佈線 3002 的電位，可以讀出節點 FG 所保持的資訊。

[0239] 注意，當將記憶單元設置為陣列狀時，在讀出時必須讀出所希望的記憶單元的資訊。為了不讀出其他記憶單元的資訊，對第五佈線 3005 施加不管施加到節點

FG 的電荷如何都使電晶體 3200 成為“非導通狀態”的電位，即低於 V_{th_H} 的電位。或者，對第五佈線 3005 施加不管施加到節點 FG 的電荷如何都使電晶體 3200 成為“導通狀態”的電位，即高於 V_{th_L} 的電位。

[0240] 圖 18B 所示的半導體裝置與圖 18A 所示的半導體裝置不同之處是圖 18B 所示的半導體裝置不包括電晶體 3200。在此情況下也可以藉由與圖 18A 所示的半導體裝置相同的工作進行資訊的寫入及保持工作。

[0241] 下面，說明圖 18B 所示的半導體裝置中的資訊讀出。在電晶體 3300 成為導通狀態時，使處於浮動狀態的第三佈線 3003 和電容元件 3400 為導通，且在第三佈線 3003 和電容元件 3400 之間再次分配電荷。其結果，使第三佈線 3003 的電位產生變化。第三佈線 3003 的電位的變化量根據電容元件 3400 的一個電極的電位（或積累在電容元件 3400 中的電荷）而具有不同的值。

[0242] 例如，在再次分配電荷之後的第三佈線 3003 的電位為 $(CB \times VB0 + C \times V) / (CB + C)$ ，其中電容元件 3400 的一個電極的電位為 V ，電容元件 3400 的電容為 C ，第三佈線 3003 的電容成分為 CB ，在再次分配電荷之前的第三佈線 3003 的電位為 $VB0$ 時。因此可發現，假設記憶單元處於電容元件 3400 的一個電極的電位為 $V1$ 和 $V0$ ($V1 > V0$) 的兩種狀態之任一種狀態中時，可知保持電位 $V1$ ($= (CB \times VB0 + C \times V1) / (CB + C)$) 的電容元件 3400 的一個電極的情況下第三佈線 3003 的電位高於保持

電位 V_0 ($= (CB \times VB_0 + C \times V_0) / (CB + C)$) 的電容元件 3400 的一個電極的情況下第三佈線 3003 的電位。

[0243] 並且，藉由對第三佈線 3003 的電位和規定的電位進行比較可以讀出資訊。

[0244] 在此情況下，可以採用一種結構，其中將上述應用第一半導體的電晶體用於用來驅動記憶單元的驅動電路，且在驅動電路上作為電晶體 3300 層疊應用第二半導體的電晶體。

[0245] 上述半導體裝置可以應用使用氧化物半導體的關態電流極小的電晶體來長期間保持儲存內容。即，因為不需要更新工作或可以使更新工作的頻率極低，所以能夠實現低功耗的半導體裝置。此外，在沒有電力的供應時（但較佳為固定電位）也可以長期間保持儲存內容。

[0246] 此外，因為該半導體裝置在寫入資訊時不需要高電壓，所以其中不容易產生元件的劣化。例如，不同於習知的非揮發性記憶體，不需要對浮動閘極注入電子或從浮動閘極抽出電子，因此不會發生絕緣體劣化等問題。換言之，在根據本發明的一個實施方式的半導體裝置中，在現有非揮發性記憶體中成為問題的重寫次數不受到限制，並且其可靠性得到極大提高。再者，根據電晶體的導通狀態或非導通狀態而進行資訊寫入，所以能夠高速工作。

[0247]

〈CPU〉

下面說明包括上述電晶體或上述記憶體裝置等半導體裝置的 CPU。

[0248] 圖 19 是示出其一部分使用上述電晶體的 CPU 的一個例子的結構的塊圖。

[0249] 圖 19 所示的 CPU 在基板 1190 上具有：ALU1191（ALU：Arithmetic logic unit：算術電路）、ALU 控制器 1192、指令解碼器 1193、中斷控制器 1194、時序控制器 1195、暫存器 1196、暫存器控制器 1197、匯流排介面 1198、能夠重寫的 ROM1199 以及 ROM 介面 1189。作為基板 1190 使用半導體基板、SOI 基板、玻璃基板等。ROM1199 及 ROM 介面 1189 也可以設置在不同的晶片上。當然，圖 19 所示的 CPU 只是簡化其結構而所示的一個例子而已，所以實際上的 CPU 根據其用途具有各種各樣的結構。例如，也可以以包括圖 19 所示的 CPU 或算術電路的結構為核心，設置多個該核心並使其同時工作。另外，在 CPU 的內部算術電路或資料匯流排中能夠處理的位元數例如可以為 8 位元、16 位元、32 位元、64 位元等。

[0250] 藉由匯流排介面 1198 輸入到 CPU 的指令在輸入到指令解碼器 1193 並被解碼後輸入到 ALU 控制器 1192、中斷控制器 1194、暫存器控制器 1197、時序控制器 1195。

[0251] ALU 控制器 1192、中斷控制器 1194、暫存器控制器 1197、時序控制器 1195 根據被解碼的指令進行各

種控制。明確而言，ALU 控制器 1192 生成用來控制 ALU1191 的工作的信號。另外，中斷控制器 1194 在執行 CPU 的程式時，根據其優先度或遮罩狀態來判斷來自外部的輸入/輸出裝置或週邊電路的中斷要求而對該要求進行處理。暫存器控制器 1197 生成暫存器 1196 的位址，並對應於 CPU 的狀態來進行暫存器 1196 的讀出或寫入。

[0252] 另外，時序控制器 1195 生成用來控制 ALU1191、ALU 控制器 1192、指令解碼器 1193、中斷控制器 1194 以及暫存器控制器 1197 的工作時序的信號。例如，時序控制器 1195 具有根據基準時脈信號來生成內部時脈信號的內部時脈生成器，並將內部時脈信號供應到上述各種電路。

[0253] 在圖 19 所示的 CPU 中，在暫存器 1196 中設置有記憶單元。作為暫存器 1196 的記憶單元，可以使用上述電晶體或記憶體裝置等。

[0254] 在圖 19 所示的 CPU 中，暫存器控制器 1197 根據 ALU1191 的指令進行暫存器 1196 中的保持工作的選擇。換言之，暫存器控制器 1197 在暫存器 1196 所具有的記憶單元中選擇由正反器保持資料還是由電容元件保持資料。在選擇由正反器保持資料的情況下，對暫存器 1196 中的記憶單元供應電源電壓。在選擇由電容元件保持資料的情況下，對電容元件進行資料的重寫，而可以停止對暫存器 1196 中的記憶單元供應電源電壓。

[0255] 圖 20 是可以用作暫存器 1196 的記憶元件

1200 的電路圖的一個例子。記憶元件 1200 包括在電源關閉時失去儲存資料的電路 1201、在電源關閉時不失去儲存資料的電路 1202、開關 1203、開關 1204、邏輯元件 1206、電容元件 1207 以及具有選擇功能的電路 1220。電路 1202 包括電容元件 1208、電晶體 1209 及電晶體 1210。另外，記憶元件 1200 根據需要還可以包括其他元件諸如二極體、電阻元件或電感器等。

[0256] 在此，電路 1202 可以使用上述記憶體裝置。在停止對記憶元件 1200 供應電源電壓時，GND (0V) 或使電晶體 1209 關閉的電位繼續輸入到電路 1202 中的電晶體 1209 的閘極。例如，電晶體 1209 的閘極藉由電阻器等負載接地。

[0257] 在此示出開關 1203 為具有一導電型（例如，n 通道型）的電晶體 1213，而開關 1204 為具有與此相反的導電型（例如，p 通道型）的電晶體 1214 的例子。這裡，開關 1203 的第一端子對應於電晶體 1213 的源極和汲極中的一個，開關 1203 的第二端子對應於電晶體 1213 的源極和汲極中的另一個，並且開關 1203 的第一端子與第二端子之間的導通或非導通（即，電晶體 1213 的導通狀態或非導通狀態）由輸入到電晶體 1213 的閘極中的控制信號 RD 選擇。開關 1204 的第一端子對應於電晶體 1214 的源極和汲極中的一個，開關 1204 的第二端子對應於電晶體 1214 的源極和汲極中的另一個，並且開關 1204 的第一端子與第二端子之間的導通或非導通（即，電晶體

1214 的導通狀態或非導通狀態) 由輸入到電晶體 1214 的閘極中的控制信號 RD 選擇。

[0258] 電晶體 1209 的源極和汲極中的一個電連接到電容元件 1208 的一對電極的一個及電晶體 1210 的閘極。在此，將連接部分稱為節點 M2。電晶體 1210 的源極和汲極中的一個電連接到能夠供應低電源電位的佈線（例如，GND 線），而另一個電連接到開關 1203 的第一端子（電晶體 1213 的源極和汲極中的一個）。開關 1203 的第二端子（電晶體 1213 的源極和汲極中的另一個）電連接到開關 1204 的第一端子（電晶體 1214 的源極和汲極中的一個）。開關 1204 的第二端子（電晶體 1214 的源極和汲極中的另一個）電連接到能夠供應電源電位 VDD 的佈線。開關 1203 的第二端子（電晶體 1213 的源極和汲極中的另一個）、開關 1204 的第一端子（電晶體 1214 的源極和汲極中的一個）、邏輯元件 1206 的輸入端子和電容元件 1207 的一對電極的一個是電連接著的。在此，將連接部分稱為節點 M1。可以對電容元件 1207 的一對電極的另一個輸入固定電位。例如，可以對其輸入低電源電位（GND 等）或高電源電位（VDD 等）。電容元件 1207 的一對電極的另一個電連接到能夠供應低電源電位的佈線（例如，GND 線）。可以採用對電容元件 1208 的一對電極的另一個輸入固定電位的結構。例如，可以對其輸入低電源電位（GND 等）或高電源電位（VDD 等）。電容元件 1208 的一對電極的另一個電連接到能夠供應低電源電位的佈線

（例如，GND 線）。

[0259] 另外，當積極地利用電晶體或佈線的寄生電容等時，可以不設置電容元件 1207 及電容元件 1208。

[0260] 控制信號 WE 輸入到電晶體 1209 的閘極。開關 1203 及開關 1204 的第一端子與第二端子之間的導通狀態或非導通狀態由與控制信號 WE 不同的控制信號 RD 選擇，當一個開關的第一端子與第二端子之間處於導通狀態時，另一個開關的第一端子與第二端子之間處於非導通狀態。

[0261] 對應於保持在電路 1201 中的資料的信號被輸入到電晶體 1209 的源極和汲極中的另一個。圖 20 示出從電路 1201 輸出的信號輸入到電晶體 1209 的源極和汲極中的另一個的例子。邏輯元件 1206 使從開關 1203 的第二端子（電晶體 1213 的源極和汲極中的另一個）輸出的信號的邏輯值反轉而成為反轉信號，該反轉信號經由電路 1220 被輸入到電路 1201。

[0262] 圖 20 的例子中，示出從開關 1203 的第二端子（電晶體 1213 的源極和汲極中的另一個）輸出的信號藉由邏輯元件 1206 及電路 1220 被輸入到電路 1201，但是本發明的實施方式不侷限於此。也可以不使從開關 1203 的第二端子（電晶體 1213 的源極和汲極中的另一個）輸出的信號的邏輯值反轉而輸入到電路 1201。例如，當電路 1201 包括其中保持使從輸入端子輸入的信號的邏輯值反轉的信號的節點時，可以將從開關 1203 的第

二端子（電晶體 1213 的源極和汲極中的另一個）輸出的信號輸入到該節點。

[0263] 在圖 20 所示的用於記憶元件 1200 的電晶體中，電晶體 1209 以外的電晶體也可以使用其通道形成在由氧化物半導體以外的半導體構成的膜或基板 1190 中的電晶體。例如，可以使用其通道形成在矽膜或矽基板中的電晶體。此外，也可以作為用於記憶元件 1200 的所有的電晶體使用其通道由氧化物半導體形成的電晶體。或者，記憶元件 1200 除了電晶體 1209 以外還可以包括其通道由氧化物半導體形成的電晶體，並且作為剩下的電晶體可以使用其通道形成在由氧化物半導體以外的半導體構成的層或基板 1190 中的電晶體。

[0264] 圖 20 所示的電路 1201 例如可以使用正反器電路。另外，作為邏輯元件 1206 例如可以使用反相器或時脈反相器等。

[0265] 在根據本發明的一個實施方式的半導體裝置中，在不向記憶元件 1200 供應電源電壓的期間，可以由設置在電路 1202 中的電容元件 1208 保持儲存在電路 1201 中的資料。

[0266] 另外，其通道形成在氧化物半導體中的電晶體的關態電流極小。例如，其通道形成在氧化物半導體中的電晶體的關態電流比其通道形成在具有結晶性的矽中的電晶體的關態電流低得多。因此，當將該電晶體用作電晶體 1209 時，即便在不向記憶元件 1200 供應電源電壓的期

間，也可以長期間儲存電容元件 1208 所保持的信號。因此，記憶元件 1200 在停止供應電源電壓的期間也可以保持儲存內容（資料）。

[0267] 另外，由於該記憶元件藉由利用開關 1203 及開關 1204 進行預充電工作，因此可以縮短在再次開始供應電源電壓之後直到電路 1201 再次保持原來的資料為止的時間。

[0268] 另外，在電路 1202 中，電容元件 1208 所保持的信號被輸入到電晶體 1210 的閘極。因此，在再次開始向記憶元件 1200 供應電源電壓之後，可以將電容元件 1208 所保持的信號轉換為電晶體 1210 的狀態（導通狀態或非導通狀態），並從電路 1202 讀出。因此，即便對應於保持在電容元件 1208 中的信號的電位稍有變動，也可以準確地讀出原來的信號。

[0269] 藉由將這種記憶元件 1200 用於處理器所具有的暫存器或快取記憶體等記憶體裝置，可以防止記憶體裝置內的資料因停止電源電壓的供應而消失。另外，可以在再次開始供應電源電壓之後在短時間內恢復到停止供應電源之前的狀態。因此，在處理器整體或構成處理器的一個或多個邏輯電路中在短時間內也可以停止電源，從而可以抑制功耗。

[0270] 雖然說明將記憶元件 1200 用於 CPU 的例子，但也可以將記憶元件 1200 應用於 LSI 諸如 DSP（Digital Signal Processor：數位信號處理器）、定製

LSI、PLD (Programmable Logic Device：可程式邏輯裝置) 等、RF-ID (Radio Frequency Identification：射頻識別)。

[0271]

〈顯示裝置〉

下面說明根據本發明的一個實施方式的顯示裝置的結構實例。

[0272]

[結構實例]

圖 21A 示出根據本發明的一個實施方式的顯示裝置的俯視圖。此外，圖 21B 示出將液晶元件用於根據本發明的一個實施方式的顯示裝置的像素時的像素電路。另外，圖 21C 示出將有機 EL 元件用於根據本發明的一個實施方式的顯示裝置的像素時的像素電路。

[0273] 用於像素的電晶體可以使用上述電晶體。在此示出使用 n 通道型電晶體的例子。注意，也可以將藉由與用於像素的電晶體相同的製程製造的電晶體用作驅動電路。如此，藉由將上述電晶體用於像素或驅動電路，可以製造顯示品質或/及可靠性高的顯示裝置。

[0274] 圖 21A 示出主動矩陣型顯示裝置的一個例子。在顯示裝置的基板 5000 上設置有像素部 5001、第一掃描線驅動電路 5002、第二掃描線驅動電路 5003 以及信號線驅動電路 5004。像素部 5001 藉由多個信號線與信號線驅動電路 5004 電連接並藉由多個掃描線與第一掃描線

驅動電路 5002 及第二掃描線驅動電路 5003 電連接。另外，在由掃描線和信號線劃分的區域中分別設置有包括顯示元件的像素。此外，顯示裝置的基板 5000 藉由 FPC（Flexible Printed Circuit：撓性印刷電路）等連接部與時序控制電路（也稱為控制器、控制 IC）電連接。

[0275] 第一掃描線驅動電路 5002、第二掃描線驅動電路 5003 及信號線驅動電路 5004 與像素部 5001 形成在同一基板 5000 上。因此，與另外製造驅動電路的情況相比，可以減少製造顯示裝置的成本。此外，在另外製造驅動電路時，佈線之間的連接數增加。因此，藉由在基板 5000 上設置驅動電路，可以減少佈線之間的連接數，從而可以使可靠性或/及良率得到提高。

[0276]

[液晶顯示裝置]

此外，圖 21B 示出像素的電路結構的一個例子。在此示出可以應用於 VA 型液晶顯示裝置的像素等的像素電路。

[0277] 這種像素電路可以應用於一個像素包括多個像素電極的結構。各像素電極連接到不同的電晶體，並且各電晶體被構成為能夠由不同的閘極信號驅動。由此，可以獨立地控制施加到多域設計的像素的每一個像素電極的信號。

[0278] 分離電晶體 5016 的掃描線 5012 和電晶體 5017 的掃描線 5013 以對它們供應不同的閘極信號。另一

方面，電晶體 5016 和電晶體 5017 共同使用信號線 5014。電晶體 5016 和電晶體 5017 適當地使用上述電晶體。由此，可以提供顯示品質或/及可靠性高的液晶顯示裝置。

[0279] 另外，電晶體 5016 與第一像素電極電連接，電晶體 5017 與第二像素電極電連接。第一像素電極與第二像素電極被分離。注意，對第一像素電極以及第二像素電極的形狀沒有特別的限制。例如，第一像素電極可以具有 V 字形狀。

[0280] 電晶體 5016 的閘極電極與掃描線 5012 電連接，而電晶體 5017 的閘極電極與掃描線 5013 電連接。對掃描線 5012 和掃描線 5013 供應不同的閘極信號來使電晶體 5016 和電晶體 5017 的工作時序互不相同，從而可以控制液晶的配向。

[0281] 此外，也可以由電容線 5010、用作電介質的閘極絕緣體、與第一像素電極或第二像素電極電連接的電容電極形成電容元件。

[0282] 像素結構是多域結構，其中在一個像素中設置第一液晶元件 5018 和第二液晶元件 5019。第一液晶元件 5018 包括第一像素電極、相對電極和其間的液晶層，而第二液晶元件 5019 包括第二像素電極、相對電極和其間的液晶層。

[0283] 另外，根據本發明的一個實施方式的顯示裝置不侷限於圖 21B 所示的像素電路。例如，也可以在圖

21B 所示的像素電路中加上開關、電阻元件、電容元件、電晶體、感測器或邏輯電路等。

[0284]

[有機 EL 顯示裝置]

圖 21C 示出像素的電路結構的另一個例子。在此示出使用有機 EL 元件的顯示裝置的像素結構。

[0285] 在有機 EL 元件中，藉由對發光元件施加電壓，來自有機 EL 元件所包括的一對電極的一個的電子和來自該一對電極的另一個的電洞注入包含發光有機化合物的層中，從而電流流過。並且，藉由使電子和電洞再結合，發光有機化合物形成激發態，在該激發態恢復到基態時發光。根據這種機制，這種發光元件被稱為電流激發型發光元件。

[0286] 圖 21C 是示出像素電路的一個例子的圖。在此示出一個像素包括兩個 n 通道型電晶體的例子。另外，作為 n 通道型電晶體可以使用上述電晶體。此外，該像素電路可以應用數位時間灰階驅動。

[0287] 下面，說明可以應用的像素電路的結構及應用數位時間灰階驅動時的像素的工作。

[0288] 像素 5020 包括開關電晶體 5021、驅動電晶體 5022、發光元件 5024 以及電容元件 5023。在開關電晶體 5021 中，閘極電極與掃描線 5026 連接，第一電極（源極電極和汲極電極中的一個）與信號線 5025 連接，第二電極（源極電極和汲極電極中的另一個）與驅動電晶體

5022 的閘極電極連接。在驅動電晶體 5022 中，閘極電極藉由電容元件 5023 與電源線 5027 連接，第一電極與電源線 5027 連接，第二電極與發光元件 5024 的第一電極（像素電極）連接。發光元件 5024 的第二電極相當於共用電極 5028。共用電極 5028 與形成在同一基板上的共用電位線電連接。

[0289] 開關電晶體 5021 及驅動電晶體 5022 可以使用上述電晶體。由此，實現顯示品質或/及可靠性高的有機 EL 顯示裝置。

[0290] 將發光元件 5024 的第二電極（共用電極 5028）的電位設定為低電源電位。注意，低電源電位是低於供應給電源線 5027 的高電源電位的電位，例如低電源電位可以為 GND、0V 等。藉由將高電源電位和低電源電位設定為發光元件 5024 的正向臨界電壓以上，並對發光元件 5024 施加其電位差，使電流流過發光元件 5024，導致發光。注意，發光元件 5024 的正向電壓是指得到所希望的亮度時的電壓，至少包括正向臨界電壓。

[0291] 另外，在一些情況下藉由代替使用驅動電晶體 5022 的閘極電容省略電容元件 5023。驅動電晶體 5022 的閘極電容也可以形成在通道形成區域和閘極電極之間。

[0292] 接著，說明輸入到驅動電晶體 5022 的信號。在採用電壓輸入電壓驅動方式時，對驅動電晶體 5022 輸入使驅動電晶體 5022 成為開啟或關閉的兩種狀態的視訊信號。另外，為了使驅動電晶體 5022 在線性區域中工

作，對驅動電晶體 5022 的閘極電極施加高於電源線 5027 的電壓的電壓。此外，對信號線 5025 施加對電源線電壓加上驅動電晶體 5022 的臨界電壓 V_{th} 的總和以上的電壓。

[0293] 當進行類比灰階驅動時，對驅動電晶體 5022 的閘極電極施加對發光元件 5024 的正向電壓加上驅動電晶體 5022 的臨界電壓 V_{th} 的總和以上的電壓。另外，輸入視訊信號以使驅動電晶體 5022 在飽和區域中工作，在發光元件 5024 中使電流流過。此外，為了使驅動電晶體 5022 在飽和區域中工作，使電源線 5027 的電位高於驅動電晶體 5022 的閘極電位。藉由採用類比方式的視訊信號，可以在發光元件 5024 中使與視訊信號對應的電流流過，而進行類比灰階驅動。

[0294] 此外，根據本發明的一個實施方式的顯示裝置不侷限於圖 21C 所示的像素結構。例如，還可以在圖 21C 所示的像素電路中加上開關、電阻元件、電容元件、感測器、電晶體或邏輯電路等。

[0295] 當對圖 21A 至圖 21C 所例示的電路應用上述電晶體時，源極電極（第一電極）及汲極電極（第二電極）分別電連接到低電位一側及高電位一側。再者，第一閘極電極的電位可以由控制電路等控制，並且低於供應到源極電極的電位的電位等如上所示的電位可以被輸入到第二閘極電極中。

[0296]

〈電子裝置〉

根據本發明的一個實施方式的半導體裝置可以用於顯示裝置、個人電腦或具備儲存介質的影像再現裝置（典型的是，能夠再現儲存介質如數位影音光碟（DVD：Digital Versatile Disc）等並具有可以顯示該影像的顯示器的裝置）中。另外，作為可以使用根據本發明的一個實施方式的半導體裝置的電子裝置，可以舉出行動電話、包括可攜式的遊戲機、可攜式資料終端、電子書閱讀器終端、拍攝裝置諸如視頻攝影機或數位相機等、護目鏡型顯示器（頭戴式顯示器）、導航系統、音頻再生裝置（汽車音響系統、數位聲訊播放機等）、影印機、傳真機、印表機、多功能印表機、自動櫃員機（ATM）以及自動販賣機等。圖 22A 至圖 22F 示出這些電子裝置的具體例子。

[0297] 圖 22A 是可攜式遊戲機，該可攜式遊戲機包括外殼 901、外殼 902、顯示部 903、顯示部 904、麥克風 905、揚聲器 906、操作鍵 907 以及觸控筆 908 等。注意，雖然圖 22A 所示的可攜式遊戲機包括兩個顯示部 903 和顯示部 904，但是在可攜式遊戲機中所包括的顯示部的個數不限於此。

[0298] 圖 22B 是可攜式資料終端，包括第一外殼 911、第二外殼 912、第一顯示部 913、第二顯示部 914、連接部 915、操作鍵 916 等。第一顯示部 913 設置在第一外殼 911 中，而第二顯示部 914 設置在第二外殼 912 中。並且，第一外殼 911 和第二外殼 912 由連接部 915 連接，

由連接部 915 可以改變第一外殼 911 和第二外殼 912 之間的角度。第一顯示部 913 的影像也可以根據連接部 915 所形成的第一外殼 911 和第二外殼 912 之間的角度切換。另外，也可以對第一顯示部 913 和第二顯示部 914 中的至少一個使用附加有位置輸入功能的顯示裝置。另外，可以藉由提供在顯示裝置設置觸控面板來附加位置輸入功能。或者，也可以藉由提供在顯示裝置的像素部中所設置還稱為光感測器的光電轉換元件來附加位置輸入功能。

[0299] 圖 22C 是膝上型個人電腦，包括外殼 921、顯示部 922、鍵盤 923 以及指向裝置 924 等。

[0300] 圖 22D 是電冷藏冷凍箱，包括外殼 931、冷藏室門 932、冷凍室門 933 等。

[0301] 圖 22E 是視頻攝影機，包括第一外殼 941、第二外殼 942、顯示部 943、操作鍵 944、透鏡 945、連接部 946 等。操作鍵 944 及透鏡 945 設置在第一外殼 941 中，而顯示部 943 設置在第二外殼 942 中。並且，第一外殼 941 和第二外殼 942 由連接部 946 連接，由連接部 946 可以改變第一外殼 941 和第二外殼 942 之間的角度。於顯示部 943 上顯示的影像也可以根據連接部 946 所形成的第一外殼 941 和第二外殼 942 之間的角度切換。

[0302] 圖 22F 是一般的汽車，包括車身 951、車輪 952、儀表板 953 及燈 954 等。

【符號說明】

[0303]

- 400：基板
- 401：絕緣體
- 402：絕緣體
- 404：導電體
- 406：半導體
- 406a：半導體層
- 406b：半導體層
- 406c：半導體層
- 408：絕緣體
- 410：絕緣體
- 412：絕緣體
- 413：導電體
- 416：導電體
- 416a：導電體
- 416b：導電體
- 416c：導電體
- 418：絕緣體
- 424a：導電體
- 424b：導電體
- 424c：導電體
- 426a：導電體
- 426b：導電體
- 426c：導電體

- 438：絕緣體
- 439：絕緣體
- 450：半導體基板
- 452：絕緣體
- 454：導電體
- 456：區域
- 460：區域
- 462：絕緣體
- 464：絕緣體
- 466：絕緣體
- 468：絕緣體
- 470：區域
- 474a：區域
- 474b：區域
- 476a：導電體
- 476b：導電體
- 478a：導電體
- 478b：導電體
- 478c：導電體
- 480a：導電體
- 480b：導電體
- 480c：導電體
- 490：電晶體
- 500：基板

501：絕緣體
502：絕緣體
504：導電體
506：半導體
508：絕緣體
510：絕緣體
512：絕緣體
513：導電體
516：導電體
516a：導電體
516b：導電體
518：絕緣體
524a：導電體
524b：導電體
526a：導電體
526b：導電體
538：絕緣體
539：絕緣體
590：電晶體
901：外殼
902：外殼
903：顯示部
904：顯示部
905：麥克風

- 906：揚聲器
- 907：操作鍵
- 908：觸控筆
- 911：外殼
- 912：外殼
- 913：顯示部
- 914：顯示部
- 915：連接部
- 916：操作鍵
- 921：外殼
- 922：顯示部
- 923：鍵盤
- 924：指向裝置
- 931：外殼
- 932：冷藏室門
- 933：冷凍室門
- 941：外殼
- 942：外殼
- 943：顯示部
- 944：操作鍵
- 945：透鏡
- 946：連接部
- 951：車身
- 952：車輪

- 953 : 儀 表 板
- 954 : 燈
- 1189 : ROM 介 面
- 1190 : 基 板
- 1191 : ALU
- 1192 : ALU 控 制 器
- 1193 : 指 令 解 碼 器
- 1194 : 中 斷 控 制 器
- 1195 : 時 序 控 制 器
- 1196 : 暫 存 器
- 1197 : 暫 存 器 控 制 器
- 1198 : 匯 流 排 介 面
- 1199 : ROM
- 1200 : 記 憶 元 件
- 1201 : 電 路
- 1202 : 電 路
- 1203 : 開 關
- 1204 : 開 關
- 1206 : 邏 輯 元 件
- 1207 : 電 容 元 件
- 1208 : 電 容 元 件
- 1209 : 電 晶 體
- 1210 : 電 晶 體
- 1213 : 電 晶 體

1214：電 晶 體

1220：電 路

2100：電 晶 體

2200：電 晶 體

3001：佈 線

3002：佈 線

3003：佈 線

3004：佈 線

3005：佈 線

3200：電 晶 體

3300：電 晶 體

3400：電 容 元 件

5000：基 板

5001：像 素 部

5002：掃 描 線 驅 動 電 路

5003：掃 描 線 驅 動 電 路

5004：信 號 線 驅 動 電 路

5010：電 容 線

5012：掃 描 線

5013：掃 描 線

5014：信 號 線

5016：電 晶 體

5017：電 晶 體

5018：液 晶 元 件

5019：液晶元件

5020：像素

5021：開關電晶體

5022：驅動電晶體

5023：電容元件

5024：發光元件

5025：信號線

5026：掃描線

5027：電源線

5028：共用電極

申請專利範圍

【請求項1】一種半導體裝置，其包括：

電晶體，該電晶體包括：

第一氧化物半導體層；

該第一氧化物半導體層上的第二氧化物半導體層；

該第二氧化物半導體層上的第一絕緣體，該第一絕緣體包括開口部；

閘極電極，該閘極電極之第一部分被設置在該開口部中；以及

位於該第二氧化物半導體層與該閘極電極之間的閘極絕緣體；

其中，在與該電晶體的通道長度方向平行的剖面中，該開口部的第一寬度比該第一氧化物半導體層的第一寬度更小；

其中，在與該電晶體的通道寬度方向平行的剖面中，該開口部的第二寬度比該第一氧化物半導體層的第二寬度更大；

其中，該閘極電極之第二部分不與該第一氧化物半導體層及該第二氧化物半導體層重疊；以及

其中，在與該電晶體的該通道寬度方向平行的該剖面中，該閘極電極之該第二部分之底面位於該第一氧化物半導體層之底面下。

【請求項2】根據請求項1之半導體裝置，

其中該第一氧化物半導體層與該第二氧化物半導體層

各包括 In-M-Zn 氧化物，以及

其中 M 是選自由鋁、鎵、鉍、及錫所組成之群組。

【請求項 3】一種半導體裝置，其包括：

電晶體，該電晶體包括：

第一氧化物半導體層；

該第一氧化物半導體層上的第二氧化物半導體層；

該第二氧化物半導體層上的第一絕緣體，該第一絕緣體包括開口部；

閘極電極，該閘極電極之第一部分被設置在該開口部中；

位於該第二氧化物半導體層與該閘極電極之間的閘極絕緣體；以及

位於該第二氧化物半導體層與該閘極絕緣體之間的第三氧化物半導體層；

其中，在與該電晶體的通道長度方向平行的剖面中，該開口部的第一寬度比該第一氧化物半導體層的第一寬度更小；

其中，在與該電晶體的通道寬度方向平行的剖面中，該開口部的第二寬度比該第一氧化物半導體層的第二寬度更大；

其中，該閘極電極之第二部分不與該第一氧化物半導體層及該第二氧化物半導體層重疊；以及

其中，在與該電晶體的該通道寬度方向平行的該剖面中，該閘極電極之該第二部分之底面位於該第一氧化物半

導體層之底面下。

【請求項4】根據請求項3之半導體裝置，

其中該第一氧化物半導體層、該第二氧化物半導體層與該第三氧化物半導體層各包括In-M-Zn氧化物，以及其中M是選自由鋁、鎵、鉍、及錫所組成之群組。

【請求項5】一種半導體裝置，其包括：

電晶體，該電晶體包括：

第一氧化物半導體層；

該第一氧化物半導體層上的第一絕緣體，該第一絕緣體包括開口部；

閘極電極，該閘極電極之第一部分被設置在該開口部中；以及

位於該第一氧化物半導體層與該閘極電極之間的閘極絕緣體；

其中，在與該電晶體的通道長度方向平行的剖面中，該開口部的第一寬度比該第一氧化物半導體層的第一寬度更小；

其中，在與該電晶體的通道寬度方向平行的剖面中，該開口部的第二寬度比該第一氧化物半導體層的第二寬度更大；

其中，在與該電晶體的該通道寬度方向平行的該剖面中，該閘極電極之第二部分不與該第一氧化物半導體層重疊；以及

其中，該閘極電極之該第二部分之底面位於該第一氧

化物半導體層之底面下。

【請求項6】根據請求項5之半導體裝置，
其中該第一氧化物半導體層包括 In-M-Zn 氧化物，以
及

其中 M 是選自由鋁、鎵、鉍、及錫所組成之群組。

【請求項7】根據請求項1、3及5中任一項之半導體裝置，其中該第一氧化物半導體層是島狀氧化物半導體層。

【請求項8】根據請求項1、3及5中任一項之半導體裝置，其中該第一氧化物半導體層包括銦。

圖 式

圖 1A

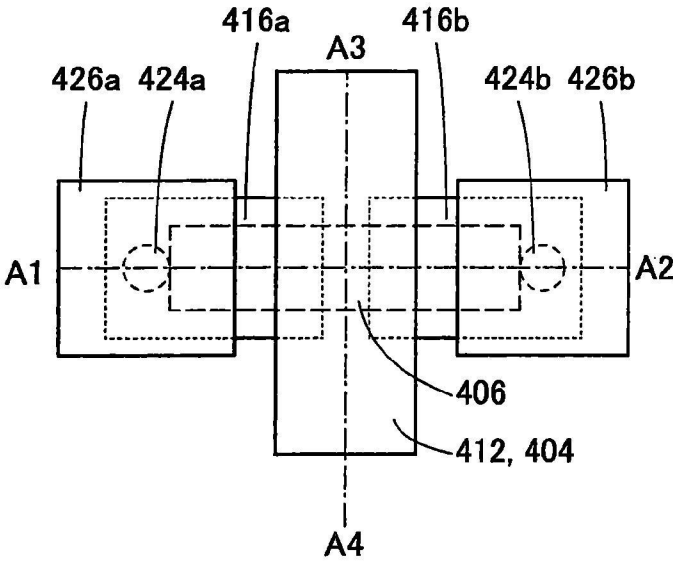


圖 1B

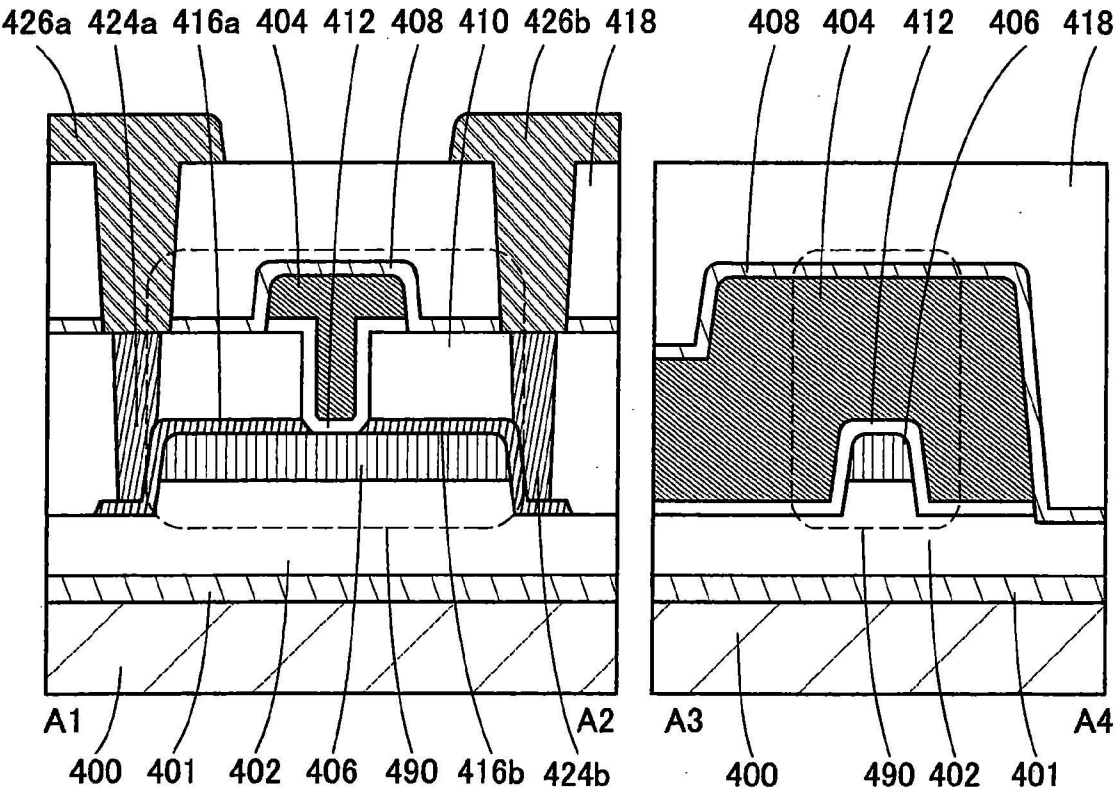


圖 2A

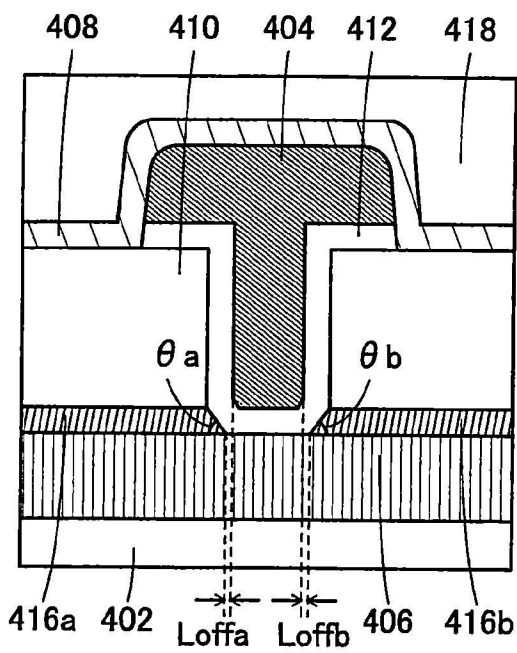


圖 2B

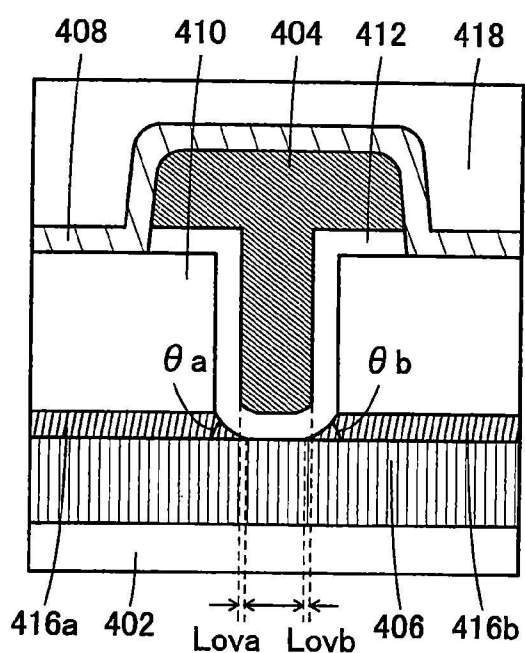


圖 2C

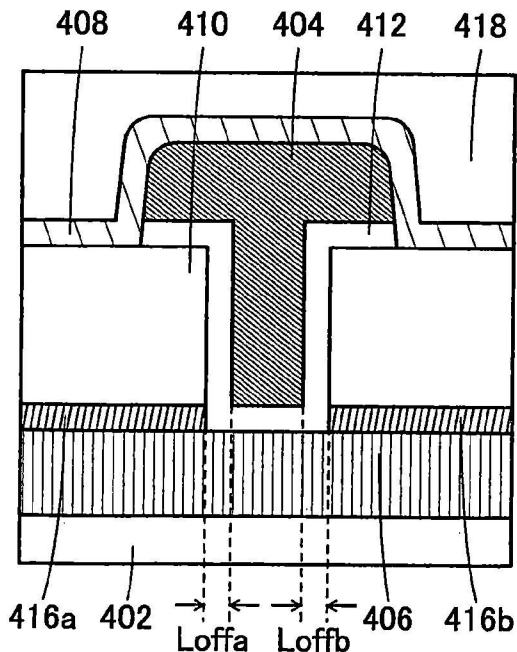


圖 2D

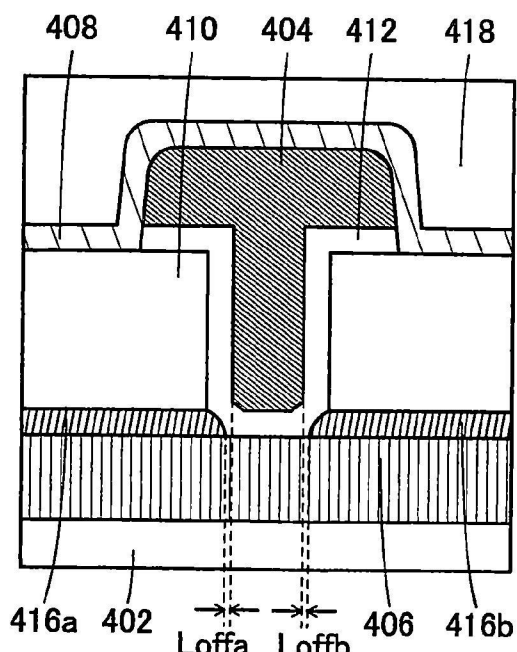


圖 3A

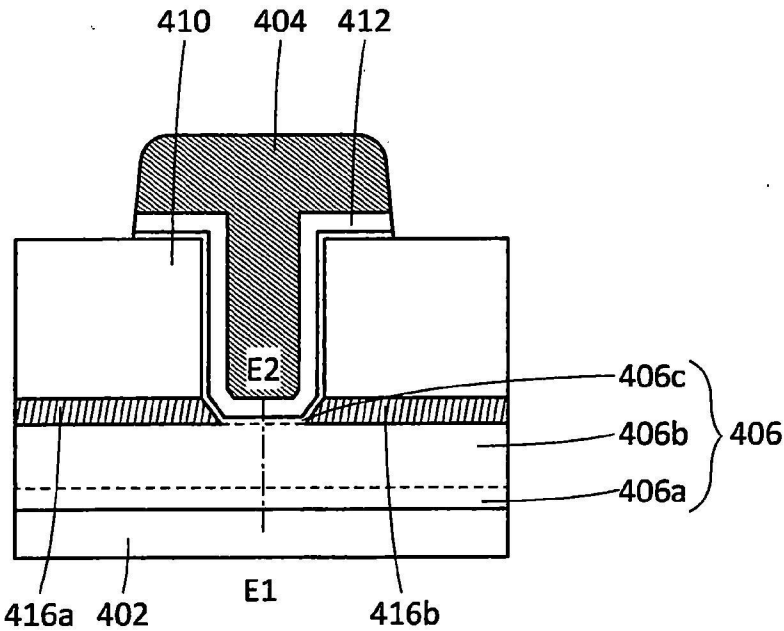


圖 3B

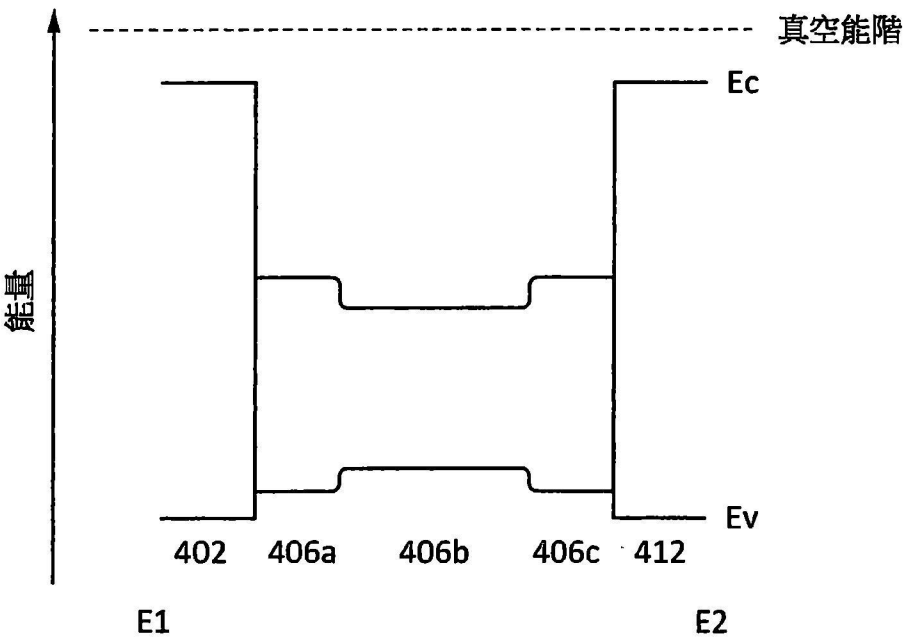


圖 4A

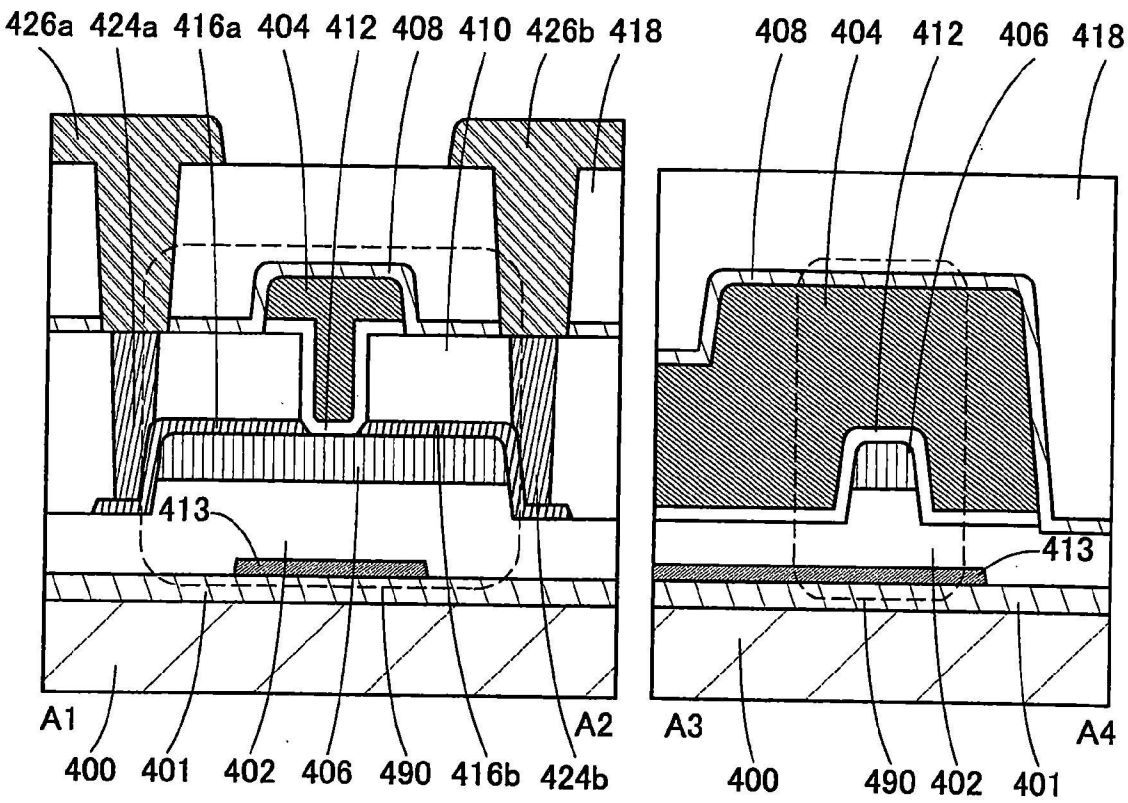


圖 4B

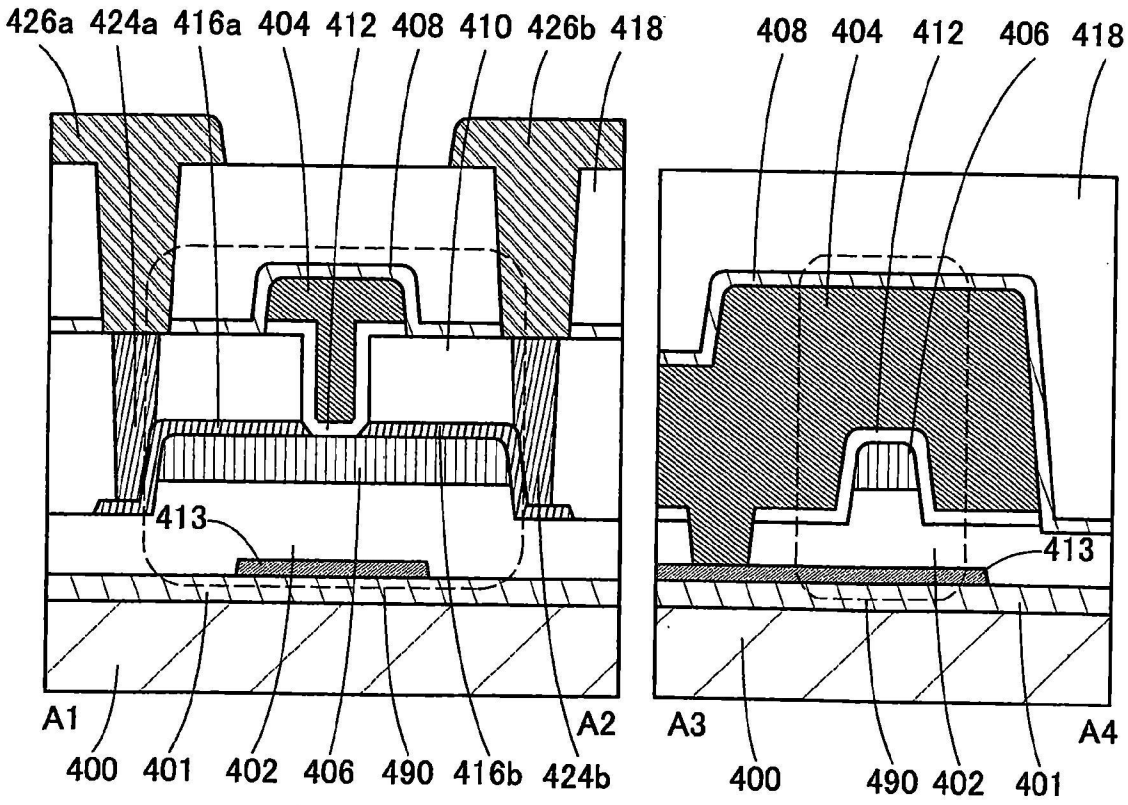


圖 5A

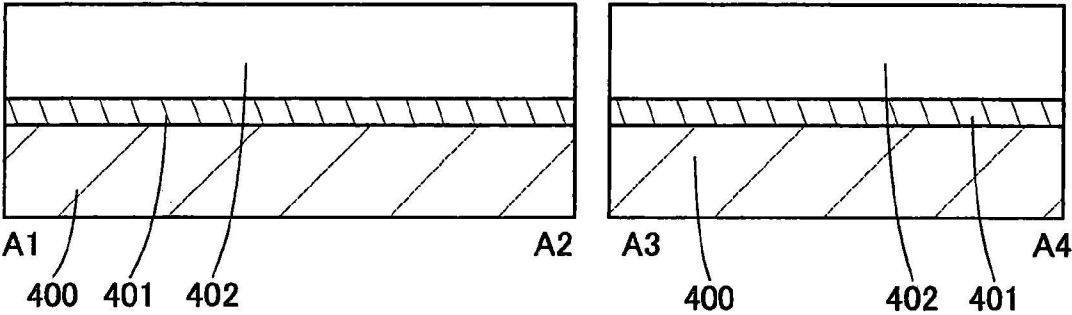


圖 5B

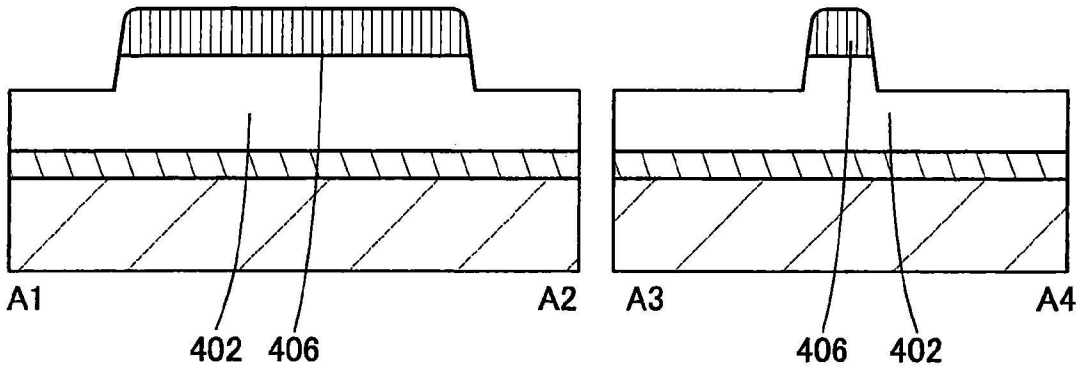


圖 6A

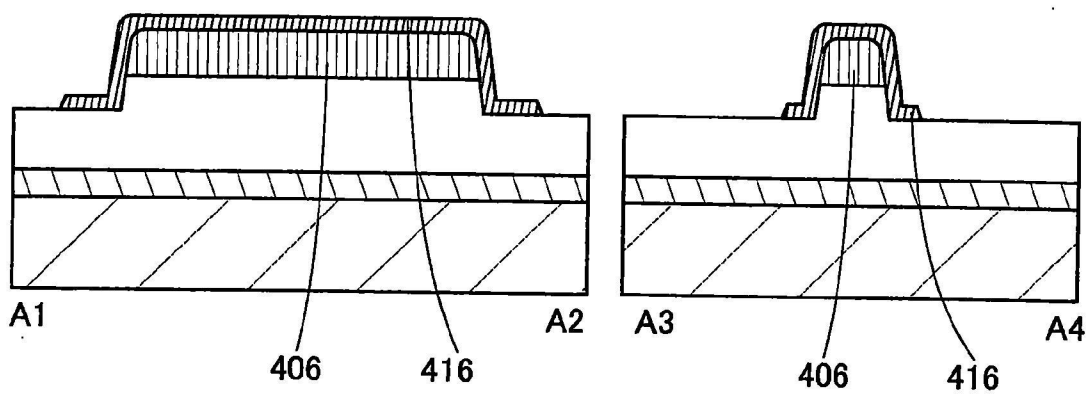


圖 6B

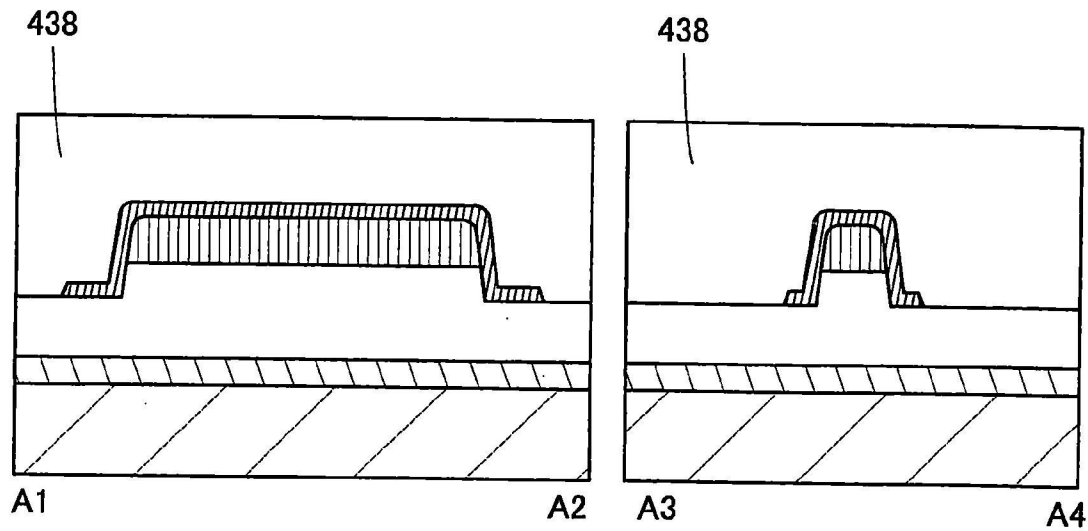


圖 7A

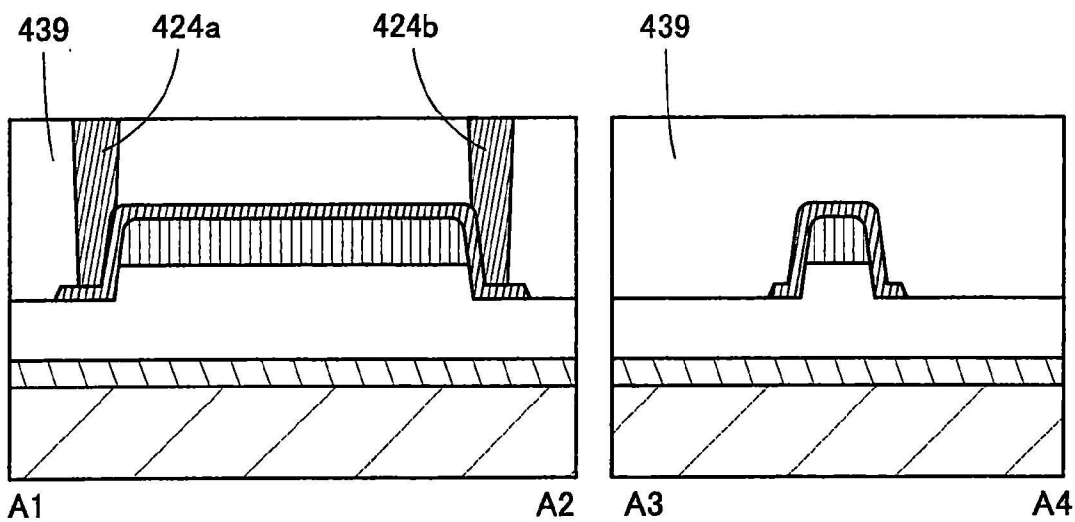


圖 7B

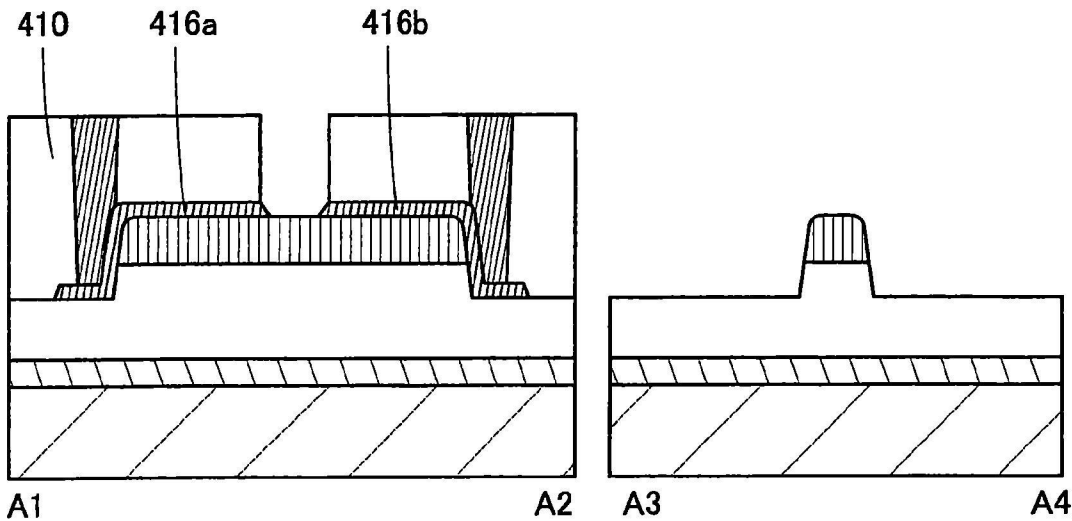


圖 8A

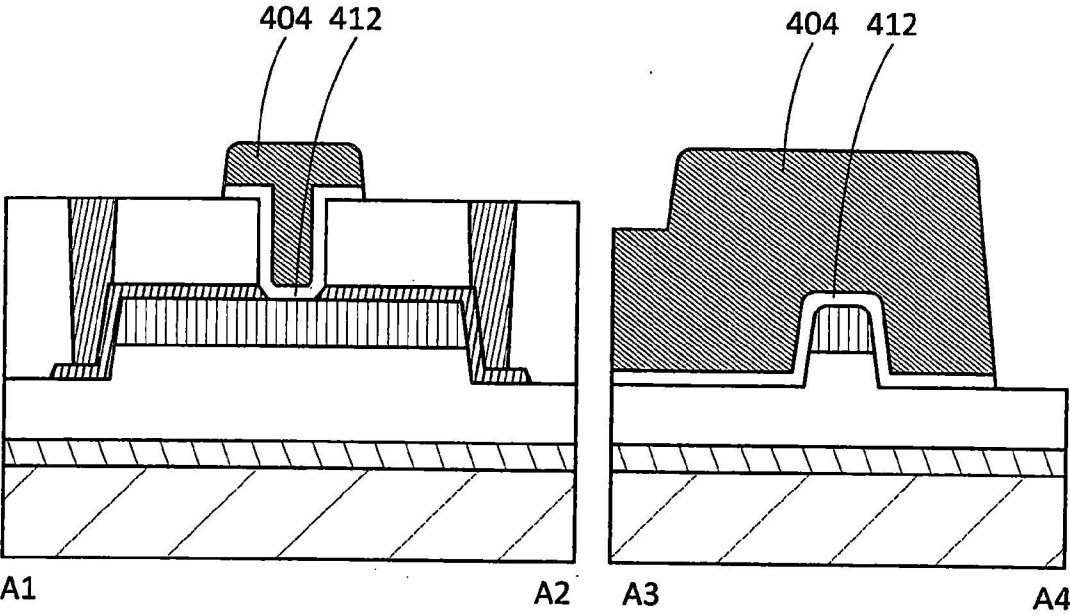
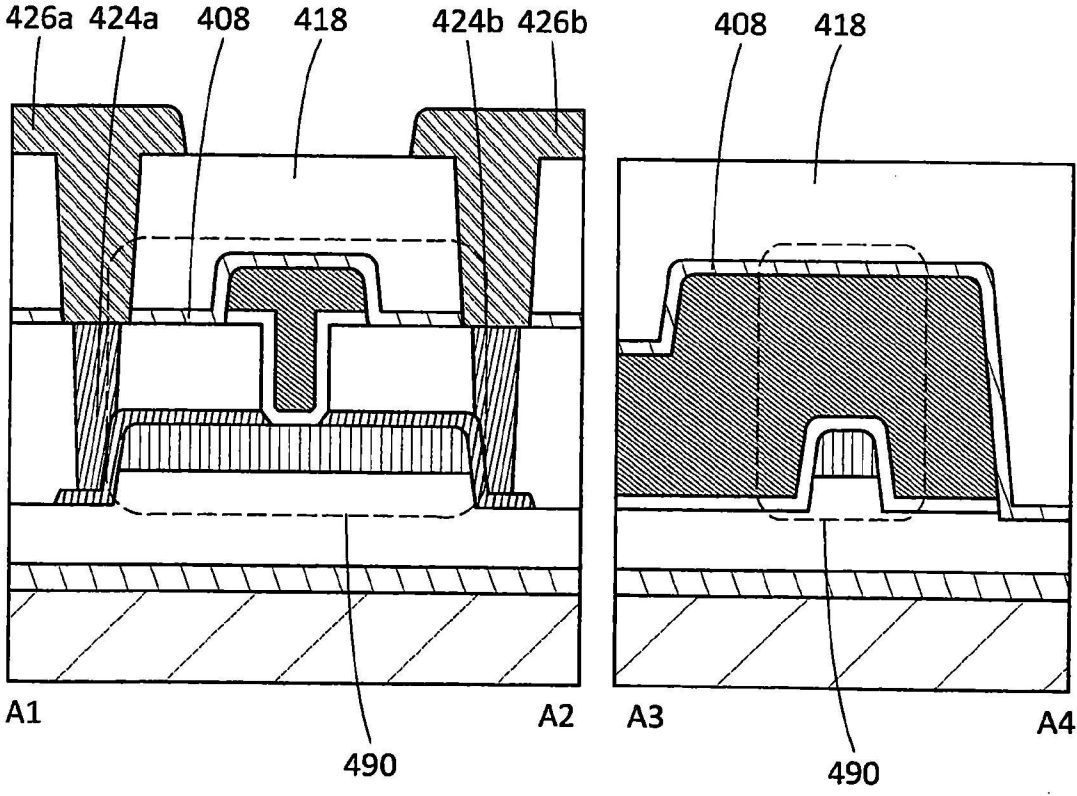


圖 8B



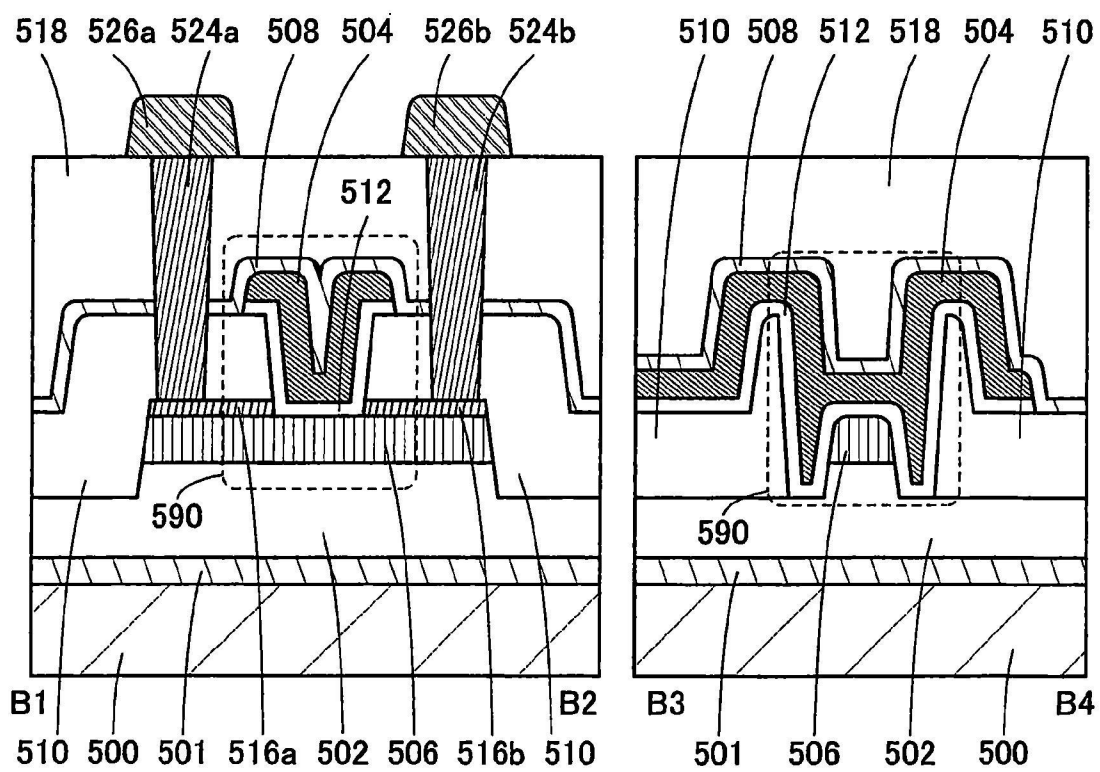


圖 10A

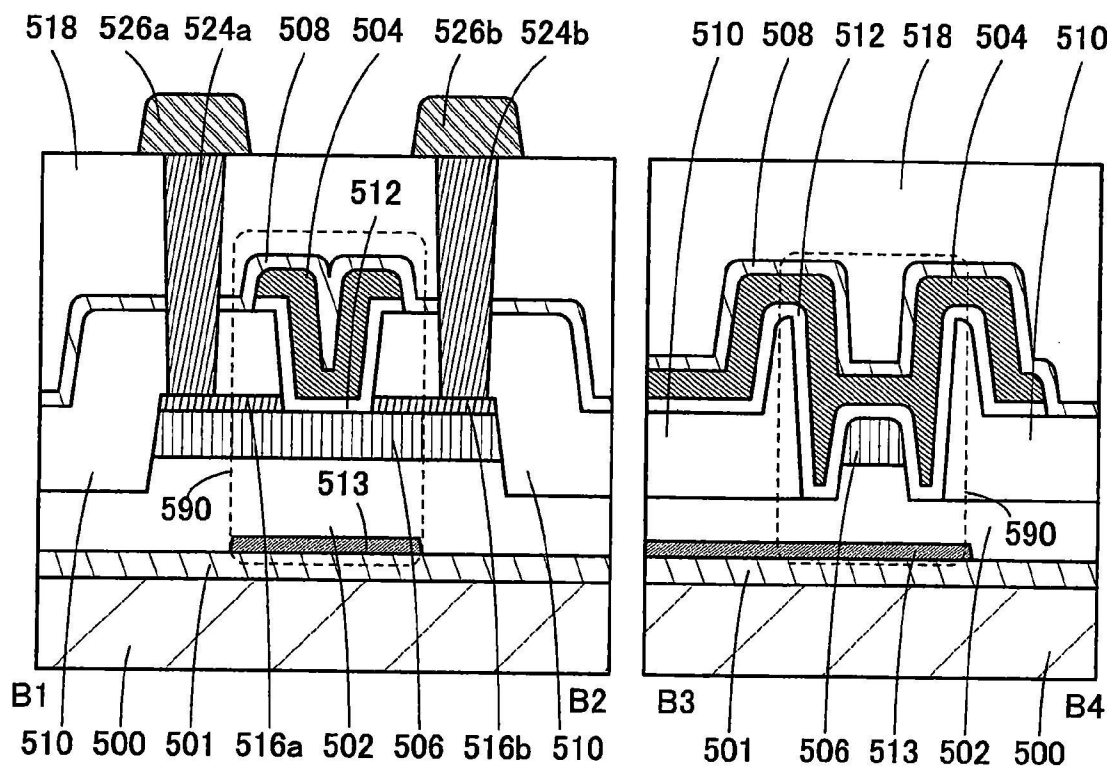


圖 10B

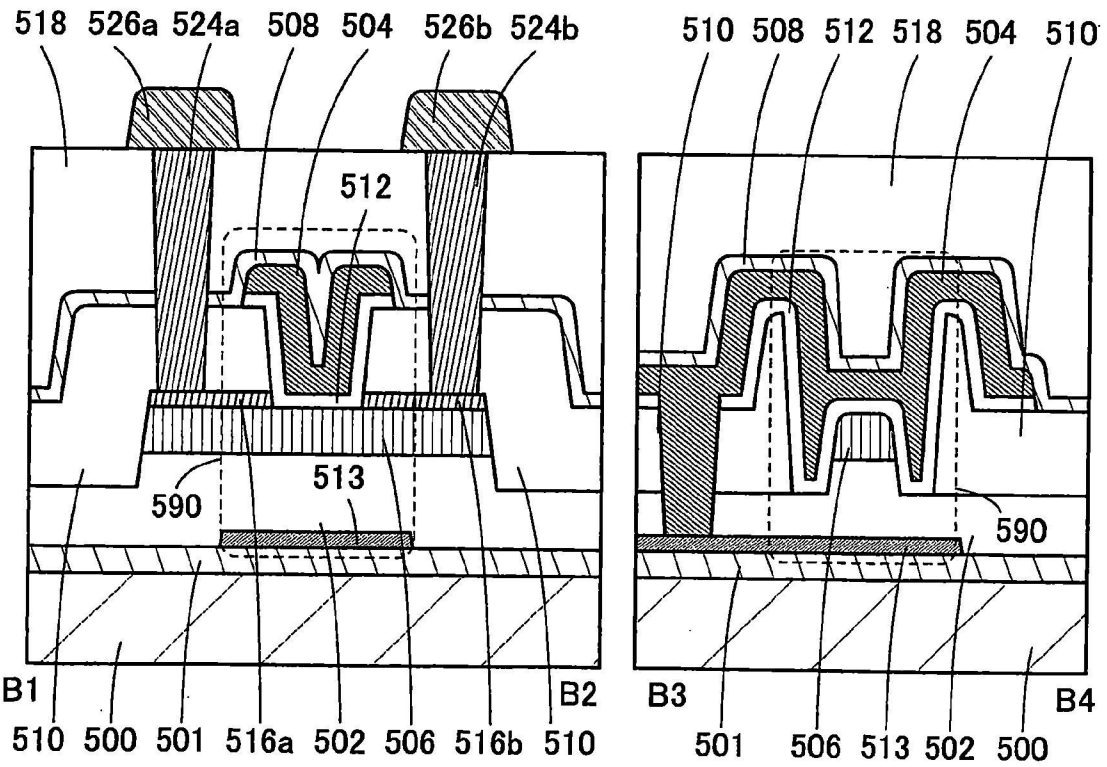


圖 11A

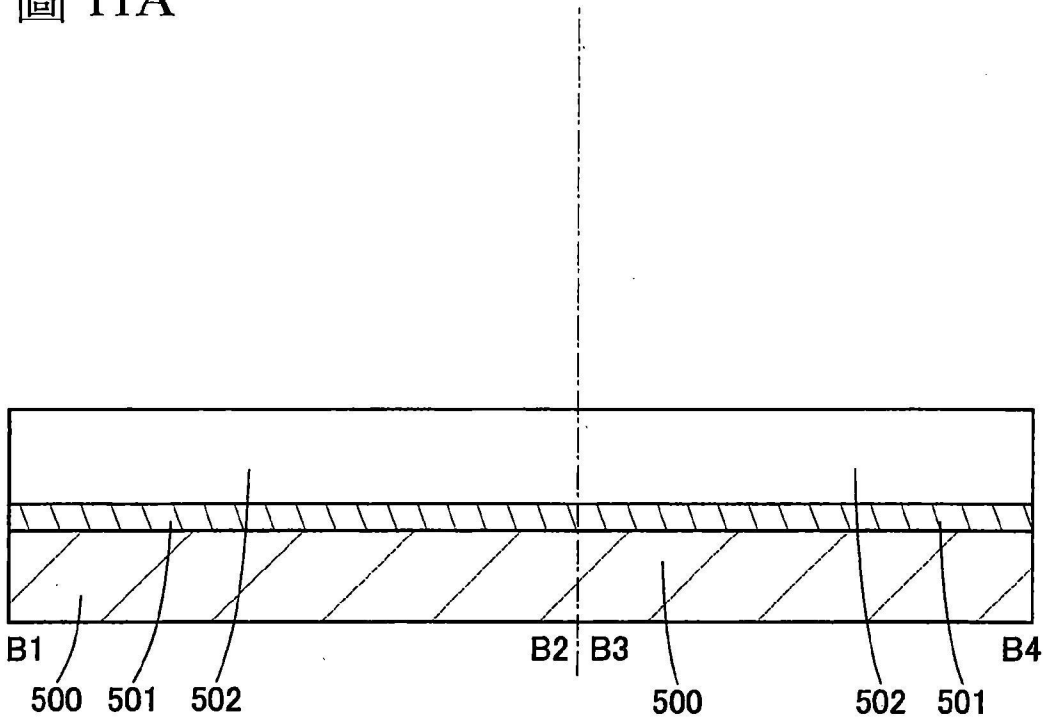


圖 11B

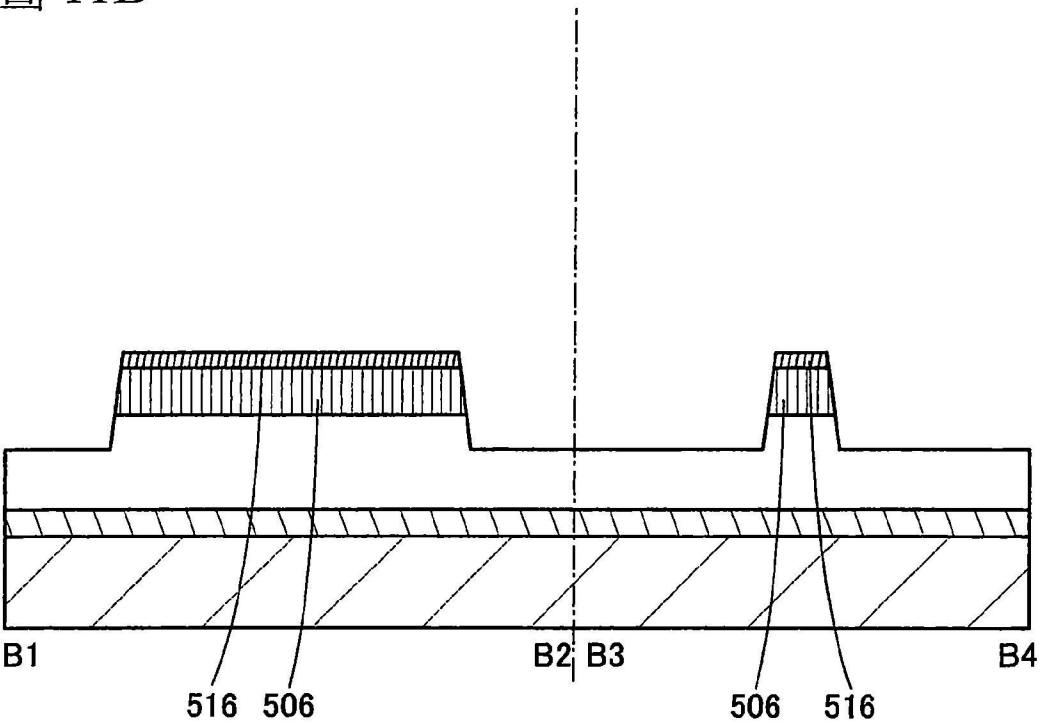


圖 12A

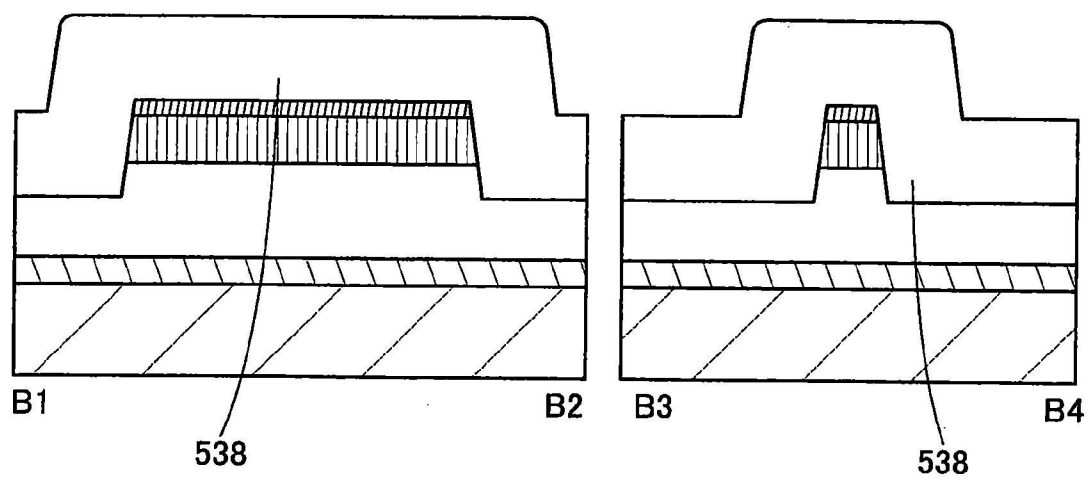


圖 12B

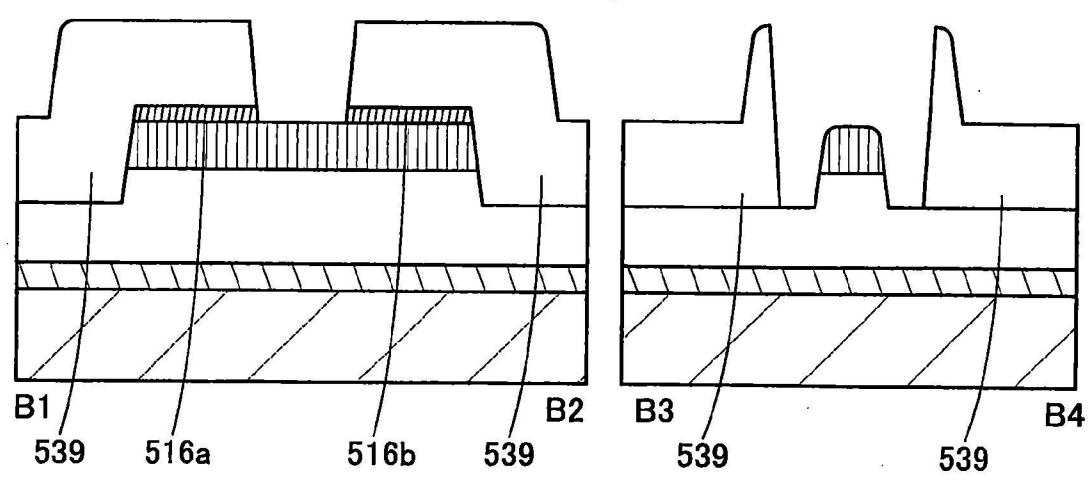


圖 13A

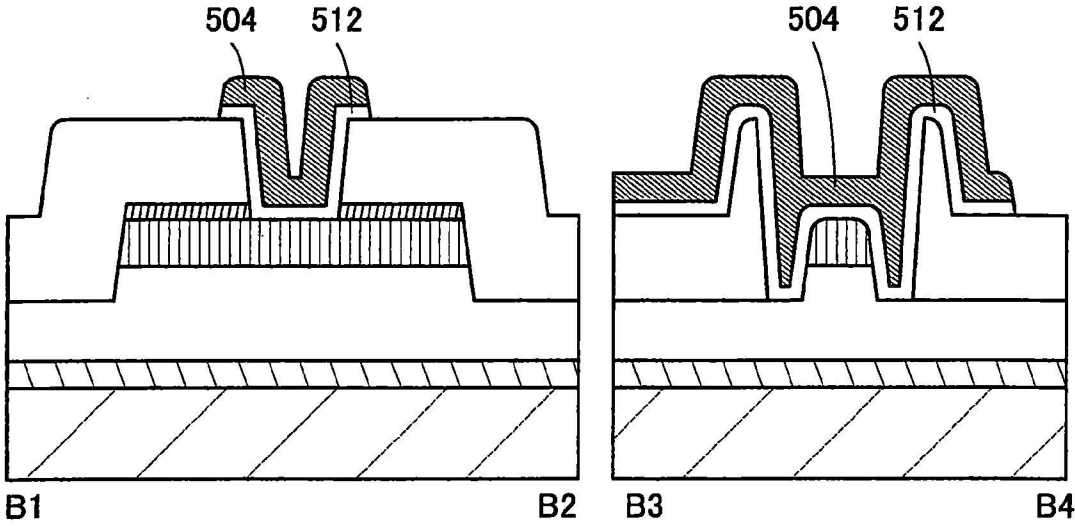


圖 13B

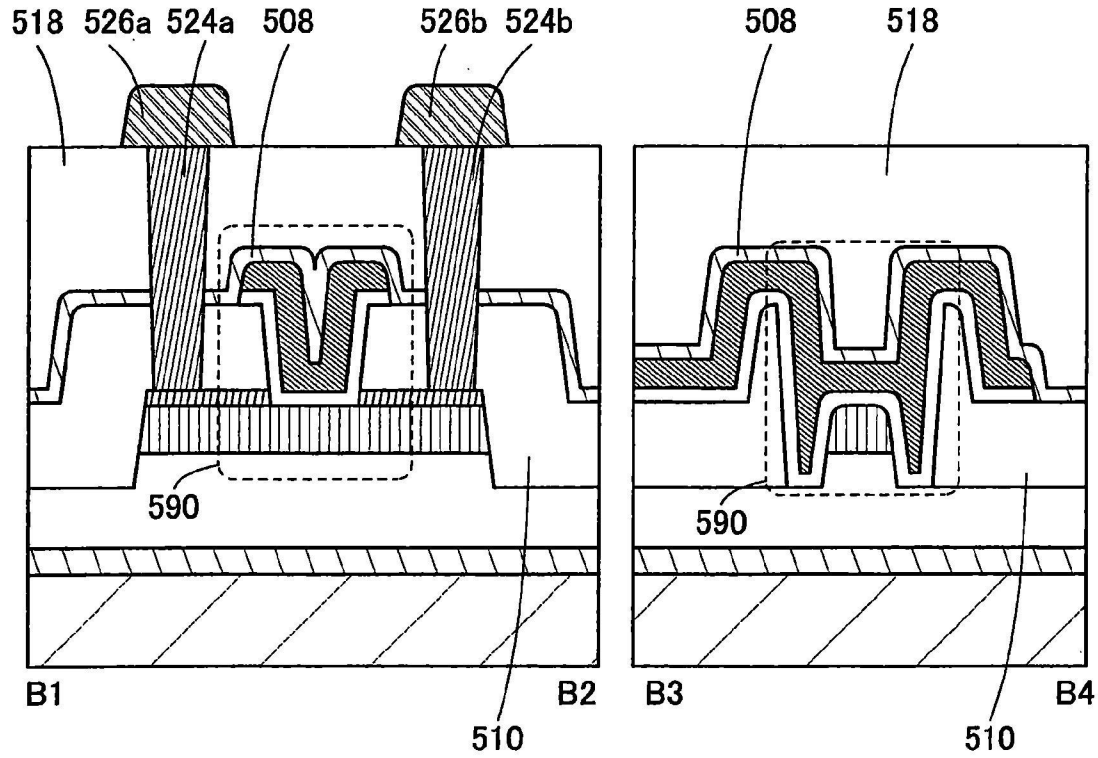


圖 14A

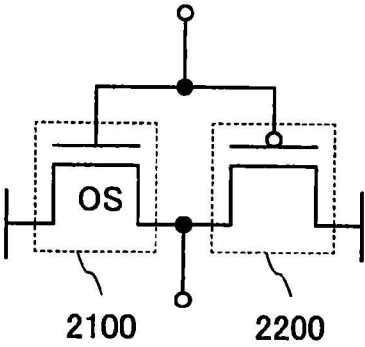


圖 14B

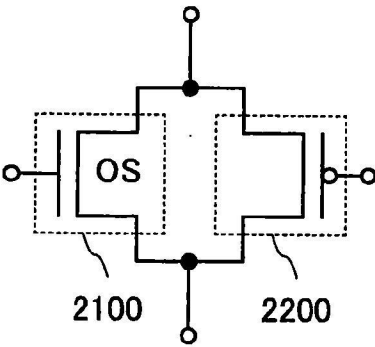


圖 15

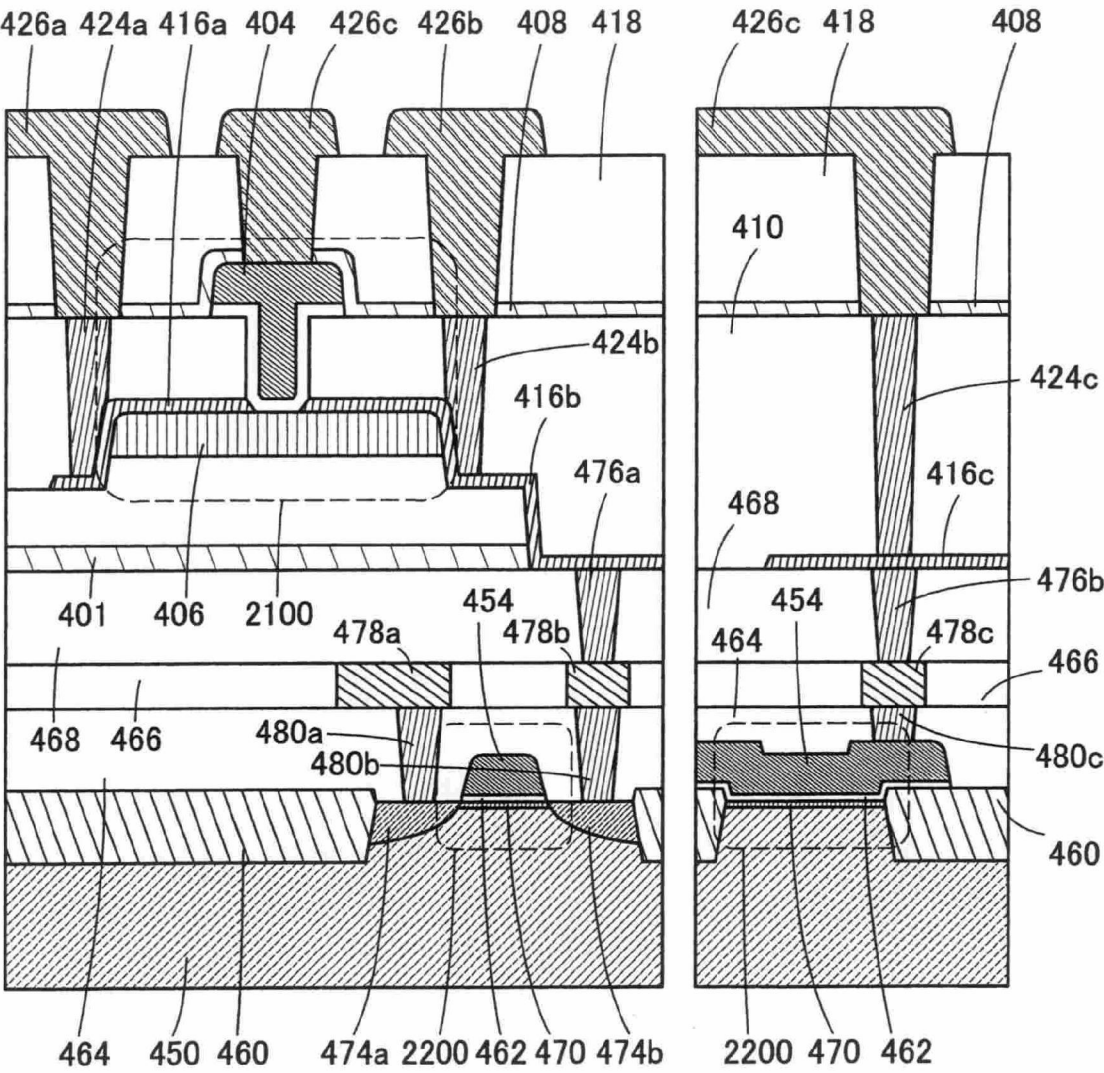


圖 16

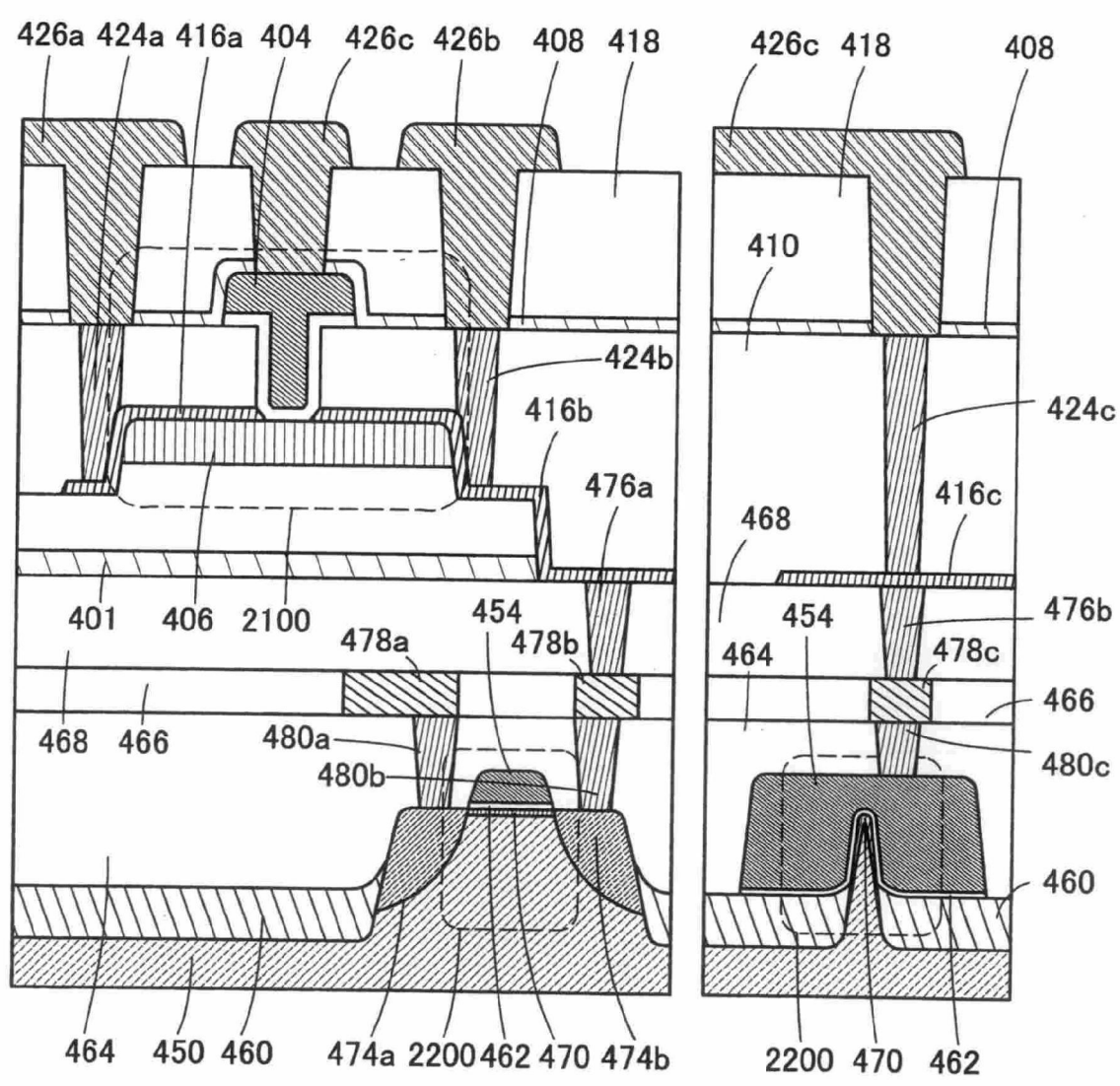


圖 17

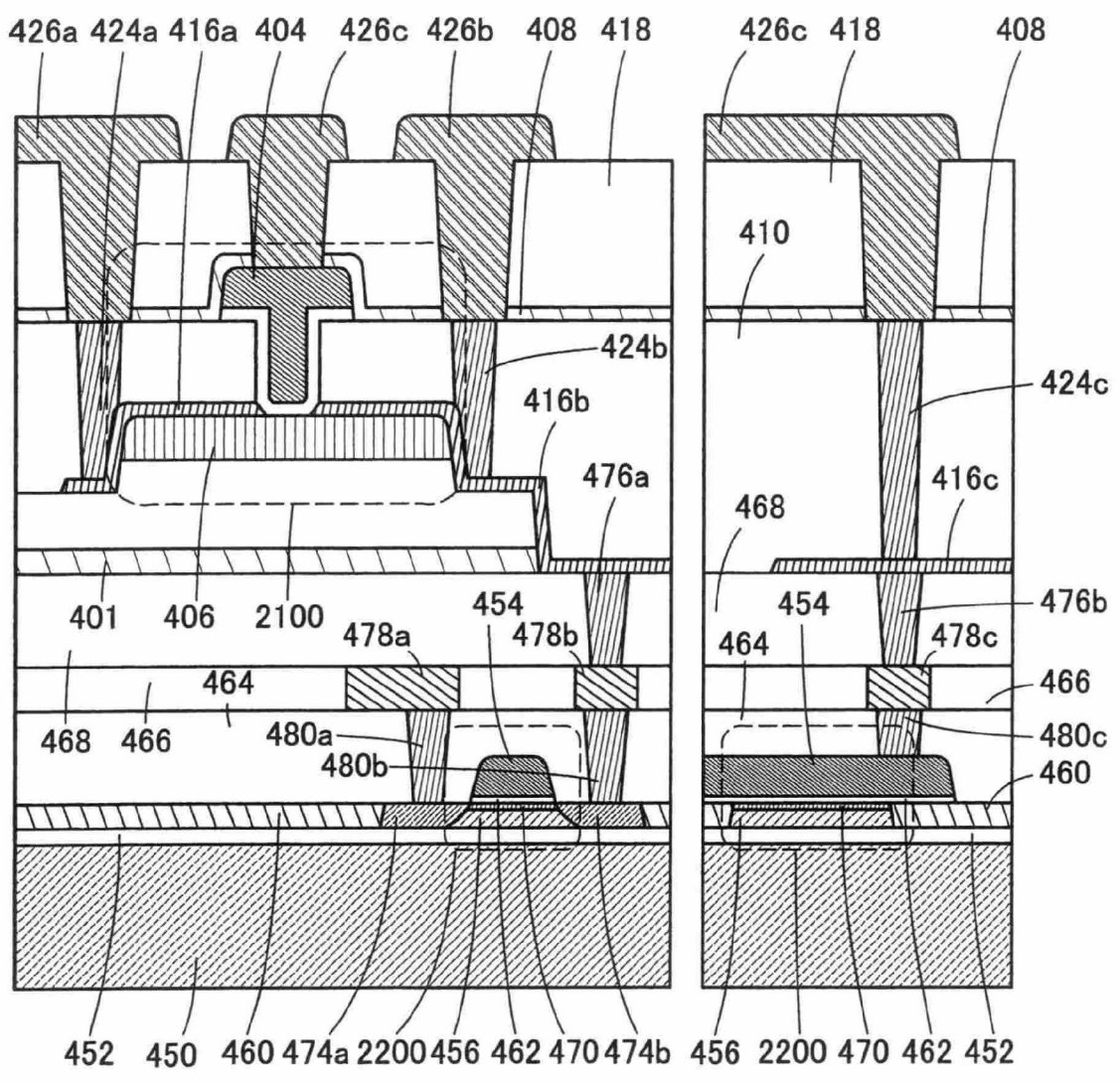


圖 18A

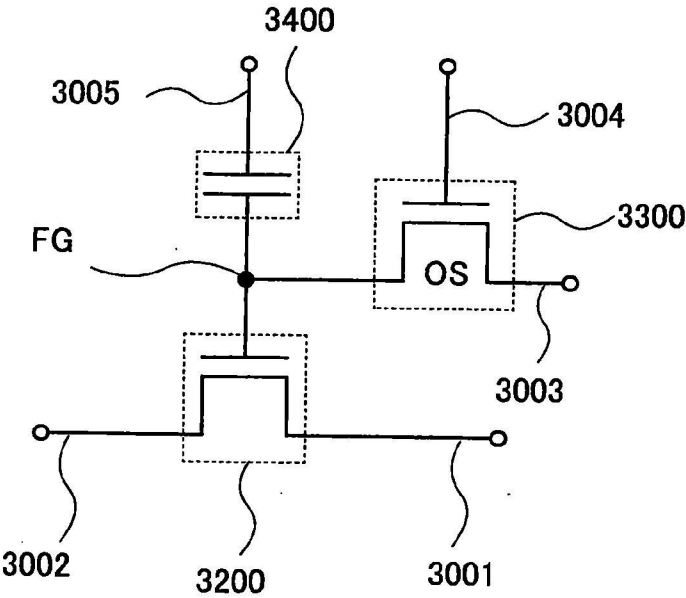


圖 18B

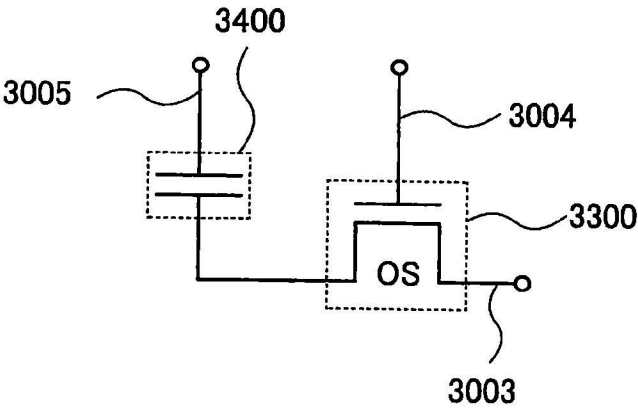


圖 19

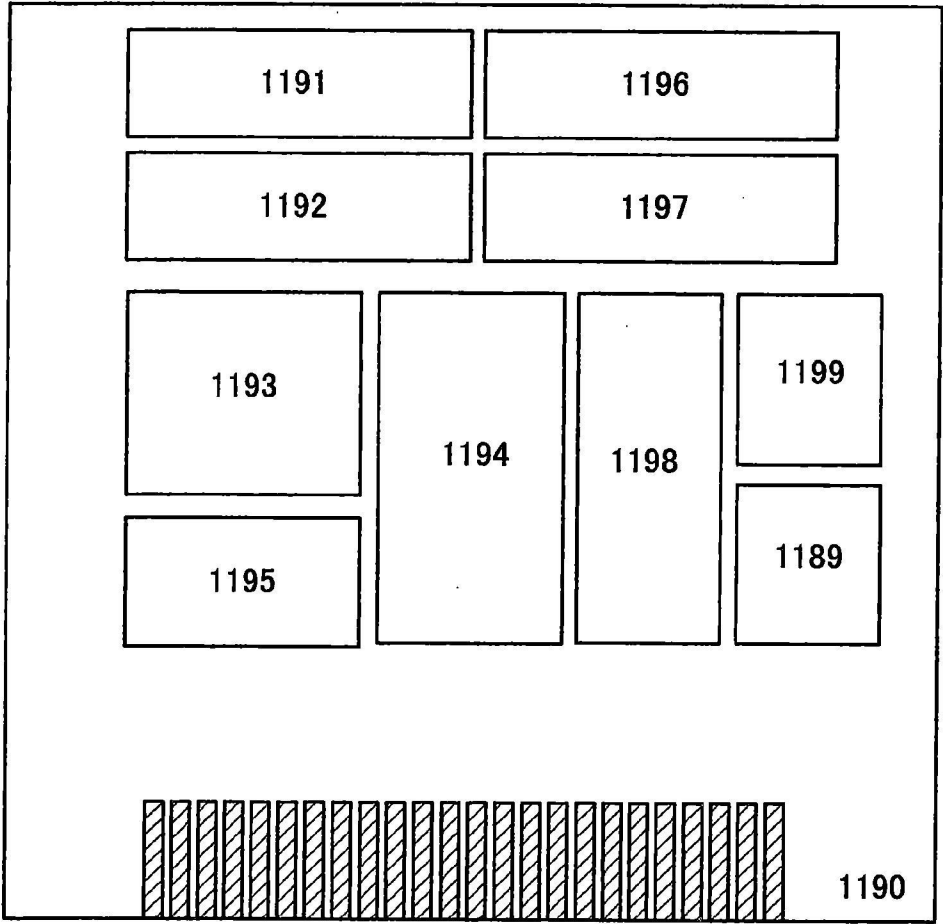


圖 20

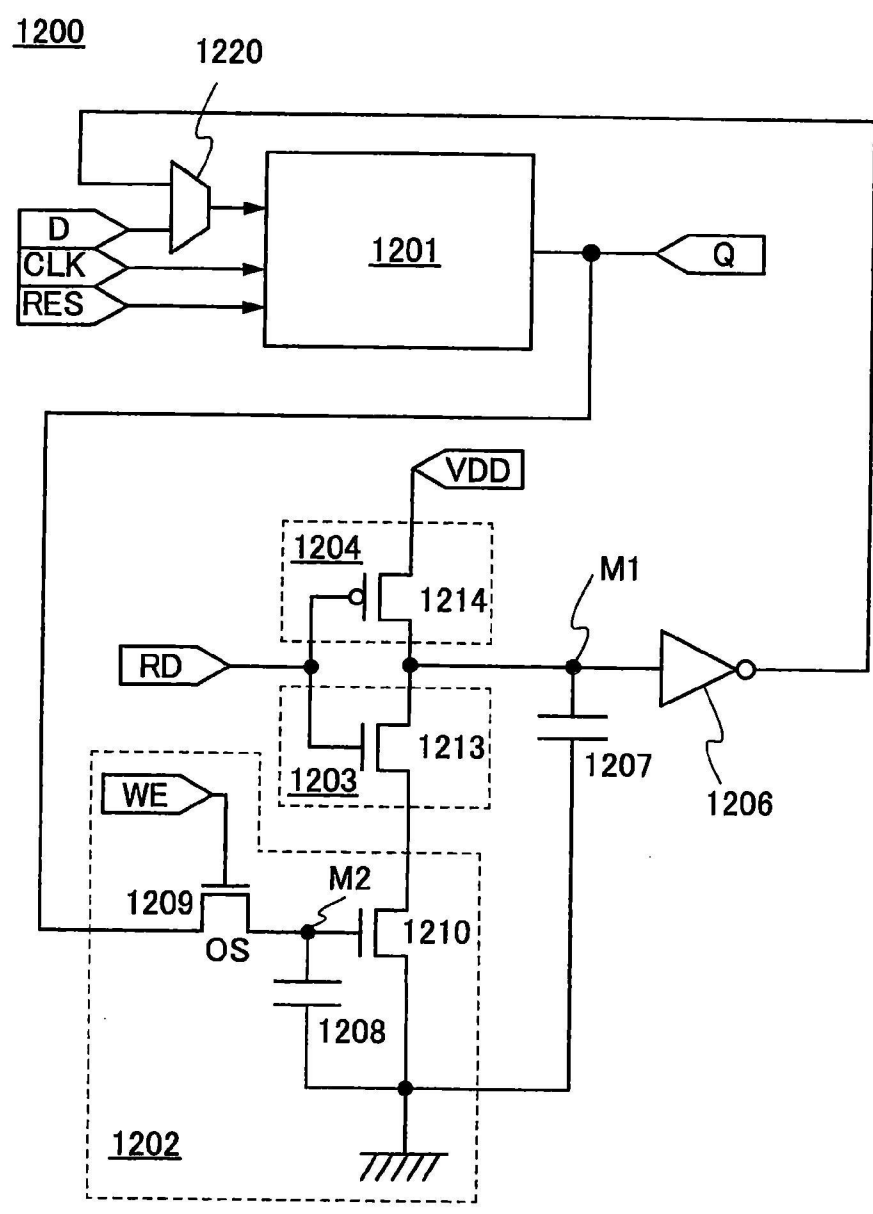


圖 21A

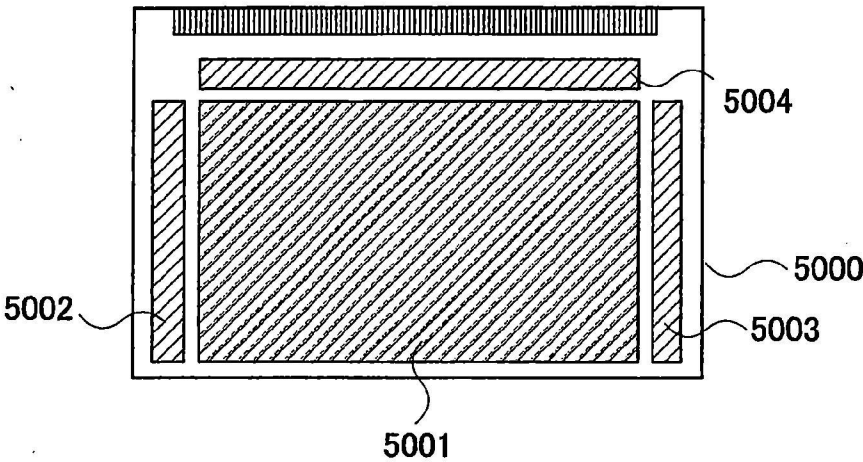


圖 21B

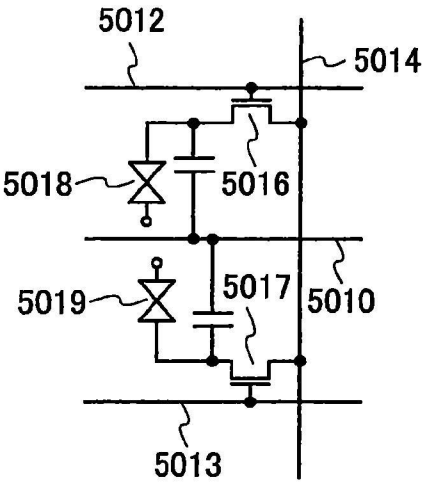


圖 21C

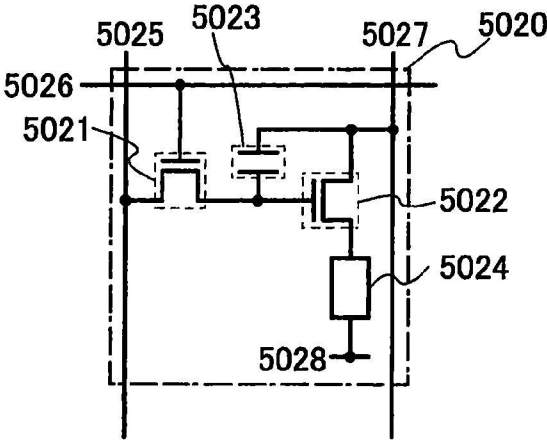


圖 22A

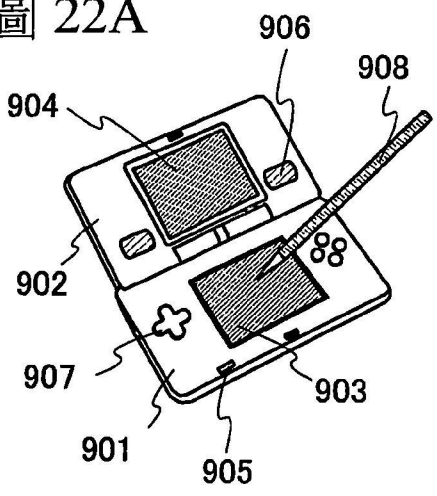


圖 22B

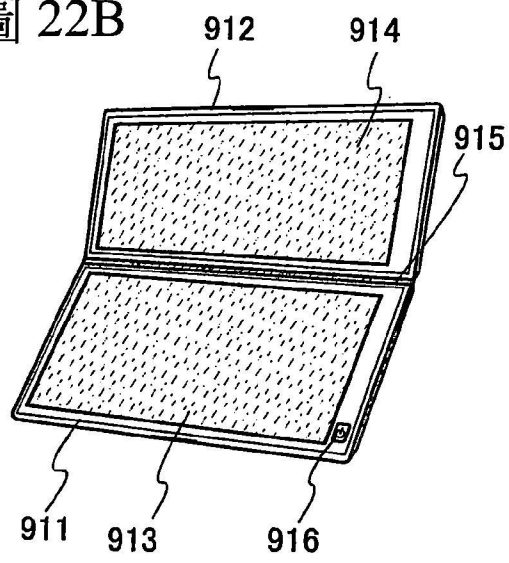


圖 22C

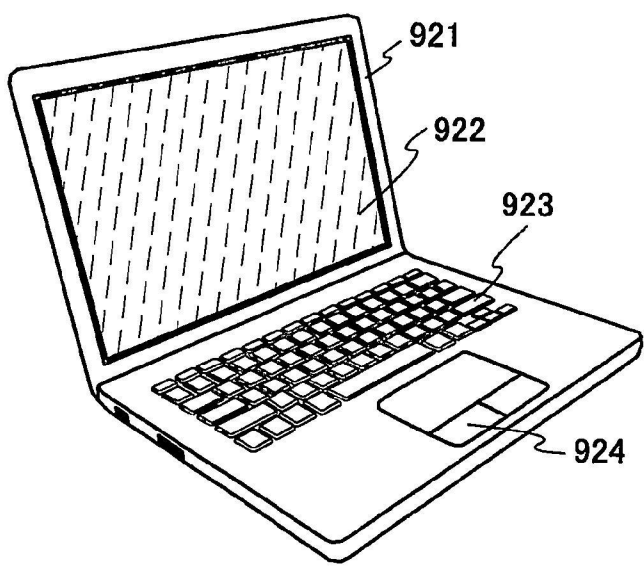


圖 22D

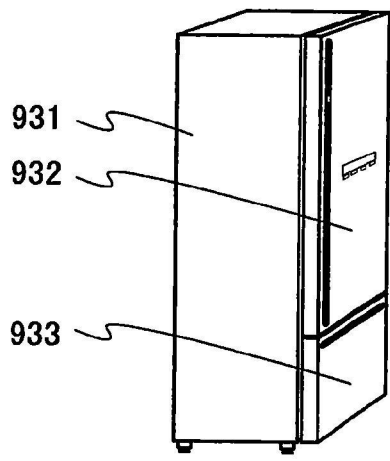


圖 22E

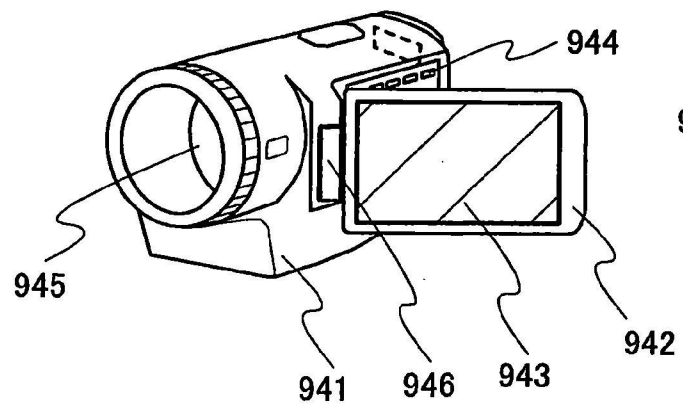


圖 22F

