

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-71491
(P2011-71491A)

(43) 公開日 平成23年4月7日(2011.4.7)

(51) Int.Cl.	F 1	テーマコード (参考)
HO1L 31/10 (2006.01)	HO1L 31/10	A 4M118
HO1L 29/786 (2006.01)	HO1L 29/78	613Z 5FO32
HO1L 21/336 (2006.01)	HO1L 29/78	627D 5FO48
HO1L 21/02 (2006.01)	HO1L 27/12	B 5FO49
HO1L 27/12 (2006.01)	HO1L 21/76	D 5F110

審査請求 未請求 請求項の数 13 O L (全 54 頁) 最終頁に続く

(21) 出願番号	特願2010-183920 (P2010-183920)	(71) 出願人	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(22) 出願日	平成22年8月19日 (2010.8.19)	(72) 発明者	磯部 敦生 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(31) 優先権主張番号	特願2009-194223 (P2009-194223)	(72) 発明者	針馬 典子 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(32) 優先日	平成21年8月25日 (2009.8.25)	(72) 発明者	松本 典子 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(33) 優先権主張国	日本国 (JP)	(72) 発明者	下村 明久 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
			最終頁に続く

(54) 【発明の名称】半導体装置およびその作製方法

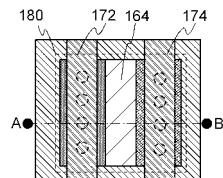
(57) 【要約】

【課題】特性の良い光電変換素子を有する半導体装置を提供することを目的の一とする。または、簡単な工程で、特性の良い光センサ光電変換装置を有する半導体装置を提供することを目的の一とする。

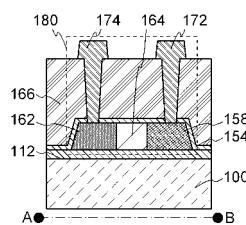
【解決手段】光透過性を有する基板と、光透過性を有する基板上の絶縁層と、絶縁層上の、光電変換を奏する半導体領域、第1の導電型を示す半導体領域、および、第2の導電型を示す半導体領域を有する単結晶半導体層と、第1の導電型を示す半導体領域と電気的に接続された第1の電極と、第2の導電型を示す半導体領域と電気的に接続された第2の電極とを有する光電変換素子とを備える半導体装置を提供する。

【選択図】図1

(A) 平面



(B) 断面



【特許請求の範囲】**【請求項 1】**

光透過性を有する基板と、
 前記光透過性を有する基板上の絶縁層と、
 前記絶縁層上の、光電変換を奏する半導体領域、第1の導電型を示す半導体領域、および、第2の導電型を示す半導体領域を有する単結晶半導体層と、前記第1の導電型を示す半導体領域と電気的に接続された第1の電極と、前記第2の導電型を示す半導体領域と電気的に接続された第2の電極とを有する光電変換素子とを備えることを特徴とする半導体装置。

【請求項 2】

請求項1において、前記光電変換素子に加え、前記絶縁層上にトランジスタを備えることを特徴とする半導体装置。

【請求項 3】

単結晶半導体基板にイオンを添加して該単結晶半導体基板に脆化領域を形成し、絶縁層を介して前記単結晶半導体基板と光透過性を有する基板とを貼り合わせ、前記脆化領域において前記単結晶半導体基板を分離して、前記光透過性を有する基板上に単結晶半導体層を形成し、
 前記単結晶半導体層を加工して島状半導体層を形成し、
 前記島状半導体層に、選択的に第1の不純物元素および第2の不純物元素を添加して、光電変換を奏する半導体領域、第1の導電型を示す半導体領域、および、第2の導電型を示す半導体領域を形成し、
 前記第1の導電型を示す半導体領域と電気的に接続する第1の電極、および、前記第2の導電型を示す半導体領域と電気的に接続する第2の電極を形成することにより、光電変換素子を形成することを特徴とする半導体装置の作製方法。

【請求項 4】

請求項3において、前記光電変換素子に加え、前記絶縁層上にトランジスタを形成することを特徴とする半導体装置の作製方法。

【請求項 5】

光透過性を有する基板と、
 前記光透過性を有する基板上の第1の絶縁層と、
 前記第1の絶縁層上に選択的に設けられた遮光層と、
 前記遮光層上の第2の絶縁層と、
 前記第2の絶縁層上の、光電変換を奏する半導体領域、第1の導電型を示す半導体領域、および、第2の導電型を示す半導体領域を有する単結晶半導体層と、前記第1の導電型を示す半導体領域と電気的に接続された第1の電極と、前記第2の導電型を示す半導体領域と電気的に接続された第2の電極とを有する光電変換素子とを備えることを特徴とする半導体装置。

【請求項 6】

請求項5において、前記光電変換素子に加え、前記第2の絶縁層上にトランジスタを備えることを特徴とする半導体装置。

【請求項 7】

単結晶半導体基板にイオンを添加して該単結晶半導体基板に脆化領域を形成し、光透過性を有する基板上に第1の絶縁層と該第1の絶縁層上の遮光層を形成し、第2の絶縁層を介して前記単結晶半導体基板と前記遮光層が形成された前記光透過性を有する基板とを貼り合わせ、
 前記脆化領域において前記単結晶半導体基板を分離して、前記光透過性を有する基板上に単結晶半導体層を形成し、
 前記単結晶半導体層を加工して島状半導体層を形成し、
 前記島状半導体層に、選択的に第1の不純物元素および第2の不純物元素を添加して、光電変換を奏する半導体領域、第1の導電型を示す半導体領域、および、第2の導電型を

10

20

30

40

50

示す半導体領域を形成し、

前記第1の導電型を示す半導体領域と電気的に接続する第1の電極、および、前記第2の導電型を示す半導体領域と電気的に接続する第2の電極を形成することにより、光電変換素子を形成することを特徴とする半導体装置の作製方法。

【請求項8】

請求項7において、前記光電変換素子に加え、前記第2の絶縁層上にトランジスタを形成することを特徴とする半導体装置の作製方法。

【請求項9】

単結晶半導体基板にイオンを添加して該単結晶半導体基板に脆化領域を形成し、
光透過性を有する基板上に第1の絶縁層と該第1の絶縁層上の遮光層を形成し、

第2の絶縁層を介して前記単結晶半導体基板と前記遮光層が形成された前記光透過性を有する基板とを貼り合わせ、

前記脆化領域において前記単結晶半導体基板を分離して、前記光透過性を有する基板上に単結晶半導体層を形成し、

前記単結晶半導体層を加工して第1および第2の島状半導体層を形成し、

前記第1の島状半導体層に、選択的に第1の不純物元素および第2の不純物元素を添加して、光電変換を奏する半導体領域、第1の導電型を示す半導体領域、および、第2の導電型を示す半導体領域を形成し、

前記第1の導電型を示す半導体領域と電気的に接続する第1の電極、および、前記第2の導電型を示す半導体領域と電気的に接続する第2の電極を形成することにより、光電変換素子を形成し、

前記第2の島状半導体層に選択的に第1の不純物元素または第2の不純物元素を添加して、チャネル形成領域、ソース領域およびドレイン領域を形成し、

前記第2の島状半導体層上にゲート絶縁膜を形成し、

前記ゲート絶縁膜上にゲート電極を形成し、

前記ソース領域と電気的に接続するソース電極、および、前記ドレイン領域と電気的に接続するドレイン電極を形成することにより、トランジスタを形成することを特徴とする半導体装置の作製方法。

【請求項10】

単結晶半導体基板にイオンを添加して該単結晶半導体基板に脆化領域を形成し、
光透過性を有する基板上に第1の絶縁層と該第1の絶縁層上の遮光層を形成し、
前記遮光層を加工して第1および第2島状遮光層を含む複数の島状遮光層を形成し、
前記複数の島状遮光層を覆って平坦性を有する第2の絶縁層を形成し

第3の絶縁層を介して前記単結晶半導体基板と前記第2の絶縁層が形成された前記光透過性を有する基板とを貼り合わせ、

前記脆化領域において前記単結晶半導体基板を分離して、前記光透過性を有する基板上の前記複数の島状遮光層と重なる領域に島状半導体層をそれぞれ形成し、

前記第1島状遮光層と重なる島状半導体層に、選択的に第1の不純物元素および第2の不純物元素を添加して、光電変換を奏する半導体領域、第1の導電型を示す半導体領域、および、第2の導電型を示す半導体領域を形成し、

前記第1の導電型を示す半導体領域と電気的に接続する第1の電極、および、前記第2の導電型を示す半導体領域と電気的に接続する第2の電極を形成することにより、光電変換素子を形成し、

前記第2島状遮光層と重なる島状半導体層に選択的に第1の不純物元素または第2の不純物元素を添加して、チャネル形成領域、ソース領域およびドレイン領域を形成し、

前記第2島状遮光層と重なる島状半導体層上にゲート絶縁膜を形成し、

前記ゲート絶縁膜上にゲート電極を形成し、

前記ソース領域と電気的に接続するソース電極、および、前記ドレイン領域と電気的に接続するドレイン電極を形成することにより、トランジスタを形成することを特徴とする半導体装置の作製方法。

10

20

30

40

50

【請求項 1 1】

光透過性を有する基板と、
 前記光透過性を有する基板上の絶縁層と、
 前記絶縁層上の光電変換素子と、トランジスタと、
 を有し、
 前記光電変換素子は、
 光電変換を奏する半導体領域、第1の導電型を示す半導体領域、および、第2の導電型
 を示す半導体領域を有する第1の単結晶半導体層と、
 前記第1の導電型を示す半導体領域と電気的に接続された第1の電極と、
 前記第2の導電型を示す半導体領域と電気的に接続された第2の電極と、
 を有し、
 前記トランジスタは、
 チャネル形成領域、ソース領域およびドレイン領域を有する第2の単結晶半導体層と、
 前記第2の単結晶半導体層上のゲート絶縁膜と、
 前記ゲート絶縁膜上のゲート電極と、
 前記ソース領域と電気的に接続されたソース電極と、
 前記ドレイン領域と電気的に接続されたドレイン電極と、
 を有し、
 前記第1単結晶半導体層および前記第2単結晶半導体層は、いずれも前記絶縁層上に形成され、
 前記第1単結晶半導体層の厚さは、前記第2単結晶半導体層より厚いことを特徴とする半導体装置。

10

20

【請求項 1 2】

単結晶半導体基板にイオンを添加して該単結晶半導体基板に脆化領域を形成し、
 絶縁層を介して前記単結晶半導体基板と光透過性を有する基板とを貼り合わせ、
 前記脆化領域において前記単結晶半導体基板を分離して、前記光透過性を有する基板上に単結晶半導体層を形成し、
 前記単結晶半導体層の厚さを部分的に薄くし、第1の単結晶半導体領域と、前記第1の単結晶半導体領域より薄い第2の単結晶半導体領域と、を形成し、
 前記第1の単結晶半導体領域を加工して、第1の島状半導体層を形成し、
 前記第2の単結晶半導体領域を加工して、第2の島状半導体層を形成し、
 前記第1の島状半導体層に選択的に第1の不純物元素および第2不純物元素を添加して、
 光電変換を奏する半導体領域、第1の導電型を示す半導体領域、および、第2の導電型
 を示す半導体領域を形成し、
 前記第1の導電型を示す半導体領域と電気的に接続する第1の電極、および、前記第2の導電型を示す半導体領域と電気的に接続する第2の電極を形成することにより、光電変換素子を形成し、

30

40

前記第2の島状半導体層に選択的に第1の不純物元素または第2不純物元素を添加して、
 チャネル形成領域、ソース領域およびドレイン領域を形成し、
 前記第2の島状半導体層上にゲート絶縁膜を形成し、
 前記ゲート絶縁膜上にゲート電極を形成し、
 前記ソース領域と電気的に接続するソース電極、および、前記ドレイン領域と電気的に接続するドレイン電極を形成することにより、トランジスタを形成することを特徴とする半導体装置の作製方法。

【請求項 1 3】

単結晶半導体基板にイオンを添加して該単結晶半導体基板に脆化領域を形成し、
 絶縁層を介して前記単結晶半導体基板と光透過性を有する基板とを貼り合わせ、
 前記脆化領域において前記単結晶半導体基板を分離して、前記光透過性を有する基板上に単結晶半導体層を形成し、
 前記単結晶半導体層の厚さを部分的に厚くし、第1の単結晶半導体領域と、前記第1の

50

単結晶半導体領域より薄い第2の単結晶半導体領域と、を形成し、

前記第1の単結晶半導体領域を加工して、第1の島状半導体層を形成し、

前記第2の単結晶半導体領域を加工して、第2の島状半導体層を形成し、

前記第1の島状半導体層に選択的に第1の不純物元素および第2不純物元素を添加して、光電変換を奏する半導体領域、第1の導電型を示す半導体領域、および、第2の導電型を示す半導体領域を形成し、

前記第1の導電型を示す半導体領域と電気的に接続する第1の電極、および、前記第2の導電型を示す半導体領域と電気的に接続する第2の電極を形成することにより、光電変換素子を形成し、

前記第2の島状半導体層に選択的に第1の不純物元素または第2不純物元素を添加して、チャネル形成領域、ソース領域およびドレイン領域を形成し、

前記第2の島状半導体層上にゲート絶縁膜を形成し、

前記ゲート絶縁膜上にゲート電極を形成し、

前記ソース領域と電気的に接続するソース電極、および、前記ドレイン領域と電気的に接続するドレイン電極を形成することにより、トランジスタを形成することを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

SOI (Silicon on Insulator) 基板を用いた半導体装置およびその作製方法に関する。 20

【背景技術】

【0002】

ガラス基板上に光電変換素子（例えば、光センサ）を形成する場合、光電変換を奏する半導体層として、多結晶シリコンが用いられることがある（例えば、特許文献1参照）。多結晶シリコンは、低温のプロセスで形成することが可能であるため、ガラス基板などの耐熱性が低い基板上に形成することが容易であるというメリットを有する。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開平10-79522号公報 30

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかし、多結晶シリコンは単結晶シリコンと比較して暗電流が大きい傾向にある。また、欠陥の存在によりキャリアがトラップされて、光照射時の電流が減少してしまうという問題もある。このため、多結晶シリコンを用いる場合には、十分な光感度を持つ光電変換素子を作製することが困難であった。

【0005】

上記問題に鑑み、開示する発明の一態様では、特性の良い光電変換素子を有する半導体装置を提供することを目的の一とする。または、簡単な工程で、特性の良い光電変換装置を有する半導体装置を提供することを目的の一とする。 40

【課題を解決するための手段】

【0006】

開示する発明の一態様では、光透過性を有する基板上の単結晶半導体層を用いて、光電変換素子を形成する。より詳細には以下の通りである。

【0007】

開示する発明の一態様は、光透過性を有する基板と、光透過性を有する基板上の絶縁層と、絶縁層上の、光電変換を奏する半導体領域、第1の導電型を示す半導体領域、および、第2の導電型を示す半導体領域を有する単結晶半導体層と、第1の導電型を示す半導体領 50

域と電気的に接続された第1の電極と、第2の導電型を示す半導体領域と電気的に接続された第2の電極とを有する光電変換素子とを備えることを特徴とする半導体装置である。上記において、光電変換素子に加え、絶縁層上にトランジスタを備える構成とすることができる。

【0008】

開示する発明の別の一態様は、単結晶半導体基板にイオンを添加して単結晶半導体基板に脆化領域を形成し、絶縁層を介して単結晶半導体基板と光透過性を有する基板とを貼り合わせ、脆化領域において単結晶半導体基板を分離して、光透過性を有する基板上に単結晶半導体層を形成し、単結晶半導体層を加工して島状半導体層を形成し、島状半導体層に、選択的に第1の不純物元素および第2の不純物元素を添加して、光電変換を奏する半導体領域、第1の導電型を示す半導体領域、および、第2の導電型を示す半導体領域を形成し、第1の導電型を示す半導体領域と電気的に接続する第1の電極、および、第2の導電型を示す半導体領域と電気的に接続する第2の電極を形成することにより、光電変換素子を形成することを特徴とする半導体装置の作製方法である。上記において、光電変換素子に加え、絶縁層上にトランジスタを形成することができる。

10

【0009】

また、開示する発明の別の一態様は、光透過性を有する基板と、光透過性を有する基板上の第1の絶縁層と、第1の絶縁層上に選択的に設けられた遮光層と、遮光層上の第2の絶縁層と、第2の絶縁層上の、光電変換を奏する半導体領域、第1の導電型を示す半導体領域、および、第2の導電型を示す半導体領域を有する単結晶半導体層と、第1の導電型を示す半導体領域と電気的に接続された第1の電極と、第2の導電型を示す半導体領域と電気的に接続された第2の電極とを有する光電変換素子とを備えることを特徴とする半導体装置である。上記において、光電変換素子に加え、第2の絶縁層上にトランジスタを備える構成とができる。

20

【0010】

また、開示する発明の別の一態様は、単結晶半導体基板にイオンを添加して単結晶半導体基板に脆化領域を形成し、光透過性を有する基板上に第1の絶縁層と第1の絶縁層上の遮光層を形成し、第2の絶縁層を介して単結晶半導体基板と遮光層が形成された光透過性を有する基板とを貼り合わせ、脆化領域において単結晶半導体基板を分離して、光透過性を有する基板上に単結晶半導体層を形成し、単結晶半導体層を加工して島状半導体層を形成し、島状半導体層に、選択的に第1の不純物元素および第2の不純物元素を添加して、光電変換を奏する半導体領域、第1の導電型を示す半導体領域、および、第2の導電型を示す半導体領域を形成し、第1の導電型を示す半導体領域と電気的に接続する第1の電極、および、第2の導電型を示す半導体領域と電気的に接続する第2の電極を形成することにより、光電変換素子を形成することを特徴とする半導体装置の作製方法である。上記において、光電変換素子に加え、第2の絶縁層上にトランジスタを形成することができる。

30

【0011】

また、開示する発明の別の一態様は、単結晶半導体基板にイオンを添加して単結晶半導体基板に脆化領域を形成し、光透過性を有する基板上に第1の絶縁層と第1の絶縁層上の遮光層を形成し、第2の絶縁層を介して単結晶半導体基板と遮光層が形成された光透過性を有する基板とを貼り合わせ、脆化領域において単結晶半導体基板を分離して、光透過性を有する基板上に単結晶半導体層を形成し、単結晶半導体層を加工して第1および第2の島状半導体層を形成し、第1の島状半導体層に、選択的に第1の不純物元素および第2の不純物元素を添加して、光電変換を奏する半導体領域、第1の導電型を示す半導体領域、および、第2の導電型を示す半導体領域を形成し、第1の導電型を示す半導体領域と電気的に接続する第1の電極、および、第2の導電型を示す半導体領域と電気的に接続する第2の電極を形成することにより、光電変換素子を形成し、第2の島状半導体層に選択的に第1の不純物元素または第2の不純物元素を添加して、チャネル形成領域、ソース領域およびドレイン領域を形成し、第2の島状半導体層上にゲート絶縁膜を形成し、ゲート絶縁膜上にゲート電極を形成し、ソース領域と電気的に接続するソース電極、および、ドレイン

40

50

領域と電気的に接続するドレイン電極を形成することにより、トランジスタを形成することを特徴とする半導体装置の作製方法である。

【0012】

また、開示する発明の別の一態様は、単結晶半導体基板にイオンを添加して単結晶半導体基板に脆化領域を形成し、光透過性を有する基板上に第1の絶縁層と第1の絶縁層上の遮光層を形成し、遮光層を加工して第1および第2島状遮光層を含む複数の島状遮光層を形成し、複数の島状遮光層を覆って平坦性を有する第2の絶縁層を形成し、第3の絶縁層を介して単結晶半導体基板と第2の絶縁層が形成された光透過性を有する基板とを貼り合わせ、脆化領域において単結晶半導体基板を分離して、光透過性を有する基板上の複数の島状遮光層と重なる領域に島状半導体層をそれぞれ形成し、第1島状遮光層と重なる島状半導体層に、選択的に第1の不純物元素および第2の不純物元素を添加して、光電変換を奏する半導体領域、第1の導電型を示す半導体領域、および、第2の導電型を示す半導体領域を形成し、第1の導電型を示す半導体領域と電気的に接続する第1の電極、および、第2の導電型を示す半導体領域と電気的に接続する第2の電極を形成することにより、光電変換素子を形成し、第2島状遮光層と重なる島状半導体層に選択的に第1の不純物元素または第2の不純物元素を添加して、チャネル形成領域、ソース領域およびドレイン領域を形成し、第2島状遮光層と重なる島状半導体層上にゲート絶縁膜を形成し、ゲート絶縁膜上にゲート電極を形成し、ソース領域と電気的に接続するソース電極、および、ドレイン領域と電気的に接続するドレイン電極を形成することにより、トランジスタを形成することを特徴とする半導体装置の作製方法である。

10

20

30

40

50

【0013】

また、開示する発明の別の一態様は、光透過性を有する基板と、光透過性を有する基板上の絶縁層と、絶縁層上の光電変換素子と、トランジスタと、を有し、光電変換素子は、光電変換を奏する半導体領域、第1の導電型を示す半導体領域、および、第2の導電型を示す半導体領域を有する第1の単結晶半導体層と、第1の導電型を示す半導体領域と電気的に接続された第1の電極と、第2の導電型を示す半導体領域と電気的に接続された第2の電極と、を有し、トランジスタは、チャネル形成領域、ソース領域およびドレイン領域を有する第2の単結晶半導体層と、第2の単結晶半導体層上のゲート絶縁膜と、ゲート絶縁膜上のゲート電極と、ソース領域と電気的に接続されたソース電極と、ドレイン領域と電気的に接続されたドレイン電極と、を有し、第1単結晶半導体層および第2単結晶半導体層は、いずれも絶縁層上に形成され、第1単結晶半導体層の厚さは、第2単結晶半導体層より厚いことを特徴とする半導体装置である。

【0014】

また、開示する発明の別の一態様は、単結晶半導体基板にイオンを添加して該単結晶半導体基板に脆化領域を形成し、絶縁層を介して前記単結晶半導体基板と光透過性を有する基板とを貼り合わせ、前記脆化領域において前記単結晶半導体基板を分離して、前記光透過性を有する基板上に単結晶半導体層を形成し、前記単結晶半導体層の厚さを部分的に薄くし、第1の単結晶半導体領域と、前記第1の単結晶半導体領域より薄い第2の単結晶半導体領域と、を形成し、前記第1の単結晶半導体領域を加工して、第1の島状半導体層を形成し、前記第2の単結晶半導体領域を加工して、第2の島状半導体層を形成し、前記第1の島状半導体層に選択的に第1の不純物元素および第2不純物元素を添加して、光電変換を奏する半導体領域、第1の導電型を示す半導体領域、および、第2の導電型を示す半導体領域を形成し、前記第1の導電型を示す半導体領域と電気的に接続する第1の電極、および、前記第2の導電型を示す半導体領域と電気的に接続する第2の電極を形成することにより、光電変換素子を形成し、前記第2の島状半導体層に選択的に第1の不純物元素または第2不純物元素を添加して、チャネル形成領域、ソース領域およびドレイン領域を形成し、前記第2の島状半導体層上にゲート絶縁膜を形成し、前記ゲート絶縁膜上にゲート電極を形成し、前記ソース領域と電気的に接続するソース電極、および、前記ドレイン領域と電気的に接続するドレイン電極を形成することにより、トランジスタを形成することを特徴とする半導体装置の作製方法である。

【0015】

また、開示する発明の一態様は、単結晶半導体基板にイオンを添加して該単結晶半導体基板に脆化領域を形成し、絶縁層を介して前記単結晶半導体基板と光透過性を有する基板とを貼り合わせ、前記脆化領域において前記単結晶半導体基板を分離して、前記光透過性を有する基板上に単結晶半導体層を形成し、前記単結晶半導体層の厚さを部分的に厚くし、第1の単結晶半導体領域と、前記第1の単結晶半導体領域より薄い第2の単結晶半導体領域と、を形成し、前記第1の単結晶半導体領域を加工して、第1の島状半導体層を形成し、前記第2の単結晶半導体領域を加工して、第2の島状半導体層を形成し、前記第1の島状半導体層に選択的に第1の不純物元素および第2不純物元素を添加して、光電変換を奏する半導体領域、第1の導電型を示す半導体領域、および、第2の導電型を示す半導体領域を形成し、前記第1の導電型を示す半導体領域と電気的に接続する第1の電極、および、前記第2の導電型を示す半導体領域と電気的に接続する第2の電極を形成することにより、光電変換素子を形成し、前記第2の島状半導体層に選択的に第1の不純物元素または第2不純物元素を添加して、チャネル形成領域、ソース領域およびドレイン領域を形成し、前記第2の島状半導体層上にゲート絶縁膜を形成し、前記ゲート絶縁膜上にゲート電極を形成し、前記ソース領域と電気的に接続するソース電極、および、前記ドレイン領域と電気的に接続するドレイン電極を形成することにより、トランジスタを形成することを特徴とする半導体装置の作製方法である。

【0016】

一般に、「SOI基板」は絶縁表面上にシリコン半導体層が設けられた構成の半導体基板をいうが、本明細書等においては、絶縁表面上にシリコン以外の材料からなる半導体層が設けられた構成の半導体基板をも含む概念として用いる。つまり、「SOI基板」が有する半導体層は、シリコン半導体層に限定されない。また、本明細書等において、半導体基板は、半導体材料のみからなる基板を指すに留まらず、半導体材料を含む基板全般を示すものとする。つまり、本明細書等においては「SOI基板」も広く半導体基板に含まれる。

【0017】

なお、本明細書等において単結晶とは、ある結晶軸に注目した場合、その結晶軸の方向が試料のどの部分においても同様の方向を向いているものをいう。つまり、結晶欠陥やダングリグボンドなどを含んでいても、上記のように結晶軸の方向が揃っているものは単結晶として扱う。

【0018】

また、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。例えば、表示装置や、集積回路は半導体装置に含まれる。また、本明細書等において表示装置とは、発光表示装置や液晶表示装置、電気泳動素子を用いた表示装置を含む。発光表示装置は発光素子を含み、液晶表示装置は液晶素子を含む。発光素子は、電流または電圧によって輝度が制御される素子をその範疇に含んでおり、具体的には無機EL(Electro Luminescence)、有機EL等がある。

【発明の効果】

【0019】

開示する発明の一態様では、光透過性を有する基板上の単結晶半導体層を用いて光電変換素子を形成している。このため、光感度の高い光電変換素子を、光透過性を有する基板上に備えた半導体装置を提供することができる。

【0020】

開示する発明の一態様では、一層の単結晶半導体層を用いて光電変換素子を形成している。このため、半導体層の積層構造を用いて光電変換素子を形成する場合と比較して、半導体装置の作製工程を簡略化することができる。

【図面の簡単な説明】

【0021】

【図1】半導体装置の一例を示す平面図および断面図である。

【図2】半導体装置に用いられるSOI基板の作製方法の一例を示す断面図である。

【図3】半導体装置に用いられるSOI基板の作製方法の一例を示す断面図である。

【図4】半導体装置の作製方法の一例を示す断面図である。

【図5】光電変換素子のドーズ量と電流との関係を示す図である。

【図6】光電変換素子の輝度-電流特性を示す図である。

【図7】半導体装置の一例を示す平面図および断面図である。

【図8】半導体装置の一例を示す断面図である。

【図9】半導体装置に用いられるSOI基板の作製方法の一例を示す断面図である。

【図10】SOI基板および半導体装置の作製方法の一例を示す断面図である。

【図11】半導体装置の作製方法の一例を示す断面図である。

10

【図12】半導体装置の一例を示す平面図である。

【図13】半導体装置に用いられるSOI基板の作製方法の一例を示す断面図である。

【図14】SOI基板および半導体装置の作製方法の一例を示す断面図である。

【図15】半導体装置に用いられるSOI基板の作製方法の一例を示す断面図である。

【図16】SOI基板および半導体装置の作製方法の一例を示す断面図である。

【図17】半導体装置の作製方法の一例を示す断面図である。

【図18】半導体装置の一例を示す平面図および断面図である。

【図19】半導体装置の作製方法の一例を示す断面図である。

【図20】半導体装置の作製方法の一例を示す断面図である。

20

【図21】半導体装置の作製方法の一例を示す断面図である。

【図22】光電変換素子の輝度-電流特性を示す図である。

【図23】半導体装置の一例を示す平面図および断面図である。

【図24】半導体装置の作製方法の一例を示す断面図である。

【図25】半導体装置の一例を示す平面図および断面図である。

【図26】半導体装置の作製方法の一例を示す断面図である。

【図27】半導体装置の作製方法の一例を示す断面図である。

【図28】半導体装置の作製方法の一例を示す断面図である。

【発明を実施するための形態】

【0022】

以下、実施の形態について、図面を用いて詳細に説明する。但し、発明は以下に示す実施の形態の記載内容に限定されず、本明細書等において開示する発明の趣旨から逸脱することなく形態および詳細を様々に変更し得ることは当業者にとって自明である。また、異なる実施の形態に係る構成は、適宜組み合わせて実施することが可能である。なお、以下に説明する発明の構成において、同一部分または同様な機能を有する部分には同一の符号を用い、その繰り返しの説明は省略する。

30

【0023】

(実施の形態1)

本実施の形態では、半導体装置およびその作製方法の一例に関して図面を参照して説明する。具体的には、光電変換素子を備える半導体装置およびその作製方法について説明する。

40

【0024】

<構成>

開示する発明の一態様に係る光電変換素子180は、光透過性を有するベース基板100上に設けられている(図1(A)、図1(B)参照)。ここで、図1(B)は図1(A)のA-Bにおける断面に相当する。

【0025】

光電変換素子180は、光電変換を奏する半導体領域164、第1の導電型(ここではp型)を示す半導体領域158、第2の導電型(ここではn型)を示す半導体領域162、を有する島状の単結晶半導体層と、これを覆うように形成された絶縁層154および絶縁層166と、第1の導電型を示す半導体領域158と電気的に接続された第1の電極17

50

2と、第2の導電型を示す半導体領域162と電気的に接続された第2の電極174と、を有する。ここで、第1の導電型を示す半導体領域158と第2の導電型を示す半導体領域162は、光電変換を奏する半導体領域164に隣接し、かつ、光電変換を奏する半導体領域164によって隔てられている。なお、上記第1の導電型と第2の導電型とは、入れ替えてても良い。

【0026】

また、ベース基板100と光電変換素子180との間には、絶縁層112が設けられている。当該絶縁層は、光電変換素子180をベース基板100に固定する役割を果たす。

【0027】

光電変換素子180の動作は以下の通りである。光電変換素子180において、光電変換を奏する半導体領域164に光が入射すると、当該半導体領域には電子および正孔が生成される。第1の導電型を示す半導体領域158と第2の導電型を示す半導体領域162との間に外部から電圧が印加されていない場合（無バイアスの場合）には、生成された電子は、自己整合的な電場の影響によりn型半導体領域の方向に流れる。同様に、生成された正孔は、p型半導体領域の方向に流れる。外部から電圧が印加されている場合（例えば、逆バイアスが印加されている場合）には、自己整合的な電場および外部からの電圧の影響を受けて、電子および正孔が流れることになる。

10

【0028】

このようにして生じる電流は、光の強度に依存するため、これを利用して光センサとすることができる。また、光による起電力を光電変換素子の外部に取り出すことで、発電システムとして用いることも可能である。

20

【0029】

ここで、光電変換素子を構成する上記島状の半導体層の結晶性は、単結晶であることが望ましい。特に、光電変換を奏する半導体領域164の結晶性は単結晶とする。単結晶の半導体材料としては、例えば、単結晶シリコンを適用することができる。単結晶半導体を光電変換素子に用いることで、非晶質半導体や多結晶半導体を用いる場合と比較して、暗電流（光未照射時の電流）を低下させることができる。また、単結晶半導体を光電変換素子に用いることで、多結晶半導体を用いる場合と比較して、光照射時の電流を増大させることができる。これにより、光センサとしての感度が向上する。また、単結晶半導体を用いることにより、光電変換効率が向上する。これらの効果は、欠陥などに起因する光生成キャリアのトラップを十分に抑制することが可能となるために得られるものである。

30

【0030】

また、ここで示すように、ベース基板が光透過性を有することで、ベース基板側から対象物の光（対象物からの反射光など）を入射させる構成（ベース基板側からの光を検出する構成）とすることが可能である。この場合には、電極（または配線）側から対象物の光を入射させる場合と比較して、素子レイアウトの自由度が向上する。このように、ベース基板が光透過性を有することにより、光透過性を有しない場合と比較して、集積化が容易になるというメリットもある。

30

【0031】

<作製工程>

40

次に、光電変換素子の作製工程について説明する。まず、光電変換素子の作製に用いることができるSOI基板の作製工程について図2および図3を参照して説明し、その後に、当該SOI基板を用いた光電変換素子の作製工程について図4を参照して説明する。

【0032】

<SOI基板の作製工程 - ベース基板の加工>

まず、光透過性を有するベース基板100を準備する（図2（A）参照）。

【0033】

光透過性を有するベース基板100としては、絶縁体でなる基板を用いることができる。具体的には、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスのような電子工業用に使われる各種ガラス基板、石英基板、セラミック基板、サ

50

ファイア基板が挙げられる。なお、上記ガラス基板においては、酸化ホウ素と比較して酸化バリウムを多く含ませることで、より実用的な耐熱ガラスが得られる。このため、ガラス基板に耐熱性を求める場合には、酸化ホウ素より酸化バリウムを多く含むガラス基板を用いると良い。なお、本実施の形態では、ベース基板100としてガラス基板を用いる場合について説明する。ベース基板100として大面積化が可能で安価なガラス基板を用いることにより、低コスト化を図ることができる。

【0034】

上記ベース基板100に関しては、その表面をあらかじめ洗浄しておくことが好ましい。具体的には、ベース基板100に対して、塩酸過水(HPM)、硫酸過水(SPM)、アンモニア過水(APM)、希フッ酸(DHF)等を用いて超音波洗浄を行う。このような洗浄処理を行うことによって、ベース基板100表面の平坦性向上や、ベース基板100表面に残存する研磨粒子の除去などが実現される。10

【0035】

なお、ベース基板100の表面には、窒素を含有する絶縁層(例えば、窒化シリコン(SiN_x)や窒化酸化シリコン(SiN_xO_y)($x > y$)等を含む絶縁層)を形成しても良い。このように、窒素を含有する絶縁層を形成すると、ベース基板に含まれるナトリウム(Na)等の不純物元素の半導体への拡散を抑制することが可能である。

【0036】

なお、本明細書等において、酸化窒化物とは、その組成において、窒素よりも酸素の含有量(原子数)が多いものを示し、例えば、酸化窒化シリコンとは、酸素が50原子%以上70原子%以下、窒素が0.5原子%以上15原子%以下、シリコンが25原子%以上35原子%以下、水素が0.1原子%以上10原子%以下の範囲で含まれるものという。また、窒化酸化物とは、その組成において、酸素よりも窒素の含有量(原子数)が多いものを示し、例えば、窒化酸化シリコンとは、酸素が5原子%以上30原子%以下、窒素が20原子%以上55原子%以下、シリコンが25原子%以上35原子%以下、水素が10原子%以上30原子%以下の範囲で含まれるものという。但し、上記範囲は、ラザフォード後方散乱法(RBS: Rutherford Backscattering Spectrometry)、水素前方散乱法(HFS: Hydrogen Forward scattering Spectrometry)を用いて測定した場合のものである。また、構成元素の含有比率の合計は、100原子%を超えない。20

【0037】

<SOI基板の作製工程 - 単結晶半導体基板の加工>

次に、ボンド基板として単結晶半導体基板110を用意する(図2(B)参照)。なお、本実施の形態では、ベース基板100を加工した後にボンド基板としての単結晶半導体基板110を加工する流れで説明しているが、開示する発明の一態様はこれに限定して解釈されない。単結晶半導体基板の加工を行っても良いし、ベース基板の加工とボンド基板の加工を並列して行っても良い。30

【0038】

単結晶半導体基板110としては、例えば、単結晶シリコン基板、単結晶ゲルマニウム基板、単結晶シリコンゲルマニウム基板など、第14族元素である単結晶半導体基板を用いることができる。また、ガリウムヒ素やインジウムリン等の化合物の単結晶半導体基板を用いることもできる。市販のシリコン基板としては、直径5インチ(125mm)、直径6インチ(150mm)、直径8インチ(200mm)、直径12インチ(300mm)、直径16インチ(400mm)サイズの円形のものが代表的である。なお、単結晶半導体基板110の形状は円形に限らず、例えば、矩形等に加工したものであっても良い。また、単結晶半導体基板110は、CZ法やFZ(フロー・ティング・ゾーン)法を用いて作製することができる。40

【0039】

なお、本実施の形態においては、ボンド基板として集積回路向けの単結晶シリコン基板を用いる場合について説明するが、開示する発明の一態様はこれに限定して解釈されない。50

例えば、太陽電池級の単結晶シリコン基板などを用いても良い。また、多結晶シリコン基板をはじめとする多結晶半導体基板を用いることも可能である。ただし、作製される光電変換素子の特性を考慮すれば、単結晶半導体基板を用いるのが好適である。

【0040】

単結晶半導体基板110の表面には絶縁層112を形成する(図2(C)参照)。なお、汚染物除去の観点から、絶縁層112の形成前に、硫酸過水(SPM)、アンモニア過水(APM)、塩酸過水(HPM)、希フッ酸(DHF)、FPM(フッ酸、過酸化水素水、純水の混合液)などを用いて単結晶半導体基板110の表面を洗浄しておくことが好ましい。希フッ酸とオゾン水を交互に吐出して洗浄してもよい。

10

【0041】

絶縁層112は、例えば、酸化シリコン膜、酸化窒化シリコン膜等を単層で、または積層させて形成することができる。上記絶縁層112の作製方法としては、熱酸化法、CVD法、スパッタリング法などがある。また、CVD法を用いて絶縁層112を形成する場合、良好な貼り合わせを実現するためには、テトラエトキシシラン(略称;TEOS:化学式Si(OCH₃)₄)等の有機シランを用いて酸化シリコン膜を形成することが好ましい。

11

【0042】

本実施の形態では、単結晶半導体基板110に熱酸化処理を行うことにより絶縁層112(ここでは、酸化シリコン膜)を形成する。

12

【0043】

熱酸化処理は、酸化性雰囲気中にハロゲンを添加して行うことが好ましい。例えば、塩素(Cl)が添加された酸化性雰囲気中で単結晶半導体基板110に熱酸化処理を行うことにより、塩素酸化された絶縁層112を形成することができる。この場合、絶縁層112は、塩素原子を含有する絶縁層となる。

13

【0044】

絶縁層112中に含有された塩素原子は、絶縁層112に歪みを形成する。その結果、絶縁層112の水に対する吸収割合が向上し、水の拡散速度が増大する。つまり、絶縁層112表面に水が存在する場合に、当該表面に存在する水を絶縁層112中に素早く吸収させ、拡散させることができると、水の存在による貼り合わせ不良を低減することができる。

14

【0045】

また、絶縁層112に塩素原子を含有させることによって、外因性の不純物である重金属(例えば、Fe、Cr、Ni、Mo等)を捕集して単結晶半導体基板110が汚染されることを防止できる。また、ベース基板100と貼り合わせた後に、ベース基板100からのナトリウム(Na)等の不純物を固定して、単結晶半導体基板110が汚染されることを防止できる。

15

【0046】

なお、絶縁層112に含有させるハロゲン原子は塩素原子に限られない。絶縁層112にはフッ素原子を含有させてもよい。例えば、単結晶半導体基板110表面をフッ素酸化する方法を用いることが可能である。フッ素酸化としては、HF溶液に浸漬させた後に酸化性雰囲気中で熱酸化処理を行う方法や、NF₃を酸化性雰囲気に添加して熱酸化処理を行う方法などがある。

16

【0047】

次に、電界で加速されたイオンを単結晶半導体基板110に添加することで、単結晶半導体基板110の所定の深さに結晶構造が損傷した脆化領域114を形成する(図2(D)参照)。なお、イオンの添加処理の前には、単結晶半導体基板110および絶縁層112の表面を洗浄しておくことが望ましい。

17

【0048】

脆化領域114が形成される領域の深さは、イオンの運動エネルギー、質量と電荷、イオンの入射角などによって調節することができる。また、脆化領域114は、イオンの平均

18

侵入深さとほぼ同じ深さの領域に形成される。このため、イオンを添加する深さで、単結晶半導体基板 110 から分離される単結晶半導体層の厚さを調節することができる。例えば、単結晶半導体層の厚さが、10 nm 以上 1 μm 以下程度となるように平均侵入深さを調節すれば良い。なお、光電変換装置は、単結晶半導体層が所定以上の厚みとなる場合に特性が大きく向上する傾向にあるから、例えば、100 nm 以上の厚さで形成することができる望ましいといえる。

【0049】

当該イオンの照射処理は、イオンドーピング装置やイオン注入装置を用いて行うことができる。イオンドーピング装置の代表例としては、プロセスガスをプラズマ励起して生成された全てのイオン種を被処理体に照射する非質量分離型の装置がある。当該装置では、プラズマ中のイオン種を質量分離しないで被処理体に照射することになる。これに対して、イオン注入装置は質量分離型の装置である。イオン注入装置では、プラズマ中のイオン種を質量分離し、ある特定の質量のイオン種を被処理体に照射する。

10

【0050】

本実施の形態では、イオンドーピング装置を用いて、水素を単結晶半導体基板 110 に添加する例について説明する。ソースガスとしては水素を含むガスを用いる。照射するイオンについては、H₃⁺ の比率が高まるようにすると良い。具体的には、H⁺、H₂⁺、H₃⁺ の総量に対して H₃⁺ の割合が 50% 以上（より好ましくは 80% 以上）となるようとする。H₃⁺ の割合を高めることで、イオン照射の効率を向上させることができる。

20

【0051】

なお、添加するイオンは水素に限定されない。ヘリウムなどのイオンを添加しても良い。また、添加するイオンは一種類に限定されず、複数種類のイオンを添加しても良い。例えば、イオンドーピング装置を用いて水素とヘリウムとを同時に照射する場合には、別々の工程で照射する場合と比較して工程数を低減することができると共に、後の単結晶半導体層の表面荒れを抑制することが可能である。

20

【0052】

なお、イオンドーピング装置を用いて脆化領域 114 を形成する場合には、重金属も同時に添加されるおそれがあるが、ハロゲン原子を含有する絶縁層 112 を介してイオンの照射を行うことによって、これら重金属による単結晶半導体基板 110 の汚染を防ぐことができる。

30

【0053】

<SOI 基板の作製工程 - 基板の貼り合わせ>

次に、ベース基板 100 の表面と単結晶半導体基板 110 の表面とを対向させ、ベース基板 100 の表面と絶縁層 112 の表面とを密着させる。これにより、ベース基板 100 と単結晶半導体基板 110 とが貼り合わせられる（図 2 (E) 参照）。

30

【0054】

貼り合わせの際には、ベース基板 100 または単結晶半導体基板 110 の一箇所に 0.01 N / cm² 以上 100 N / cm² 以下の圧力を加えることが望ましい。特に、1 N / cm² 以上 20 N / cm² 以下の圧力を加えると、より望ましい。圧力を加えると、その部分においてベース基板 100 と絶縁層 112 の接合が生じ、当該部分を始点として自発的な接合が全面におよぶ。この接合には、ファンデルワールス力や水素結合が作用しており、常温で行うことができる。

40

【0055】

なお、単結晶半導体基板 110 とベース基板 100 とを貼り合わせる前には、貼り合わせに係る表面につき表面処理を行うことが好ましい。表面処理を行うことで、貼り合わせに係る界面での接合強度を向上させることができる。

【0056】

表面処理としては、ウェット処理、ドライ処理、または、ウェット処理とドライ処理の組み合わせ、を用いることができる。また、異なるウェット処理どうしを組み合わせて用いても良いし、異なるドライ処理どうしを組み合わせて用いても良い。

50

【0057】

ウェット処理としては、オゾン水を用いたオゾン処理（オゾン水洗浄）、メガソニック洗浄、または2流体洗浄（純水や水素添加水等の機能水を窒素等のキャリアガスとともに吹き付ける方法）などが挙げられる。ドライ処理としては、紫外線処理、オゾン処理、プラズマ処理、バイアス印加プラズマ処理、またはラジカル処理などが挙げられる。被処理体（単結晶半導体基板、単結晶半導体基板上に形成された絶縁層、支持基板または支持基板上に形成された絶縁層）に対し、上記のような表面処理を行うことで、被処理体表面の親水性および清浄性を高める効果を奏する。その結果、基板同士の接合強度を向上させることができる。

【0058】

ウェット処理は、被処理体表面に付着するマクロなゴミなどの除去に効果的である。ドライ処理は、被処理体表面に付着する有機物などミクロなゴミの除去または分解に効果的である。ここで、被処理体に対して、紫外線処理などのドライ処理を行った後、洗浄などのウェット処理を行う場合には、被処理体表面を清浄化および親水化し、さらに被処理体表面のウォーターマークの発生を抑制できるため好ましい。

【0059】

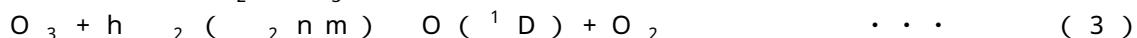
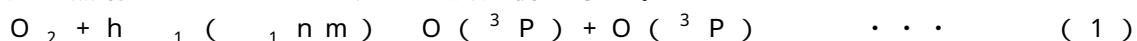
また、ドライ処理として、オゾンまたは一重項酸素などの活性状態にある酸素を用いた表面処理を行うことが好ましい。オゾンまたは一重項酸素などの活性状態にある酸素により、被処理体表面に付着する有機物を効果的に除去または分解することができる。また、オゾンまたは一重項酸素などの活性状態にある酸素に、紫外線のうち200nm未満の波長を含む光による処理を組み合わせることで、被処理体表面に付着する有機物をさらに効果的に除去することができる。以下、具体的に説明する。

【0060】

例えば、酸素を含む雰囲気下で紫外線を照射することにより、被処理体の表面処理を行う。酸素を含む雰囲気下において、紫外線のうち200nm未満の波長を含む光と200nm以上の波長を含む光を照射することにより、オゾンを生成させるとともに一重項酸素を生成させることができる。また、紫外線のうち180nm未満の波長を含む光を照射することにより、オゾンを生成させるとともに一重項酸素を生成させることもできる。

【0061】

酸素を含む雰囲気下で、200nm未満の波長を含む光および200nm以上の波長を含む光を照射することにより起きる反応例を示す。

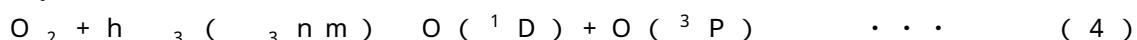


【0062】

上記反応式(1)において、酸素(O_2)を含む雰囲気下で200nm未満の波長(\quad_1 nm)を含む光(h_{1})を照射することにより基底状態の酸素原子($O(^3P)$)が生成する。次に、反応式(2)において、基底状態の酸素原子($O(^3P)$)と酸素(O_2)とが反応してオゾン(O_3)が生成する。そして、反応式(3)において、生成されたオゾン(O_3)を含む雰囲気下で200nm以上の波長(\quad_2 nm)を含む光(h_{2})が照射されることにより、励起状態の一重項酸素 $O(^1D)$ が生成される。酸素を含む雰囲気下において、紫外線のうち200nm未満の波長を含む光を照射することによりオゾンを生成させるとともに、200nm以上の波長を含む光を照射することによりオゾンを分解して一重項酸素を生成する。上記のような表面処理は、例えば、酸素を含む雰囲気下での低圧水銀ランプの照射($\quad_1 = 185 \text{ nm}$ 、 $\quad_2 = 254 \text{ nm}$)により行うことができる。

【0063】

また、酸素を含む雰囲気下で、180nm未満の波長を含む光を照射して起きる反応例を示す。



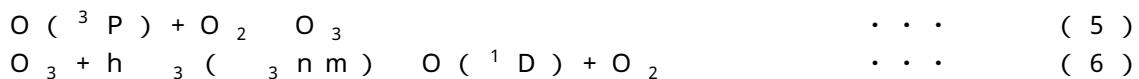
10

20

30

40

50



【0064】

上記反応式(4)において、酸素(O_2)を含む雰囲気下で180nm未満の波長($_{3}nm$)を含む光(h_3)を照射することにより、励起状態の一重項酸素 $O(^1D)$ と基底状態の酸素原子($O(^3P)$)が生成する。次に、反応式(5)において、基底状態の酸素原子($O(^3P)$)と酸素(O_2)とが反応してオゾン(O_3)が生成する。反応式(6)において、生成されたオゾン(O_3)を含む雰囲気下で180nm未満の波長($_{3}nm$)を含む光が照射されることにより、励起状態の一重項酸素と酸素が生成される。酸素を含む雰囲気下において、紫外線のうち180nm未満の波長を含む光を照射することによりオゾンを生成させるとともにオゾンまたは酸素を分解して一重項酸素を生成する。上記のような表面処理は、例えば、酸素を含む雰囲気下でのXeエキシマUVランプの照射により行うことができる。

【0065】

200nm未満の波長を含む光により被処理体表面に付着する有機物などの化学結合を切断し、オゾンまたは一重項酸素により被処理体表面に付着する有機物や化学結合を切断した有機物などを酸化分解して除去することができる。上記のような表面処理を行うことで、被処理体表面の親水性および清浄性をより高めることができ、接合を良好に行うことができる。

【0066】

なお、貼り合わせの後には、接合強度を向上させるための熱処理を行っても良い。この熱処理の温度は、脆化領域114における分離が生じない温度(例えば、室温以上400未満)とする。また、この温度範囲で加熱しながら、ベース基板100と絶縁層112とを接合させてもよい。上記熱処理には、拡散炉、抵抗加熱炉などの加熱炉、RTA(瞬間熱アニール、Rapid Thermal Anneal)装置、マイクロ波加熱装置などを用いることができる。なお、上記温度条件はあくまで一例に過ぎず、開示する発明の一態様がこれに限定して解釈されるものではない。

【0067】

<SOI基板の作製工程 - 単結晶半導体層の形成>

次に、例えば、400以上ベース基板100の耐熱温度以下の温度で熱処理を行って、単結晶半導体基板110を脆化領域114にて分離することにより、ベース基板100上に、絶縁層112を介して単結晶半導体層116を形成する(図2(F)、図3(A)参照)。

【0068】

熱処理を行うことで、脆化領域114に形成されている微小な孔には添加された元素が分子となって析出し、内部の圧力が上昇する。圧力の上昇により、脆化領域114には亀裂が生じるため、脆化領域114に沿って単結晶半導体基板110が分離する。絶縁層112はベース基板100に接合しているため、ベース基板100上には単結晶半導体基板110から分離された単結晶半導体層116が残存する。

【0069】

次に、単結晶半導体層116の表面にレーザー光130を照射することによって、表面の平坦性を向上させ、かつ欠陥を低減させた単結晶半導体層118を形成する(図3(B)、図3(C)参照)。

【0070】

なお、レーザー光130の照射による単結晶半導体層116の溶融は、部分溶融とすることが好ましい。完全溶融させた場合には、液相となった後の無秩序な核発生により微結晶化し、結晶性が低下するためである。一方、部分溶融では、溶融されていない固相部分に基づいて結晶成長が進行するため、単結晶半導体層116を完全に溶融させる場合と比較して結晶品位を向上させることができる。また、絶縁層112からの酸素や窒素等の取り込みを抑制することができる。なお、上記において部分溶融とは、レーザー光の照射によ

り単結晶半導体層116が溶融される深さを、単結晶半導体層116の上面から絶縁層112側の界面までの深さより浅くする（つまり、単結晶半導体層116の厚さより小さくする）ことを言う。すなわち、単結晶半導体層116の上層は溶融して液相となるが、下層は溶融せずに固相のままである状態をいう。また、完全溶融とは、単結晶半導体層116が絶縁層112との界面まで溶融され、液体状態になることをいう。

【0071】

上記レーザー光の照射には、パルス発振レーザーを用いることが好ましい。高エネルギーを得ることができ、部分溶融状態を作り出すことが容易となるためである。発振周波数は、1Hz以上10MHz以下とすることが好ましいがこれに限定する必要はない。上述のパルス発振レーザーの発振器としては、Arレーザー、Krレーザー、エキシマ（ArF、KrF、XeCl）レーザー、CO₂レーザー、YAGレーザー、YVO₄レーザー、YLFレーザー、YAlO₃レーザー、GdVO₄レーザー、Y₂O₃レーザー、ルビーレーザー、アレキサンドライトレーザー、Ti：サファイアレーザー、銅蒸気レーザー、金蒸気レーザー等がある。なお、部分溶融させることができれば、連続発振レーザーを使用しても良い。連続発振レーザーの発振器としては、Arレーザー、Krレーザー、CO₂レーザー、YAGレーザー、YVO₄レーザー、YLFレーザー、YAlO₃レーザー、GdVO₄レーザー、Y₂O₃レーザー、ルビーレーザー、アレキサンドライトレーザー、Ti：サファイアレーザー、ヘリウムカドミウムレーザー等がある。

10

【0072】

レーザー光130の波長としては、単結晶半導体層116に吸収される波長を選択する必要がある。その波長は、レーザー光の表皮深さ（skin depth）などを考慮して決定すればよい。例えば、250nm以上700nm以下の範囲とすることができます。また、レーザー光130のエネルギー密度は、レーザー光130の波長、レーザー光の表皮深さ、単結晶半導体層116の膜厚などを考慮して決定することができます。レーザー光130のエネルギー密度は、例えば、300mJ/cm²以上800mJ/cm²以下の範囲とすればよい。なお、当該エネルギー密度の範囲は、パルス発振レーザーとしてXeClエキシマレーザー（波長：308nm）を用いた場合の一例である。

20

【0073】

レーザー光130の照射は、大気雰囲気のような酸素を含む雰囲気、または窒素雰囲気やアルゴン雰囲気のような不活性雰囲気で行うことができる。不活性雰囲気中でレーザー光130を照射するには、気密性のあるチャンバー内でレーザー光130を照射し、このチャンバー内の雰囲気を制御すればよい。チャンバーを用いない場合は、レーザー光130の被照射面に窒素ガスなどの不活性ガスを吹き付けることで、不活性雰囲気を形成することができる。

30

【0074】

なお、窒素などの不活性雰囲気で行うほうが、大気雰囲気よりも単結晶半導体層116の平坦性を向上させる効果は高い。また、大気雰囲気よりも不活性雰囲気のほうがクラックやリッジの発生を抑える効果が高く、レーザー光130の使用可能なエネルギー密度の範囲が広くなる。なお、レーザー光130の照射は、減圧雰囲気で行ってもよい。減圧雰囲気でレーザー光130を照射する場合には、不活性雰囲気における照射と同等の効果を得ることができる。

40

【0075】

なお、本実施の形態においては、単結晶半導体層116の分離に係る熱処理の後に、レーザー光130の照射処理を行っているが、開示する発明の一態様はこれに限定して解釈されない。単結晶半導体層116の分離に係る熱処理後にエッチング処理を施して、単結晶半導体層116表面の欠陥が多い領域を除去してからレーザー光130の照射処理を行っても良いし、単結晶半導体層116表面の平坦性を向上させてからレーザー光130の照射処理を行っても良い。なお、上記エッチング処理としては、ウエットエッチング、ドライエッチングのいずれを用いても良い。

【0076】

50

また、レーザー光 130 の照射処理の前には、単結晶半導体層 116 の表面を洗浄しておくのが好適である。

【0077】

また、上述のようにレーザー光 130 を照射した後には、単結晶半導体層 116 の膜厚を小さくする薄膜化工程を行っても良い。単結晶半導体層 116 の薄膜化には、ドライエッティングまたはウェットエッティングの一方、または双方を用いればよい。

【0078】

以上の工程により、表面の荒れが低減された単結晶半導体層 118 を有する SOI 基板を得ることができる（図 3（C）参照）。

【0079】

<光電変換素子の作製工程>

次に、上記 SOI 基板を用いて光電変換素子 180 を作製する工程について説明する。まず、上記工程により、ベース基板 100 上に絶縁層 112 および単結晶半導体層 118 が設けられた構成の SOI 基板を用意する（図 4（A）参照）。

【0080】

単結晶半導体層 118 には、硼素、アルミニウム、ガリウムなどの p 型不純物元素や、リン、砒素などの n 型不純物元素を微量添加しても良い。不純物元素を添加する領域、および添加する不純物元素の種類は、適宜変更することができる。

【0081】

その後、単結晶半導体層 118 上にマスク 150 を形成し、これを用いて単結晶半導体層 118 をパターニングすることにより、光電変換素子に用いられる島状の半導体層 152 を形成する（図 4（B）参照）。マスク 150 は、レジスト材料を用いたフォトリソグラフィなどによって形成することができる。また、パターニングの際のエッティング処理には、ウェットエッティングまたはドライエッティングのいずれをも適用することができる。

【0082】

次に、半導体層 152 を覆うように、絶縁層 154 を形成する（図 4（C）参照）。絶縁層 154 は形成しなくても良いが、これを設ける場合には、後の不純物元素の添加の際の半導体層 152 の損傷を抑制することが可能である。なお、本実施の形態ではプラズマ CVD 法を用いて、酸化シリコン膜を単層で形成することとする。酸化シリコン以外にも、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル等を含む膜を、単層構造または積層構造で形成することができる。

【0083】

プラズマ CVD 法以外の作製方法としては、スパッタリング法や、高密度プラズマ処理による酸化または窒化による方法が挙げられる。高密度プラズマ処理は、例えば、ヘリウム、アルゴン、クリプトン、キセノンなどの希ガスと、酸素、酸化窒素、アンモニア、窒素、水素などのガスの混合ガスを用いて行う。この場合、プラズマの励起をマイクロ波の導入により行うことで、低電子温度で高密度のプラズマを生成することができる。このような高密度のプラズマで生成された酸素ラジカル（OH ラジカルを含む場合もある）や窒素ラジカル（NH ラジカルを含む場合もある）によって、半導体層 152 の表面を酸化または窒化することにより、1 nm 以上 20 nm 以下、望ましくは 2 nm 以上 10 nm 以下の絶縁層 154 を形成することができる。

【0084】

上述した高密度プラズマ処理による半導体層の酸化または窒化は固相反応であるため、絶縁層 154 と半導体層 152 との界面準位密度を十分に低くすることができる。特に、半導体層が単結晶である場合には、高密度プラズマ処理を用いて半導体層の表面を固相反応で酸化させる場合であっても、均一性が良く、界面準位密度の十分に低い絶縁層 154 を形成することができる。

【0085】

または、半導体層 152 を熱酸化させることで、絶縁層 154 を形成するようにして良い。このように、熱酸化を用いる場合には、ある程度の耐熱性を有するベース基板 100

10

20

30

40

50

を用いることが必要となる。

【0086】

なお、水素を含む絶縁層154を形成し、その後、350以上450以下の温度による加熱処理を行うことで、絶縁層154中に含まれる水素を半導体層152中に拡散させるようにしても良い。この場合、絶縁層154として、プラズマCVD法を用いた窒化シリコンまたは窒化酸化シリコンを用いることができる。なお、プロセス温度は350以下とすると良い。このように、半導体層152に水素を供給することで、半導体層152中、および、絶縁層154と半導体層152の界面における欠陥を効果的に低減することができる。

10

【0087】

次に、絶縁層154上に選択的にマスク156を形成して、半導体層152の一部に第1の導電型を付与する不純物元素を添加する。これにより、第1の導電型を示す半導体領域158が形成される(図4(D)参照)。ここでは、第1の導電型を付与する不純物元素としてホウ素を用い、第1の導電型をp型とする構成で説明するが、開示する発明の一態様はこれに限定されない。第1の導電型を付与する不純物元素として、アルミニウムなどを用いても良い。また、第1の導電型をn型とする場合には、リンやヒ素などを用いることもできる。マスク156は、マスク150と同様の方法で形成すればよい。

20

【0088】

具体的には、例えば、 B_2H_6 を原料ガスとして用い、10~40kVの加速電圧、 $3.0 \times 10^{14} \text{ cm}^{-2}$ ~ $1.0 \times 10^{17} \text{ cm}^{-2}$ 程度のドーザ量でボロンを添加すれば良い。不純物元素の添加の条件は、要求される特性などに応じて適宜変更することができるが、ドーザ量を小さくすると、暗電流を抑制することができる傾向にある。これは、高ドーザ条件で不純物元素を添加すると、半導体層152の損傷が大きくなり、欠陥に起因するキャリアトラップが生じるのに対し、低ドーザ条件で不純物元素を添加すると、損傷がわずかであるため、欠陥に起因する電流が生じないことによる。なお、第1の導電型を示す半導体領域158を形成した後には、マスク156は除去する。

20

【0089】

その後、絶縁層154上に選択的にマスク160を形成して、半導体層152の一部に第2の導電型を付与する不純物元素を添加する。これにより、第2の導電型を示す半導体領域162が形成されると共に、第1の導電型を付与する不純物元素および第2の導電型を付与する不純物元素が添加されていない、光電変換を奏する半導体領域164が形成される(図4(E)参照)。第2の導電型は、第1の導電型とは異なる導電型とする。つまり、第1の導電型がp型の場合には第2の導電型はn型であり、第1の導電型がn型の場合には第2の導電型はp型である。ここでは、第2の導電型を付与する不純物元素としてリンを用い、第2の導電型をn型とする構成で説明する。n型を付与する不純物元素としては、他に、ヒ素などを用いることができる。マスク160は、マスク150やマスク156と同様の方法で形成すればよい。

30

【0090】

具体的には、例えば、 PH_3 を原料ガスとして用い、10~40kVの加速電圧、 $1.0 \times 10^{14} \text{ cm}^{-2}$ ~ $5.0 \times 10^{16} \text{ cm}^{-2}$ 程度のドーザ量でリンを添加すれば良い。不純物元素の添加の条件は、要求される特性などに応じて適宜変更することができる。ドーザ量を小さくすることにより、暗電流を抑制することができるのは、第1の導電型を付与する不純物元素を添加する場合と同様である。第2の導電型を示す半導体領域162を形成した後には、マスク160は除去する。

40

【0091】

なお、上記第1の導電型を付与する不純物元素および第2の導電型を付与する不純物元素の添加は、光電変換を奏する半導体領域164の幅が $0.1 \mu m$ ~ $20 \mu m$ 、好ましくは $3 \mu m$ ~ $10 \mu m$ となるように行う。もちろん、マスク156およびマスク160の加工精度が許せば、 $0.1 \mu m$ 以下とすることも可能である。

50

【0092】

ここで、ドーザ量を変化させた場合の、光電変換素子の特性を図5に示す。図中、縦軸は電流(A)を表している。丸印は $1000\text{cd}/\text{m}^2$ の光照射時の電流(光電流)を表し、バツ印は光未照射時の電流(暗電流)を表す。図中左側(条件A)は、第1の導電型を付与する不純物元素(ここではボロン)のドーザ量を $3.0 \times 10^{15}\text{cm}^{-2}$ とし、第2の導電型を付与する不純物元素(ここではリン)のドーザ量を $1.0 \times 10^{15}\text{cm}^{-2}$ とした場合であり、図中右側(条件B)は、第1の導電型を付与する不純物元素のドーザ量を $1.0 \times 10^{16}\text{cm}^{-2}$ とし、第2の導電型を付与する不純物元素のドーザ量を $5.0 \times 10^{15}\text{cm}^{-2}$ とした場合である。なお、加速電圧はいずれも20kVであった。また、他のパラメータについては、条件A、条件Bとも同じとした。

【0093】

10

図5から、添加する不純物のドーザ量がある程度小さい場合(条件A)には、ドーザ量を大きくした場合(条件B)と比較して、暗電流が抑制されているのが分かる。

【0094】

次に、半導体層152および絶縁層154を覆うように、絶縁層166を形成する(図4(F)参照)。絶縁層166は必ずしも設ける必要はないが、絶縁層166を形成することで、アルカリ金属やアルカリ土類金属などの不純物元素が半導体層152に侵入することを防止できる。また、形成される光電変換素子の表面を平坦にすることが可能になる。

【0095】

20

絶縁層166は、例えば、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化アルミニウム、酸化アルミニウムなどの材料を用いて形成することができる。本実施の形態では、絶縁層166を、CVD法を用いて形成した300nm程度の厚さの酸化窒化シリコン膜と、CVD法を用いて形成した600nm程度の厚さの酸化シリコン膜の積層構造とする。もちろん、開示する発明の一態様はこれに限定されず、単層構造または三層以上の積層構造とすることも可能である。

【0096】

30

絶縁層166は、他にも、ポリイミド、アクリル、ベンゾシクロブテン、ポリアミド、エポキシ等の、耐熱性を有する有機材料を用いて形成することもできる。また、上記有機材料の他に、低誘電率材料(low-k材料)、シロキサン系樹脂、PSG(リンガラス)、BPSG(リンボロンガラス)等を用いることもできる。ここで、シロキサン系樹脂とは、シロキサン系材料を出発材料として形成されたSi-O-Si結合を含む樹脂に相当する。作製方法は、その材料に応じて、CVD法、スピッタ法、SOG法、スピンドル法、ディップ法、スプレー塗布法、液滴吐出法(インクジェット法、スクリーン印刷法、オフセット印刷法等)、ドクターナイフ、ロールコーラー、カーテンコーラー、ナイフコーラー等を適宜用いることができる。

【0097】

40

次に、半導体層152の一部が露出するように絶縁層154および絶縁層166にコンタクトホール168およびコンタクトホール170を形成する(図4(G)参照)。ここでは特に、第1の導電型を示す半導体領域158および第2の導電型を示す半導体領域162の一部が露出するように、コンタクトホール168およびコンタクトホール170を形成する。コンタクトホール168およびコンタクトホール170は、選択的にマスクを形成した後のエッチング処理などによって形成することができる。エッチング処理としては、例えば、エッチングガスとしてCHF₃とHeの混合ガスを用いたドライエッチングを適用することができるが、開示する発明の一態様はこれに限定されない。

【0098】

50

そして、該コンタクトホールを介して半導体層152に接する導電層を形成し、これをパターニングすることで第1の電極172および第2の電極174を形成する(図4(H)参照)。第1の電極172および第2の電極174の元となる導電層は、CVD法、スピッタリング法、蒸着法などにより形成することができる。材料としては、アルミニウム(Al)、タンクステン(W)、チタン(Ti)、タンタル(Ta)、モリブデン(Mo)、ニッケル(Ni)、白金(Pt)、銅(Cu)、金(Au)、銀(Ag)、マンガン(Mn)

Mn)、ネオジム(Nd)、炭素(C)、珪素(Si)等を用いることができる。また、上記材料を主成分とする合金を用いても良いし、上記材料を含む化合物を用いても良い。また、導電層は単層構造としても良いし、積層構造としても良い。

【0099】

アルミニウムを主成分とする合金の例としては、アルミニウムを主成分として、ニッケルを含むものを挙げることができる。また、アルミニウムを主成分とし、ニッケルと、炭素または珪素の一方または両方を含むものを挙げることができる。アルミニウムやアルミニウムシリコン(Al-Si)は抵抗値が低く、安価であるため、第1の電極172および第2の電極174を形成する材料として適している。特に、アルミニウムシリコンは、パターニングの際のレジストベークによるヒロックの発生を抑制することができるため好ましい。また、珪素の代わりに、アルミニウムに0.5%程度のCuを混入させた材料を用いても良い。

10

【0100】

導電層を積層構造とすることにより第1の電極172および第2の電極174を積層構造とする場合には、例えば、バリア膜とアルミニウムシリコン膜とバリア膜の積層構造、バリア膜とアルミニウムシリコン膜と窒化チタン膜とバリア膜の積層構造などを採用するよい。なお、バリア膜とは、チタン、チタンの窒化物、モリブデンまたはモリブデンの窒化物などを用いて形成された膜である。バリア膜の間にアルミニウムシリコン膜を挟むように導電膜を形成すると、アルミニウムやアルミニウムシリコンのヒロックの発生をより一層防止することができる。また、還元性の高い元素であるチタンを用いてバリア膜を形成すると、第1の導電型を示す半導体領域158と第2の導電型を示す半導体領域162上に薄い酸化膜が形成されていたとしても、バリア膜に含まれるチタンが該酸化膜を還元し、第1の導電型を示す半導体領域158と第1の電極172とのコンタクト、第2の導電型を示す半導体領域162と第2の電極174とのコンタクトを良好なものとすることができます。また、バリア膜を複数積層するようにして用いても良い。その場合、例えば、下層からチタン、窒化チタン、アルミニウムシリコン、チタン、窒化チタンのように、5層構造またはそれ以上の積層構造とすることもできる。

20

【0101】

また、導電層として、WF₆ガスとSiH₄ガスから化学気相成長法で形成したタンゲステンシリサイドを用いても良い。また、WF₆を水素還元して形成したタンゲステンを、導電層として用いても良い。

30

【0102】

以上により、光透過性を有するベース基板100上に、光電変換素子180が形成される。

【0103】

<光電変換素子の特性>

次に、上記方法により得られた光電変換素子の特性(輝度-電流特性)の一例について示す(図6参照)。図中、縦軸は素子の電流(A)を、横軸は素子に照射される光の輝度(cd/m²)を示している。

40

【0104】

ここでは、本実施の形態に示す方法で作製された光電変換素子(特に、ベース基板としてガラス基板を使用したもの:c-Si on glass)、および、ガラス基板上の多結晶シリコン(p-Si on glass)を用いて作製された光電変換素子、の二種を調査対象とした。それぞれ、半導体層の膜厚が60nm(c-Si on glass)、50nm(p-Si on glass)とわずかに異なるが、その他の条件については同等とした。また、測定は0.5Vの逆バイアス電圧を印加した状態で行った。

【0105】

図6より、本実施の形態に示す方法で作製された光電変換素子では、ガラス基板上の多結晶シリコンを用いて作製された光電変換素子と比較して、5倍程度の電流が得られていることが分かる。

50

【0106】

このように、光透過性を有するベース基板上に形成された単結晶半導体層を用いて光電変換素子を作製することで、多結晶シリコンを用いて光電変換素子を作製する場合と比較して、素子特性を高めることが可能である。また、光透過性を有するベース基板上に形成された単結晶半導体層を用いることで、基板側からの光の入射を可能にしつつ、特性の優れた光電変換素子を作製することが可能である。

【0107】

本実施の形態で示す構成は、他の実施の形態で示す構成と適宜組み合わせて用いることができる。

【0108】

(実施の形態2)

本実施の形態では、半導体装置およびその作製方法の一例に関して図面を参照して説明する。具体的には、光電変換素子の下方に光電変換素子と重なる遮光層を備える半導体装置及びその作製方法について説明する。

【0109】

開示する発明の一態様に係る光電変換素子180は、透光性を有する基板100上に設けられた遮光層204上に設けられている(図7参照)。ここで、図7(B)は図7(A)のA-Bにおける断面に相当する。

【0110】

光電変換素子180は、横接合タイプのpinダイオードであり、光電変換を奏する半導体領域164、第1の導電型を示す半導体領域158、第2の導電型を示す半導体領域162、を有する島状の単結晶半導体層と、第1の導電型を示す半導体領域158と電気的に接続された第1の電極172と、第2の導電型を示す半導体領域162と電気的に接続された第2の電極174と、を有する。第1の電極172と、第2の電極174は、島状の単結晶半導体層を覆うように形成された絶縁層154および絶縁層166に形成されたコンタクトホールを介してそれぞれ第1の導電型を示す半導体領域158、第2の導電型を示す半導体領域162に電気的に接続されている。光電変換素子、絶縁層、基板等の具体的構成および作製工程については、先の実施の形態を参照することができる。本実施の形態で開示する発明の一態様では、光透過性を有する基板100上に絶縁層206を介して光を遮蔽することが出来る遮光層204が設けられ、遮光層204上に絶縁層112を介して遮光層204と重なる領域に光電変換素子180が設けられている。

【0111】

遮光層204を光電変換素子180と重なるように設けることにより、光透過性を有する基板100側に設けられた光源からの光が、フォトセンサとして機能する光電変換素子180に直接当たるのを防ぐことができる。また、遮光層204を光電変換素子180が有する島状の単結晶半導体層よりも幅広の形状となるように形成することにより、より確実に光電変換素子180に直接光が当たるのを防ぐことができる。

【0112】

図8は光電変換素子180と光の入射方向の関係を説明する図である。絶縁層166、絶縁層500の上方にカラーフィルタ502が設けられている。光源504を、光透過性を有する基板100側に配置し、対向する基板(図示せず)側に被検出物506を配置する場合、光源504からの光508が対向側の被検出物506に照射される。そして、被検出物506からの反射光510を光電変換素子(フォトセンサ)で受光する。この場合、光源504、カラーフィルタ502、遮光層204を対向基板側に設け、被検出物を、光透過性を有する基板100側に設ける構成とする場合と比較して、カラーフィルタを透過した光が光電変換素子に到達するまでの距離を短いものとすることで混色を抑制することができる。

【0113】

遮光層204を、光透過性を有する基板100側に設ける構造は、タッチパネルの表示画面全体に画像取り込みを行う密着型エリアセンサを配置した表示装置において、画像取り

10

20

30

40

50

込みの解像度を向上させるために、画素を更に微細にして挿ピッチとする必要がある場合に、より有効な構造といえる。

【0114】

さらに、第1の電極172、第2の電極174は、絶縁層154および絶縁層166に形成されたコンタクトホールを介して、第1の導電型を示す半導体領域158、第2の導電型を示す半導体領域162にそれぞれ電気的に接続されている、すなわち、第1の電極172、第2の電極174が光電変換を奏する半導体領域164を挟んで遮光層204とは反対側に遮光壁となるように設けられることにより、隣接する異なる色のカラーフィルタを透過した斜め方向からの光の入射を妨げるため、色分離を良好なものとし、より混色を抑制することができる。

10

【0115】

また、遮光層204に電圧を印加できるようにしてもよい。遮光層204に供給する電位を制御することで光電変換素子180の電極として用いることもできる。これにより、電子および正孔の発生や流れを制御することができる。

【0116】

次に、基板上に光電変換素子及びトランジスタを形成する工程について図9、図10を用いて説明する。

【0117】

まず、光透過性を有するベース基板100と、ボンド基板としての単結晶半導体基板110を準備する（図9（A）、（B）参照）。ベース基板100および単結晶半導体基板110の詳細に関しては、先の実施の形態を参照することができるため、ここでは省略する。

20

【0118】

次いで、ベース基板100表面には、絶縁層202、遮光層204、絶縁層206を順に積層して形成する（図9（C）参照）。

【0119】

絶縁層202として、例えば、酸化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜、酸化窒化シリコン膜、窒化アルミニウム膜、酸化アルミニウム膜等を単層で、または積層させて形成することができる。絶縁層202として窒素を含有する絶縁層を形成すると、ベース基板に含まれるナトリウム（Na）等の不純物元素の半導体への拡散を抑制することが可能である。絶縁層202の作製方法としては、熱酸化法、CVD法、スパッタリング法などがある。

30

【0120】

遮光層204は、タンゲステン、モリブデン、タンタル、チタン、ニオブ、ニッケル、コバルト、ジルコニアム、亜鉛などの耐熱性を有する金属膜を用いて形成することが好ましい。特に、モリブデンまたはタンゲステンを用いることが好ましい。または、カーボンブラック、低次酸化チタンなどの黒色顔料を含む有機樹脂、を用いることができる。または、クロムを用いた膜で、遮光層204を形成することも可能である。また、遮光層204として耐熱性を有するとともに耐酸化性を有する材料を用いることが好ましい。遮光層204は、スパッタリング法、蒸着法等を用いて形成することができる。

40

【0121】

遮光層204上に設けられる絶縁層206として、例えば、酸化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜、酸化窒化シリコン膜、窒化アルミニウム膜、酸化アルミニウム膜等を単層で、または積層させて形成することができる。特に、絶縁層206として酸化アルミニウムを用いることが好ましい。酸化アルミニウムは、遮光層204との密着性が良好であるからである。また、酸化アルミニウムは、平坦性に優れ、遮光層204表面の凹凸を緩和させることができるために、ベース基板100と単結晶半導体基板110との貼り合わせを良好なものとすることができます。絶縁層206の作製方法としては、熱酸化法、CVD法、スパッタリング法などがある。

【0122】

50

単結晶半導体基板 110 には、その表面から所定の深さに脆化領域 114 を形成し、絶縁層 202、遮光層 204、絶縁層 206、絶縁層 112 を介してベース基板 100 と単結晶半導体基板 110 とを貼り合わせる（図 9（D）、（E））。

【0123】

絶縁層 112 は、例えば、酸化シリコン膜、酸化窒化シリコン膜等を単層で、または積層させて形成することができる。詳細については、先の実施の形態を参照することができる。ここでは、単結晶半導体基板 110 上に絶縁層 112 を形成しているが、熱酸化法により、単結晶半導体基板を覆うように絶縁層 112 を形成してもよい。

【0124】

脆化領域 114 は、運動エネルギーを有する水素等のイオンを単結晶半導体基板 110 に添加することにより形成することができる。詳細については先の実施の形態を参照することができる。

10

【0125】

貼り合わせは、ベース基板 100 と単結晶半導体基板 110 とを、絶縁層 202、遮光層 204、絶縁層 206、絶縁層 112 を介して密着させた後、ベース基板 100 または単結晶半導体基板 110 の一箇所に 1 N/cm^2 以上 500 N/cm^2 以下の圧力を加えることにより行われる。圧力を加えると、その部分から絶縁層 206 と絶縁層 112 の接合が生じ、当該部分を始点として自発的な接合が全面におよぶ。この接合には、ファンデルワールス力や水素結合が作用しており、常温で行うことができる。

20

【0126】

なお、単結晶半導体基板 110 とベース基板 100 とを貼り合わせる前に、貼り合わせに係る表面につき表面処理を行うことが好ましい。表面処理を行うことで、単結晶半導体基板 110 とベース基板 100 の接合界面での接合強度を向上させることができる。表面処理の詳細については先の実施の形態を参照できる。

20

【0127】

なお、貼り合わせの後には、接合強度を向上させるための熱処理を行っても良い。この熱処理の温度は、脆化領域 114 における分離が生じない温度（例えば、室温以上 400 未満）とする。また、この温度範囲で加熱しながら、ベース基板 100 上の絶縁層 206 と絶縁層 112 とを接合させてもよい。上記熱処理には、拡散炉、抵抗加熱炉などの加熱炉、RTA（瞬間熱アニール、Rapid Thermal Anneal）装置、マイクロ波加熱装置などを用いることができる。

30

【0128】

次に、熱処理を行って単結晶半導体基板 110 を脆化領域 114 にて分離することにより、遮光層 204 が設けられたベース基板 100 上に、絶縁層 112 を介して単結晶半導体層 116 を設ける（図 9（F）、（G）参照）。なお、単結晶半導体基板 110 表面の端部はその表面研磨処理に起因して曲率を有する表面形状（エッジロールオフと呼ぶ）となっていることから、光透過性を有する基板側とは貼り合わない領域となる。

40

【0129】

熱処理を行うことで、脆化領域 114 に形成されている微小な孔には添加された元素が分子となって析出し、内部の圧力が上昇する。圧力の上昇により、脆化領域 114 には亀裂が生じるため、脆化領域 114 に沿って単結晶半導体基板 110 が分離する。絶縁層 112 は絶縁層 206 に接合しているため、ベース基板 100 上には単結晶半導体基板 110 から分離された単結晶半導体層 116 が残存する。

【0130】

次に、単結晶半導体層 116 の表面にレーザー光 130 を照射することによって、表面の平坦性を向上させ、かつ欠陥を低減させた単結晶半導体層 118 を形成する（図 10（A）、（B））。レーザー光 130 の照射の詳細については先の実施の形態を参照できる。

40

【0131】

その後、単結晶半導体層 118 上にマスク 150 を形成し、これを用いて単結晶半導体層 118 をパターニング（加工）することにより、光電変換素子に用いられる島状の半導体

50

層 152 を形成する(図 10 (C)、(D) 参照)。マスク 150 は、レジスト材料を用いたフォトリソグラフィなどによって形成することができる。また、パターニングの際のエッチング処理には、ウエットエッチングまたはドライエッチングのいずれをも適用することができる。ここでは、BCl₃ と CF₄ と O₂ の混合ガスを反応ガスとしたドライエッチングにより、単結晶半導体層 118 をパターニングして島状の半導体層 152 を形成する。なお、図面は模式図であって、単結晶半導体層 118 全体に対する島状の半導体層 152 の大きさ等、実際のスケールと相違することがあることはいうまでもない。

【0132】

次に、マスク 150 を除去した後、島状の半導体層 152 をそれぞれ覆うようにマスク 250 を形成する(図 10 (E) 参照)。マスク 250 は、レジスト材料を用いたフォトリソグラフィなどによって形成することができる。

10

【0133】

その後、マスク 250 を用いて絶縁層 112、絶縁層 206 をエッチングする(図 10 (F) 参照)。エッチング処理には、ウエットエッチングまたはドライエッチングのいずれをも適用することができる。ここでは、CHF₃ と He の混合ガスを反応ガスとしたドライエッチングを行うが、これに限定されるものではない。

【0134】

次に、マスク 250 を用いて遮光層 204 をパターニングすることにより、島状の遮光層 208 を形成する(図 10 (G) 参照)。パターニングの際のエッチング処理には、ウエットエッチングまたはドライエッチングのいずれをも適用することができる。ここでは、Cl₂ と CF₄ と O₂ の混合ガスを反応ガスとしたドライエッチングにより、遮光層 204 をパターニングして島状の遮光層 208 を形成する。次いで、マスク 250 を除去する(図 10 (H) 参照)。これにより、島状の遮光層 208 と重なり、かつ、島状の遮光層 208 よりも幅の狭い島状の半導体層 152 を得ることができる。次いで、他の実施形態で示すとおり、島状の半導体層 152 を用いて光電変換素子を形成する。

20

【0135】

上述の方法で作製された半導体装置では、島状の半導体層 152 と重なる領域に選択的に島状の遮光層 208 が形成されているため、光透過性の基板を透過した光が光電変換素子 180 に直接照射されるのを防ぐことができる。なお、光電変換素子と一部共通の作製工程を用いることにより、光電変換素子と共に、島状の半導体層 152 を用いてトランジスタを形成することもできる。この場合にもトランジスタの活性層と重なるように遮光層を設けることで、光によるチャネルリーケ電流の発生を抑制することができる。

30

【0136】

なおここでは、島状の遮光層 208 よりも幅の狭い島状の半導体層 152 を得る工程について説明したが、遮光性が十分確保できるのであれば、図 10 (D) の工程の後、マスク 150 を用いて遮光層 204 をパターニングして島状の半導体層 152 と概略同一形状の島状の遮光層 208 を形成するようにしてもよい。

40

【0137】

次に、図 10 とは遮光層の配置の異なる半導体装置の作製方法について図面を参照して説明する。具体的には、タッチパネルの表示部となる領域の遮光層のみを除去し開口部を形成する半導体装置の作製方法について図 11 (A) ~ (H) を用いて説明する。

【0138】

図 11 (A) は、図 10 (B) に対応する。遮光層 204 上に単結晶半導体層 118 を形成し、その後、マスク 150 を用いて島状の半導体層 152 を形成するまでの工程は、図 9 (A) ~ (G)、図 10 (A) ~ (D) およびこれらに関する記載を参照することができる。こうして、遮光層 204 が設けられたベース基板 100 上に島状の半導体層 152 を形成する(図 11 (D) 参照)。なお、図面は模式図であって、単結晶半導体層 118 全体に対する島状の半導体層 152 の大きさ等、実際のスケールと相違することがあることはいうまでもない。

【0139】

50

次に、島状の半導体層 152 を覆い、かつ、タッチパネルの表示部となる領域（開口部）以外の領域にマスク 252 を形成し、これを用いてエッティング処理を行い、開口部における絶縁層 112、絶縁層 206 を除去する（図 11（E）、（F）参照）。エッティング処理には、ウエットエッティングまたはドライエッティングのいずれをも適用することができる。ここでは、CHF₃ と He の混合ガスを反応ガスとしたドライエッティングを行うが、これに限定されるものではない。

【0140】

次に、マスク 250 を用いて遮光層 204 をエッティングする（図 11（G）参照）。パターニングの際のエッティング処理には、ウエットエッティングまたはドライエッティングのいずれをも適用することができる。ここでは、Cl₂ と CF₄ と O₂ の混合ガスを反応ガスとしたドライエッティングを行う。次いで、マスク 252 を除去する（図 10（H）参照）。これにより、表示部となる領域のみ遮光層を除去し、島状の半導体層 152 と重なる領域に遮光層が設けられた半導体装置を得ることができる。

10

【0141】

図 12（A）、（B）は、本発明の一態様に係る光電変換素子およびトランジスタを備えた半導体装置の一画素の構造を、光透光性を有する基板側から示した平面図の一例である。

【0142】

図 12（A）には、光電変換素子 180 およびトランジスタ 190 等の素子ごとに遮光層を設けた構造を示す。遮光層 240 は、少なくとも光電変換素子 180 の光電変換を奏する半導体領域に光が照射されないように、光電変換層が有する島状の単結晶半導体層と略同一形状または島状の単結晶半導体層よりも幅広い領域となるように設けることが好ましい。光電変換素子 180 の半導体層よりも幅広く遮光層 240 を設けることにより、光透過性を有する基板 100 側からの垂直および斜め方向の光の入射を防止することができる。

20

【0143】

図 12（B）には、遮光層 204 がタッチパネルの画素表示領域 210 を除く全体に設けた構造を示す。光電変換素子 180 およびトランジスタ 190 は光透過性を有する基板上に設けられた遮光層 204 上に形成されているため、光透過性を有する基板側からの光が直接当たるのを防ぐことができる。その結果、光センサ機能の信頼性の向上を図ることができる。

30

【0144】

本実施の形態では、光透過性を有するベース基板側に遮光層を形成している。このため、例えば、ボンド基板として用いられる単結晶半導体基板よりもベース基板のサイズを大きくして、一枚のベース基板に、複数の単結晶半導体基板を貼り合わせる場合などには、単結晶半導体基板ごとに遮光層を成膜する必要がなく、成膜装置の負担を軽くでき、また、工程の短縮を図ることができる。

【0145】

本実施の形態で示した構成は、他の実施の形態で示す構成と適宜組み合わせて用いることができる。

40

【0146】

（実施の形態 3）

本実施の形態では、遮光層と重なる光電変換素子を備えた半導体装置の作製方法について、上述の実施の形態とは異なる作製工程について図 13、図 14 を参照して説明する。なお、図面は模式図であって、実際のスケールと相違することがあることはいうまでもない。

【0147】

まず、光透過性を有するベース基板 100 とボンド基板としての単結晶半導体基板 110 を準備する。ベース基板 100 表面には、絶縁層 202、遮光層 204、絶縁層 206 を順に積層して形成する（図 13（A）、（B）参照）。ベース基板 100、単結晶半導体

50

基板 110、絶縁層 202、遮光層 204、絶縁層 206 の詳細に関しては、先の実施の形態を参酌することができるため、ここでは省略する。

【0148】

次に、絶縁層 206 上にマスク 250 を形成し、マスク 250 を用いて、絶縁層 206、遮光層 204 を順にエッティングし、島状の遮光層 208 を形成する（図 13（C）参照）。マスク 250 は、レジスト材料を用いたフォトリソグラフィなどによって形成することができる。エッティング処理には、ウエットエッティングまたはドライエッティングのいずれをも適用することができる。ここでは、CHF₃ と He の混合ガスを反応ガスとしたドライエッティングにより絶縁層 206 のエッティングを行い、Cl₂ と CF₄ と O₂ の混合ガスを反応ガスとしたドライエッティングにより、遮光層 204 のエッティングを行うが、これに限定されるものではない。10

【0149】

次に、マスク 250 を除去し、島状の遮光層 208、絶縁層 206 上に絶縁層 212、絶縁層 214 を形成する（図 13（D）参照）。

【0150】

絶縁層 212 は、例えば、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化アルミニウム、酸化アルミニウムなどの材料を用いて形成することができる。本実施の形態では、絶縁層 212 を、CVD 法を用いて形成した酸化シリコン膜を用いる。もちろん、開示する発明の一態様はこれに限定されず、二層構造または三層以上の積層構造とすることも可能である。20

【0151】

絶縁層 214 は、例えば、ポリイミド、アクリル、ベンゾシクロブテン、ポリアミド、エポキシ等の、平坦性を有する有機材料を用いて形成することができる。また、上記有機材料の他に、低誘電率材料（low-k 材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等を用いることもできる。作製方法は、その材料に応じて、CVD 法、スパッタ法、SOG 法、スピンドルコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）、ドクターナイフ、ロールコーティング、カーテンコーティング、ナイフコーティング等を適宜用いることができる。

【0152】

次に、平坦性を有する絶縁層 214 と、島状の遮光層 208 および絶縁層 206 の形状を反映した絶縁層 212 とをエッチバックし、平坦性を有する絶縁層 216 を形成する（図 13（E）参照）。なお、エッチバックの代わりに CMP 法により平坦化処理を行っても良い。本実施の形態において、島状の遮光層 208 上に平坦性を有する絶縁層 216 が設けられるため、単結晶半導体基板とベース基板との貼り合わせが適当に行われるのであれば絶縁層 206 は形成しなくともよい。30

【0153】

単結晶半導体基板 110 には、その表面から所定の深さに脆化領域 114 を形成し、絶縁層 202、絶縁層 216、絶縁層 112 を介してベース基板 100 と単結晶半導体基板 110 とを貼り合わせる（図 13（F）、（G）参照）。

【0154】

絶縁層 112 は、例えば、酸化シリコン膜、酸化窒化シリコン膜等を単層で、または積層させて形成することができる。詳細については、先の実施の形態を参照することができる。40

【0155】

脆化領域 114 は、運動エネルギーを有する水素等のイオンを単結晶半導体基板 110 に照射することにより形成することができる。詳細については先の実施の形態を参照することができる。

【0156】

貼り合わせは、島状の遮光層 208 が設けられたベース基板 100 と単結晶半導体基板 110 とを、絶縁層 202、絶縁層 216、絶縁層 112 を介して密着させた後、ベース基

板100または単結晶半導体基板110の一箇所に1N/cm²以上500N/cm²以下の圧力を加えることにより行われる。圧力を加えると、その部分から絶縁層216と絶縁層112の接合が生じ、当該部分を始点として自発的な接合が全面におよぶ。この接合には、ファンデルワールス力や水素結合が作用しており、常温で行うことができる。

【0157】

なお、単結晶半導体基板110とベース基板100とを貼り合わせる前に、貼り合わせに係る表面につき表面処理を行うことが好ましい。表面処理を行うことで、単結晶半導体基板110とベース基板100の接合界面での接合強度を向上させることができる。表面処理の詳細については先の実施の形態を参照できる。

【0158】

なお、貼り合わせの後には、接合強度を向上させるための熱処理を行っても良い。この熱処理の温度は、脆化領域114における分離が生じない温度（例えば、室温以上400未満）とする。また、この温度範囲で加熱しながら、ベース基板100上の絶縁層216と絶縁層112とを接合させてよい。上記熱処理には、拡散炉、抵抗加熱炉などの加熱炉、RTA装置、マイクロ波加熱装置などを用いることができる。

10

【0159】

次に、熱処理を行って単結晶半導体基板110を脆化領域114にて分離することにより、遮光層208が設けられたベース基板100上に、絶縁層112を介して単結晶半導体層116を設ける（図14（A）参照）。なお、単結晶半導体基板110表面の端部はその表面研磨処理に起因して曲率を有する表面形状（エッジロールオフと呼ぶ）となっていることから、光透過性を有する基板側とは貼り合わない領域となる。

20

【0160】

熱処理を行うことで、脆化領域114に形成されている微小な孔には添加された元素が分子となって析出し、内部の圧力が上昇する。圧力の上昇により、脆化領域114には亀裂が生じるため、脆化領域114に沿って単結晶半導体基板110が分離する。絶縁層112は絶縁層206に接合しているため、ベース基板100上には単結晶半導体基板110から分離された単結晶半導体層116が残存する。

20

【0161】

次に、単結晶半導体層116の表面にレーザー光130を照射することによって、表面の平坦性を向上させ、かつ欠陥を低減させた単結晶半導体層118を形成する（図14（B）（C）参照）。レーザー光130の照射の詳細については先の実施の形態を参照できる。

30

【0162】

その後、島状の遮光層208と重なる領域の単結晶半導体層118上にマスク150を形成し、これを用いて単結晶半導体層118をパターニング（加工）することにより、光電変換素子に用いられる島状の半導体層152を形成する（図14（D）～（F）参照）。マスク150は、レジスト材料を用いたフォトリソグラフィなどによって形成することができる。また、マスク150は、レジストを基板100上に形成した後、基板100の裏面から島状の遮光層208をマスクとして露光し、現像を行うことで形成することができる。パターニングの際のエッチング処理には、ウエットエッチングまたはドライエッチングのいずれをも適用することができる。ここでは、BCl₃とCF₄とO₂の混合ガスを反応ガスとしたドライエッチングにより、単結晶半導体層118をパターニングして島状の半導体層152を形成する。島状の半導体層152は、島状の遮光層208と略同一形状あるいは島状の遮光層208よりも小さい形状であり、ベース基板100側から投影して観察した場合、島状の遮光層208に完全に隠れる構成であることが好ましい。

40

【0163】

次いで、マスク150を除去する（図14（F）参照）。これにより、島状の遮光層208と重なる島状の半導体層152を得ることができる。次いで、他の実施形態で示すとおり、島状の半導体層152を用いて光電変換素子を形成する。

【0164】

50

上述の方法で作製された半導体装置では、島状の半導体層 152 と重なる領域に選択的に島状の遮光層 208 が形成されているため、光透過性の基板を透過した光が光電変換素子 180 に直接照射されるのを防ぐことができる。なお、光電変換素子と一部共通の作製工程を用いることにより、光電変換素子と共に、島状の半導体層 152 を用いてトランジスタを形成することもできる。この場合にもトランジスタの活性層と重なるように、遮光層を設けることで、光によるチャネルリリーク電流の発生を抑制することができる。

【0165】

本実施の形態では、光透過性を有するベース基板側にあらかじめ遮光層を選択的に形成している。このため、島状の半導体層形成の際のエッチング回数を少なくすることができる。また、エッチバック処理を行うため、光透過性を有する基板表面の平坦性が良好であり、また、表面の汚染物等も除去することができる。その結果、ベース基板上に単結晶半導体層を形成する際に単結晶半導体層中に欠陥が生じるのを抑制することができる。

10

【0166】

本実施の形態で示した構成は、他の実施の形態で示す構成と適宜組み合わせて用いることができる。

【0167】

(実施の形態4)

本実施の形態では、遮光層と重なる光電変換素子を備えた半導体装置の作製方法について、上述の実施の形態とは異なる作製工程について図15～17を参照して説明する。具体的には、ボンド基板側に遮光層を形成する光電変換素子の作製方法について説明する。なお、図面は模式図であって、実際のスケールと相違することはあることはいうまでもない。

20

【0168】

まず、光透過性を有するベース基板 100 と、ボンド基板としての単結晶半導体基板 110 を準備する(図15(A)、(B)参照)。ベース基板 100 および単結晶半導体基板 110 の詳細に関しては、先の実施の形態を参照することができるため、ここでは省略する。

【0169】

単結晶半導体基板 110 に熱酸化処理を行うことにより、絶縁層 112(ここで、酸化シリコン膜)を形成する。

30

【0170】

熱酸化処理は、酸化性雰囲気中にハロゲンを添加して行うことが好ましい。例えば、塩素(C1)が添加された酸化性雰囲気中で単結晶半導体基板 110 に熱酸化処理を行うことにより、塩素酸化された絶縁層 112 を形成することができる。この場合、絶縁層 112 は、塩素原子を含有する絶縁層となる。なお、絶縁層 112 にはフッ素原子を含有させてもよい。

【0171】

次に、電界で加速されたイオンを単結晶半導体基板 110 に添加することで、単結晶半導体基板 110 の所定の深さに結晶構造が損傷した脆化領域 114 を形成する(図15(C)参照)。なお、イオンの添加処理の前には、単結晶半導体基板 110 および絶縁層 112 の表面を洗浄しておくことが望ましい。イオン添加の詳細については先の実施の形態を参照するとよい。

40

【0172】

次に、絶縁層 112 上に遮光層 204、絶縁層 206 を順に積層して形成する(図15(D)参照)。

【0173】

遮光層 204 は、タングステン、モリブデン、タンタル、チタン、ニオブ、ニッケル、コバルト、ジルコニアム、亜鉛などの耐熱性を有する金属膜を用いて形成することができる。特に、モリブデンまたはタングステンを用いることが好ましい。または、カーボンブラック、低次酸化チタンなどの黒色顔料を含む有機樹脂、を用いることができる。または

50

、クロムを用いた膜で、遮光層 204 を形成することも可能である。また、遮光層 204 として耐熱性を有するとともに耐酸化性を有する材料を用いることが好ましい。遮光層 204 は、スパッタリング法、蒸着法等を用いて形成することができる。

【0174】

絶縁層 206 として、例えば、酸化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜、酸化窒化シリコン膜、窒化アルミニウム膜、酸化アルミニウム膜等を単層で、または積層させて形成することができる。特に、絶縁層 206 として酸化アルミニウムを用いることが好ましい。酸化アルミニウムは、遮光層 204 との密着性が良好であるからである。また、酸化アルミニウムは、平坦性に優れ、遮光層 204 表面の凹凸を緩和させることができるために、ベース基板 100 と単結晶半導体基板 110 との貼り合わせを良好なものとすることができる。絶縁層 206 の作製方法としては、熱酸化法、CVD 法、スパッタリング法などがある。

10

【0175】

次いで、遮光層 204 、絶縁層 206 が形成された単結晶半導体基板 110 とベース基板 100 とを貼り合わせる（図 15（E）参照）。

【0176】

貼り合わせは、ベース基板 100 と単結晶半導体基板 110 とを、絶縁層 112 、遮光層 204 、絶縁層 206 を介して密着させた後、ベース基板 100 または単結晶半導体基板 110 の一箇所に 1 N/cm^2 以上 500 N/cm^2 以下の圧力を加えることにより行われる。圧力を加えると、その部分からベース基板 100 と絶縁層 206 の接合が生じ、当該部分を始点として自発的な接合が全面におよぶ。この接合には、ファンデルワールス力や水素結合が作用しており、常温で行うことができる。なお、ベース基板 100 表面に窒素を含有する絶縁層（例えば、窒化シリコン（ SiN_x ）や窒化酸化シリコン（ SiN_xO_y ）（ $x > y$ ）等を含む絶縁層）を形成しても良い。窒素を含有する絶縁層を形成すると、ベース基板に含まれるナトリウム（Na）等の不純物元素の半導体への拡散を抑制することが可能である。

20

【0177】

なお、単結晶半導体基板 110 とベース基板 100 とを貼り合わせる前に、貼り合わせに係る表面につき表面処理を行うことが好ましい。表面処理を行うことで、単結晶半導体基板 110 とベース基板 100 の接合界面での接合強度を向上させることができる。表面処理の詳細については先の実施の形態を参照できる。

30

【0178】

なお、貼り合わせの後には、接合強度を向上させるための熱処理を行っても良い。接合強度を向上させるための熱処理の詳細については先の実施の形態を参照できる。

【0179】

次に、熱処理を行って単結晶半導体基板 110 を脆化領域 114 にて分離することにより、ベース基板 100 上に、単結晶半導体層 116 を設ける（図 15（F）、（G）参照）。

【0180】

熱処理を行うことで、脆化領域 114 に形成されている微小な孔には添加された元素が分子となって析出し、内部の圧力が上昇する。圧力の上昇により、脆化領域 114 には亀裂が生じるため、脆化領域 114 に沿って単結晶半導体基板 110 が分離する。絶縁層 206 はベース基板 100 に接合しているため、ベース基板 100 上には単結晶半導体基板 110 から分離された単結晶半導体層 116 が残存する。

40

【0181】

次に、単結晶半導体層 116 の表面にレーザー光 130 を照射することによって、表面の平坦性を向上させ、かつ欠陥を低減させた単結晶半導体層 118 を形成する（図 16（A）、（B）参照）。レーザー光 130 の照射の詳細については先の実施の形態を参照できる。

【0182】

50

なお、本実施の形態においては、単結晶半導体層116の分離に係る熱処理の直後に、レーザー光130の照射処理を行っているが、開示する発明の一態様はこれに限定して解釈されない。単結晶半導体層116の分離に係る熱処理後にエッティング処理を施して、単結晶半導体層116表面の欠陥が多い領域を除去してからレーザー光130の照射処理を行っても良いし、単結晶半導体層116表面の平坦性を向上させてからレーザー光130の照射処理を行っても良い。なお、上記エッティング処理としては、ウェットエッティング、ドライエッティングのいずれを用いても良い。

【0183】

また、上述のようにレーザー光130を照射した後には、トランジスタの活性層に用いる領域の単結晶半導体層118の膜厚を選択的に小さくする薄膜化工程を行っても良い。単結晶半導体層118の薄膜化には、ドライエッティングまたはウェットエッティングの一方、または双方を組み合わせて用いればよい。

10

【0184】

その後、単結晶半導体層118上にマスク150を形成し、これを用いて単結晶半導体層118をパターニング（加工）することにより、光電変換素子に用いられる島状の半導体層152を形成する（図16（C）、（D）参照）。マスク150は、レジスト材料を用いたフォトリソグラフィなどによって形成することができる。また、パターニングの際のエッティング処理には、ウェットエッティングまたはドライエッティングのいずれをも適用することができる。ここでは、 BCl_3 と CF_4 と O_2 の混合ガスを反応ガスとしたドライエッティングにより、単結晶半導体層118をパターニングして島状の半導体層152を形成する。

20

【0185】

次に、マスク150を除去した後、島状の半導体層152をそれぞれ覆うようにマスク250を形成する（図16（E）参照）。マスク250は、レジスト材料を用いたフォトリソグラフィなどによって形成することができる。

【0186】

その後、マスク250を用いて絶縁層112をエッティングする（図16（F）参照）。エッティング処理には、ウェットエッティングまたはドライエッティングのいずれをも適用することができる。ここでは、 CHF_3 とHeの混合ガスを反応ガスとしたドライエッティングを行うが、これに限定されるものではない。

30

【0187】

次に、マスク250を用いて遮光層204をパターニングすることにより、島状の遮光層208を形成する（図16（G）参照）。パターニングの際のエッティング処理には、ウェットエッティングまたはドライエッティングのいずれをも適用することができる。ここでは、 Cl_2 と CF_4 と O_2 の混合ガスを反応ガスとしたドライエッティングにより、遮光層204をパターニングして島状の遮光層208を形成するが、これに限定されるものではない。次いで、マスク250を除去する（図16（H）参照）。これにより、島状の遮光層208と重なり、かつ、島状の遮光層208よりも幅の狭い島状の半導体層152を得ることができる。次いで、他の実施形態で示すとおり、島状の半導体層152を用いて光電変換素子を形成する。

40

【0188】

上述の方法で作製された半導体装置では、島状の半導体層152と重なり、かつ、島状の半導体層152よりも幅の広い島状の遮光層208が選択的に形成されているため、光透過性の基板を透過した光が光電変換素子180に直接照射されるのを防ぐことができる。なお、光電変換素子と一部共通の作製工程を用いることにより、光電変換素子と共に、島状の半導体層152を用いてトランジスタを形成することもできる。この場合にもトランジスタの活性層と重なるように、遮光層を設けることで、光によるチャネルリリーク電流の発生を抑制することができる。

【0189】

なおここでは、島状の遮光層208よりも幅の狭い島状の半導体層152を得る工程につ

50

いて説明したが、遮光性が十分確保できるのであれば、図16(D)の工程の後、マスク150を用いて遮光層204をパターニングして島状の半導体層152と概略同一形状の島状の遮光層208を形成するようにしてもよい。

【0190】

次に、図16とは遮光層の異なる半導体装置の作製方法について図面を参照して説明する。具体的には、タッチパネルの表示部となる領域の遮光層のみを除去し開口部を形成する半導体装置の作製方法について図17(A)～(H)を用いて説明する。

【0191】

図17(A)は、図16(B)に対応する。遮光層204上に単結晶半導体層118を形成し、その後、マスク150を用いて島状の半導体層152を形成するまでの工程は、図15(A)～(G)、図16(A)～(D)およびこれらに関する記載を参照することができる。こうして、遮光層204が設けられたベース基板100上に島状の半導体層152を形成する(図17(D)参照)。

10

【0192】

次に、島状の半導体層152を覆い、かつ、タッチパネルの表示部となる領域(開口部)以外の領域にマスク252を形成し、これを用いてエッチング処理を行い、開口部における絶縁層112を除去する(図17(E)、(F)参照)。エッチング処理には、ウエットエッチングまたはドライエッチングのいずれをも適用することができる。ここでは、 CHF_3 とHeの混合ガスを反応ガスとしたドライエッチングを行うが、これに限定されるものではない。

20

【0193】

次に、マスク250を用いて遮光層204をエッチングする(図17(G)参照)。パターニングの際のエッチング処理には、ウエットエッチングまたはドライエッチングのいずれをも適用することができる。ここでは、 Cl_2 と CF_4 と O_2 の混合ガスを反応ガスとしたドライエッチングを行う。次いで、マスク252を除去する(図17(H)参照)。これにより、表示部となる領域のみ遮光層を除去し、島状の半導体層152と重なる領域に遮光層が設けられた半導体装置を得ることができる。

20

【0194】

本実施の形態では、単結晶半導体基板側に遮光層を形成し、遮光層上の絶縁層と光透過性を有するベース基板とを貼り合わせている。そのため、ベース基板上に絶縁層を成膜せずに貼り合わせを良好に行うことができるため、ベース基板側に遮光層を形成する場合と比較して絶縁層を一層少なくすることができ、工程短縮を図ることができる。

30

【0195】

本実施の形態で示した構成は、他の実施の形態で示す構成と適宜組み合わせて用いることができる。

【0196】

(実施の形態5)

本実施の形態では、半導体装置およびその作製方法の一例について図面を参照して説明する。具体的には、光電変換素子およびトランジスタを備える半導体装置およびその作製方法について説明する。なお、各素子のサイズは求められる特性に応じて決定することができる。

40

【0197】

<構成>

開示する発明の一態様に係る光電変換素子180およびトランジスタ380は、光透過性を有するベース基板100上に設けられている(図18(A)、図18(B)参照)。ここで、図18(B)は図18(A)のA-Bにおける断面に相当する。

【0198】

光電変換素子180は、光電変換を奏する半導体領域164、第1の導電型(ここではp型)を示す半導体領域158、第2の導電型(ここではn型)を示す半導体領域162、を有する島状の第1の半導体層152と、これを覆うように形成された絶縁層154およ

50

び絶縁層 166 と、第1の導電型を示す半導体領域 158 と電気的に接続された第1の電極 172 と、第2の導電型を示す半導体領域 162 と電気的に接続された第2の電極 174 と、を有する。ここで、第1の導電型を示す半導体領域 158 と第2の導電型を示す半導体領域 162 は、いずれも光電変換を奏する半導体領域 164 に隣接し、かつ、光電変換を奏する半導体領域 164 によって隔てられている。上記第1の導電型と第2の導電型とを入れ替えても良いことは、いうまでもない。

【0199】

トランジスタ 380 は、チャネル形成領域 322、ソース領域 323、ドレイン領域 324、LDD 領域 328、LDD 領域 329、を有する島状の第2の半導体層 352 と、第2の半導体層 352 上のゲート絶縁膜として機能する絶縁層 154 と、絶縁層 154 上のゲート電極 375 と、これを覆うように形成された絶縁層 166 と、ソース領域 323 と電気的に接続された電極 376 と、ドレイン領域 324 と電気的に接続された電極 377 と、を有する。なお、ここではトランジスタ 380 が LDD 領域 328、LDD 領域 329、を有する例を示したが、開示する発明の一態様はこれに限定されない。LDD 領域を有していないなくてもよい。また、ここでは LDD 領域が上面から見てゲート電極と重ならない例を示したが、LDD 領域がゲート電極と重なる構造を有していてもよい。

10

【0200】

ここで光電変換素子 180 が有する第1の半導体層 152 の厚さは、トランジスタ 380 が有する第2の半導体層 352 より厚い。例えば第2の半導体層 352 の厚さは 5 nm 以上 100 nm 以下とし、第1の半導体層 152 の厚さはそれより厚くすることができる。第2の半導体層 352 をこれ以上厚くすると、トランジスタに光が当たった場合にオフ時のリーク電流が大幅に上昇することがある。そのため、トランジスタに用いる第2の半導体層 352 は薄い方がよい。また第1の半導体層 152 の厚さは、例えば 100 nm 以上 1000 nm 以下とすることができます。

20

【0201】

第1の半導体層 152 を厚く設けることにより、光電変換効率が向上する。これにより、光センサとしての感度が向上する。また、光センサの微細化が可能となる。また、光センサの応答性が向上し、例えばタッチパネルに用いた場合にはタッチパネルの応答速度が向上して操作性が向上する。また、単結晶半導体を用いることにより光電変換効率が向上する。また、第2の半導体層 352 を薄く設けることにより、トランジスタのオフ時のリーク電流を低減することができる。また第2の半導体層 352 を薄く設けることにより、チャネル長が短い短チャネルデバイスに対して、短チャネル効果を抑制することが出来る。また完全空乏型での動作も可能となる。またドレイン耐圧も向上する。また、単結晶半導体を用いることにより、トランジスタの電気特性を向上させることができる。

30

【0202】

このように、光透過性を有するベース基板 100 上に設けられた半導体装置において、光電変換素子 180 が有する第1の半導体層 152 を、トランジスタ 380 が有する第2の半導体層 352 より厚くすることにより、第1の半導体層 152 と第2の半導体層 352 の厚さが同じ場合に比べて、トランジスタ 380 のオフ時のリーク電流を低減しつつ、光電変換素子 180 の光電変換効率を向上させることができる。

40

【0203】

また、ベース基板 100 と光電変換素子 180 およびトランジスタ 380との間には、絶縁層 112 が設けられている。当該絶縁層は、光電変換素子 180 およびトランジスタ 380 をベース基板 100 に固定する役割を果たす。

【0204】

光電変換素子 180 の動作は実施の形態 1 で示した通りであり、電流は光の強度に依存するため、これをを利用して光センサとすることができます。また、光による起電力を光電変換素子の外部に取り出すことで、発電システムとして用いることも可能である。

【0205】

ここで、光電変換素子およびトランジスタを構成する上記島状の半導体層の結晶性は、单

50

結晶であることが望ましい。少なくとも、光電変換素子が有する光電変換を奏する半導体領域 164 およびトランジスタが有するチャネル形成領域 322 の結晶性は、単結晶であることが好適である。単結晶の半導体材料としては、例えば、単結晶シリコンを適用することができる。単結晶半導体を光電変換素子に用いることで、非晶質半導体や多結晶半導体を用いる場合と比較して、暗電流（光未照射時の電流）を低下させることができる。また、単結晶半導体を光電変換素子に用いることで、非晶質半導体や多結晶半導体を用いる場合と比較して、光照射時の電流を増大させることができる。これにより、光センサとしての感度が向上する。また、光センサの微細化が可能となる。また、単結晶半導体を用いることにより、光電変換効率が向上する。これらの効果は、欠陥などに起因する光生成キャリアのトラップを十分に抑制することが可能となるために得られるものである。また、単結晶半導体を用いることにより、トランジスタの電気特性を向上させることができる。

10

【0206】

また、ここで示すように、ベース基板が光透過性を有することで、ベース基板側から光を入射させる構成とすることが可能である。この場合には、電極（または配線）側から光を入射させる場合と比較して、素子レイアウトの自由度が向上する。このように、ベース基板が光透過性を有することにより、光透過性を有しない場合と比較して、集積化が容易になるというメリットもある。

【0207】

<光電変換素子およびトランジスタの作製工程>

次に、光電変換素子 180 およびトランジスタ 380 を作製する工程について説明する。まず、実施の形態 1 に示した SOI 基板の作製工程により、ベース基板 100 上に絶縁層 112 および単結晶半導体層 118 が設けられた構成の SOI 基板を用意する（図 19（A）参照）。

20

【0208】

単結晶半導体層 118 には、硼素、アルミニウム、ガリウムなどの p 型不純物や、リン、砒素などの n 型不純物を微量添加しても良い。不純物を添加する領域、および添加する不純物の種類は、適宜変更することができる。また、不純物を添加するタイミングは、適宜変更することができる。トランジスタとなる半導体領域には不純物を添加して閾値等の電気特性を制御することが望ましい。一方、光電変換を奏する半導体領域には、上記不純物は添加しなくてもよい。

30

【0209】

次に、単結晶半導体層 118 上にマスク 340 を形成し、これを用いてエッチング処理を行うことにより、単結晶半導体層の厚さを部分的に薄くし、マスク 340 で覆われた第 1 の単結晶半導体領域 311 とそれより薄い第 2 の単結晶半導体領域 321 を形成する（図 19（B）参照）。この薄膜化工程において、マスク 340 は、レジスト材料を用いたフォトリソグラフィなどの方法で形成することができる。また、エッチング処理には、ウエットエッチングまたはドライエッチングのいずれをも適用することができる。

【0210】

なお上記閾値制御のための不純物添加工程は、この薄膜化工程の後に行っても良い。薄膜化する領域と閾値制御のための不純物を添加する領域は、いずれもトランジスタ形成領域であるため、これらの各工程を同じマスクを用いて行うことができる。例えば、薄膜化工程のマスク 340 を用いて、閾値制御のための不純物を添加することができる。

40

【0211】

その後、第 1 の単結晶半導体領域 311 および第 2 の単結晶半導体領域 321 上にマスク 150、マスク 350 を形成し、これを用いて第 1 の単結晶半導体領域 311 および第 2 の単結晶半導体領域 321 をそれぞれパターニングすることにより、光電変換素子に用いられる第 1 の島状の半導体層 152 およびトランジスタに用いられる第 2 の島状の半導体層 352 を形成する（図 19（C）参照）。マスク 150、マスク 350 は、マスク 340 等と同様の方法で形成すればよい。

【0212】

50

なお、上記薄膜化工程は、島状の半導体層を形成した後に行っても良い。また、島状の半導体層形成時にハーフトーンマスクを用いて、島状半導体層形成用のマスクとして第1のマスクと、第1のマスクよりも薄い第2のマスクを形成し、この第1、第2のマスクを用いて第1、第2の島状半導体層を形成した後に、第1、第2のマスクをアッシングしながら島状半導体層をエッティングすることにより、第1の島状半導体層より第2の島状半導体層を薄く形成することもできる。

【0213】

次に、半導体層152、半導体層352を覆うように、絶縁層154を形成する（図19（D）参照）。半導体層352上の絶縁層154はゲート絶縁膜として機能する。半導体層152上には絶縁層154は形成しなくても良いが、これを設ける場合には、後の不純物の添加の際の半導体層152の損傷を抑制することが可能である。なお、本実施の形態ではプラズマCVD法を用いて、酸化シリコン膜を単層で形成することとする。酸化シリコン以外にも、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル等を含む膜を、単層構造または積層構造で形成することができる。

10

【0214】

次に、絶縁層154上に導電膜を形成した後、該導電膜を所定の形状に加工（パターニング）することで、半導体層352の上方にトランジスタのゲート電極として機能する電極375を形成する（図20（A）参照）。導電膜の形成にはCVD法、スパッタリング法等を用いることができる。導電膜は、タンタル（Ta）、タングステン（W）、チタン（Ti）、モリブデン（Mo）、アルミニウム（Al）、銅（Cu）、クロム（Cr）、ニオブ（Nb）等の材料を用いて形成することができる。また、上記金属を主成分とする合金材料を用いても良いし、上記金属を含む化合物を用いても良い。または、導電性を付与する不純物元素をドーピングした多結晶シリコンなどの半導体材料を用いて形成しても良い。

20

【0215】

また、この電極375は単層の導電膜で形成しても良いし、積層された複数の導電膜で形成しても良い。本実施の形態では、下層に窒化チタン膜を用い、上層にタングステン膜を用いた2層構造の導電膜で電極375を形成する。2層構造とする場合には、例えば、モリブデン膜、チタン膜、窒化チタン膜等を下層に用い、上層にはアルミニウム膜、タングステン膜などを用いればよい。3層構造の場合には、モリブデン膜とアルミニウム膜とモリブデン膜の積層構造や、チタン膜とアルミニウム膜とチタン膜の積層構造などを採用するとよい。エッティング処理としては、例えば、ドライエッティングを適用することができるが、開示する発明の一態様はこれに限定されない。

30

【0216】

なお、電極375を形成する際に用いるマスクは、酸化シリコンや窒化酸化シリコン等の材料を用いて形成してもよい。この場合、酸化シリコン膜や窒化酸化シリコン膜等をパターニングしてマスクを形成する工程が加わるが、これらの材料を用いたマスクでは、レジスト材料を用いたマスクと比較してエッティング時における膜減りが少ないため、より正確な形状の電極375を形成することができる。また、マスクを用いずに、液滴吐出法を用いて選択的に電極375を形成しても良い。ここで、液滴吐出法とは、所定の組成物を含む液滴を吐出または噴出することで所定のパターンを形成する方法を意味し、インクジェット法などがその範疇に含まれる。

40

【0217】

また、ICP（Inductively Coupled Plasma：誘導結合型プラズマ）エッティング法を用い、エッティング条件（コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等）を適宜調節し、所望のテーパー形状を有するように電極375を形成することもできる。また、テーパー形状は、マスクの形状によって制御することもできる。なお、エッティング用ガスとしては、塩素、塩化硼素、塩化珪素、四塩化炭素などの塩素系ガス、四弗化炭素、弗化硫黄、弗化窒素などのフッ

50

素系ガス、または酸素などを適宜用いることができる。

【0218】

なお半導体層352の上方にトランジスタのゲート電極として機能する電極375を形成する際に、同時に半導体層152の上方に電極345を形成しても良い(図23(A)、図23(B)参照)。ここで、図23(B)は図23(A)のA-Bにおける断面に相当する。光電変換素子が有する半導体層152の上方に重なるように電極345を設けることにより、上方から光電変換素子に入射した光が、直接光電変換を奏する半導体領域164に当たるのを防ぐことができる。また、半導体層152に、第1の導電型を示す半導体領域158および第2の導電型を示す半導体領域162を形成する際に、不純物元素を添加するマスクの一部として電極345を用いることが可能である。また電極345の電位を制御することで、光電変換素子の特性を制御することが可能である。特に空乏化するよう電圧を印加するとよい。

10

【0219】

その後、絶縁層154上に半導体層152を覆うマスク356を形成して、マスク356および電極375をマスクに用いて、半導体層352の一部に第2の導電型を付与する不純物元素を添加する。マスク356は、マスク340等と同様の方法で形成すればよい。

【0220】

不純物元素の添加は、具体的には、例えば、PH₃を原料ガスとして用い、40kVの加速電圧、 $1.0 \times 10^{13} \text{ cm}^{-2}$ のドーズ量でリンを添加すれば良い。不純物元素の添加の条件は、要求される特性などに応じて適宜変更することができる。不純物領域358を形成した後には、マスク356は除去する。

20

【0221】

これにより、第2の導電型を示す不純物領域358が形成される(図20(B)参照)。不純物領域358の一部はLDD領域として機能する。本実施の形態では、第2の導電型を付与する不純物元素としてリンを用い、第2の導電型をn型とする構成で説明するが、開示する発明の一態様はこれに限定されない。

【0222】

なお、ここではLDD領域を有する例を示したが、開示する発明の一態様はこれに限定されない。LDD領域を有していないなくてもよい。その場合には不純物領域358を形成する工程は行わなくてよい。また、ここではゲート電極375をマスクとしてLDD領域となる不純物領域358を形成する例を示したが、開示する発明の一態様はこれに限定されない。LDD領域となる不純物領域358を形成した後にゲート電極を形成してもよい。その場合はLDD領域がゲート電極と重なる構造をとることができる。

30

【0223】

次に、絶縁層154上に半導体層352を覆いかつ半導体層152の一部を覆うマスク156を形成して、半導体層152の一部に第1の導電型を付与する不純物元素を添加する。これにより、第1の導電型を示す半導体領域158が形成される(図20(C)参照)。ここでは、第1の導電型を付与する不純物元素としてホウ素を用い、第1の導電型をp型とする構成で説明するが、開示する発明の一態様はこれに限定されない。第1の導電型を付与する不純物元素として、アルミニウムなどを用いても良い。また、第1の導電型をn型とする場合には、リンやヒ素などを用いることもできる。マスク156は、マスク340等と同様の方法で形成すればよい。

40

【0224】

具体的には、例えば、B₂H₆を原料ガスとして用い、40kVの加速電圧、 $1.0 \times 10^{16} \text{ cm}^{-2}$ のドーズ量でボロンを添加すれば良い。不純物元素の添加の条件は、要求される特性などに応じて適宜変更することができる。光電変換素子は、ドーズ量を小さくすると、暗電流を抑制することができる傾向にある。これは、高ドーズ条件で不純物元素を添加すると、半導体層152の損傷が大きくなり、欠陥に起因するキャリアトラップが生じるのに対し、低ドーズ条件で不純物元素を添加すると、損傷がわずかであるため、欠陥に起因する電流が生じないことによる。一方、トランジスタはドーズ量を大きくして低

50

抵抗化した方がよい。従って、要求される特性などに応じて光電変換素子とトランジスタの不純物添加工程を分けてもよい。なお、第1の導電型を示す半導体領域158を形成した後には、マスク156は除去する。

【0225】

なお、トランジスタとしてP型トランジスタを形成する場合は、第1の導電型を示す半導体領域158を形成するタイミングで、P型トランジスタの不純物領域を形成することができる。

【0226】

その後、絶縁層154上に半導体層152の一部を覆いかつ半導体層352の一部を覆うマスク160を形成して、半導体層152の一部および半導体層352の一部に第2の導電型を付与する不純物元素を添加する。なお、半導体層352には先の工程で添加した不純物元素と同じ導電型の不純物元素をより高い濃度で添加する。これにより、光電変換素子に用いる半導体層152に、第2の導電型を示す半導体領域162が形成されると共に、第1の導電型を付与する不純物元素および第2の導電型を付与する不純物元素が添加されていない光電変換を奏する半導体領域164が形成される。また、トランジスタに用いる半導体層352に、第2の導電型を示すソース領域323、ドレイン領域324が形成されると共に、マスク160で覆われた不純物領域358にLDD領域328、LDD領域329が形成され、その間にチャネル形成領域322が形成される（図20（D）参照）。第2の導電型は、第1の導電型とは異なる導電型とする。つまり、第1の導電型がp型の場合には第2の導電型はn型であり、第1の導電型がn型の場合には第2の導電型はp型である。ここでは、第2の導電型を付与する不純物元素としてリンを用い、第2の導電型をn型とする構成で説明する。n型を付与する不純物元素としては、他に、ヒ素などを用いることができる。マスク160は、マスク340等と同様の方法で形成すればよい。

10

20

30

40

【0227】

具体的には、例えば、PH₃を原料ガスとして用い、40kVの加速電圧、 $5.0 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でリンを添加すれば良い。不純物元素の添加の条件は、要求される特性などに応じて適宜変更することができる。ドーズ量を小さくすることにより、光電変換素子の暗電流を抑制することができる。第1の導電型を付与する不純物元素を添加する場合と同様である。第2の導電型を示す半導体領域162を形成した後には、マスク160は除去する。

【0228】

なお、上記第1の不純物元素および第2の不純物元素の添加は、光電変換を奏する半導体領域164の幅が0.1μm～20μm、好ましくは3μm～10μmとなるように行う。もちろん、マスク156およびマスク160の加工精度が許せば、0.1μm以下とすることも可能である。

【0229】

次に、半導体層152、半導体層352、電極375、および絶縁層154を覆うように、絶縁層166を形成する（図21（A）参照）。光電変換素子に用いる半導体層152上には絶縁層166は必ずしも設ける必要はないが、絶縁層166を形成することで、アルカリ金属やアルカリ土類金属などの不純物が半導体層152に侵入することを防止できる。また、形成される光電変換素子の表面を平坦にすることが可能になる。また、光電変換素子に用いる半導体層152上およびトランジスタに用いる半導体層352上に同じ絶縁層を形成することで、コンタクトホール形成時の条件を揃えることができる。

【0230】

次に、半導体層152および半導体層352の一部が露出するように絶縁層154および絶縁層166にコンタクトホール168およびコンタクトホール170、コンタクトホール368およびコンタクトホール370を形成する（図21（B）参照）。ここでは特に、第1の導電型を示す半導体領域158および第2の導電型を示す半導体領域162の一部が露出するように、コンタクトホール168およびコンタクトホール170を形成する

50

。また、ソース領域323およびドレイン領域324が露出するように、コンタクトホール368およびコンタクトホール370を形成する。コンタクトホール168およびコンタクトホール170、コンタクトホール368およびコンタクトホール370は、選択的にマスクを形成した後のエッチング処理などによって形成することができる。エッチング処理としては、例えば、エッチングガスとしてCHF₃とHeの混合ガスを用いたドライエッチングを適用することができるが、開示する発明の一態様はこれに限定されない。

【0231】

そして、該コンタクトホールを介して半導体層152および半導体層352に接する導電層を形成し、これをパターニングすることで第1の電極172および第2の電極174、電極376および電極377を形成する(図21(C)参照)。第1の電極172および第2の電極174、電極376および電極377の元となる導電層は、CVD法、スパッタリング法、蒸着法などにより形成することができる。材料としては、アルミニウム(A1)、タンゲステン(W)、チタン(Ti)、タンタル(Ta)、モリブデン(Mo)、ニッケル(Ni)、白金(Pt)、銅(Cu)、金(Au)、銀(Ag)、マンガン(Mn)、ネオジム(Nd)、炭素(C)、珪素(Si)等を用いることができる。また、上記材料を主成分とする合金を用いても良いし、上記材料を含む化合物を用いても良い。また、導電層は単層構造としても良いし、積層構造としても良い。

10

【0232】

アルミニウムを主成分とする合金の例としては、アルミニウムを主成分として、ニッケルを含むものを挙げることができる。また、アルミニウムを主成分とし、ニッケルと、炭素または珪素の一方または両方を含むものを挙げることができる。アルミニウムやアルミニウムシリコン(A1-Si)は抵抗値が低く、安価であるため、第1の電極172および第2の電極174、電極376および電極377を形成する材料として適している。特に、アルミニウムシリコンは、パターニングの際のレジストベークによるヒロックの発生を抑制することができるため好ましい。また、珪素の代わりに、アルミニウムに0.5%程度のCuを混入させた材料を用いても良い。

20

【0233】

導電層を積層構造とすることにより第1の電極172および第2の電極174、電極376および電極377を積層構造とする場合には、例えば、バリア膜とアルミニウムシリコン膜とバリア膜の積層構造、バリア膜とアルミニウムシリコン膜と窒化チタン膜とバリア膜の積層構造などを採用するとよい。なお、バリア膜とは、チタン、チタンの窒化物、モリブデンまたはモリブデンの窒化物などを用いて形成された膜である。バリア膜の間にアルミニウムシリコン膜を挟むように導電膜を形成すると、アルミニウムやアルミニウムシリコンのヒロックの発生をより一層防止することができる。また、還元性の高い元素であるチタンを用いてバリア膜を形成すると、第1の導電型を示す半導体領域158と第2の導電型を示す半導体領域162、ソース領域323およびドレイン領域324上に薄い酸化膜が形成されていたとしても、バリア膜に含まれるチタンが該酸化膜を還元し、第1の導電型を示す半導体領域158と第1の電極172とのコンタクト、第2の導電型を示す半導体領域162と第2の電極174とのコンタクト、ソース領域323と電極376とのコンタクト、ドレイン領域324と電極377とのコンタクトを良好なものとすることができます。また、バリア膜を複数積層するようにして用いても良い。その場合、例えば、下層からチタン、窒化チタン、アルミニウムシリコン、チタン、窒化チタンのように、5層構造またはそれ以上の積層構造とすることもできる。

30

【0234】

また、導電層として、WF₆ガスとSiH₄ガスから化学気相成長法で形成したタンゲステンシリサイドを用いても良い。また、WF₆を水素還元して形成したタンゲステンを、導電層として用いても良い。

40

【0235】

以上により、光透過性を有するベース基板100上に、光電変換素子180およびトランジスタ380が形成される。

50

【0236】

<光電変換素子の特性>

次に、上記方法により得られた光電変換素子の特性（輝度 - 電流特性）の一例について示す（図22参照）。図中、縦軸は素子の電流（A）を、横軸は素子に照射される光の輝度（cd/m²）を示している。

【0237】

ここでは、本実施の形態に示す方法で作製された光電変換素子（特に、ベース基板としてガラス基板を使用したもの：c-Si on glass）について、半導体層の膜厚が異なる3種を調査対象とした。半導体層の膜厚は60nm(c-Si on glass)、100nm(c-Si on glass)、145nm(c-Si on glass)と異なり、その他の条件については同等とした。また、測定は0.5Vの逆バイアス電圧を印加した状態で行った。10

【0238】

図22より、本実施の形態に示す方法で作製された光電変換素子では、同じ輝度の光を照射した場合、半導体層の膜厚が厚いほど、光電変換素子に流れる電流が増加することが分かる。半導体層の膜厚が145nm(c-Si on glass)の光電変換素子では、半導体層の膜厚が60nm(c-Si on glass)の光電変換素子と比較して、1.7倍程度の電流が得られていることが分かる。

【0239】

このように、光透過性を有するベース基板上に形成された単結晶半導体層を用いて光電変換素子を作製する際に、単結晶半導体層を厚く設けることで、光電変換効率を高めることができ、素子特性を高めることができる。これにより、光センサとしての感度を向上させることができる。また、光センサの微細化が可能となる。20

【0240】

本実施の形態では、光透過性を有するベース基板100上に、共通の工程を用いて、光電変換素子180およびトランジスタ380を形成している。これにより、マスク数を削減することができスループットを向上させることができる。

【0241】

本実施の形態で示した光電変換素子180およびトランジスタ380は、例えば、光センサを有する画素がマトリックス状に配置された表示装置に用いることができる。当該表示装置は、画素に光センサと表示素子を有する。例えば、表示素子が有する画素電極に電気的に接続され、表示素子の駆動を制御する画素トランジスタとして、トランジスタ380を用い、光センサとして光電変換素子180を用いることができる。30

【0242】

本実施の形態では、光電変換素子180およびトランジスタ380を作製する際に、実施の形態1に示したSOI基板の作製工程により、ベース基板100上に絶縁層112および単結晶半導体層118が設けられた構成のSOI基板を用いる。上記SOI基板の作製工程により設けられた単結晶半導体層の厚さを部分的に薄くする薄膜化工程を経ることで、上記SOI基板の作製工程により設けられた単結晶半導体層の厚さを最大限に活かして光電変換素子を形成することができ、また単結晶半導体層の厚さを薄くした部分を用いてトランジスタを形成することができる。これにより、上記SOI基板の作製工程により設けられた単結晶半導体層を有効に活用して、トランジスタのオフ時のリーク電流を低減しつつ、光電変換素子の光電変換効率を向上させることができる。トランジスタを画素トランジスタに用いる場合には、オフ時のリーク電流を低減することで、画素容量が小さくできる。その結果、画素の開口率を向上できる。40

【0243】

本実施の形態で示す構成は、他の実施の形態で示す構成と適宜組み合わせて用いることができる。

【0244】

（実施の形態6）

10

20

30

40

50

本実施の形態では、光電変換素子およびトランジスタを備える半導体装置の作製方法について、単結晶半導体層の厚さを部分的に変更する（厚くする又は薄くする）別の方法を説明する。まず、S O I 基板の作製工程により、ベース基板 1 0 0 上に絶縁層 1 1 2 および単結晶半導体層 1 1 8 が設けられた構成の S O I 基板を準備する。

【 0 2 4 5 】

ここで、単結晶半導体層 1 1 8 全体の膜厚を薄くする薄膜化工程を行っても良い。単結晶半導体層 1 1 8 の薄膜化には、ドライエッチングまたはウエットエッチングの一方、または双方を用いればよい。単結晶半導体層 1 1 8 の膜厚を薄くすることで、トランジスタに用いるのに適した膜厚とすることができます。例えば、単結晶半導体層 1 1 8 の厚さを 5 n m 以上 1 0 0 n m 以下とすることができる。

10

【 0 2 4 6 】

次に、単結晶半導体層 1 1 8 上に非晶質半導体層 3 9 0 を形成する（図 2 4 (A) 参照）。なお、非晶質半導体層 3 9 0 を形成する前に、単結晶半導体層 1 1 8 表面に形成されている自然酸化層などの酸化層は除去する。これは、酸化層が形成されると、単結晶半導体層 1 1 8 と非晶質半導体層 3 9 0 の間に酸化層が位置し、後に熱処理を行ってもうまく固相成長が進行しないためである。酸化層の除去は、フッ酸系の溶液を用いて行うことができる。具体的には、フッ酸により単結晶半導体層 1 1 8 の表面が撥水性を示すまで処理すればよい。撥水性があることで、単結晶半導体層 1 1 8 表面から酸化層が除去されたことを確認できる。また、非晶質半導体層 3 9 0 を形成する前に、N F₃ と N₂ の混合ガスや、N F₃ と O₂ の混合ガスなどで単結晶半導体層 1 1 8 の表面をエッチングし、表面の酸化層を除去してもよい。

20

【 0 2 4 7 】

非晶質半導体層 3 9 0 は、単結晶半導体層 1 1 8 を構成する半導体材料を用いて形成すればよく、例えば、非晶質シリコン層、非晶質ゲルマニウム層などを、プラズマ C V D 法により形成する。その膜厚は、単結晶半導体層 1 1 8 と合わせて 1 4 5 n m 以上、好ましくは 2 0 0 n m 以上とし、成膜時間や成膜コストなどタクトタイムや生産性を考慮すると、2 0 0 n m 以上 1 0 0 0 n m 以下とすることが好ましい。

30

【 0 2 4 8 】

次に、非晶質半導体層 3 9 0 上にマスク 3 4 1 を形成し、これを用いて非晶質半導体層 3 9 0 をパターニングすることにより、島状の非晶質半導体層 3 9 1 を形成する（図 2 4 (B) 参照）。マスク 3 4 1 は、レジスト材料を用いたフォトリソグラフィなどの方法で形成することができる。また、エッチング処理には、ウエットエッチングまたはドライエッチングのいずれをも適用することができる。なお、上記単結晶半導体層 1 1 8 の膜厚を薄くする工程は、非晶質半導体層 3 9 0 パターニング後に、同じマスク 3 4 1 を用いて行うことも可能である。

【 0 2 4 9 】

また、非晶質半導体層 3 9 0 をパターニングする工程において、マスク 3 4 1 に覆われていない非晶質半導体層を全て除去しなくてもよい。その場合には、マスク 3 4 1 に覆われた第 1 の非晶質半導体層とそれより薄い第 2 の単結晶半導体層が形成される。

40

【 0 2 5 0 】

その後、熱処理を行い、島状の非晶質半導体層 3 9 1 を固相成長させ、非晶質半導体層 3 9 1 が形成された部分に第 1 の単結晶半導体領域 3 9 2 とそれより薄い第 2 の単結晶半導体領域 3 9 3 を形成する（図 2 4 (C) 参照）。

【 0 2 5 1 】

この熱処理により非晶質半導体層 3 9 1 は固相成長し、単結晶化される。非晶質半導体層 3 9 1 の固相成長において、単結晶半導体層 1 1 8 は種結晶として機能し、上層の非晶質半導体層 3 9 1 を単結晶化させることができる。

【 0 2 5 2 】

固相成長させる熱処理は、R T A (R a p i d T h e r m a l A n n e a l) 、炉（ファーネス）、ミリ波加熱装置などの熱処理装置を用いて行うことができる。また、レー

50

ザビームの照射や熱プラズマジェット照射により行うことできる。熱処理装置の加熱方式としては抵抗加熱式、ランプ加熱式、ガス加熱式、電磁波加熱式などが挙げられる。なお、RTAは、RTP (Rapid Thermal Processing) 装置の一種である。

【0253】

一般的に、炉は外熱式であり、チャンバー内と被処理物を熱的に平衡状態で加熱する。一方、RTAは瞬間的加熱（急速加熱）を行うものであり、被処理物に直接エネルギーを与え、チャンバー内と被処理物は熱的に非平衡状態で加熱する。RTA装置としては、ランプ加熱式のRTA (LRTA; Lamp Rapid Thermal Anneal) 、加熱された気体を用いるガス加熱式のRTA (GRTA; Gas Rapid Thermal Anneal) 、又はランプ加熱式とガス加熱式の両方を備えたRTA等が挙げられる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアーカランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光の輻射により、被処理物を加熱する装置である。GRTA装置は、上述のようなランプから発する光による熱輻射、およびランプから発する光で気体を加熱し、加熱された気体からの熱伝導によって、被処理物を加熱する装置である。気体には、窒素、アルゴンなどの希ガスのような加熱処理によって、被処理物と反応しない不活性気体が用いられる。また、LRTA装置、GRTA装置には、ランプだけでなく、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。ミリ波加熱装置は、ミリ波の輻射によって被処理物を加熱する装置である。ミリ波加熱装置に、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。

10

20

30

【0254】

RTA装置を用いる場合は、処理温度500以上750以下、処理時間0.5分以上3分以下とすることが好ましい。炉を用いる場合は、処理温度500以上600以下、処理時間1時間以上4時間以下とすることが好ましい。

【0255】

例えば、単結晶半導体層118として単結晶シリコン層を適用し、非晶質半導体層390として非晶質シリコン層を形成する。RTA装置を用い、処理温度750 処理時間3分の条件で熱処理を行うことにより、非晶質シリコン層を固相成長させ単結晶シリコン層を得ることができる。

30

【0256】

このように、単結晶半導体層上に部分的に非晶質半導体層を形成し、該非晶質半導体層を固相成長させることで、容易に単結晶半導体層の一部を厚膜化することができる。この厚膜化した単結晶半導体領域392を用いて光電変換素子を形成することができ、それより薄い単結晶半導体領域393を用いてトランジスタを形成することができる。以後の光電変換素子およびトランジスタの形成工程については、他の実施の形態に示される方法と同様に行うことができる。このように、単結晶半導体層を光電変換層に用いる場合、厚膜化することで光電変換効率を向上させることができる。

40

【0257】

本実施の形態では、光電変換素子およびトランジスタを作製する際に、実施の形態1に示したSOI基板の作製工程により、ベース基板100上に絶縁層112および単結晶半導体層118が設けられた構成のSOI基板を用いる。上記SOI基板の作製工程により設けられた単結晶半導体層の厚さを部分的に厚くする厚膜化工程を経ることで、光電変換素子およびトランジスタを有する半導体装置において、光電変換素子の膜厚選択の幅が広がり、光センサとしての感度を向上させることができる。また、光センサの微細化が可能となり、スキャニング機能が向上する。また、光センサの応答性が向上し、例えばタッチパネルに用いる場合には、タッチパネルの応答速度が向上して操作性が向上する。また、トランジスタを形成する部分の単結晶半導体層はトランジスタに適した厚さに形成することができる。これにより、上記SOI基板の作製工程により設けられた単結晶半導体層を有

50

効に活用して、トランジスタのオフ時のリーク電流を低減しつつ、光電変換素子の光電変換効率を向上させることができる。トランジスタを画素トランジスタに用いる場合には、オフ時のリーク電流を低減することで、画素容量を小さくできる。その結果、画素の開口率を向上できる。

【0258】

本実施の形態で示す構成は、他の実施の形態で示す構成と適宜組み合わせて用いることができる。

【0259】

(実施の形態7)

本実施の形態では、半導体装置およびその作製方法の一例に関して図面を参照して説明する。具体的には、光電変換素子およびトランジスタを備える半導体装置およびその作製方法について、トランジスタとしてn型トランジスタおよびp型トランジスタを作製する場合について示す。

【0260】

<構成>

開示する発明の一態様に係る光電変換素子180、n型トランジスタ380、p型トランジスタ385は、光透過性を有するベース基板100上に設けられている(図25(A)、図25(B)参照)。ここで、図25(B)は図25(A)のA-Bにおける断面に相当する。

【0261】

光電変換素子180は、光電変換を奏する半導体領域164、第1の導電型(ここではp型)を示す半導体領域158、第2の導電型(ここではn型)を示す半導体領域162、を有する島状の第1の半導体層152と、これを覆うように形成された絶縁層154および絶縁層166と、第1の導電型を示す半導体領域158と電気的に接続された第1の電極172と、第2の導電型を示す半導体領域162と電気的に接続された第2の電極174と、を有する。

【0262】

n型トランジスタ380は、チャネル形成領域322、ソース領域323、ドレイン領域324、LDD領域328、LDD領域329、を有する島状の第2の半導体層352と、第2の半導体層352上のゲート絶縁膜として機能する絶縁層154と、絶縁層154上のゲート電極375と、これを覆うように形成された絶縁層166と、ソース領域323と電気的に接続された電極376と、ドレイン領域324と電気的に接続された電極377と、を有する。なお、ここではn型トランジスタ380がLDD領域328、LDD領域329、を有する例を示したが、開示する発明の一態様はこれに限定されない。LDD領域を有していないてもよい。また、ここではLDD領域が上面から見てゲート電極と重ならない例を示したが、LDD領域がゲート電極と重なる構造を有していてもよい。

【0263】

p型トランジスタ385は、チャネル形成領域332、ソース領域333、ドレイン領域334を有する島状の第3の半導体層361と、第3の半導体層361上のゲート絶縁膜として機能する絶縁層154と、絶縁層154上のゲート電極374と、これを覆うように形成された絶縁層166と、ソース領域333と電気的に接続された電極378と、ドレイン領域334と電気的に接続された電極379と、を有する。なお、ここではp型トランジスタ385がLDD領域を有さない例を示したが、開示する発明の一態様はこれに限定されない。LDD領域を有していてもよい。

【0264】

ここで光電変換素子180が有する第1の半導体層152の厚さは、n型トランジスタ380が有する第2の半導体層352およびp型トランジスタ385が有する第3の半導体層361より厚く設けられている。

【0265】

また、ベース基板100と光電変換素子180およびトランジスタ380、トランジスタ

10

20

30

40

50

385との間には、絶縁層112が設けられている。当該絶縁層は、光電変換素子180、トランジスタ380およびトランジスタ385をベース基板100に固定する役割を果たす。

【0266】

<光電変換素子およびトランジスタの作製工程>

次に、光電変換素子180、n型トランジスタ380およびp型トランジスタ385を作製する工程について説明する。まず、実施の形態1に示したSOI基板の作製工程により、ベース基板100上に絶縁層112および単結晶半導体層118が設けられた構成のSOI基板を用意する(図26(A)参照)。

【0267】

次に、単結晶半導体層118上にマスク340を形成し、これを用いてエッチング処理を行うことにより、単結晶半導体層の厚さを部分的に薄くし、マスク340で覆われた第1の単結晶半導体領域311とそれより薄い第2の単結晶半導体領域321を形成する(図26(B)参照)。

【0268】

その後、第1の単結晶半導体領域311および第2の単結晶半導体領域321上にマスク150、マスク350、マスク360を形成し、これを用いて第1の単結晶半導体領域311、第2の単結晶半導体領域321をそれぞれパターニングすることにより、光電変換素子に用いられる第1の島状の半導体層152、n型トランジスタに用いられる第2の島状の半導体層352、p型トランジスタに用いられる第3の島状の半導体層361を形成する(図26(C)参照)。

【0269】

次に、半導体層152、半導体層352、半導体層361を覆うように、絶縁層154を形成する(図26(D)参照)。

【0270】

次に、絶縁層154上に導電膜を形成した後、該導電膜を所定の形状に加工(パターニング)することで、半導体層352、半導体層361の上方にそれぞれトランジスタのゲート電極として機能する電極375、電極374を形成する(図27(A)参照)。なお半導体層352、半導体層361の上方にトランジスタのゲート電極として機能する電極375、電極374を形成する際に、同時に半導体層152の上方に電極を形成しても良い。

【0271】

その後、絶縁層154上に半導体層152、半導体層361を覆うマスク356を形成して、マスク356および電極375をマスクに用いて、半導体層352の一部に第2の導電型を付与する不純物元素を添加する。マスク356は、マスク340等と同様の方法で形成すればよい。

【0272】

不純物元素の添加は、具体的には、例えば、PH₃を原料ガスとして用い、40kVの加速電圧、 $1.0 \times 10^{13} \text{ cm}^{-2}$ のドーズ量でリンを添加すれば良い。不純物元素の添加の条件は、要求される特性などに応じて適宜変更することができる。不純物領域358を形成した後には、マスク356は除去する。

【0273】

これにより、第2の導電型を示す不純物領域358が形成される(図27(B)参照)。不純物領域358の一部は、後でLD領域として機能する。本実施の形態では、第2の導電型を付与する不純物元素としてリンを用い、第2の導電型をn型とする構成で説明するが、開示する発明の一態様はこれに限定されない。

【0274】

次に、絶縁層154上に半導体層352を覆いかつ半導体層152の一部を覆うマスク156を形成して、マスク156及び電極374をマスクに用いて、半導体層152の一部および半導体層361の一部に第1の導電型を付与する不純物元素を添加する。これによ

10

20

30

40

50

り、第1の導電型を示す半導体領域158が形成される。また、p型トランジスタに用いる半導体層361に、第1の導電型を示すソース領域333、ドレイン領域334が形成されると共に、その間にチャネル形成領域332が形成される(図27(C)参照)。ここでは、第1の導電型を付与する不純物元素としてホウ素を用い、第1の導電型をp型とする構成で説明するが、開示する発明の一態様はこれに限定されない。

【0275】

具体的には、例えば、B₂H₆を原料ガスとして用い、40kVの加速電圧、1.0×10⁻⁶cm⁻²のドーズ量でボロンを添加すれば良い。不純物元素の添加の条件は、要求される特性などに応じて適宜変更することができる。光電変換素子は、ドーズ量を小さくすると、暗電流を抑制することができる傾向にある。これは、高ドーズ条件で不純物元素を添加すると、半導体層152の損傷が大きくなり、欠陥に起因するキャリアトラップが生じるのに対し、低ドーズ条件で不純物元素を添加すると、損傷がわずかであるため、欠陥に起因する電流が生じないことによる。一方、トランジスタはドーズ量を大きくして低抵抗化した方がよい。従って、要求される特性などに応じて光電変換素子とトランジスタの不純物添加工程を分けてもよい。なお、第1の導電型を示す半導体領域158、ソース領域333、ドレイン領域334を形成した後には、マスク156は除去する。

【0276】

その後、絶縁層154上に半導体層152の一部を覆いかつ半導体層352の一部を覆いかつ半導体層361を覆うマスク160を形成して、半導体層152の一部および半導体層352の一部に第2の導電型を付与する不純物元素を添加する。なお、半導体層352には先の工程で添加した不純物元素と同じ導電型の不純物元素をより高い濃度で添加する。これにより、光電変換素子に用いる半導体層152に、第2の導電型を示す半導体領域162が形成されると共に、第1の導電型を付与する不純物元素および第2の導電型を付与する不純物元素が添加されていない光電変換を奏する半導体領域164が形成される。また、n型トランジスタに用いる半導体層352に、第2の導電型を示すソース領域323、ドレイン領域324が形成されると共に、マスク160で覆われた不純物領域358にLDD領域328、LDD領域329が形成され、その間にチャネル形成領域322が形成される(図27(D)参照)。

【0277】

具体的には、例えば、PH₃を原料ガスとして用い、40kVの加速電圧、5.0×10⁻⁵cm⁻²のドーズ量でリンを添加すれば良い。不純物元素の添加の条件は、要求される特性などに応じて適宜変更することができる。ドーズ量を小さくすることにより、光電変換素子の暗電流を抑制することができるのは、第1の導電型を付与する不純物元素を添加する場合と同様である。第2の導電型を示す半導体領域162を形成した後には、マスク160は除去する。

【0278】

なお、上記第1の不純物元素および第2の不純物元素の添加は、光電変換を奏する半導体領域164の幅が0.1μm～20μm、好ましくは3μm～10μmとなるように行う。もちろん、マスク156およびマスク160の加工精度が許せば、0.1μm以下とすることも可能である。

【0279】

次に、半導体層152、半導体層352、半導体層361、電極375、電極374および絶縁層154を覆うように、絶縁層166を形成する(図28(A)参照)。

【0280】

次に、半導体層152、半導体層352、半導体層361の一部が露出するように絶縁層154および絶縁層166にコンタクトホール168およびコンタクトホール170、コンタクトホール368およびコンタクトホール370、コンタクトホール371およびコンタクトホール372を形成する(図28(B)参照)。

【0281】

そして、該コンタクトホールを介して半導体層152、半導体層352、半導体層361

10

20

20

30

40

50

に接する導電層を形成し、これをパターニングすることで第1の電極172および第2の電極174、電極376および電極377、電極378および電極379を形成する(図28(C)参照)。

【0282】

本実施の形態では、光透過性を有するベース基板100上に、共通の工程を用いて、光電変換素子180、n型トランジスタ380、p型トランジスタ385を形成している。これにより、光電変換素子およびトランジスタを別に形成する場合に比べて、マスク数を削減することができスループットを向上させることができる。

【0283】

本実施の形態で示した光電変換素子180、n型トランジスタ380、p型トランジスタ385は、例えば、光センサを有する画素がマトリックス状に配置された表示装置に用いることができる。例えば、表示素子の駆動を制御する周辺駆動回路や画素トランジスタにn型トランジスタ380、p型トランジスタ385を用い、光センサとして光電変換素子180を用いることができる。

【0284】

本実施の形態では、光電変換素子180、n型トランジスタ380、p型トランジスタ385を作製する際に、実施の形態1に示したSOI基板の作製工程により、ベース基板100上に絶縁層112および単結晶半導体層118が設けられた構成のSOI基板を用いる。上記SOI基板の作製工程により設けられた単結晶半導体層の厚さを部分的に薄くする薄膜化工程を経ることで、上記SOI基板の作製工程により設けられた単結晶半導体層の厚さを最大限に活かして光電変換素子を形成することができ、また単結晶半導体層の厚さを薄くした部分を用いてトランジスタを形成することができる。これにより、上記SOI基板の作製工程により設けられた単結晶半導体層を有効に活用して、トランジスタのオフ時のリーク電流を低減しつつ、光電変換素子の光電変換効率を向上させることができる。トランジスタを画素トランジスタに用いる場合には、オフ時のリーク電流を低減することで、画素容量が小さくできる。その結果、画素の開口率を向上できる。

【0285】

本実施の形態で示す構成は、他の実施の形態で示す構成と適宜組み合わせて用いることができる。

【符号の説明】

【0286】

100	基板
110	単結晶半導体基板
112	絶縁層
114	脆化領域
116	単結晶半導体層
118	単結晶半導体層
130	レーザー光
150	マスク
152	半導体層
154	絶縁層
156	マスク
158	半導体領域
160	マスク
162	半導体領域
164	半導体領域
166	絶縁層
168	コンタクトホール
170	コンタクトホール
172	電極

10

20

30

40

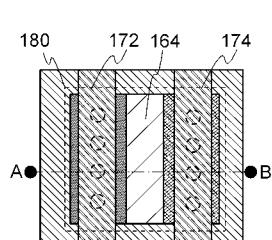
50

1 7 4	電極	
1 8 0	光電変換素子	
1 9 0	トランジスタ	
2 0 0	基板	
2 0 2	絶縁層	
2 0 4	遮光層	
2 0 6	絶縁層	
2 0 8	遮光層	
2 1 0	画素表示領域	
2 1 2	絶縁層	10
2 1 4	絶縁層	
2 1 6	絶縁層	
2 4 0	遮光層	
2 5 0	マスク	
2 5 2	マスク	
3 1 1	単結晶半導体領域	
3 2 1	単結晶半導体領域	
3 2 2	チャネル形成領域	
3 2 3	ソース領域	
3 2 4	ドレイン領域	20
3 2 8	LDD領域	
3 2 9	LDD領域	
3 3 2	チャネル形成領域	
3 3 3	ソース領域	
3 3 4	ドレイン領域	
3 4 0	マスク	
3 4 1	マスク	
3 4 5	電極	
3 5 0	マスク	
3 5 2	半導体層	30
3 5 6	マスク	
3 5 8	不純物領域	
3 6 0	マスク	
3 6 1	半導体層	
3 6 8	コンタクトホール	
3 7 0	コンタクトホール	
3 7 1	コンタクトホール	
3 7 2	コンタクトホール	
3 7 4	電極	
3 7 5	電極	40
3 7 6	電極	
3 7 7	電極	
3 7 8	電極	
3 7 9	電極	
3 8 0	トランジスタ	
3 8 5	トランジスタ	
3 9 0	非晶質半導体層	
3 9 1	非晶質半導体層	
3 9 2	単結晶半導体領域	
3 9 3	単結晶半導体領域	50

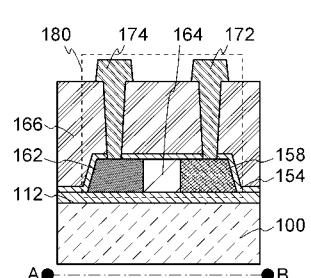
5 0 0 絶縁層
 5 0 2 カラーフィルタ
 5 0 4 光源
 5 0 6 被検出物
 5 0 8 光
 5 1 0 反射光

【図1】

(A) 平面



(B) 断面

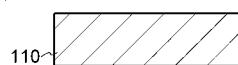


【図2】

(A)



(B)



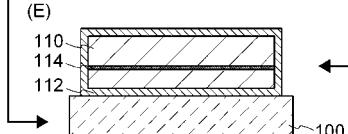
(C)



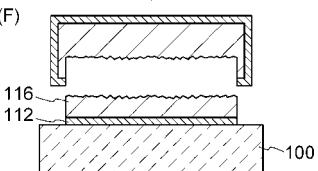
(D)



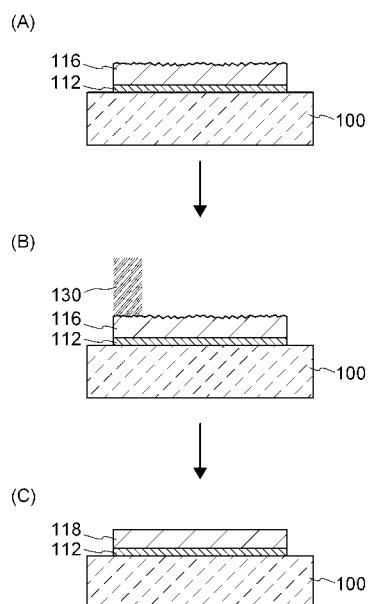
(E)



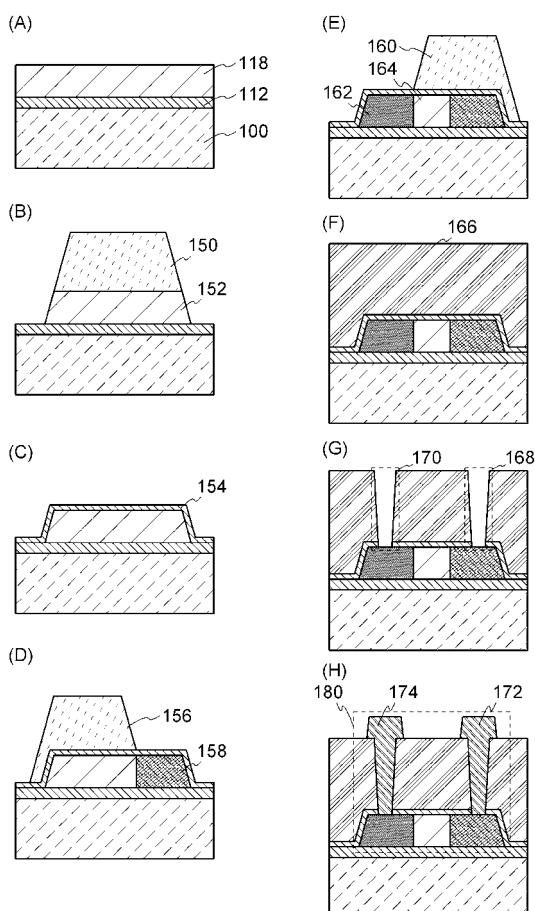
(F)



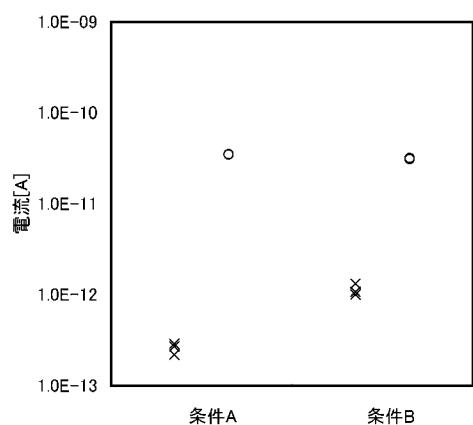
【図3】



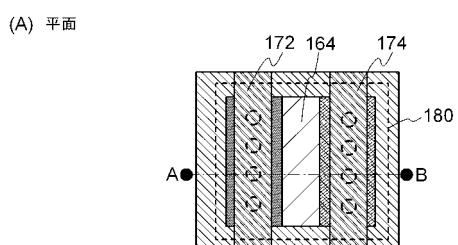
【図4】



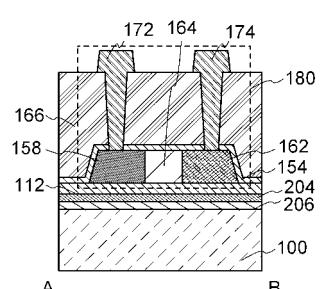
【図5】



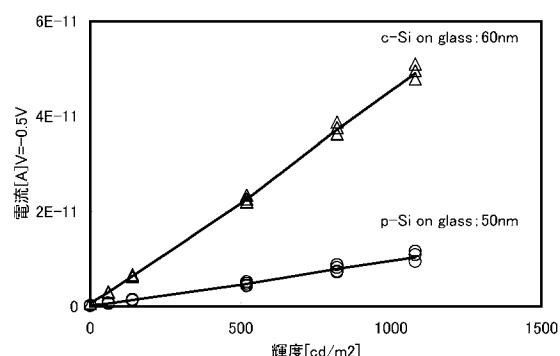
【図7】



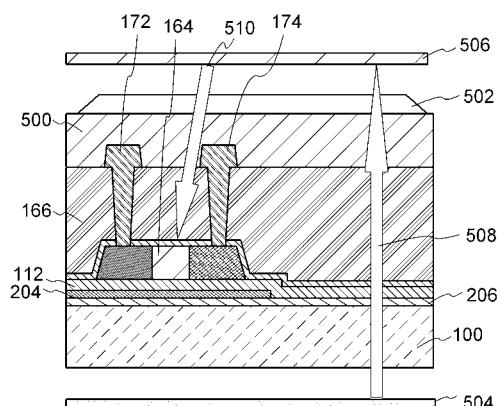
(B) 断面



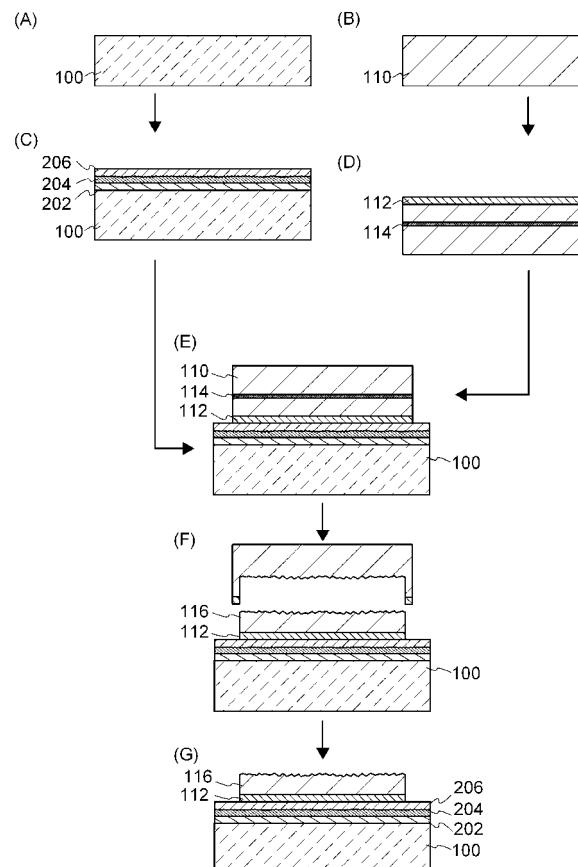
【図6】



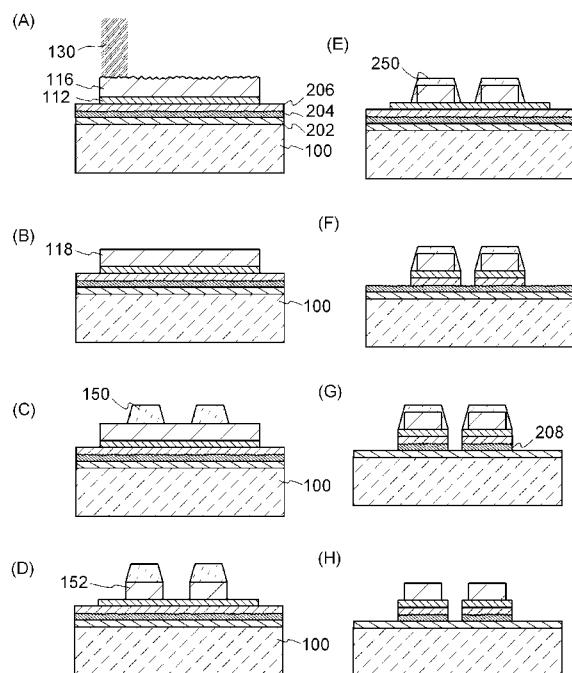
【図8】



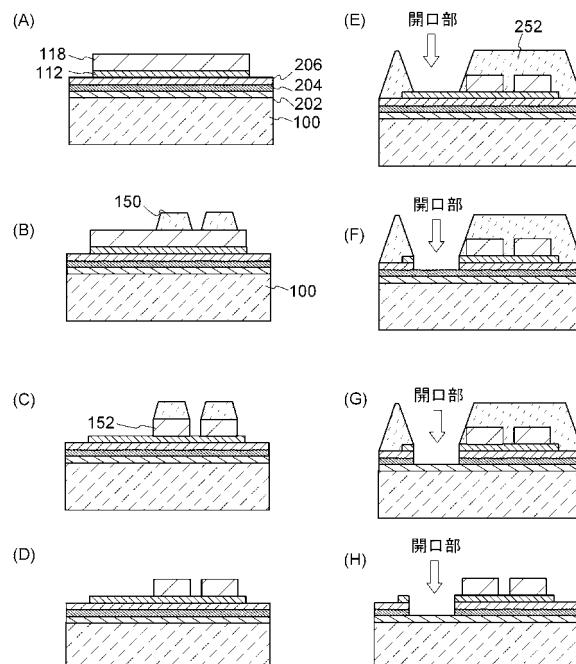
【図9】



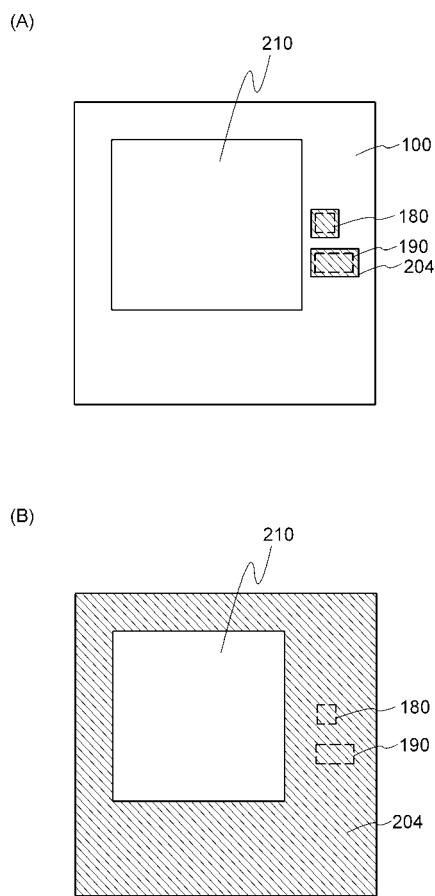
【図10】



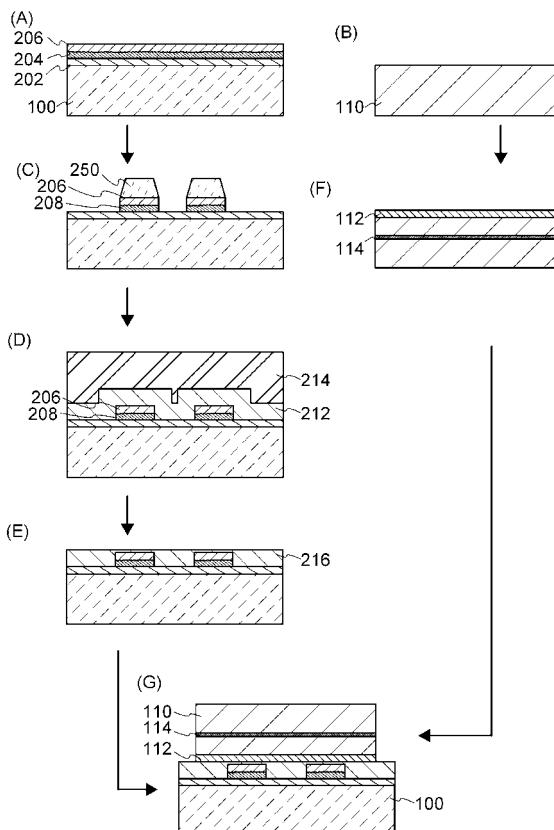
【図11】



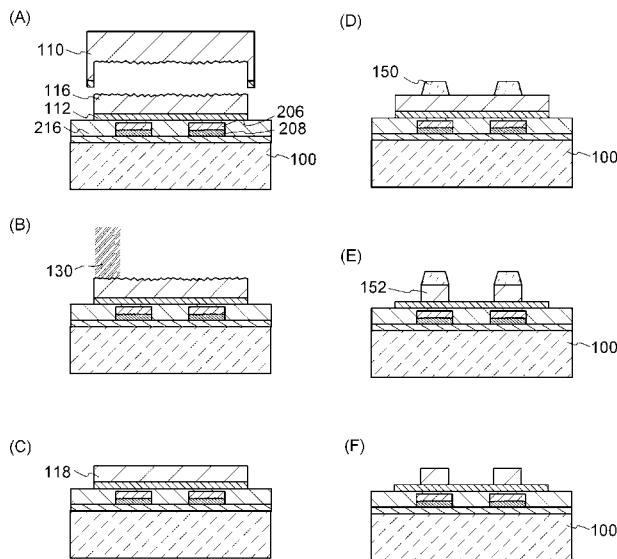
【図12】



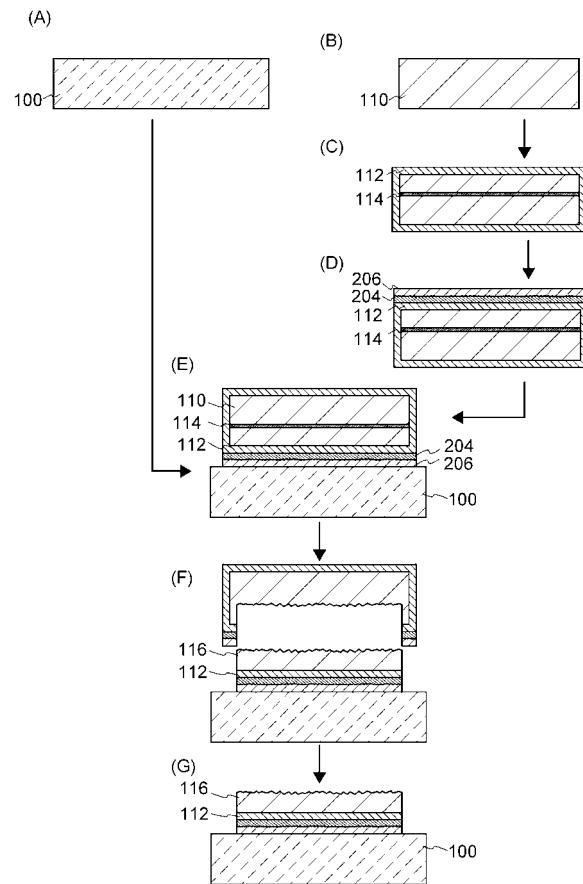
【図13】



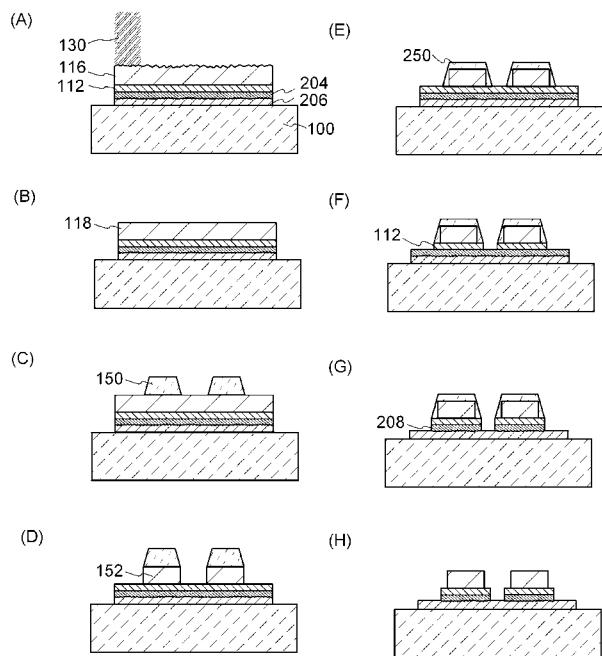
【図14】



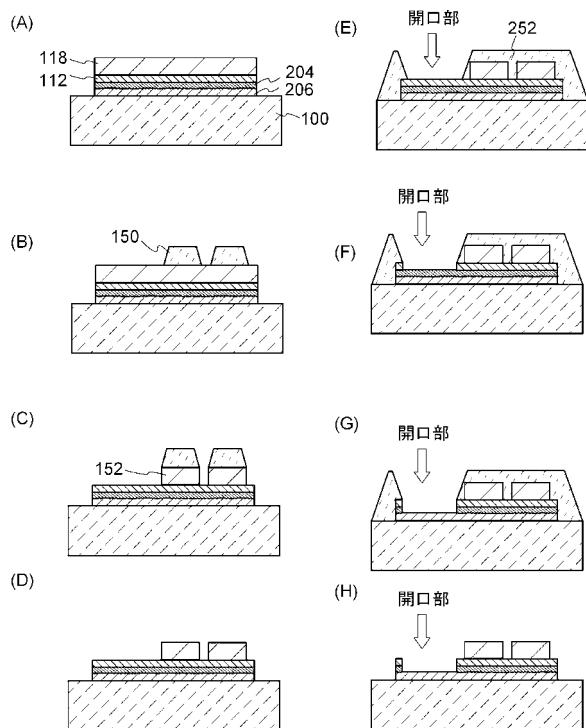
【図15】



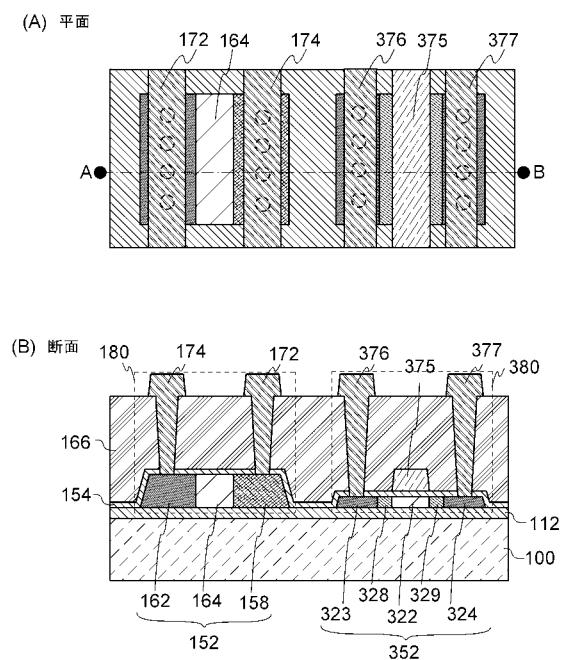
【図16】



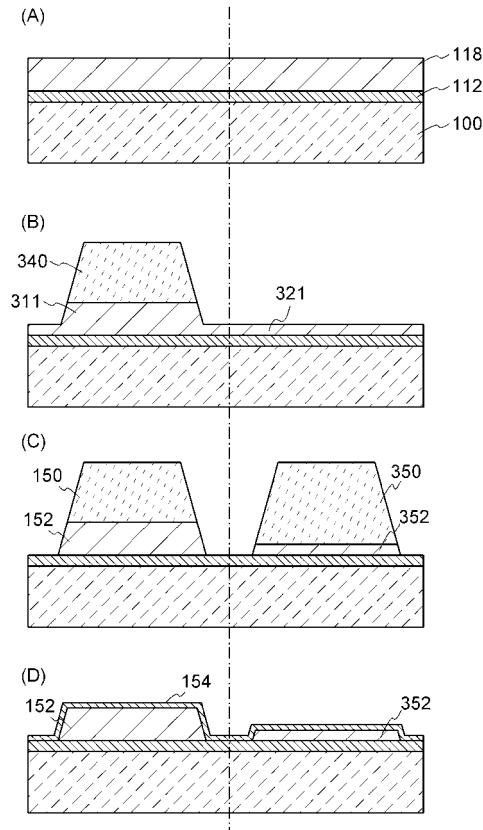
【図17】



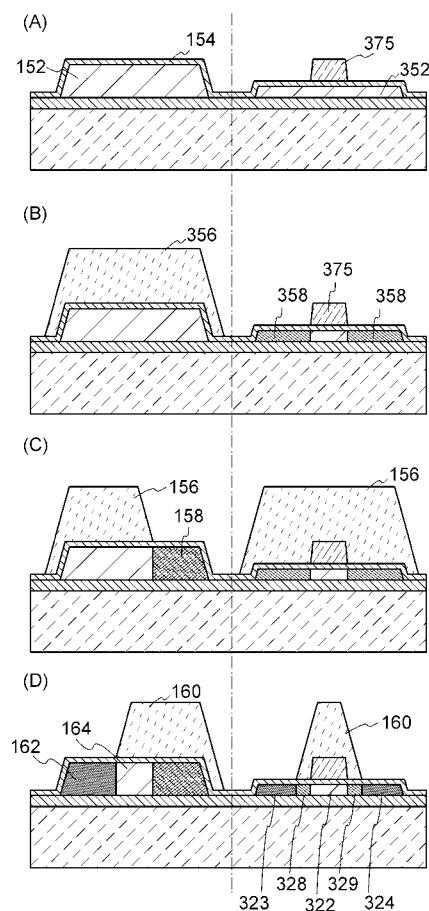
【図18】



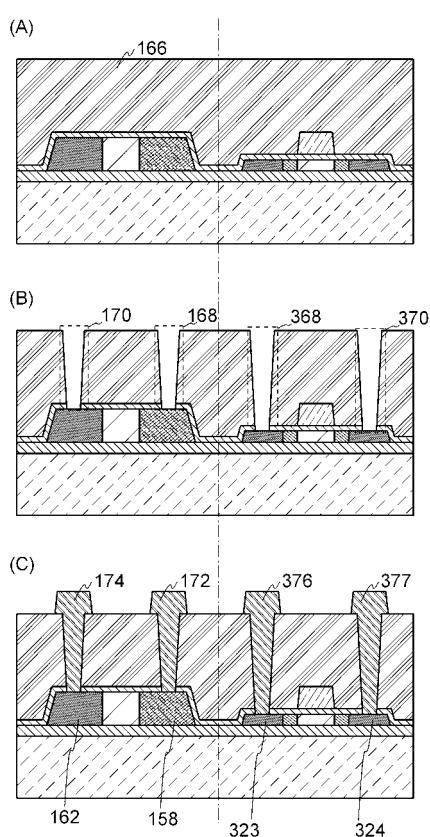
【図19】



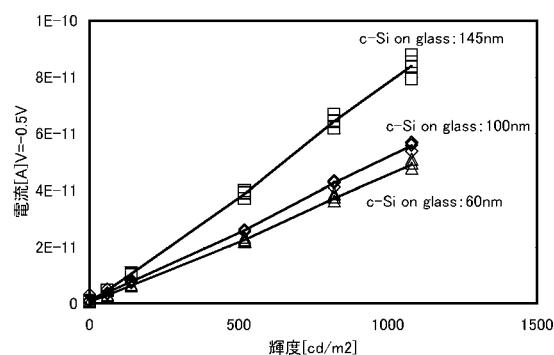
【図20】



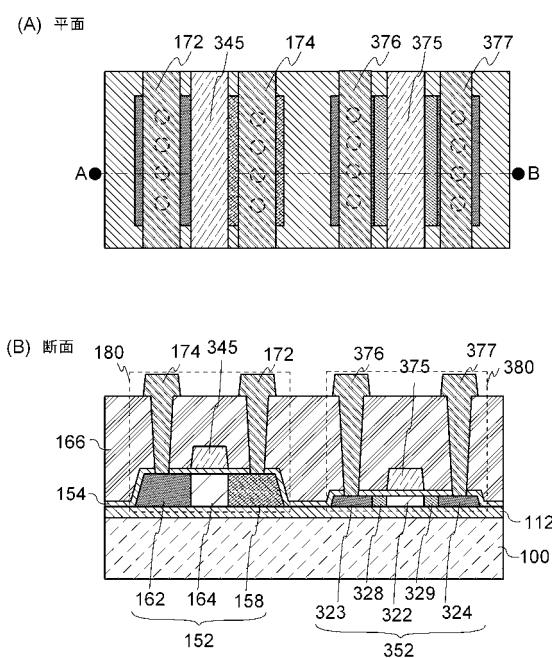
【図21】



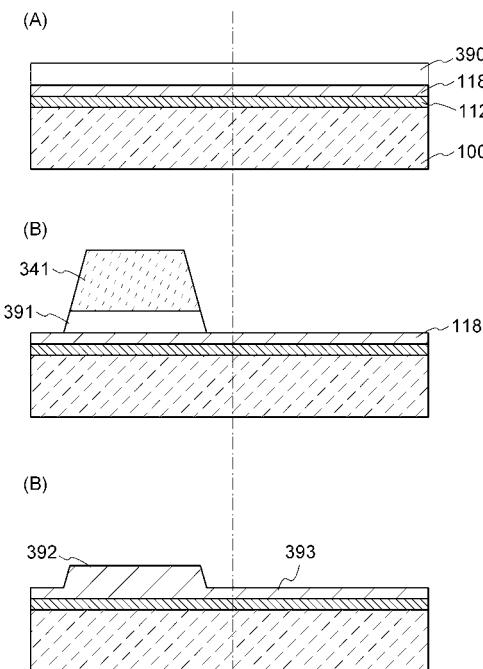
【図22】



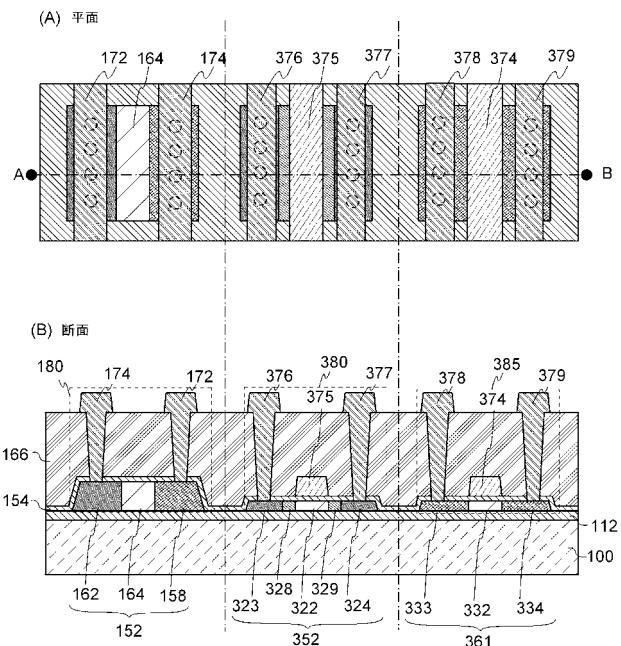
【図23】



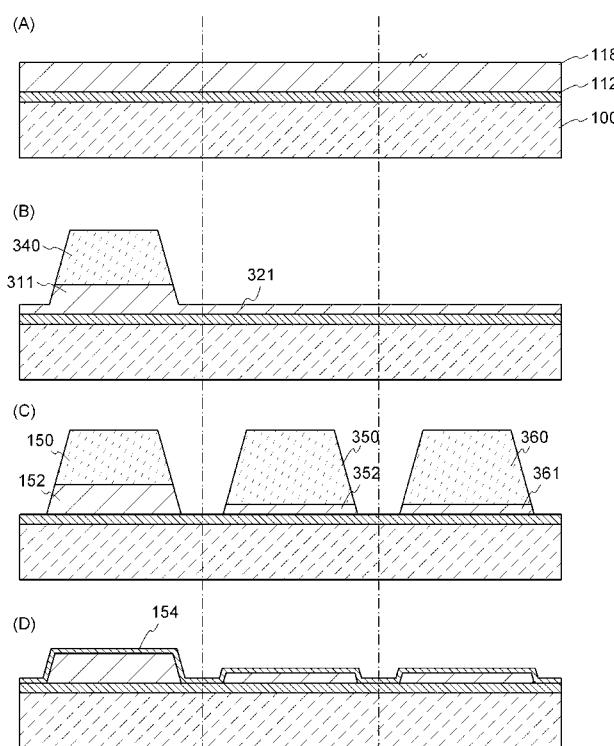
【図24】



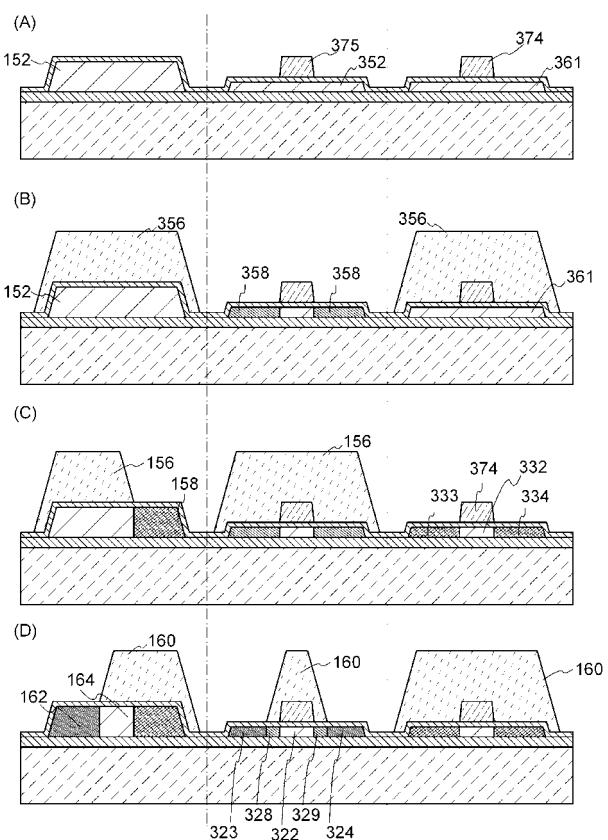
【図25】



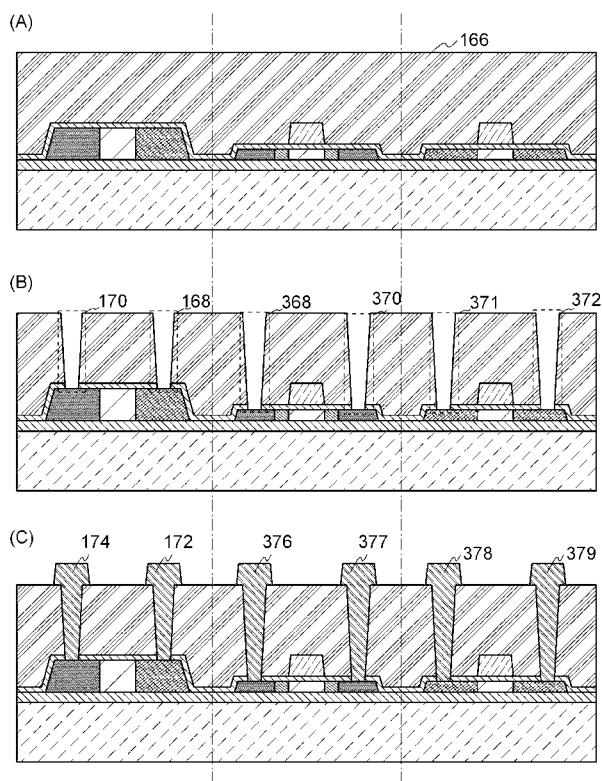
【図26】



【図27】



【図28】



フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
H 01 L 21/762 (2006.01)	H 01 L 21/76 L	5 F 1 5 2
H 01 L 21/76 (2006.01)	H 01 L 27/14 C	
H 01 L 27/146 (2006.01)	H 01 L 27/06 1 0 2 A	
H 01 L 27/06 (2006.01)	H 01 L 27/08 3 3 1 E	
H 01 L 21/8234 (2006.01)	H 01 L 21/265 Q	
H 01 L 27/08 (2006.01)	H 01 L 21/322 X	
H 01 L 21/265 (2006.01)	H 01 L 21/20	
H 01 L 21/322 (2006.01)		
H 01 L 21/20 (2006.01)		

(72)発明者 野田 耕生
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(72)発明者 山脇 佳寿子
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(72)発明者 黒川 義元
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(72)発明者 池田 隆之
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(72)発明者 浜田 崇
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

F ターム(参考) 4M118 AA01 AA05 AB01 BA09 CA05 CA14 CB01 CB02 FB13 GB05
GC07 HA26
5F032 AA06 AA34 BA06 CA15 CA17 CA21 DA21 DA23 DA24 DA41
DA60 DA71 DA78
5F048 AC04 AC10 BA16 BB09 BB12 BC06 BC16 BC18 BD09 BF01
BF02 BF07
5F049 MA04 MB03 NA01 NA03 NA05 NA18 NB07 NB10 PA07 PA10
PA12 PA14 RA04 RA08 SE05 SS03 SZ06 SZ12 SZ16 UA01
UA14
5F110 AA16 AA30 BB02 BB04 BB10 CC02 DD01 DD02 DD03 DD04
DD13 DD14 DD15 DD17 DD25 EE01 EE02 EE03 EE04 EE06
EE09 EE14 EE15 EE23 EE42 EE45 FF01 FF02 FF03 FF04
FF09 FF30 GG01 GG02 GG04 GG12 GG25 GG32 HJ01 HJ04
HL01 HL02 HL03 HL04 HL05 HL06 HL07 HL11 HL12 HL22
HL23 HL24 HM13 HM15 NN02 NN71 PP01 PP02 PP03 QQ02
QQ11 QQ17
5F152 AA12 AA13 BB02 BB08 CC02 CC03 CC06 CC08 CC16 CD13
CD14 CD15 CE03 CE04 CE05 CE06 CE08 CE14 CE23 CE24
CE28 CE29 CE48 DD02 DD09 EE14 EE16 FF02 FF03 FF04
FF06 FF07 FF08 FF11 FF14 FF15 FF16 FF17 FF20 FF22
FF23 FF28 FF29 FG01 FG04 FG18 LM09 LP02 LP04 MM04
MM12 MM19 NN12 NN13 NN14 NN16 NP12 NP13 NP14 NQ03
NQ04 NQ06