

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年6月25日(25.06.2020)



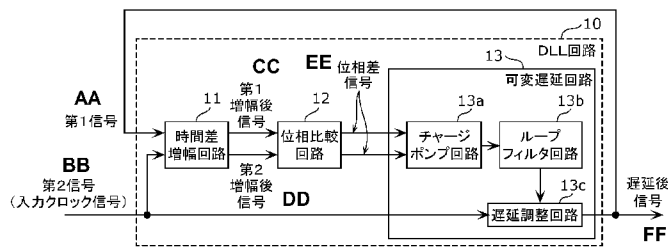
(10) 国際公開番号

WO 2020/129947 A1

- (51) 国際特許分類:
G01C 3/06 (2006.01) H03L 7/081 (2006.01)
G01S 17/89 (2020.01) H04N 5/376 (2011.01)
- (21) 国際出願番号: PCT/JP2019/049308
- (22) 国際出願日: 2019年12月17日(17.12.2019)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2018-236306 2018年12月18日(18.12.2018) JP
- (71) 出願人: パナソニックセミコンダクターソリューションズ株式会社 (PANASONIC SEMICONDUCTOR SOLUTIONS CO., LTD.) [JP/JP]; 〒6178520 京都府長岡京市神足焼町1番地 Kyoto (JP).
- (72) 発明者: 加藤 匠 (KATO, Takumi). 松川和生 (MATSUKAWA, Kazuo). 尾関 俊明 (OZEKI, Toshiaki).
- (74) 代理人: 新居 広守, 外 (NII, Hiromori et al.); 〒5320011 大阪府大阪市淀川区西中島5丁目3番10号タナカ・イトーピア新大阪ビル6階新居国際特許事務所内 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,

(54) Title: DLL CIRCUIT, TEMPORAL DIFFERENCE AMPLIFYING CIRCUIT, AND RANGING/IMAGING DEVICE

(54) 発明の名称: DLL回路、時間差増幅回路及び測距撮像装置



- 10 DLL circuit
11 Temporal difference amplifying circuit
12 Phase comparison circuit
13 Variable delay circuit
13a Charge pump circuit
13b Loop filter circuit
13c Delay adjusting circuit
AA First signal
BB Second signal (input clock signal)
CC First amplified signal
DD Second amplified signal
EE Phase difference signal
FF Delayed signal

(57) Abstract: A DLL circuit (10) is provided with: a temporal difference amplifying circuit (11) which, with respect to a first signal and a second signal that have been input, performs a process for amplifying a temporal difference between an edge that is a point of change in logic level included in the first signal and an edge that is a point of change in logic level included in the second signal, and which outputs a resultant first amplified signal and second amplified signal; a phase comparison circuit (12) which calculates a phase difference between the first amplified signal and the second amplified signal output from the temporal difference amplifying circuit (11), and outputs a phase difference signal indicating the calculated phase difference; and a variable delay circuit (13) which causes the second signal to be delayed by a delay amount that depends on the phase difference indicated by the phase difference signal output from the comparison circuit (12), and outputs the second signal as a delayed signal.

QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

(57) 要約: DLL回路(10)は、入力された第1信号及び第2信号に対して、第1信号に含まれる論理レベルの変化点であるエッジと第2信号に含まれる論理レベルの変化点であるエッジとの時間差を増幅する処理を施し、得られた第1増幅後信号及び第2増幅後信号を出力する時間差増幅回路(11)と、時間差増幅回路(11)から出力された第1増幅後信号及び第2増幅後信号の位相差を算出し、算出した位相差を示す位相差信号を出力する位相比較回路(12)と、位相比較回路(12)から出力された位相差信号が示す位相差に依存する遅延量だけ第2信号を遅延させ、遅延後信号として出力する可変遅延回路(13)とを備える。

明 細 書

発明の名称： D L L 回路、時間差増幅回路及び測距撮像装置

技術分野

[0001] 本開示は、D L L (D e l a y - L o c k e d L o o p) 回路、D L L 回路に用いられる時間差増幅回路、及びD L L 回路を備える測距撮像装置に関する。

背景技術

[0002] 特許文献1には、D R A M (D y n a m i c R a n d o m A c c e s s M e m o r y) に好適なD L L 回路が開示されている。ここで、D L L 回路とは、外部から与えられるクロック信号を用いて、必要な位相の信号を生成する回路である。

先行技術文献

特許文献

[0003] 特許文献1：特開2019-185841号公報

発明の概要

発明が解決しようとする課題

[0004] 特許文献1に開示された従来技術は、微小な位相差を調整することが難しいという課題を有している。

[0005] そこで、本開示は、微小な位相差を調整することができるD L L 回路、時間差増幅回路及び測距撮像装置を提供することを目的とする。

課題を解決するための手段

[0006] 本開示の一態様に係るD L L 回路は、入力された第1信号及び第2信号に対して、前記第1信号に含まれる論理レベルの変化点であるエッジと前記第2信号に含まれる論理レベルの変化点であるエッジとの時間差を増幅する処理を施し、得られた第1増幅後信号及び第2増幅後信号を出力する時間差増幅回路と、前記時間差増幅回路から出力された前記第1増幅後信号及び前記第2増幅後信号の位相差を算出し、算出した位相差を示す位相差信号を出力

する位相比較回路と、前記位相比較回路から出力された前記位相差信号が示す位相差に依存する遅延量だけ前記第2信号を遅延させ、遅延後信号として出力する可変遅延回路とを備える。

[0007] また、本開示の一態様に係る時間差増幅回路は、上記DLL回路が備える時間差増幅回路である。

[0008] また、本開示の一態様に係る測距撮像装置は、光電変換を行う受光部と、上記DLL回路と、前記DLL回路に対して、前記第2信号を与えるタイミング制御回路とを備え、前記DLL回路は、測距用の光源を駆動する光源駆動回路及び露光のために前記受光部を駆動する露光駆動回路の少なくとも一方に対して、前記遅延後信号を出力し、前記少なくとも一方から出力されるフィードバック信号を前記第1信号として受け取る。

発明の効果

[0009] 本開示によれば、微小な位相差を調整できるDLL回路、時間差増幅回路及び測距撮像装置が提供される。

図面の簡単な説明

[0010] [図1]図1は、一般的なDLL回路の構成を示すブロック図である。

[図2]図2は、図1に示される一般的なDLL回路が有する課題を説明する図である。

[図3]図3は、実施の形態1に係るDLL回路の構成を示すブロック図である。

[図4]図4は、実施の形態1に係るDLL回路の特徴的な動きを示す図である。

[図5]図5は、実施の形態1に係るDLL回路が備える時間差増幅回路の詳細な構成を示すブロック図である。

[図6]図6は、図5に示された時間差増幅回路の動作を示すタイミングチャートである。

[図7]図7は、図6に示された期間 $t_1 \sim t_3$ における時間差増幅回路の第1スイッチ～第6スイッチのオンオフ状態を示す図である。

[図8]図8は、実施の形態2に係る測距撮像装置の構成を示すブロック図である。

発明を実施するための形態

[0011] まず、本開示に係るDLL回路を説明する前に、一般的なDLL回路を説明する。

[0012] 図1は、一般的なDLL回路100の構成を示すブロック図である。DLL回路100は、入力クロック信号に対して必要な位相だけ遅延させた遅延後信号を生成する回路であり、入力クロック信号と遅延後信号との位相差を比較する位相比較回路101と、位相比較回路101から出力される位相差信号が示す位相差に依存する遅延量だけ入力クロック信号を遅延させ、遅延後信号として出力する可変遅延回路102とを備える。

[0013] このような構成を有するDLL回路100により、入力クロック信号に同期し、かつ、入力クロック信号に対して必要な位相だけ遅延した遅延後信号が生成される。

[0014] ところが、このような一般的なDLL回路100は、微小な位相差を調整することが難しいという課題を有している。

[0015] 図2は、図1に示される一般的なDLL回路100が有する課題を説明する図である。ここでは、一般的なDLL回路100が備える位相比較回路101の特性が示されている。横軸は、位相比較回路101に入力された2つの信号の位相差を示し、縦軸は、位相比較回路101が出力する位相差信号（ここでは、出力パルス幅）を示す。

[0016] 理想的には、位相差に比例して位相差信号が大きくなるべきところが、位相比較回路101には、微小な位相差の入力に対して不感帯が存在するために、図2に示されるように、微小な位相差の入力に対しては、ゼロを示す位相差信号が出力されてしまう。その結果、一般的なDLL回路100では、微小な位相差を調整することが難しい。

[0017] そこで、本開示は、微小な位相差を調整することができるDLL回路、時間差増幅回路及び測距撮像装置を提供することを目的とする。

[0018] 以下、本開示に係るDLL回路、時間差増幅回路及び測距撮像装置の実施の形態について、図面を用いて詳細に説明する。なお、以下で説明する実施の形態は、いずれも本開示の一具体例を示す。以下の実施の形態で示される数値、形状、材料、構成要素、構成要素の配置位置及び接続形態、駆動タイミング等は、一例であり、本開示を限定する主旨ではない。また、各図は、必ずしも厳密に図示したものではない。各図において、実質的に同一の構成について、重複する説明は省略又は簡略化する。

[0019] (実施の形態1)

図3は、実施の形態1に係るDLL回路10の構成を示すブロック図である。DLL回路10は、入力クロック信号に対して必要な位相だけ遅延させた遅延後信号を生成する回路であり、時間差増幅回路11、位相比較回路12、及び、可変遅延回路13を備える。

[0020] 時間差増幅回路11は、入力された第1信号（ここでは、DLL回路10から出力される遅延後信号）及び入力された第2信号（ここでは、入力クロック信号）に対して、第1信号に含まれる論理レベルの変化点であるエッジと第2信号に含まれる論理レベルの変化点であるエッジとの時間差（つまり、位相差）を増幅する処理を施し、得られた第1増幅後信号及び第2増幅後信号を出力する回路である。なお、時間差増幅回路11の出力は、必ずしも物理的に独立した2つの信号（第1増幅後信号及び第2増幅後信号）で構成される必要はなく、増幅後の時間差を示す信号であれば、一つの信号であってもよい。例えば、増幅後の時間差を立ち上がりエッジと立ち下がりエッジとの期間で示す一つの信号であってもよい。

[0021] 位相比較回路12は、時間差増幅回路11から出力された第1増幅後信号及び第2増幅後信号の位相差を算出し、算出した位相差を示す位相差信号を出力する回路である。位相差信号は、本実施の形態では、図3に示されるように、チャージポンプ回路13aに対して電流ソース及び電流シンクとしてそれぞれ機能させるための2つの信号で構成される。なお、位相比較回路12の出力は、必ずしも物理的に独立した2つの信号で構成される必要はなく

、チャージポンプ回路 13 a を電流ソース及び電流シンクとして切り替える信号であれば、一つの信号であってもよい。

[0022] 可変遅延回路 13 は、位相比較回路 12 から出力された位相差信号が示す位相差に依存する遅延量だけ第 2 信号を遅延させ、遅延後信号として外部及び時間差増幅回路 11 に出力する回路である。可変遅延回路 13 は、位相比較回路 101 から出力される位相差信号が示す位相差に対応する電流を出力するチャージポンプ回路 13 a と、チャージポンプ回路 13 a から出力された電流に応じて蓄電又は放電をするループフィルタ回路 13 b と、ループフィルタ回路 13 b が出力する電圧に応じて第 2 信号を遅延させる遅延調整回路 13 c とで構成される。

[0023] チャージポンプ回路 13 a は、例えば、位相比較回路 101 から出力される位相差信号（2つの信号）に従って、電流ソースとして機能する電流源及びその電流源をオンオフさせるスイッチ素子と、電流シンクとして機能する電流源及びその電流源をオンオフさせるスイッチ素子とで構成される。

[0024] ループフィルタ回路 13 b は、例えば、チャージポンプ回路 13 a が吐き出した電流、及び、吸い込んだ電流に応じて蓄電又は放電をするキャパシタで構成される。

[0025] 遅延調整回路 13 c は、例えば、多段に接続された複数のバッファアンプと、ループフィルタ回路 13 b が出力する電圧に応じて、複数のバッファアンプのそれぞれに供給する電流を変化させる可変電流源とで構成される。

[0026] 以上のように構成される本実施の形態に係る D L L 回路 10 によれば、時間差増幅回路 11 において、入力された第 1 信号及び第 2 信号の時間差が増幅され、位相比較回路 12 において、時間差増幅回路 11 から出力された第 1 増幅後信号及び第 2 増幅後信号の位相差を示す位相差信号が出力され、可変遅延回路 13 において、位相比較回路 12 から出力された位相差信号が示す位相差に依存する遅延量だけ第 2 信号が遅延し、遅延後信号として外部に出力されるとともに、時間差増幅回路 11 にフィードバックされる。

[0027] このように、本実施の形態に係る D L L 回路 10 によれば、2つ入力信号

は、時間差増幅回路 1 1 において時間差が増幅された後に、位相比較回路 1 2 に入力される。これにより、2つの入力信号の位相差が微小であっても、その位相差が位相比較回路 1 2 の不感帯外にまで拡大されたうえで、位相比較が行われるので、時間差増幅回路を備えない一般的な D L L 回路 1 0 0 に比べ、微小な位相差を調整することができる D L L 回路 1 0 が実現される。

[0028] 図 4 は、実施の形態 1 に係る D L L 回路 1 0 の特徴的な動きを示す図である。つまり、本図は、一般的な D L L 回路 1 0 0 を説明する図 2 に対応する図である。D L L 回路 1 0 によれば、2つ入力信号は、時間差増幅回路 1 1 において時間差が増幅される。そのために、図 4 に示されるように、位相比較回路 1 2 では、微小な位相差の入力に対して、その位相差に対応する位相差信号（ここでは、出力パルス幅）、つまり、増幅後の位相差に対応する位相差信号が出力される。その結果、2つの入力信号の位相差が微小であっても、不感帯の発生が抑制され、その位相差に応じた遅延が確実に行われ、微小な位相差を調整することができる D L L 回路 1 0 が実現される。

[0029] 図 5 は、実施の形態 1 に係る D L L 回路 1 0 が備える時間差増幅回路 1 1 の詳細な構成を示すブロック図である。時間差増幅回路 1 1 は、複数の電流源（第 1 電流源 3 0 a、第 2 電流源 3 1 a、第 3 電流源 3 0 b 及び第 4 電流源 3 1 b）と、入力される第 1 信号及び第 2 信号の論理レベルの組み合わせに応じてそれら複数の電流源のうちの少なくとも 2 つを動作させる大電流モード及びそれら複数の電流源の一つだけを動作させる小電流モードを切り替える制御回路（第 1 スルーレート制御回路 2 0 a 及び第 2 スルーレート制御回路 2 0 b）とを有する。

[0030] より詳しくは、第 1 スルーレート制御回路 2 0 a は、第 1 インバータ 2 1 a 及び 2 2 a、第 1 スイッチ 2 3 a、第 2 スイッチ 2 4 a、第 3 スイッチ 2 5 a、第 1 閾値設定回路 2 6 a、第 1 コンパレータ 2 7 a、並びに、第 1 キャパシタ 2 8 a を備える。

[0031] 第 1 インバータ 2 1 a 及び 2 2 a は、入力された第 1 信号の論理レベルを反転する論理回路である。

- [0032] 第1スイッチ23aは、第1信号の論理レベルによってオンオフするスイッチであり、一端が第3スイッチ25a、第1キャパシタ28a及び第1コンパレータ27aの第1入力端子である負極入力端子に接続され、他端が第2スイッチ24aに接続されている。
- [0033] 第2スイッチ24aは、第2スルーレート制御回路20bが備える第2インバータ22bからの出力信号の論理レベル（つまり、第2信号の論理レベルを反転した信号）によってオンオフし、一端が第1電流源30a及び第1スイッチ23aの他端に接続され、他端が第2電流源31aに接続されている。
- [0034] 第3スイッチ25aは、第1インバータ21aからの出力信号の論理レベルによってオンオフし、一端が電源電位VDDに接続され、他端が第1キャパシタ28a等と接続されている。なお、本実施の形態では、第1スイッチ23a、第2スイッチ24a及び第3スイッチ25aは、いずれも、論理レベルとしてHighが入力されたときにオンする。
- [0035] 第1キャパシタ28aは、一端が基準電位に接続され、他端が、第1スイッチ23aを介して第1電流源30aに接続されるとともに第1スイッチ23a及び第2スイッチ24aを介して第2電流源31aに接続される、容量Cのコンデンサである。
- [0036] 第1閾値設定回路26aは、第1コンパレータ27aの第2入力端子である正極入力端子に、閾値電圧として、所定の電圧Vthを出力する電圧源である。
- [0037] 第1コンパレータ27aは、負極入力端子に接続された第1キャパシタ28aの電圧と正極入力端子に供給される第1閾値設定回路26aが出力する所定の電圧Vth（つまり、閾値電圧）とを比較し、比較結果を第1増幅後信号として出力する。
- [0038] 第2スルーレート制御回路20bは、第2インバータ21b及び22b、第4スイッチ23b、第5スイッチ24b、第6スイッチ25b、第2閾値設定回路26b、第2コンパレータ27b、並びに、第2キャパシタ28b

を備える。

- [0039] 第2インバータ21b及び22bは、入力された第2信号の論理レベルを反転する論理回路である。
- [0040] 第4スイッチ23bは、第2信号の論理レベルによってオンオフするスイッチであり、一端が第6スイッチ25b、第2キャパシタ28b及び第2コンパレータ27bの第1入力端子である負極入力端子に接続され、他端が第5スイッチ24bに接続されている。
- [0041] 第5スイッチ24bは、第1スルーレート制御回路20aが備える第1インバータ22aからの出力信号の論理レベル（つまり、第1信号の論理レベルを反転した信号）によってオンオフし、一端が第3電流源30b及び第4スイッチ23bの他端に接続され、他端が第4電流源31bに接続されている。
- [0042] 第6スイッチ25bは、第2インバータ21bからの出力信号の論理レベルによってオンオフし、一端が電源電位VDDに接続され、他端が第2キャパシタ28b等と接続されている。なお、本実施の形態では、第4スイッチ23b、第5スイッチ24b及び第6スイッチ25bは、いずれも、論理レベルとしてHighが入力されたときにオンする。
- [0043] 第2キャパシタ28bは、一端が基準電位に接続され、他端が、第4スイッチ23bを介して第3電流源30bに接続されるとともに第4スイッチ23b及び第5スイッチ24bを介して第4電流源31bに接続される、容量Cのコンデンサである。
- [0044] 第2閾値設定回路26bは、第2コンパレータ27bの第2入力端子である正極入力端子に、閾値電圧として、所定の電圧Vthを出力する電圧源である。
- [0045] 第2コンパレータ27bは、負極入力端子に接続された第2キャパシタ28bの電圧と正極入力端子に供給される第2閾値設定回路26bが出力する所定の電圧Vth（つまり、閾値電圧）とを比較し、比較結果を第2増幅後信号として出力する。

- [0046] なお、本実施の形態では、第1電流源30a及び第3電流源30bそれぞれの出力電流を i_s とし、第2電流源31a及び第4電流源31bそれぞれの出力電流を i_L とする。
- [0047] 図6は、図5に示された時間差増幅回路11の動作を示すタイミングチャートである。図6の(a)は第1信号、図6の(b)は第2信号、図6の(c)は第1コンパレータ27aの負極入力端子、図6の(d)は第2コンパレータ27bの負極入力端子、図6の(e)は第1コンパレータ27aの出力端子（つまり、第1増幅後信号）、図6の(f)は第2コンパレータ27bの出力端子（つまり、第2増幅後信号）の電圧波形を示す。
- [0048] 図7は、図6に示された期間 $t_1 \sim t_3$ における時間差増幅回路11の第1スイッチ23a～第6スイッチ25bのオンオフ状態を示す図（表）である。
- [0049] いま、図6の(a)及び(b)に示すように、第1信号の論理レベルが先に変化（LowからHighに変化）し、その後に第2信号の論理レベルが変化（LowからHighに変化）する正の位相差が生じたとする。つまり、図6の(a)に示されるように、第1信号は、期間 t_1 においてLowであり、期間 t_2 以降においてHighであるとする。また、図6の(b)に示されるように、第2信号は、期間 t_1 及び期間 t_2 においてLowであり、期間 t_3 以降においてHighであるとする。
- [0050] すると、期間 t_1 では、第1信号及び第2信号ともにLowであるために、図7の期間 t_1 に示されるように、第1スイッチ23a及び第4スイッチ23bはオフとなり、第2スイッチ24a、第3スイッチ25a、第5スイッチ24b及び第6スイッチ25bはオンとなる。
- [0051] その結果、第1スルーレート制御回路20aでは、第3スイッチ25aがオンであり、第1スイッチ23aがオフであるために、第1キャパシタ28aは、第3スイッチ25aを介して電源電位VDDに接続されて充電された状態となる。よって、第1キャパシタ28aと接続された第1コンパレータ27aの負極入力端子の電圧は、電源電位VDDとなる（図6の(c)）。

これにより、第1コンパレータ27aでは、負極入力端子の電圧VDDが正極入力端子の電圧Vthより高いために、第1増幅後信号として、Lowレベルが出力される(図6の(e))。

[0052] 同様に、第2スルーレート制御回路20bでは、第6スイッチ25bがオンであり、第4スイッチ23bがオフであるために、第2キャパシタ28bは、第6スイッチ25bを介して電源電位VDDに接続されて充電された状態となる。よって、第2キャパシタ28bと接続された第2コンパレータ27bの負極入力端子の電圧は、電源電位VDDとなる(図6の(d))。これにより、第2コンパレータ27bでは、負極入力端子の電圧VDDが正極入力端子の電圧Vthより高いために、第2増幅後信号として、Lowレベルが出力される(図6の(f))。

[0053] 続いて、期間t2では、第1信号がHighとなるために、図7の期間t2に示されるように、第1スイッチ23aがオンに変わり、第3スイッチ25a及び第5スイッチ24bがオフに変わる(他のスイッチは、同じ状態を維持する)。

[0054] その結果、第1スルーレート制御回路20aでは、第3スイッチ25aがオフとなり、第1スイッチ23a及び第2スイッチ24aがオンとなるために、第1キャパシタ28aは、2つの第1電流源30a及び第2電流源31aと接続され(大電流モード)、第1電流源30a及び第2電流源31aの合計出力電流($i_s + i_L$)で急激な放電を始める(図6の(c))。

[0055] 一方、第2スルーレート制御回路20bでは、第6スイッチ25b及び第4スイッチ23bの状態が維持されるために、第2コンパレータ27bの負極入力端子の電圧は変化せず(図6の(d))、第2コンパレータ27bの出力電圧(第2増幅後信号)も変化しない(図6の(f))。

[0056] 続いて、期間t3では、第2信号がHighとなるために、図7の期間t3に示されるように、第2スイッチ24a及び第6スイッチ25bがオフに変わり、第4スイッチ23bがオンに変わる(他のスイッチは、同じ状態を維持する)。

[0057] その結果、第1スルーレート制御回路20aでは、第2スイッチ24aがオフとなるために、第1キャパシタ28aは、第1電流源30aとだけ接続されるように切り替わり（小電流モード）、第1電流源30aの出力電流（ i_s ）による緩やかな放電に切り替わる（図6の（c））。その後、第1コンパレータ27aの負極入力端子の電圧が所定の電圧 V_{th} （正極入力端子の閾値電圧）まで下がったときに、第1コンパレータ27aから、第1増幅後信号として、Highレベルが出力される（図6の（e））。このように期間 t_2 から期間 t_3 にかけて、連続時間で大電流モードから小電流モードに切り替わる（第1電流源30aはオンのまま、第2電流源31aだけがオフする）ので、微小な入力時間差に対して時間差増幅を行うことが可能になる。

[0058] 一方、第2スルーレート制御回路20bでは、第6スイッチ25bがオフとなり、第4スイッチ23bがオンとなり、第5スイッチ24bがオフのままであるので、第2キャパシタ28bは、第3電流源30bとだけ接続され（小電流モード）、第3電流源30bの出力電流（ i_s ）による緩やかな放電を始める（図6の（d））。その後、第2コンパレータ27bの負極入力端子の電圧が所定の電圧 V_{th} （正極入力端子の閾値電圧）まで下がったときに、第2コンパレータ27bから、第2増幅後信号として、Highレベルが出力される（図6の（f））。

[0059] このように、第1信号と第2信号とは、わずかな期間 t_2 の差をおいて、論理レベルが変化する（つまり、立ち上がる）波形であるが、その期間 t_2 においては、第1スルーレート制御回路20aでは、第1キャパシタ28aは、大電流モードによって（つまり、電流（ $i_s + i_L$ ）で）急激に放電し、一方、第2スルーレート制御回路20bでは、第2キャパシタ28bは、放電しない。そして、その後の期間 t_3 においては、第1スルーレート制御回路20a及び第2スルーレート制御回路20bでは、それぞれ、第1キャパシタ28a及び第2キャパシタ28bは、小電流モードによって（つまり、電流（ i_s ）で）緩やかに放電する。

[0060] よって、第1コンパレータ27aの入力電圧（つまり、負極入力端子の電圧）が閾値電圧（つまり、正極入力端子の電圧 V_{th} ）に達するタイミングと、第2コンパレータ27bの入力電圧（つまり、負極入力端子の電圧）が閾値電圧（つまり、正極入力端子の電圧 V_{th} ）に達するタイミングとの時間差（つまり、位相差）が、期間 t_2 よりも大きくなる。その結果、第1コンパレータ27aから出力される第1増幅後信号がHighになるタイミングと第2コンパレータ27bから出力される第2増幅後信号がHighになるタイミングとの時間差（つまり、出力時間差 Δt_{out} ）は、期間 t_2 （入力時間差 Δt_{in} ）が増幅されたものとなる。

[0061] なお、上記例では、第1信号の論理レベルが先に変化し、その後に第2信号の論理レベルが変化する正の位相差が入力されたケースであったが、これとは逆に、第2信号の論理レベルが先に変化し、その後に第1信号の論理レベルが変化する負の位相差が入力されたケースであっても、第1スルーレート制御回路20aでの動作と第2スルーレート制御回路20bでの動作が入れ替わるだけであり、同様の処理により、入力時間差（つまり、入力位相差）が増幅される。第1スルーレート制御回路20a及び第2スルーレート制御回路20bは、基本的に同様の構成を備えるからである。

[0062] 次に、以上のように動作する時間差増幅回路11の特性をより定量的に説明する。

[0063] 図6から分かるように、入力時間差（つまり、第1信号及び第2信号の立ち上がりエッジの時間差、期間 t_2 ）を Δt_{in} 、出力時間差（つまり、第1増幅後信号及び第2増幅後信号の立ち上がりエッジの時間差）を Δt_{out} とすると、その比である時間差増幅率 G_t は、以下の式1で表される。

[0064] [数1]

$$G_t = \frac{\Delta t_{out}}{\Delta t_{in}} = 1 + \frac{i_L}{i_s} \quad (\text{式1})$$

[0065] つまり、時間差増幅率 G_t は、大電流モードにおける第1キャパシタ28a

の放電電流 ($i_s + i_L$) と、小電流モードにおける第1キャパシタ28a及び第2キャパシタ28bの放電電流 (i_s) との比であるともいえる。

[0066] このように、時間差増幅率 G_t は、2つの電流源の出力電流比で決まる。そのために、温度特性の影響に強い時間差増幅率の実現され、時間差増幅回路11を備えたDLL回路10は、温度特性の影響に強い高分解能な位相調整を行うことができる。

[0067] なお、上記式1は、第1コンパレータ27aの入力電圧（つまり、負極入力端子の電圧）が、期間 t_2 （つまり、入力時間差 Δt_{in} ）内で、閾値電圧（つまり、正極入力端子の電圧 V_{th} ）に達しない場合、つまり、入力時間差が非飽和領域にある場合に成立する。

[0068] これに対して、第1コンパレータ27aの入力電圧（つまり、負極入力端子の電圧）が、期間 t_2 （つまり、入力時間差 Δt_{in} ）内で、閾値電圧（つまり、正極入力端子の電圧 V_{th} ）に達する場合、つまり、入力信号の時間差が飽和領域にある場合には、時間差増幅率 G_t は、以下の式2で表される。

[0069] [数2]

$$G_t = \frac{\Delta t_{out}}{\Delta t_{in}} = 1 + \left\{ \frac{C(V_{DD} - V_{th})}{i_s + i_L} \frac{1}{\Delta t_{in}} \right\} \times \frac{i_L}{i_s} \quad (\text{式2})$$

[0070] つまり、時間差増幅率 G_t は、入力時間差 Δt_{in} に依存した値となる。

[0071] 上記式1及び式2から分かるように、第1コンパレータ27aの入力電圧（つまり、負極入力端子の電圧）が、期間 t_2 （つまり、入力時間差 Δt_{in} ）内で、閾値電圧（つまり、正極入力端子の電圧 V_{th} ）に達するか否かによって、時間差増幅率 G_t は、入力時間差 Δt_{in} に依存しない値となるか（式1）、入力時間差 Δt_{in} に依存する値となる（式2）。つまり、時間差増幅回路11は、非線形増幅を行う。

[0072] ここで、上述したように、時間差増幅回路11は、正負の入力位相差に対して動作可能であり、第1コンパレータ27aの入力電圧（つまり、負極入力端子の電圧）が、期間 t_2 （つまり、入力時間差 Δt_{in} ）内で、閾値電圧

(つまり、正極入力端子の電圧 V_{th}) に達する場合には、線形増幅をする。つまり、次の式 3 が満たされる場合に、上記式 1 による線形増幅が行われる。

[0073] [数3]

$$|\Delta t_{in}| \leq \frac{C(V_{DD} - V_{th})}{i_s + i_L} \quad (\text{式 3})$$

[0074] この式 3 から分かるように、第 1 閾値設定回路 26a 及び第 2 閾値設定回路 26b によって第 1 コンパレータ 27a 及び第 2 コンパレータ 27b の閾値電圧 V_{th} を設定することで、線形増幅となる入力時間差レンジを調整することができる。ここで、入力時間差レンジとは、時間差増幅回路 11 が時間差を増幅できる時間差の範囲である。また、入力時間差レンジは、複数の電流源のそれぞれが出力する電流の値 (i_s 及び i_L) に依存して定まるともいえる。

[0075] 以上のように、本実施の形態に係る D L L 回路 10 は、入力された第 1 信号及び第 2 信号に対して、第 1 信号に含まれる論理レベルの変化点であるエッジと第 2 信号に含まれる論理レベルの変化点であるエッジとの時間差を増幅する処理を施し、得られた第 1 増幅後信号及び第 2 増幅後信号を出力する時間差増幅回路 11 と、時間差増幅回路 11 から出力された第 1 増幅後信号及び第 2 増幅後信号の位相差を算出し、算出した位相差を示す位相差信号を出力する位相比較回路 12 と、位相比較回路 12 から出力された位相差信号が示す位相差に依存する遅延量だけ第 2 信号を遅延させ、遅延後信号として出力する可変遅延回路 13 とを備える。

[0076] これにより、2 つ入力信号は、時間差増幅回路 11 において時間差が増幅された後に、位相比較回路 12 に入力される。よって、2 つの入力信号の位相差が微小であっても、その位相差が位相比較回路 12 の不感帯外にまで拡大されたうえで位相比較が行われるので、時間差増幅回路を備えない一般的な D L L 回路 100 に比べ、微小な位相差を調整することができる D L L 回

路 10 が実現される。

[0077] なお、可変遅延回路 13 は、位相差に対応する電流を出力するチャージポンプ回路 13a と、チャージポンプ回路 13a から出力された電流に応じて蓄電又は放電をするループフィルタ回路 13b と、ループフィルタ回路 13b が出力する電圧に応じて第 2 信号を遅延させる遅延調整回路 13c とで構成される。これにより、位相比較回路 12 から出力された位相差信号が示す位相差に依存する遅延量だけ第 2 信号を遅延させ、遅延後信号として出力する可変遅延回路 13 が実現される。

[0078] また、時間差増幅回路 11 は、複数の電流源（第 1 電流源 30a、第 2 電流源 31a、第 3 電流源 30b 及び第 4 電流源 31b）と、第 1 信号及び第 2 信号の論理レベルの組み合わせに応じて複数の電流源のうちの少なくとも 2 つを動作させる大電流モード及び複数の電流源の一つだけを動作させる小電流モードを切り替える制御回路（第 1 スルーレート制御回路 20a 及び第 2 スルーレート制御回路 20b）とを有する。これにより、使用する電流源の個数を動的に変更することによって入力時間差を増幅する時間差増幅回路 11 が実現される。

[0079] また、時間差増幅回路 11 による時間差の増幅率、及び、時間差増幅回路 11 が時間差を線形増幅できる時間差の範囲である入力時間差レンジは、複数の電流源のそれぞれが出力する電流の値（ i_s 及び i_L ）に依存して定まる。これにより、時間差増幅回路 11 での時間差増幅率及び入力時間差レンジは、時間差増幅回路 11 内に設ける複数の電流源の出力電流によって、所望の値に設定することができる。

[0080] また、複数の電流源は、第 1 電流源 30a 及び第 2 電流源 31a を含み、制御回路は、第 1 スルーレート制御回路 20a を含み、第 1 スルーレート制御回路 20a は、第 1 キャパシタ 28a と、第 1 信号の論理レベルに応じて第 1 キャパシタ 28a と第 1 電流源 30a 及び第 2 電流源 31a との接続をオンオフする第 1 スイッチ 23a と、第 2 信号の論理レベルに応じて第 2 電流源 31a を動作させるか否かを切り替える第 2 スイッチ 24a とを含む。こ

ここで、第1スルーレート制御回路20aは、さらに、第1コンパレータ27aと、第1信号の論理レベルに応じてオンオフを切り替える第3スイッチ25aとを含み、第1スイッチ23aの一端に第3スイッチ25aと第1キャパシタ28aと第1コンパレータ27aの第1入力端子（負極入力端子）とが接続され、第1スイッチ23aの他端に、第2スイッチ24aの一端と第1電流源30aとが接続され、第2スイッチ24aの他端に第2電流源31aが接続される。

[0081] これにより、第1電流源30aをオンさせたまま第2電流源31aをオンからオフに切り替えることで大電流モードから小電流モードに切り替わるので、2つの電流源の両方のオンオフを切り替える方法に比べ、連続した時間でスムーズに電流値が減少し、微小な時間差に対する増幅が可能になる。

[0082] そして、第1スルーレート制御回路20aは、さらに、第1コンパレータ27aの第2入力端子（正極入力端子）に所定の電圧を出力する第1閾値設定回路26aを含む。これにより、第1コンパレータ27aの閾値電圧 V_{th} を設定することで、線形増幅となる入力時間差レンジの調整が可能になる。

[0083] また、複数の電流源は、さらに、第3電流源30b及び第4電流源31bを含み、制御回路は、さらに、第2スルーレート制御回路20bを含み、第2スルーレート制御回路20bは、第2キャパシタ28bと、第2信号の論理レベルに応じて第2キャパシタ28bと第3電流源30b及び第4電流源31bとの接続をオンオフする第4スイッチ23bと、第1信号の論理レベルに応じて第4電流源31bを動作せるか否かを切り替える第5スイッチ24bとを含む。ここで、第2スルーレート制御回路20bは、さらに、第2コンパレータ27bと、第2信号の論理レベルに応じてオンオフを切り替える第6スイッチ25bとを含み、第4スイッチ23bの一端に、第6スイッチ25bと第2キャパシタ28bと第2コンパレータ27bの第1入力端子（負極入力端子）とが接続され、第4スイッチ23bの他端に、第5スイッチ24bの一端と第3電流源30bとが接続され、第5スイッチ24bの他端に第4電流源31bが接続される。

[0084] これにより、第3電流源30bをオンさせたまま第4電流源31bをオンからオフに切り替えることで大電流モードから小電流モードに切り替わるので、2つの電流源の両方のオンオフを切り替える方法に比べ、連続した時間でスムーズに電流値が減少し、微小な時間差に対する増幅が可能になる。

[0085] また、第2スルーレート制御回路20bは、さらに、第2コンパレータ27bの第2入力端子（正極入力端子）に所定の電圧を出力する第2閾値設定回路26bを含む。これにより、第2コンパレータ27bの閾値電圧 V_{th} を設定することで、線形増幅となる入力時間差レンジの調整が可能になる。

[0086] （実施の形態2）

図8は、実施の形態2に係る測距撮像装置50の構成を示すブロック図である。測距撮像装置50は、撮像によって距離画像を生成する装置であり、DLL回路10a、PLL（Phase-Locked Loop）回路51、タイミング制御回路52、受光部53、露光駆動回路54、垂直走査回路55、列ADコンバータ56、信号処理回路57、及び、出力インタフェース58を備える。なお、本図には、測距撮像装置50と連携して動作する光源40及び光源駆動回路41も併せて図示されている。

[0087] PLL回路51は、外部から入力されるクロックに同期したクロックをタイミング制御回路52に供給する。

[0088] タイミング制御回路52は、PLL回路51から供給されるクロックに同期して動作し、外部との間で水平駆動信号HD及び垂直駆動信号VDをやりとりすることで、DLL回路10aに対して発光及び露光の制御のためのクロック信号を供給する発光露光制御部52aと、垂直走査回路55、列ADコンバータ56、信号処理回路57及び出力インタフェース58に対して制御信号を供給する撮像制御部52bとを有する。

[0089] DLL回路10aは、実施の形態1に係るDLL回路10を2つ備える。一つのDLL回路10は、タイミング制御回路52から出力される発光のためのクロック信号を第2信号とし、光源駆動回路41から出力される駆動信号を第1信号とし、遅延後信号を発光制御信号として光源駆動回路41に出

力する。もう一つのD L L回路10は、タイミング制御回路52から出力される露光のためのクロック信号を第2信号とし、露光駆動回路54から出力される露光フィードバック信号を第1信号とし、遅延後信号を露光制御信号として露光駆動回路54に出力する。

[0090] 光源駆動回路41は、D L L回路10aから出力される発光制御信号に従って、光源40から光を出射させるための駆動信号を光源40及びD L L回路10aに出力する回路である。

[0091] 光源40は、光源駆動回路41から駆動信号を受けると、測距の対象となる被写体に対して赤外光等の光を発するL E D等である。

[0092] 露光駆動回路54は、D L L回路10aから出力される露光制御信号に従って、受光部53に対して露光をさせるための駆動信号を受光部53に供給するとともに、露光フィードバック信号としてD L L回路10aに出力する回路である。

[0093] 受光部53は、2次元状に受光素子を含む画素が配列された画素アレイである。

[0094] 垂直走査回路55は、受光部53に対して、行ごとに、画素に蓄積された信号電荷を読み出すための制御信号を出力する回路である。

[0095] 列A Dコンバータ56は、受光部53の各列に対応して設けられたA / Dコンバータで構成され、受光部53の画素から読み出されたアナログの信号電荷をデジタル値に変換する回路である。

[0096] 信号処理回路57は、列A Dコンバータ56から出力されたデジタル値を一時的に記憶し、測距のための演算を施すことで、受光部53の画素ごとに被写体までの距離を算出し、距離画像を生成するプロセッサ及びメモリ等である。距離の算出は、例えば、光源40からパルス光を出射させ、その反射光が戻ってくるまでの時間を受光部53で測定することによって行うT O F (Time of Flight) 方式等によって行われる。

[0097] 出力インタフェース58は、信号処理回路57で生成された距離画像を外部に出力するH D M I (登録商標) (High-Definition M

ultimedia interface)等のインタフェース回路である。

[0098] 以上のように構成される本実施の形態に係る測距撮像装置50では、DLL回路10aのフィードバックループ（遅延後信号を第1信号として入力させるための経路）の中に光源駆動回路41が置かれ、微小な位相差調整を伴う高いタイミング精度で光源40からのパルス光が連続して出射される。また、DLL回路10aのフィードバックループ（遅延後信号を第1信号として入力させるための経路）の中に露光駆動回路54が置かれ、微小な位相差調整を伴う高いタイミング精度で受光部53での露光が行われる。

[0099] 以上のように、本実施の形態に係る測距撮像装置50は、光電変換を行う受光部53と、実施の形態1に係るDLL回路10aと、DLL回路10aに対して、第2信号を与えるタイミング制御回路52とを備え、DLL回路10aは、測距用の光源を駆動する光源駆動回路41及び露光のために受光部53を駆動する露光駆動回路54の少なくとも一方に対して、遅延後信号を出力し、少なくとも一方から出力されるフィードバック信号を第1信号として受け取る。

[0100] これにより、微小な位相差を調整することができるDLL回路10aが用いられるので、高い精度で安定した測距を行うことができる測距撮像装置50が実現される。

[0101] 以上、本開示に係るDLL回路、時間差増幅回路及び測距撮像装置について、実施の形態1及び2に基づいて説明したが、本開示は、これらの実施の形態に限定されるものではない。本開示の主旨を逸脱しない限り、当業者が思いつく各種変形を実施の形態に施したものや、実施の形態における一部の構成要素を組み合わせで構築される別の形態も、本開示の範囲内に含まれる。

[0102] 例えば、上記実施の形態では、時間差増幅回路11は、一つのスルーレート制御回路について2つの電流源を有したが、これに限られず、3つ以上の電流源を有してもよい。大電流モードと小電流モードとで使用する電流源の

個数を切り替えるように構成すればよい。

[0103] また、上記実施の形態における時間差増幅回路 11 では、第 1 電流源 30 a 及び第 3 電流源 30 b それぞれの出力電流が i_s であり、第 2 電流源 31 a 及び第 4 電流源 31 b それぞれの出力電流が i_L であったが、これら 2 つの出力電流の関係は、 $i_s = i_L$ であってもよいし、 $i_s \neq i_L$ であってもよい。いずれにしろ、2 つ電流源を使用することで、1 つの電流源を使用する場合よりも大きな電流を出力できる。

[0104] また、上記実施の形態における時間差増幅回路 11 は、予めキャパシタに充電された電荷を電流源で放電させることで時間差を増幅したが、これとは逆に、予め一定電圧を保持するキャパシタに対して電流源で充電することで時間差を増幅してもよい。

[0105] また、上記実施の形態における時間差増幅回路 11 は、第 1 閾値設定回路 26 a 及び第 2 閾値設定回路 26 b のいずれもが閾値電圧 V_{th} を出力したが、必ずしも同じ閾値電圧 V_{th} を出力する必要はなく、正負の位相差に対する増幅率を考慮して、それぞれが出力する電圧を所望の値に設定すればよい。また、第 1 閾値設定回路 26 a 及び第 2 閾値設定回路 26 b のいずれもが同じ閾値電圧を出力する場合には、第 1 閾値設定回路 26 a 及び第 2 閾値設定回路 26 b を、共通の一つの閾値設定回路で実現してもよい。

[0106] また、上記実施の形態における時間差増幅回路 11 では、コンパレータの負極入力端子にキャパシタが接続され、正極入力端子に閾値設定回路が接続されたが、これとは逆に、コンパレータの負極入力端子に閾値設定回路が接続され、正極入力端子にキャパシタが接続されてもよい。そのようにしても、コンパレータから出力される増幅後信号の論理が反転されるだけであり、増幅後信号が示す情報は変わらない。

産業上の利用可能性

[0107] 本開示に係る D L L 回路、時間差増幅回路及び測距撮像装置は、微小な位相差を調整することができる D L L 回路、時間差増幅回路及び測距撮像装置として、例えば、車載用途など幅広い用途に有用である。

符号の説明

- [0108] 1 0、1 0 a、1 0 0 D L L 回路
- 1 1 時間差増幅回路
- 1 2、1 0 1 位相比較回路
- 1 3、1 0 2 可変遅延回路
- 1 3 a チャージポンプ回路
- 1 3 b ループフィルタ回路
- 1 3 c 遅延調整回路
- 2 0 a 第1スルーレート制御回路
- 2 1 a、2 2 a 第1インバータ
- 2 3 a 第1スイッチ
- 2 4 a 第2スイッチ
- 2 5 a 第3スイッチ
- 2 6 a 第1閾値設定回路
- 2 7 a 第1コンパレータ
- 2 8 a 第1キャパシタ
- 2 0 b 第2スルーレート制御回路
- 2 1 b、2 2 b 第2インバータ
- 2 3 b 第4スイッチ
- 2 4 b 第5スイッチ
- 2 5 b 第6スイッチ
- 2 6 b 第2閾値設定回路
- 2 7 b 第2コンパレータ
- 2 8 b 第2キャパシタ
- 3 0 a 第1電流源
- 3 1 a 第2電流源
- 3 0 b 第3電流源
- 3 1 b 第4電流源

- 4 0 光源
- 4 1 光源駆動回路
- 5 0 測距撮像装置
- 5 1 P L L 回路
- 5 2 タイミング制御回路
- 5 2 a 発光露光制御部
- 5 2 b 撮像制御部
- 5 3 受光部
- 5 4 露光駆動回路
- 5 5 垂直走査回路
- 5 6 列 A D コンバータ
- 5 7 信号処理回路
- 5 8 出力インタフェース

請求の範囲

- [請求項1] 入力された第1信号及び第2信号に対して、前記第1信号に含まれる論理レベルの変化点であるエッジと前記第2信号に含まれる論理レベルの変化点であるエッジとの時間差を増幅する処理を施し、得られた第1増幅後信号及び第2増幅後信号を出力する時間差増幅回路と、
- 前記時間差増幅回路から出力された前記第1増幅後信号及び前記第2増幅後信号の位相差を算出し、算出した位相差を示す位相差信号を出力する位相比較回路と、
- 前記位相比較回路から出力された前記位相差信号が示す位相差に依存する遅延量だけ前記第2信号を遅延させ、遅延後信号として出力する可変遅延回路と
- を備えるDLL (Delay-Locked Loop) 回路。
- [請求項2] 前記可変遅延回路は、
- 前記位相差に対応する電流を出力するチャージポンプ回路と、
- 前記チャージポンプ回路から出力された電流に応じて蓄電又は放電をするループフィルタ回路と、
- 前記ループフィルタ回路が出力する電圧に応じて前記第2信号を遅延させる遅延調整回路とを有する
- 請求項1記載のDLL回路。
- [請求項3] 前記時間差増幅回路は、
- 複数の電流源と、
- 前記第1信号及び前記第2信号の論理レベルの組み合わせに応じて、前記複数の電流源のうちの少なくとも2つを動作させる大電流モード及び前記複数の電流源の一つだけを動作させる小電流モードを切り替える制御回路とを有する
- 請求項1又は2記載のDLL回路。
- [請求項4] 前記時間差増幅回路による前記時間差の増幅率、及び、前記時間差増幅回路が前記時間差を線形増幅できる前記時間差の範囲である入力

時間差レンジは、前記複数の電流源のそれぞれが出力する電流の値に依存して定まる

請求項3記載のDLL回路。

[請求項5]

前記複数の電流源は、第1電流源及び第2電流源を含み、

前記制御回路は、第1スルーレート制御回路を含み、

前記第1スルーレート制御回路は、

第1キャパシタと、

前記第1信号の論理レベルに応じて、前記第1キャパシタと前記第1電流源及び前記第2電流源との接続をオンオフする第1スイッチと、

前記第2信号の論理レベルに応じて、前記第2電流源を動作せるか否かを切り替える第2スイッチとを含む

請求項3又は4記載のDLL回路。

[請求項6]

前記第1スルーレート制御回路は、さらに、

第1コンパレータと、

前記第1信号の論理レベルに応じてオンオフを切り替える第3スイッチとを含み、

前記第1スイッチの一端に、前記第3スイッチと、前記第1キャパシタと、前記第1コンパレータの第1入力端子とが接続され、

前記第1スイッチの他端に、前記第2スイッチの一端と、前記第1電流源とが接続され、

前記第2スイッチの他端に、前記第2電流源が接続される

請求項5記載のDLL回路。

[請求項7]

前記第1スルーレート制御回路は、さらに、前記第1コンパレータの第2入力端子に所定の電圧を出力する第1閾値設定回路を含む

請求項6記載のDLL回路。

[請求項8]

前記複数の電流源は、さらに、第3電流源及び第4電流源を含み、

前記制御回路は、さらに、第2スルーレート制御回路を含み、

前記第2スルーレート制御回路は、

第2キャパシタと、

前記第2信号の論理レベルに応じて、前記第2キャパシタと前記第3電流源及び前記第4電流源との接続をオンオフする第4スイッチと、

前記第1信号の論理レベルに応じて、前記第4電流源を動作せるか否かを切り替える第5スイッチとを含む

請求項3～7のいずれか1項に記載のDLL回路。

[請求項9]

前記第2スルーレート制御回路は、さらに、

第2コンパレータと、

前記第2信号の論理レベルに応じてオンオフを切り替える第6スイッチとを含み、

前記第4スイッチの一端に、前記第6スイッチと、前記第2キャパシタと、前記第2コンパレータの第1入力端子とが接続され、

前記第4スイッチの他端に、前記第5スイッチの一端と、前記第3電流源とが接続され、

前記第5スイッチの他端に、前記第4電流源が接続される

請求項8記載のDLL回路。

[請求項10]

前記第2スルーレート制御回路は、さらに、前記第2コンパレータの第2入力端子に所定の電圧を出力する第2閾値設定回路を含む

請求項9記載のDLL回路。

[請求項11]

請求項1～10のいずれか1項に記載のDLL回路が備える時間差増幅回路。

[請求項12]

光電変換を行う受光部と、

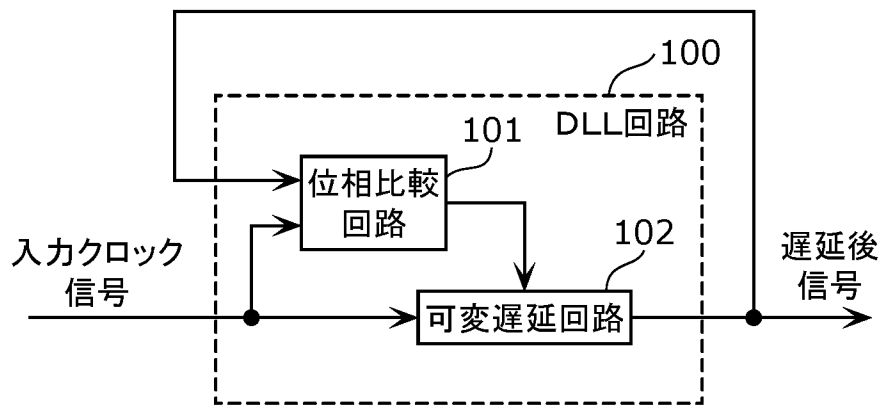
請求項1～10のいずれか1項に記載のDLL回路と、

前記DLL回路に対して、前記第2信号を与えるタイミング制御回路とを備え、

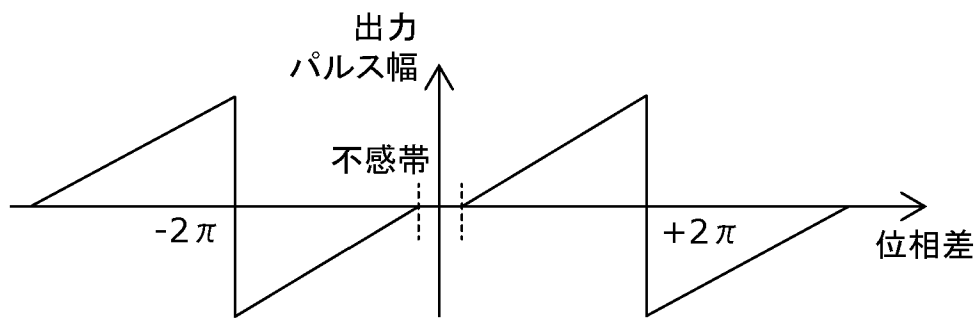
前記DLL回路は、測距用の光源を駆動する光源駆動回路及び露光

のために前記受光部を駆動する露光駆動回路の少なくとも一方に対して、前記遅延後信号を出力し、前記少なくとも一方から出力されるフィードバック信号を前記第 1 信号として受け取る測距撮像装置。

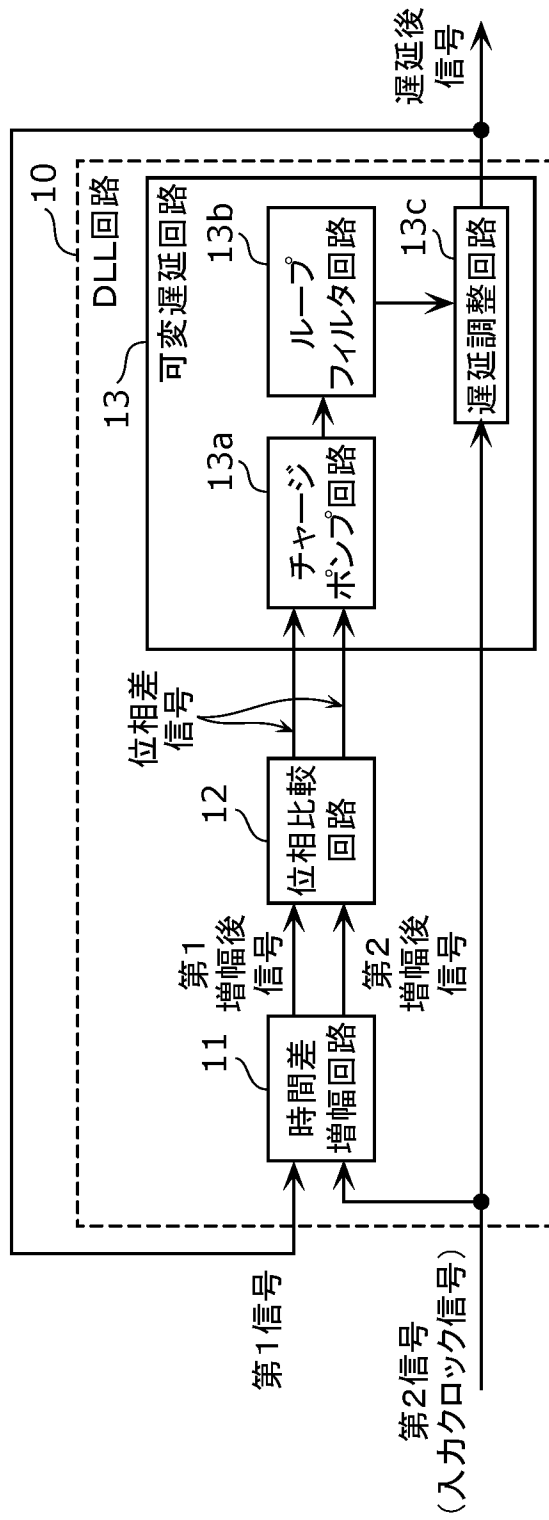
[図1]



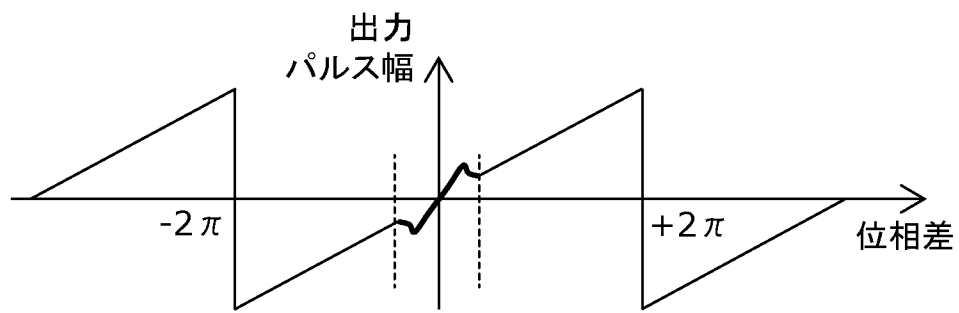
[図2]



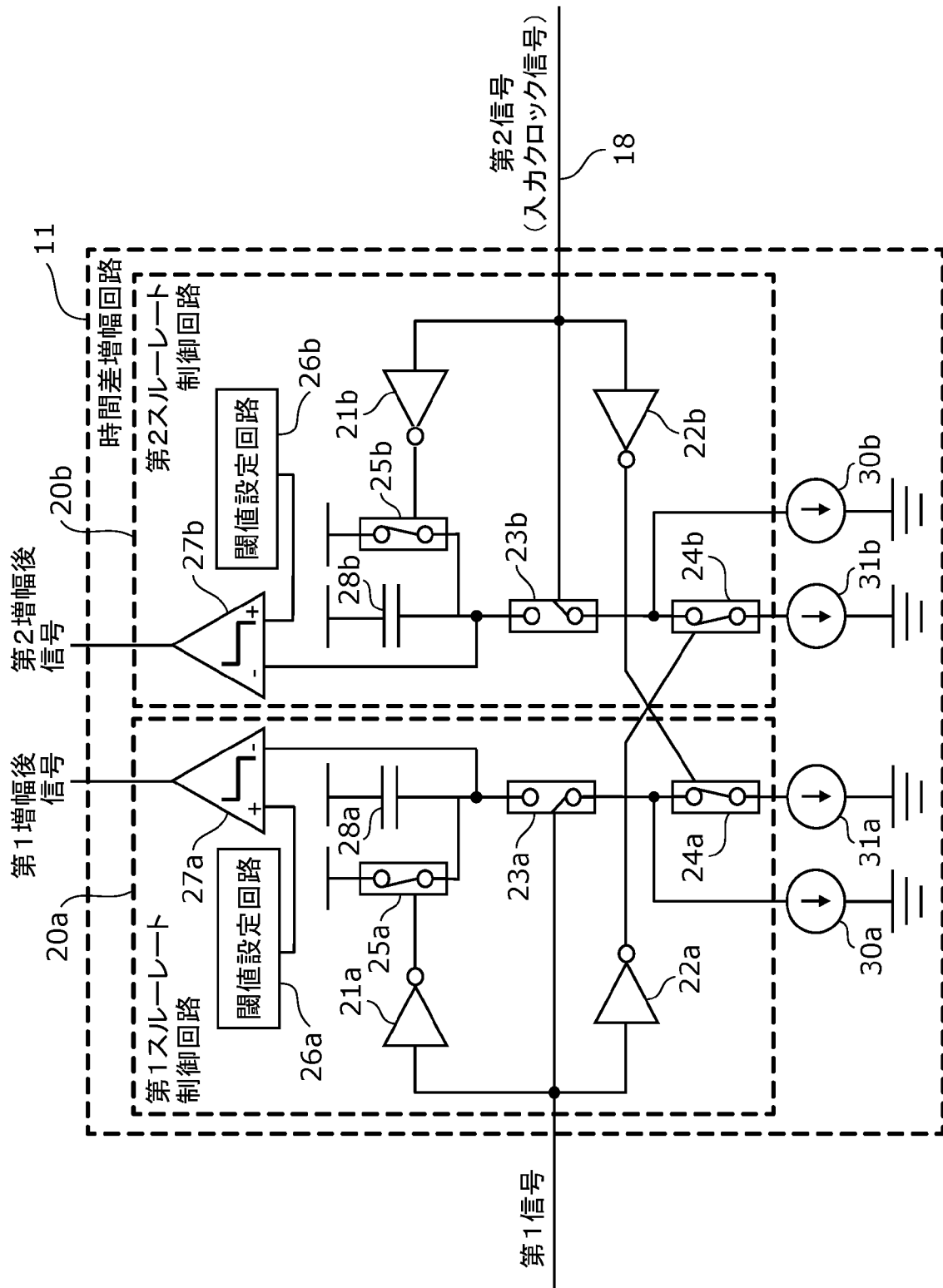
[図3]



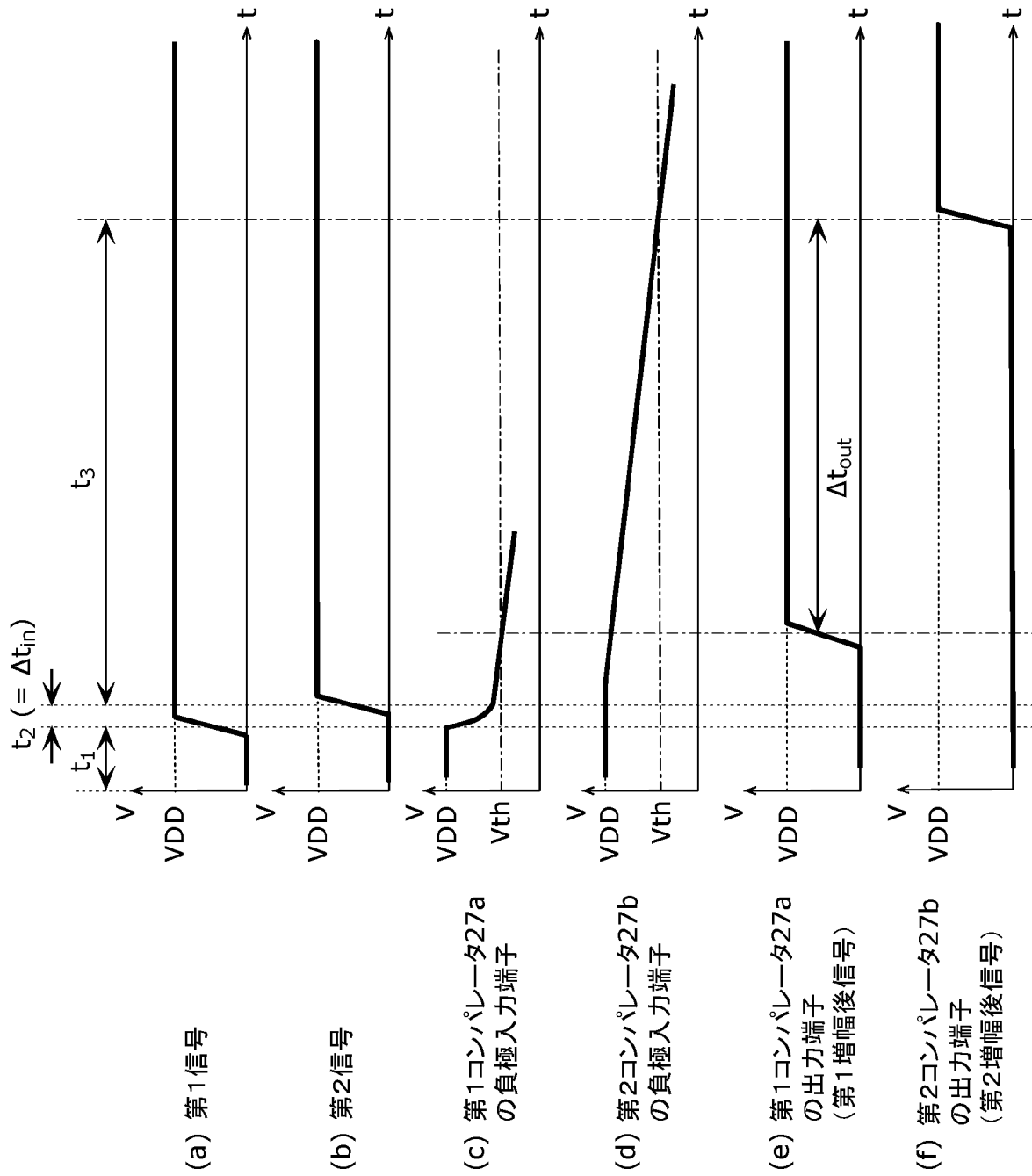
[図4]



[図5]



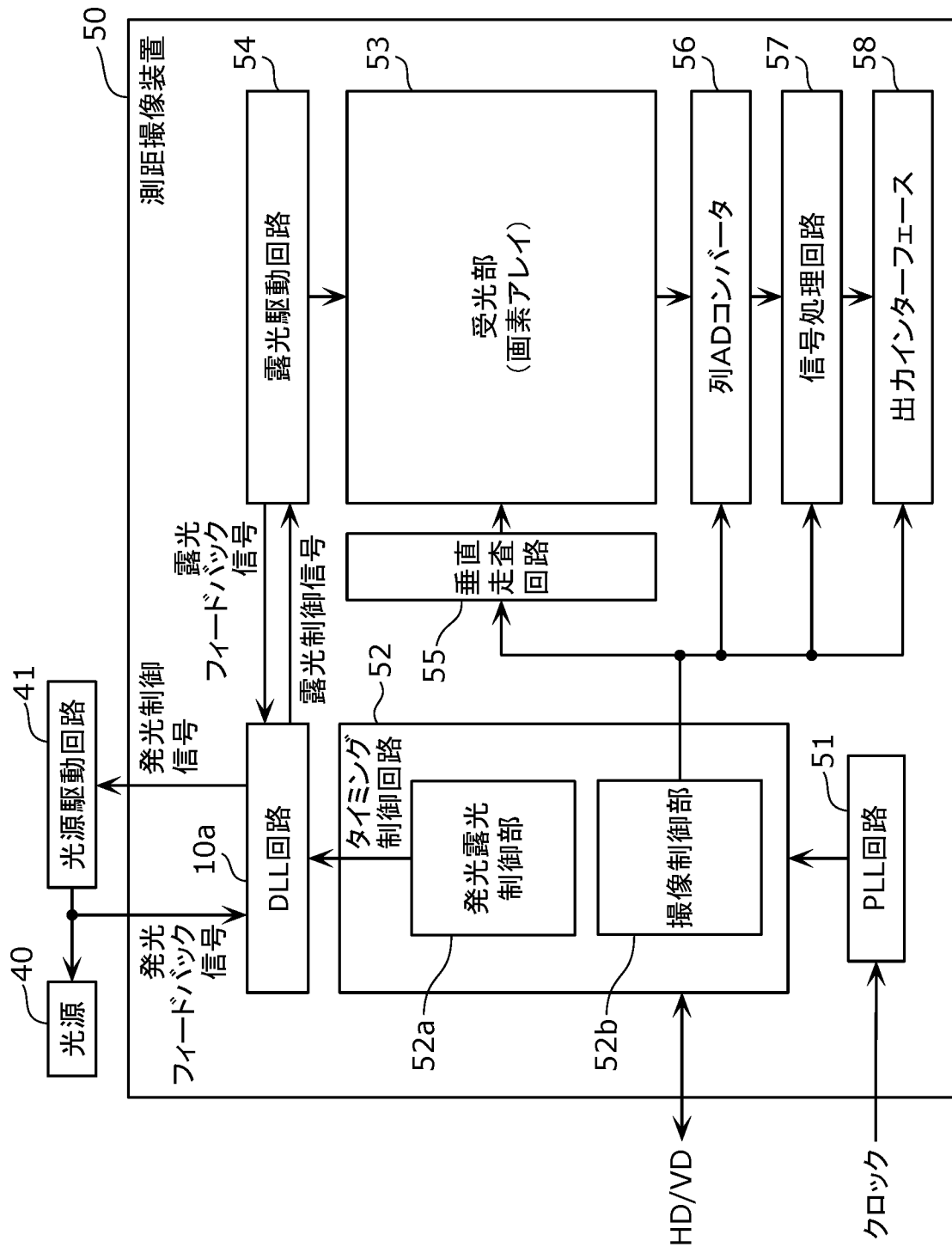
[図6]



[図7]

	期間 t_1	期間 t_2	期間 t_3
第1スイッチ23a	OFF	ON	ON
第2スイッチ24a	ON	ON	OFF
第3スイッチ25a	ON	OFF	OFF
第4スイッチ23b	OFF	OFF	ON
第5スイッチ24b	ON	OFF	OFF
第6スイッチ25b	ON	ON	OFF

[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/049308

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. G01C3/06(2006.01)i, G01S17/89(2020.01)i, H03L7/081(2006.01)i, H04N5/376(2011.01)i

FI: H03L7/081120, H04N5/376500, G01S17/89, G01C3/06120Q

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. G01C3/06, G01S17/89, H03L7/081, H04N5/376

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2020

Registered utility model specifications of Japan 1996-2020

Published registered utility model applications of Japan 1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	US 2015/0177701 A1 (SEIDEL, M. N.) 25.06.2015 (2015-06-25), paragraphs [0041]-[0048], fig. 5A	1-2, 11-12 3-10
Y A	WO 2012/120569 A1 (PANASONIC CORPORATION) 13.09.2012 (2012-09-13), paragraphs [0026]-[0031], fig. 5, 8	1-2, 11-12 3-10
Y A	JP 2009-236657 A (PANASONIC ELECTRIC WORKS CO., LTD.) 15.10.2009 (2009-10-15), paragraphs [0025]-[0030], fig. 1, 2	12 3-10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
12.02.2020

Date of mailing of the international search report
25.02.2020

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2019/049308

US 2015/0177701 A1 25.06.2015 (Family: none)

WO 2012/120569 A1 13.09.2012 US 8976054 B2
column 4, line 35 to
column 5, line 41, fig. 5, 8
CN 103262423 A

JP 2009-236657 A 15.10.2009 (Family: none)

A. 発明の属する分野の分類（国際特許分類（IPC）） G01C 3/06(2006.01)i; G01S 17/89(2020.01)i; H03L 7/081(2006.01)i; H04N 5/376(2011.01)i FI: H03L7/081 120; H04N5/376 500; G01S17/89; G01C3/06 120Q														
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） G01C3/06; G01S17/89; H03L7/081; H04N5/376 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2020年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2020年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2020年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2020年	日本国実用新案登録公報	1996 - 2020年	日本国登録実用新案公報	1994 - 2020年				
日本国実用新案公報	1922 - 1996年													
日本国公開実用新案公報	1971 - 2020年													
日本国実用新案登録公報	1996 - 2020年													
日本国登録実用新案公報	1994 - 2020年													
C. 関連すると認められる文献 <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>Y A</td> <td>US 2015/0177701 A1 (SEIDEL, Mark N.) 25.06.2015 (2015 - 06 - 25) [0041]-[0048], 図5A</td> <td>1-2, 11-12 3-10</td> </tr> <tr> <td>Y A</td> <td>WO 2012/120569 A1 (パナソニック株式会社) 13.09.2012 (2012 - 09 - 13) 段落[0026]-[0031], 図5, 8</td> <td>1-2, 11-12 3-10</td> </tr> <tr> <td>Y A</td> <td>JP 2009-236657 A (パナソニック電工株式会社) 15.10.2009 (2009 - 10 - 15) 段落[0025]-[0030], 図1-2</td> <td>12 3-10</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	Y A	US 2015/0177701 A1 (SEIDEL, Mark N.) 25.06.2015 (2015 - 06 - 25) [0041]-[0048], 図5A	1-2, 11-12 3-10	Y A	WO 2012/120569 A1 (パナソニック株式会社) 13.09.2012 (2012 - 09 - 13) 段落[0026]-[0031], 図5, 8	1-2, 11-12 3-10	Y A	JP 2009-236657 A (パナソニック電工株式会社) 15.10.2009 (2009 - 10 - 15) 段落[0025]-[0030], 図1-2	12 3-10
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
Y A	US 2015/0177701 A1 (SEIDEL, Mark N.) 25.06.2015 (2015 - 06 - 25) [0041]-[0048], 図5A	1-2, 11-12 3-10												
Y A	WO 2012/120569 A1 (パナソニック株式会社) 13.09.2012 (2012 - 09 - 13) 段落[0026]-[0031], 図5, 8	1-2, 11-12 3-10												
Y A	JP 2009-236657 A (パナソニック電工株式会社) 15.10.2009 (2009 - 10 - 15) 段落[0025]-[0030], 図1-2	12 3-10												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献														
国際調査を完了した日 12.02.2020		国際調査報告の発送日 25.02.2020												
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 竹内 亨 5W 8388 電話番号 03-3581-1101 内線 3576												

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2019/049308

引用文献			公表日	パテントファミリー文献	公表日
US	2015/0177701	A1	25.06.2015	(ファミリーなし)	
WO	2012/120569	A1	13.09.2012	US 8976054 B2	
				第4欄第35行-第5欄第41行, 図5, 8	
				CN 103262423 A	
JP	2009-236657	A	15.10.2009	(ファミリーなし)	