

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 3 区分
 【発行日】平成 25 年 1 月 24 日 (2013.1.24)

【公開番号】特開 2011-124727 (P2011-124727A)
 【公開日】平成 23 年 6 月 23 日 (2011.6.23)
 【年通号数】公開・登録公報 2011-025
 【出願番号】特願 2009-279815 (P2009-279815)
 【国際特許分類】

H 0 3 M 1/10 (2006.01)

H 0 3 M 1/12 (2006.01)

H 0 3 F 3/34 (2006.01)

【F I】

H 0 3 M 1/10 A

H 0 3 M 1/12 A

H 0 3 F 3/34 B

【手続補正書】

【提出日】平成 24 年 12 月 3 日 (2012.12.3)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

アナログ入力信号を受信し、該アナログ入力信号をサンプリングおよびホールドするスイッチトキャパシタ型の入力回路であって、

増幅器と、

一端が前記増幅器の入力端子に接続された少なくとも 1 つのキャパシタと、

前記キャパシタの他端を第 1 の基準電位または第 2 の基準電位または第 3 の基準電位のいずれかに切り替えて接続するための第 1 のスイッチとを有し、

前記第 3 及び第 2 の基準電位は前記第 1 の基準電位よりも高く、前記第 2 の基準電位は前記第 1 の基準電位と第 3 の基準電位との中間電位であり、

前記キャパシタの他端の前記第 1 のスイッチによる前記第 1 の基準電位への接続を 3 進での重み 0 のオフセット補正とし、前記キャパシタの他端の前記第 1 のスイッチによる前記第 2 の基準電位への接続を 3 進での重み 1 のオフセット補正とし、前記キャパシタの他端の前記第 1 のスイッチによる前記第 3 の基準電位への接続を 3 進での重み 2 のオフセット補正とし、

当該オフセット補正が、3 進重み付けで行われること特徴とする入力回路。

【請求項 2】

前記キャパシタは、1 : 3 : 9 の容量比を有する複数の容量素子を含み、該複数の容量素子の一端は前記増幅器の入力端子に接続され、該複数の容量素子の他端のそれぞれは前記第 1 の基準電位に接続するための複数の前記第 1 のスイッチのそれぞれに接続され、

当該オフセット補正が、前記容量比における 1 に対応する容量素子を最下位ビット、前記容量比における 3 に対応する容量素子を中間ビット、前記容量比における 9 に対応する容量素子を最上位ビットとする 3 ビットの 3 進重み付けで行われること特徴とする請求項 1 に記載の入力回路。

【請求項 3】

前記増幅器は差動増幅器であって、

前記少なくとも 1 つのキャパシタは、

一端が前記差動増幅器の正側入力端子に接続され、他端が第 1 の基準電位または第 2 の基準電位または第 3 の基準電位に接続するための前記第 1 のスイッチに接続される第 1 のキャパシタと、

一端が前記差動増幅器の負側入力端子に接続され、他端が第 1 の基準電位または第 2 の基準電位または第 3 の基準電位に接続するための前記第 2 のスイッチに接続される第 2 のキャパシタとを有し、

前記第 1 のキャパシタの他端の前記第 1 のスイッチによる前記第 1 の基準電位への接続と前記第 2 のキャパシタの各キャパシタの他端の前記第 2 のスイッチによる前記第 2 の基準電位への接続を 3 進での重み 0 のオフセット補正とし、前記第 1 のキャパシタの各容量素子の他端の第 2 の基準電位への接続と前記第 2 のキャパシタの他端との前記第 2 のスイッチによる前記第 2 の基準電位への接続を 3 進での重み 1 のオフセット補正とし、前記第 1 のキャパシタの他端の前記第 1 のスイッチによる前記第 2 の基準電位への接続と前記第 2 のキャパシタの他端の前記第 2 のスイッチによる前記第 1 の基準電位への接続を 3 進での重み 2 のオフセット補正とし、

当該オフセット補正が、3 進重み付けで行われること特徴とする請求項 1 に記載の入力回路。

【請求項 4】

アナログ入力信号を受信し、該アナログ入力信号をサンプリングおよびホールドするスイッチトキャパシタ型の入力回路であって、

第 1 入力端子および第 2 入力端子を有する差動増幅器と、

一端で前記アナログ入力信号を受信し、他端が前記第 1 入力端子に接続された入力キャパシタと、

一端に複数の電位のいずれかが選択的に供給され、他端が前記第 1 入力端子に接続された第 1 キャパシタと、

を備えることを特徴とする入力回路。

【請求項 5】

前記第 1 入力端子と前記差動増幅器の出力端子との間に並列に接続されたフィードバックキャパシタおよびスイッチを更に備える、

ことを特徴とする請求項 4 に記載の入力回路。

【請求項 6】

一端に複数の電位のいずれかが選択的に供給され、他端が前記第 1 入力端子に接続された第 2 キャパシタと、

一端に複数の電位のいずれかが選択的に供給され、他端が前記第 1 入力端子に接続された第 3 キャパシタと、

を更に備えることを特徴とする請求項 4 又は 5 に記載の入力回路。

【請求項 7】

前記第 1 キャパシタ、前記第 2 キャパシタ、第 3 キャパシタの容量比が 1 : 3 : 9 である、

ことを特徴とする請求項 6 に記載の入力回路。

【請求項 8】

請求項 1 乃至 7 のいずれか 1 項に記載の入力回路を含み、前記入力回路からの出力信号に対してアナログ / デジタル変換を行うアナログ / デジタル変換回路を有することを特徴とするアナログ / デジタルコンバータ。