

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第5568945号
(P5568945)

(45) 発行日 平成26年8月13日 (2014. 8. 13)

(24) 登録日 平成26年7月4日 (2014. 7. 4)

(51) Int.Cl.

F I

B 4 1 J 2/47 (2006.01)

H O 1 S 5/062 (2006.01)

H O 4 N 1/113 (2006.01)

B 4 1 J 2/47 1 O 1 M

H O 1 S 5/062

H O 4 N 1/04 1 O 4 A

請求項の数 6 (全 26 頁)

(21) 出願番号	特願2009-241029 (P2009-241029)	(73) 特許権者	000006747
(22) 出願日	平成21年10月20日 (2009.10.20)		株式会社リコー
(65) 公開番号	特開2011-88277 (P2011-88277A)		東京都大田区中馬込1丁目3番6号
(43) 公開日	平成23年5月6日 (2011.5.6)	(74) 代理人	100080931
審査請求日	平成24年8月16日 (2012.8.16)		弁理士 大澤 敬
		(74) 代理人	100123881
			弁理士 大澤 豊
		(72) 発明者	山下 英俊
			東京都大田区中馬込1丁目3番6号 株式
			会社リコー内
		(72) 発明者	山本 典弘
			東京都大田区中馬込1丁目3番6号 株式
			会社リコー内
		審査官	牧島 元
			最終頁に続く

(54) 【発明の名称】 画像形成装置

(57) 【特許請求の範囲】

【請求項 1】

複数のレーザ光を出力する光源と、
前記光源から出力された前記各レーザ光のそれぞれを、光量測定のための第1のレーザ光と、感光体を走査するための第2のレーザ光とに分離する分離手段と、
前記第1のレーザ光の測定された光量に応じた電圧を出力する光電変換手段と、
光電変換手段によって出力された前記各レーザ光のレーザ光毎の前記電圧が、前記各レーザ光毎の制御目標値になるように、前記各レーザ光毎に光量を制御するレーザ光別補正值を算出する第1算出手段と、
前記第1算出手段で算出した値に基づいて、前記各レーザ光の光量を制御する制御手段と、
前記制御手段によって前記各レーザ光の光量を制御する時、前記第1算出手段が算出したレーザ光別補正值の変化量が所定範囲内であるか否かを各レーザ光毎に判定する第1判定手段と、
前記第1判定手段が所定範囲内と判定した場合に、該判定に係るレーザ光別補正值を固定して、対応するレーザ光について前記レーザ光別補正值算出のための点灯を停止する第1停止手段とを備えたことを特徴とする画像形成装置。

【請求項 2】

請求項 1 に記載の画像形成装置であって、
前記各レーザ光毎の前記レーザ光別補正值に基づいて、前記各レーザ光に共通する駆動

電流値を算出する第 2 算出手段を備え、

前記制御手段は、前記第 1 算出手段と前記第 2 算出手段でそれぞれ算出した値に基づいて、前記各レーザ光の光量を制御する手段であり、

前記制御手段によって前記各レーザ光の光量を制御する時、前記第 2 算出手段が算出した駆動電流値の変化量が所定範囲内であるか否か判定する第 2 判定手段と、

前記第 2 判定手段が所定範囲内と判定した場合に、前記駆動電流値を固定する固定手段とを備えたことを特徴とする画像形成装置。

【請求項 3】

請求項 1 又は 2 に記載の画像形成装置であって、

前記各レーザ光毎の前記レーザ光別補正值に基づいて、前記各レーザ光に共通する駆動電流値を算出する第 2 算出手段と、

前記第 1 算出手段及び前記第 2 算出手段でそれぞれ算出した駆動電流値の（ は正の数）倍の駆動電流で駆動したときに、光電変換出力が前記第 1 算出手段のレーザ光毎の目標値の前記 倍になるように、閾値電流値を算出する第 3 算出手段とを備え、

前記制御手段は、前記第 1 算出手段と前記第 2 算出手段と前記第 3 算出手段でそれぞれ算出した値に基づいて、前記各レーザ光の光量を制御する手段であり、

前記制御手段によって前記各レーザ光の光量を制御する時、前記第 3 算出手段が算出した閾値電流値の変化量が所定範囲内であるか否か各レーザ光毎に判定する第 3 判定手段と

前記第 3 の判定手段が所定範囲内と判定した場合に、該判定に係る閾値電流値を固定して、対応するレーザ光について前記閾値電流値算出のための点灯を停止する第 2 停止手段とを備えたことを特徴とする画像形成装置。

【請求項 4】

請求項 1 乃至 3 のいずれか一項に記載の画像形成装置であって、

前記第 1 判定手段は、前記第 1 算出手段が算出したレーザ光別補正值の変化量が所定回数続けて前記所定範囲内であるか否かを判定することを特徴とする画像形成装置。

【請求項 5】

前記画像形成装置の全体の制御を司る制御手段から、前記所定範囲を設定するようにしたことを特徴とする請求項 1 乃至 4 のいずれか一項に記載の画像形成装置。

【請求項 6】

前記画像形成装置の全体の制御を司る制御手段から、前記所定回数を設定するようにしたことを特徴とする請求項 4 記載の画像形成装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、マルチビームを使用して画像を形成する画像形成装置に関する。

【背景技術】

【0002】

電子写真法を使用して画像を形成する画像形成装置では、感光体ドラム上に形成された静電荷を、半導体レーザ光（レーザビーム）により露光して静電潜像を形成し、現像剤により現像して画像形成を行っている。

このような画像形成装置では、半導体レーザ光源の 1 つの半導体素子から 1 ～ 4 本、多くて 8 本程度のレーザビームを照射している。

また、近年では、面発光型半導体レーザ光源（ビクセル：VCSEL）が実用化されており、この面発光型半導体レーザ光源を使用して、高精細で高速な画像形成を行える画像形成装置が提案されている。

【0003】

例えば、一般的な画像形成装置において、格子状に複数の半導体レーザ光源が配置された光源ユニット（半導体レーザアレイ）、または、同一チップ上に複数の面発光型半導体レーザ光源が格子状に配置された光源ユニットを備える場合、図 21 に示すように、光源

10

20

30

40

50

ユニット1001は、その複数の光源の配列方向がポリゴンミラーのような偏向器の回転軸に対してある角度を有するように調節して配置されている。

同図の(a)では、光源ユニット1001を、原稿又は光源ユニットの搬送方向である副走査方向を示す縦軸に対して、光源a1, b1, c1と、光源a2, b2, c2と、光源a3, b3, c3と、光源a4, b4, c4との各配列方向が、縦軸と角度を有するように傾けて配置している状態を示しており、図中の横軸は主走査方向を示す。

【0004】

この光源ユニット1001は、偏向器の回転軸に対して角度をもって配置されていることにより、同図の(b)に示すように、各光源a1~c4は、主走査方向についてそれぞれ異なる主走査位置を露光することになる。

10

ここで、各光源の内、2光源により1つの画素(1画素)を構成する場合、すなわち、光源a1とa2、光源a3とa4、光源b1とb2、光源b3とb4、光源c1とc2、光源c3とc4をそれぞれ1画素で実現した場合、同図の(c)に示すように、2光源により構成される画素d1~d6が形成される。

そして、図中の縦方向である副走査方向について、2光源により構成される画素の中心間距離が600dpi相当である場合、1画素を構成する2光源の中心間隔は1200dpi相当となり、画素密度に対して光源密度が2倍となる。

【0005】

よって、1画素を構成する光源の光量比を変えることにより、画素の重心位置を副走査方向にずらすことが可能になり、高精度な画素形成が実現できる。

20

面発光型半導体レーザ光源は、1つのチップから40本程度のレーザビームを射出することができる。

したがって、画像形成装置の潜像形成に面発光型半導体レーザ光源を使用することにより、高精細且つ高速な画像形成が可能になる。

ところで、面発光型半導体レーザ光源を潜像形成に用いる際、単に半導体レーザ光源を面発光型半導体レーザ光源に置き換えただけでは、高精細な潜像を高速に形成できるわけではない。

【0006】

例えば、潜像形成に使用するレーザビームを発生させるレーザ装置は、射出するレーザビームの光量を、目標の光量になるように制御する必要があり、当然ながら、面発光型半導体レーザ光源の場合も、多数のレーザビームを発生させる発光領域において、レーザビームの光量を管理する必要がある。

30

ゆえに、レーザビームの数が増えると、レーザビームが少ない半導体レーザ光源を使用したのと同じ光量制御を行う場合、光量制御のために時間が長くなることは明らかであり、面発光型半導体レーザ光源を適用したことに伴う高速な画像形成の利点を十分に発揮することができないことになる。

また、このためにレーザビームの光量制御を間引くなどの制御を加えると、逆に高精細な画像形成を達成することが困難になる。

【0007】

上述のような理由から、種々の技術が提案されている。

40

従来、複数の光源の各レーザビーム毎に設定される電流補正值と、上記各光源を共通して駆動するための、予め定められた共通の駆動電流とに基づいて、上記レーザビームの光量を、現在の光量値をフィードバックして制御する自動光量制御手段(オートパワーコントロール、Auto Power Control: APC)とを備え、かつ上記電流補正值と上記共通電流は、デジタル演算により算出され、デジタルアナログ変換回路(デジタルアナログコンバータ、Digital Analog Converter: DAC)により電流量に変換する画像形成装置(例えば、特許文献1参照)があった。

【0008】

このような画像形成装置では、複数の光源のレーザビーム光量を独立に制御するのではなく、1チップの面発光型半導体レーザ光源内では各光源の光量と駆動電流の関係がほぼ

50

同じ特性を持つ点に着目し、全c hに共通の電流源で発光させた光量を、各光源個別の電流補正值で制御することによって、自動光量制御をより効率的に行うことができ、またデジタル演算を用いることにより、従来のコンデンサを用いたサンプルホールド方式（アナログ方式）よりも高速な自動光量制御が可能である。

【発明の概要】

【発明が解決しようとする課題】

【0009】

しかしながら、上述した従来の画像形成装置では、自動光量制御を実行する期間について、制御開始から途中までにおいて、電流補正值及び共通電流が安定しても、制御期間が終了するまでは自動光量制御を実行し続けているため、制御期間の後半では、本来必要ないのに、自動光量制御の光量値フィードバックのために面発光型半導体レーザ光源を無駄に点灯させてしまっていた。

10

また、自動光量制御が必要になるのは、面発光型半導体レーザ光源の周辺温度の変化が大きい時である。その周辺温度が大きくなるのは、画像形成装置の印刷開始から数枚の印刷までの間である。そして、複数枚印刷した後の面発光型半導体レーザ光源の周辺温度はほぼ一定になるので、本来、複数枚印刷する時の後半では、自動光量制御を実行する必要はほとんどないか、数回行えば十分である。

【0010】

しかし、従来の画像形成装置の自動光量制御では、印刷枚数に関係なく、制御期間の最初から最後まで自動光量制御を行い、そのための点灯も行っていた。

20

このように、従来の画像形成装置では、自動光量制御の際に面発光型半導体レーザ光源を無駄に点灯させていたので、面発光型半導体レーザ光源の劣化を早め、画像形成装置の使用寿命を短くしてしまっていたという問題があった。

特に、面発光型半導体レーザ光源は、従来の半導体レーザ光源に比べて寿命が短いため、上述のような面発光型半導体レーザ光源の無駄な点灯は重大な問題点であった。

また、面発光型半導体レーザ光源を搭載する画像形成装置は、多くの枚数を印刷することが求められるので、面発光型半導体レーザ光源を無駄に点灯しないようにすることは切実な問題である。

【0011】

上述したように、これまでの多光源のレーザビーム光量を制御する装置では、自動光量制御の高速化に重点を置いていたため、面発光型半導体レーザ光源の点灯回数への配慮は十分であるとは言えなかった。

30

また、面発光型半導体レーザ光源の寿命は従来の半導体レーザ光源よりも短いため、従来のように自動光量制御の点灯を繰り返しては、画像形成装置の寿命を短くしてしまう恐れがあった。

そこで、面発光型半導体レーザ光源を使用する画像形成装置においては、複数光源の各レーザビーム光量の自動光量制御を高速に行い、かつ自動光量制御を必要最低限の回数に抑える技術が必要とされている。

【0012】

この発明は上記の点に鑑みてなされたものであり、半導体レーザ光源を無駄に点灯させることなく、自動光量制御を高速で且つ効率よく行えるようにすることを目的とする。

40

【課題を解決するための手段】

【0013】

この発明は上記の目的を達成するため、複数のレーザ光を出力する光源と、上記光源から出力された上記各レーザ光のそれぞれを、光量測定のための第1のレーザ光と、感光体を走査するための第2のレーザ光とに分離する分離手段と、上記第1のレーザ光の測定された光量に応じた電圧を出力する光電変換手段と、光電変換手段によって出力された上記各レーザ光のレーザ光毎の上記電圧が、上記各レーザ光毎の制御目標値になるように、上記各レーザ光毎に光量を制御するレーザ光別補正值を算出する第1算出手段と、上記第1算出手段で算出した値に基づいて、上記各レーザ光の光量を制御する制御手段と、上記制

50

御手段によって上記各レーザ光の光量を制御する時、上記第1算出手段が算出したレーザ光別補正值の変化量が所定範囲内であるか否か各レーザ光毎に判定する第1判定手段と、上記第1判定手段が所定範囲内と判定した場合に、その判定に係るレーザ光別補正值を固定して、対応するレーザ光について上記レーザ光別補正值算出のための点灯を停止する第1停止手段とを備えた画像形成装置を提供する。

このような画像形成装置において、前記各レーザ光毎の前記レーザ光別補正值に基づいて、前記各レーザ光に共通する駆動電流値を算出する第2算出手段を設け、前記制御手段を、前記第1算出手段と前記第2算出手段でそれぞれ算出した値に基づいて、前記各レーザ光の光量を制御する手段とし、上記制御手段によって上記各レーザ光の光量を制御する時、上記第2算出手段が算出した駆動電流値の変化量が所定範囲内であるか否か判定する第2判定手段と、上記第2判定手段が所定範囲内と判定した場合に、上記駆動電流値を固定する固定手段とを設けるとよい。

10

さらに、上記第1算出手段及び上記第2算出手段でそれぞれ算出した駆動電流値の（は正の数）倍の駆動電流で駆動したときに、光電変換出力が上記第1算出手段のレーザ光毎の目標値の上記倍になるように、閾値電流値を算出する第3算出手段を設け、上記制御手段は、上記第1算出手段と上記第2算出手段と上記第3算出手段でそれぞれ算出した値に基づいて、上記各レーザ光の光量を制御する手段であり、上記制御手段によって上記各レーザ光の光量を制御する時、上記第3算出手段が算出した閾値電流値の変化量が所定範囲内であるか否か各レーザ光毎に判定する第3判定手段と、上記第3の判定手段が所定範囲内と判定した場合に、その判定に係る閾値電流値を固定して、対応するレーザ光について上記閾値電流値算出のための点灯を停止する第2停止手段とを設けるとよい。

20

【0014】

また、上記第1判定手段が、上記第1算出手段が算出したレーザ光別補正值の変化量が所定回数続けて上記所定範囲内であるか否かを判定するようにするとよい。

さらに、上記画像形成装置の全体の制御を司る制御手段から、上記所定範囲、又は上記所定回数を設定するようにするとよい。

【発明の効果】

【0015】

この発明による画像形成装置は、面発光型半導体レーザ光源を無駄に点灯させることなく、自動光量制御を高速で且つ効率よくすることができる。

30

【図面の簡単な説明】

【0016】

【図1】この発明の一実施例である画像形成装置の機能構成を示すブロック図である。

【図2】図1に示す画像形成装置の光学装置の構成を示す図である。

【図3】紙間APCの説明図である。

【図4】図2に示すVCSSELを駆動させる部分の構成を示す図である。

【図5】図2に示すVCSSELが出力するレーザ光の出力特性を示すグラフの図である。

【0017】

【図6】図4に示すマイクロコントローラのROM領域においてVCSSELを制御する初期値を格納するテーブル構造を示す図である。

40

【図7】図4に示す駆動電流演算部が備えるDEV演算部の内部構成を示す図である。

【図8】図4に示す駆動電流演算部が備えるTH演算部の内部構成を示す図である。

【図9】図4に示す駆動電流演算部が備えるSW演算部の内部構成を示す図である。

【図10】図4に示すドライバの詳細な内部構成を示すブロック図である。

【0018】

【図11】図7に示すAPCモード制御部の入出力信号を説明する図である。

【図12】図7及び図11に示すAPCモード制御部のモードの遷移を示す図である。

【図13】APC__MODEがmode0の場合に生成される信号のタイミングチャートを示した図である。

【図14】APC__MODEがmode1又はmode2の場合に生成される信号のタイ

50

ミングチャートを示した図である。

【 0 0 1 9 】

【図 1 5】 S W , D E V , 及び T H の各イネーブル信号生成部に対する設定の説明に供するブロック図である。

【図 1 6】 同じく S W , D E V , 及び T H の各イネーブル信号生成部に対する設定の説明に供するブロック図である。

【図 1 7】 また同じく S W , D E V , 及び T H の各イネーブル信号生成部に対する設定の説明に供するブロック図である。

【図 1 8】 タイミング生成部に対する設定の説明に供するブロック図である。

【 0 0 2 0 】

【図 1 9】 制御対象 S W , D E V , 及び T H の整定の判定と整定後の L D O N 信号の制御を行う構成を示すブロック図である。

【図 2 0】 図 1 9 に示す整定判定部による整定判定処理を示すフローチャート図である。

【図 2 1】 複数の面発光型半導体レーザ光源が格子状に配置された光源ユニットの説明図である。

【発明を実施するための形態】

【 0 0 2 1 】

以下、この発明を実施するための形態を図面に基づいて具体的に説明する。

なお、この発明は、後述する実施例に限定されるものではない。

〔実施例〕

図 1 は、この発明の一実施例である画像形成装置の機能構成を示すブロック図である。

なお、同図中の矢示 A は図 2 における視線方向を示すものである。

この画像形成装置 1 0 0 は、例えば、複写機、複合機を含む画像処理装置であり、半導体レーザ、ポリゴンミラーなどの光学要素を含む光学装置 1 0 2 と、感光体ドラム 1 0 4 a , 1 0 6 a , 1 0 8 a , 1 1 0 a、帯電器（帯電装置） 1 0 4 b , 1 0 6 b , 1 0 8 b , 1 1 0 b、現像器（現像装置） 1 0 4 c , 1 0 6 c , 1 0 8 c , 1 1 0 c などを含む像形成部 1 1 2 と、中間転写ベルト 1 1 4 などを含む転写部 1 2 2 を含んで構成される。

【 0 0 2 2 】

光学装置 1 0 2 は、面発光型半導体レーザ光源（光源に相当する）から放出された光ビーム（レーザビーム） L を、ポリゴンミラー 1 0 2 c により偏向させ、 f レンズ 1 0 2 b に入射させている。

光ビーム L は、シアン（以下「 C 」と記す）、マゼンタ（以下「 M 」と記す）、イエロー（以下「 Y 」と記す）、ブラック（以下「 K 」と記す）の各色に対応した数発生されていて、 f レンズ 1 0 2 b を通過した後、反射ミラー 1 0 2 a で反射される。

W T L レンズ 1 0 2 d は、光ビーム L を整形した後、反射ミラー 1 0 2 e へと光ビーム L を偏向させ、さらに反射ミラー 1 0 2 f に反射させ、露光のために使用される光ビーム L として感光体ドラム 1 0 4 a , 1 0 6 a , 1 0 8 a , 1 1 0 a へと像状照射する。

【 0 0 2 3 】

感光体ドラム 1 0 4 a , 1 0 6 a , 1 0 8 a , 1 1 0 a への光ビーム L の照射は、上述したように複数の光学要素を使用して行われるため、主走査方向及び副走査方向に関して、タイミング同期が行われている。

なお、この画像形成装置 1 0 0 では、以下、主走査方向を、光ビーム L の走査方向として定義し、副走査方向を、主走査方向に対して直交する方向、感光体ドラム 1 0 4 a , 1 0 6 a , 1 0 8 a , 1 1 0 a の回転する方向として定義する。

感光体ドラム 1 0 4 a , 1 0 6 a , 1 0 8 a , 1 1 0 a は、アルミニウムなどの導電性ドラム上に、少なくとも電荷発生層と、電荷輸送層とを含む光導電層を備えている。

光導電層は、それぞれ感光体ドラム 1 0 4 a , 1 0 6 a , 1 0 8 a , 1 1 0 a に対応して配設され、コロトロン、スコロトロン、又は帯電ローラなどを含んで構成される帯電器 1 0 4 b , 1 0 6 b , 1 0 8 b , 1 1 0 b により表面電荷が付与される。

【 0 0 2 4 】

10

20

30

40

50

各帯電器 104b, 106b, 108b, 110b により、感光体ドラム 104a, 106a, 108a, 110a 上に付与された静電荷は、光ビーム L により像状露光され、静電潜像が形成される。

感光体ドラム 104a, 106a, 108a, 110a 上に形成された静電潜像は、現像スリーブ、現像剤供給ローラ、規制ブレードなどを含む現像器 104c, 106c, 108c, 110c により現像され、現像剤像が形成される。

感光体ドラム 104a, 106a, 108a, 110a 上に担持された現像剤は、搬送ローラ 114a, 114b, 114c により矢線 B の方向に移動する中間転写ベルト 114 上に転写される。

中間転写ベルト 114 は、C, M, Y, K の現像剤を担持した状態で 2 次転写部へと搬送される。

10

【0025】

2 次転写部は、2 次転写ベルト 118 と、搬送ローラ 118a, 118b とを含んで構成される。

2 次転写ベルト 118 は、搬送ローラ 118a, 118b により、図中矢線 C の方向に搬送される。

2 次転写部には、給紙カセットなどの受像材収容部 128 から上質紙（用紙）、プラスチックシートなどの受像材（記録媒体）124 が搬送ローラ 126 により供給される。

2 次転写部は、2 次転写バイアスを印加して、中間転写ベルト 114 上に担持された多色現像剤像を、2 次転写ベルト 118 上に吸着保持された受像材 124 に転写する。

20

受像材 124 は、2 次転写ベルト 118 の搬送と共に定着装置 120 へと供給される。

【0026】

定着装置 120 は、シリコンゴム、フッソゴムなどを含む定着ローラなどの定着部材 130 を含んで構成されていて、受像材 124 と多色現像剤像とを加圧加熱し、印刷物 132 として画像形成装置 100 の外部へと出力する。

多色現像剤像を転写した後の中間転写ベルト 114 は、クリーニングブレードを含むクリーニング部 116 により転写残現像剤が除去された後、次の像形成プロセスへと供給されている。

なお、各感光体ドラム 104a, 106a, 108a, 110a の主走査方向の終点付近には、副走査ずれ検出装置（公知なので図示を省略）が配設されていて、副走査方向のずれを検出している。

30

【0027】

図 2 は、図 1 に示す画像形成装置 100 の光学装置 102 を、図 1 の矢示 A の視線方向から参照した平面構成を示す図である。

なお、図 2 には、図 1 の矢示 A の視線方向から参照できない、静電潜像が形成される感光体ドラム 104a も、レーザ光 L による走査を明確にするために記載した。

図 2 に示すように、光学装置 102 は、ドライバ 206 と、VCSEL コントローラ（以下、「GAVD」と称す）200 と、駆動電流演算部（駆動電流制御部）204 と、A/D 変換部 202 と、カップリング光学素子 210 と、ハーフミラー 212 と、全反射ミラー 214 と、第 2 集光レンズ 216 と、光電変換素子 218 とを備えている。

40

VCSEL コントローラ 200 は、特定用途集積回路（Application Specific Integrated Circuit: ASIC）であり、画像形成装置 100 の画像形成を制御する CPU（図示を省略）からの制御信号を受信して、VCSEL 208 の駆動制御を指令する。

【0028】

また、GAVD 200 は、CPU からの指令に応答して VCSEL 208 に対する工場調整信号、初期化信号、ライン APC のためのライン APC（Auto Power Control）信号、紙間 APC のための紙間 APC 信号などを発行する。

さらに、ライン APC は、画像形成装置 100 が動作中に、印刷物（記録紙）に対して印刷中に、レーザ光が主走査方向に走査される毎のタイミングでレーザ光の光量補正を行

50

う制御である。

紙間 A P C は、複数の枚数を連続印刷中の印刷物と印刷物の間（紙間）において、ライン A P C とは異なる手法にてレーザ光の光量補正を行う制御である。

【 0 0 2 9 】

具体的には、紙間 A P C とは、図 3 に示すように、例えば、中間転写ベルトが搬送方向 B に移動する場合において、用紙 P のためのトナー像を形成するためにレーザ光 L が感光体ドラム K を走査し、その後、次の用紙 P に対する照射がされた場合に、光ビーム L が感光体ドラム K を走査するまでの間である I N T で示した間隔において、レーザ光 L の光量補正を行う制御のことである。

また、プロコン A P C とは、画像形成装置 1 0 0 の作像能力を調整するためのプロセス制御中に行う光量調整のことであり、走査 A P C とは、画像形成装置 1 0 0 の機内温度がある一定以上の温度変化を示した時や、ある一定以上の連続枚数印刷を行った後に実行する光量調整のことである。

【 0 0 3 0 】

ドライバ 2 0 6 は、V C S E L 2 0 8 に対して駆動電流を供給する。

具体的には、ドライバ 2 0 6 は G A V D 2 0 0 による制御信号を受信し、制御信号に対応する駆動電流を V C S E L 2 0 8 に供給することで、V C S E L 2 0 8 を駆動させる。

そして、駆動した V C S E L 2 0 8 はレーザ光 L を発生させる。

この実施例では、V C S E L 2 0 8 からのレーザ光 L は 4 0 チャネルに対応する 4 0 本射出される例とするが、射出されるレーザ光 L の数は特に限定はしない。

レーザ光 L は、カップリング光学素子 2 1 0 により平行光とされた後、ハーフミラー 2 1 2 に入射する。

ハーフミラー 2 1 2 は、誘電体多層膜コーティングなどにより形成される。

【 0 0 3 1 】

そして、ハーフミラー 2 1 2 は、分離手段の機能を果たし、入射されたレーザ光 L を、光量測定のためのモニタ光（モニタービーム、第 1 のレーザ光）と、感光体を走査するための走査光（走査ビーム、第 2 のレーザ光）とに分離する。

走査ビームは、ポリゴンミラー 1 0 2 c により偏向されて f レンズ 1 0 2 b を通過して感光体ドラム 1 0 4 a へと照射される。

なお、感光体ドラム 1 0 4 a の走査開始位置付近には、フォトダイオード（P D）を含む同期検知装置 2 2 0 が配置されている。

同期検知装置 2 2 0 は、走査ビームを検出し、同期信号を発行する。

同期信号は、第 1 光量補正を含む各種制御についてタイミングを与える信号とする。

モニタービームは、全反射ミラー 2 1 4 により第 2 集光レンズ 2 1 6 へと反射され、第 2 集光レンズ 2 1 6 を経て、フォトダイオードなど光電変換素子 2 1 8 に反射される。

【 0 0 3 2 】

光電変換素子 2 1 8 は、光電変換手段の機能を果たし、モニタービームの光量に対応したモニター電圧 V p d を出力し、A / D 変換部 2 0 2 は、上記モニター電圧 V p d に対応するモニタ信号に変換する。

そして、モニタ信号は、駆動電流演算部 2 0 4 に送信される。

駆動電流演算部 2 0 4 は、入力されたモニタ信号が指し示すレーザ光の光量値に基づいて、例えば V C S E L 制御データを生成する。

その生成された V C S E L 制御データは、ドライバ 2 0 6 による駆動電流の制御に用いられる。

そのため、駆動電流演算部 2 0 4 は、生成した V C S E L 制御データを、ドライバ 2 0 6 に出力する。

【 0 0 3 3 】

なお、A / D 変換部 2 0 2 および駆動電流演算部 2 0 4 は、別モジュールとして構成してもよいし、また一体にして構成してもよい。

また、一体として構成する場合には、例えば、処理のために使用する各種制御値を格納

10

20

30

40

50

するROM, RAMなどを備えるマイクロコントローラとするなどが考えられる。

【0034】

図4は、VCSEL208を駆動させる構成を示したブロック図である。

図4に示すように、VCSEL208を駆動させるために、画像形成装置100は、CPU400と、同期検知装置220と、GAVD200と、ドライバ206と、VCSEL208と、マイクロコントローラ401と、APC制御部402と、光電変換素子218とを備えている。

GAVD200は、CPU400からの制御信号を受信し、VCSEL208の、工場設定調整、初期化設定を開始する。

それと平行して、同期検知装置220が、レーザ光の検出を開始する。

APC制御部402は、A/D変換部202, 駆動電流演算部204, 及びIF(インタフェース)制御部403から構成される。

【0035】

また、マイクロコントローラ401は、演算部411と、ROM領域及びRAM領域を含むメモリ412とで構成される。

そのメモリ412は、駆動電流演算部204が使用する各種制御値の初期値などを格納する。

さらに、メモリ412のROM領域は、工場設定データなどを格納し、RAM領域は、領域のために必要な値を格納するレジスタメモリなどとして利用される。

マイクロコントローラ401は、GAVD200からの指令を、APC制御部402のIF制御部403を介して受信する。

そして、演算部411が、受信した指令に対応して、メモリ412に格納された工場設定データと、レーザ光の光量とを使用して初期値設定を演算する。

【0036】

マイクロコントローラ401は、IF制御部403を介して、駆動電流演算部204内に含まれるレジスタメモリ421に設定する。

駆動電流演算部204は、レジスタメモリ421と、DEV演算部422と、SW演算部423と、TH演算部424とを備えている。

レジスタメモリ421は、後述するch1目標値レジスタ701__1~ch40目標値レジスタ701__40と、ch1DEVレジスタ705__1~ch40DEVレジスタ705__40と、SWレジスタ805と、ch1THレジスタ1705__1~ch40THレジスタ1705__40とを含む。

すなわち、初期起動時にch1目標値レジスタ701__1~ch40目標値レジスタ701__40と、ch1DEVレジスタ705__1~ch40DEVレジスタ705__40と、SWレジスタ805と、ch1THレジスタ1705__1~ch40THレジスタ1705__40とに対して、マイクロコントローラ401による初期設定値が設定される。

【0037】

DEV演算部422は、第1算出手段の機能を果たし、A/D変換部202により出力されたモニタ信号等に基づいて、レーザ光(i)毎に、ビーム(レーザ光)別電流補正值DEV(i)を算出する。

ビーム別電流補正值DEV(i)は、レーザ光毎に光量を制御する電流を補正する補正值を示す。

SW演算部423は、第2算出手段の機能を果たし、レーザ光毎のビーム別電流補正值DEV(i)等に基づいて、全てのレーザ光に共通して供給される電流である共通供給電流値(全レーザ光に共通する駆動電流値)Iswを算出する。

TH演算部424は、第3算出手段の機能を果たし、A/D変換部202により出力されたモニタ信号等に基づいて、レーザ光(i)毎に、ビーム別の閾値電流値として供給される電流値Ith(i)を算出する。

【0038】

なお、VCSEL制御データには、ビーム別電流補正值DEV(i)と、共通供給電流

10

20

30

40

50

値 I_{sw} と、共通供給電流補正データ SHD と、ビーム別閾値電流値 $I_{th}(i)$ とが含まれている。

また、上記算出されたビーム別電流補正值 $DEV(i)$ と、共通供給電流値 I_{sw} と、ビーム別閾値電流値 $I_{th}(i)$ はレジスタメモリ 421 に更新して格納される。

そして、レジスタメモリ 421 に格納された $VCSSEL$ 制御データは、 $VCSSEL$ の連続動作および画像形成装置 100 の環境動作による $VCSSEL208$ の光量制御に用いられる。

なお、 DEV 演算部 422， SW 演算部 423，および TH 演算部 424 による演算法および SHD の切り替え手法については後述する。

【0039】

そして、 APC 制御部 402 で算出された $VCSSEL$ 制御データは、 $GAVD200$ に送られる。

最初の $VCSSEL$ 制御データは、マイクロコントローラ 401 により設定された初期設定電流値が各チャンネルの点灯信号と共にドライバ 206 に入力される。

ドライバ 206 は、入力された初期設定電流値を PWM 変換して駆動電流を設定し、チャンネル点灯信号により指定されるチャンネルに対して、設定した駆動電流レベルの電流を供給する。

【0040】

その供給された電流により駆動した $VCSSEL208$ は、レーザ光を発生させる。

上記発生した各チャンネルのレーザ光は、光電変換素子 218 を介して、当該レーザ光の光量の制御のためにフィードバックする。

上記フィードバックされたモニタ信号に基づいて、駆動電流演算部 204 は、適切な共通供給電流値 I_{sw} ，ビーム別電流補正值 $DEV(i)$ ，およびビーム別閾値電流値 $I_{th}(i)$ を算出する。

【0041】

図 5 は、この実施例の画像形成装置 100 における $VCSSEL208$ が出力するレーザ光の出力特性（以下、 $I-L$ 特性として参照する。）を示したグラフである。

この実施例では、 $VCSSEL208$ は、40ch の半導体レーザ素子から構成されている。

図 5 に示すグラフは、各半導体レーザ素子に供給される電流に応じて出力される光量を示している。

半導体レーザ素子は、それぞれ、レーザ発振を開始する ビーム別閾値電流値 $I_{th}(i)$ が存在する。

また、半導体レーザ素子は、それぞれの素子特性に対応して、駆動電流レベル I に対応する出力 L のレベルが相違する。

【0042】

このため、各半導体レーザ素子が同一のレーザビーム光量を出力するための駆動電流 I は、初期設定時でも値 I で示される分だけ相違する。

なお、共通供給電流値 $I_{sw}(i)$ は、出荷前に工場の測定に基づいて、メモリ 412 の ROM 領域に登録されるチャンネル i についてのプローブ電流値を示している。

そして、共通供給電流値 $I_{sw}(i)$ は、半導体レーザ素子の初期設定を行う場合に用いられる。

この実施例における i は $VCSSEL208$ のレーザ光の各チャンネル (ch) を表しており、この実施例では $i = 1 \sim 40$ の値を取る。

【0043】

図 6 は、マイクロコントローラ 401 の ROM 領域において、 $VCSSEL208$ を制御する初期値を格納するテーブル構造を示す図である。

ROM 領域には、 ch 番号 502 と、規定光量発光時のモニタ電圧（「初期モニタ電圧」ともいう） $Vpd504$ と、初期化電流 I_{sw_A506} とが対応付けて記憶されている。

10

20

30

40

50

また、V C S E L 2 0 8 の各種制御値の初期値は、半導体レーザ素子に割り当てられた c h 番号 5 0 2 毎に登録されている。

【 0 0 4 4 】

初期モニタ電圧 V_{pd} 5 0 4 は、工場出荷時に設定された、光電変換素子 2 1 8 のモニタ電圧とする。

初期化電流 I_{sw} A 5 0 6 は、半導体素子それぞれに対して設定された初期駆動電流値 $I_{sw}(i)$ の平均値とする。

そして、初期化電流 I_{sw} A 5 0 6 は、光量制御時のモニタ光量を与えるための電流とする。

これらの R O M 領域に格納された各種制御値の初期値は、A P C 制御部 4 0 2 内の駆動電流演算部 2 0 4 の演算に用いられる。

10

【 0 0 4 5 】

図 7 は、図 4 に示す駆動電流演算部 2 0 4 が備える D E V 演算部 4 2 2 の内部構成を示した図である。

図 4 に示した D E V 演算部 4 2 2 は、図 7 に示すように、c h 1 目標値レジスタ 7 0 1 __ 1 ~ c h 4 0 目標値レジスタ 7 0 1 __ 4 0 と、セレクトア 7 0 2 と、減算器 7 0 3 と、加算器 7 0 4 と、c h 1 D E V レジスタ 7 0 5 __ 1 ~ c h 4 0 D E V レジスタ 7 0 5 __ 4 0 と、セレクトア 7 0 6 と、イネーブル信号生成部 7 0 7 と、A P C モード制御部 7 0 8 と、タイミング生成部 7 0 9 と、乗算器 7 1 0 とを備えている。

上記 c h 1 目標値レジスタ 7 0 1 __ 1 ~ c h 4 0 目標値レジスタ 7 0 1 __ 4 0 と、c h 1 D E V レジスタ 7 0 5 __ 1 ~ c h 4 0 D E V レジスタ 7 0 5 __ 4 0 は、それぞれレジスタメモリ 4 2 1 内にあるが、説明の便宜上、図 7 に記載するようにした。

20

【 0 0 4 6 】

c h 1 目標値レジスタ 7 0 1 __ 1 ~ c h 4 0 目標値レジスタ 7 0 1 __ 4 0 は、予め定められた各チャネルの A P C の目標値を保持する。

この実施例の画像形成装置 1 0 0 では、チャネルが、V C S E L 2 0 8 の半導体レーザ素子毎に割り当てられている。

これは、像面上で同じパワーを得るときの A / D 変換部 2 0 2 から出力されるモニタ信号は、光学系などの特性により、同一の像面光量を得たときのモニタ信号の値が V C S E L 各チャネルにより異なることがあるためである。

30

c h 1 目標値レジスタ 7 0 1 __ 1 ~ c h 4 0 目標値レジスタ 7 0 1 __ 4 0 に設定する値はマイクロコントローラ 4 0 1 内のメモリ 4 1 2 の R O M 領域に記憶した値により、マイクロコントローラ 4 0 1 で算出し、設定される。

【 0 0 4 7 】

A P C モード制御部 7 0 8 は、A P C 制御モードを制御する。

なお、A P C 制御モードについては後述する。

タイミング生成部 7 0 9 は、A P C を行う V C S E L チャネルを指定するチャネル指定信号 (A P C __ C H) の生成、V C S E L 2 0 8 の点灯タイミング (L D O N) の生成、A / D 変換部 2 0 2 のサンプリングタイミング (A D __ S M P) の生成、後述する c h 1 D E V レジスタ 7 0 5 __ 1 ~ c h 4 0 D E V レジスタ 7 0 5 __ 4 0 や、S W レジスタ、c h 1 T H レジスタ ~ c h 4 0 T H レジスタの更新タイミング (C T L __ E N)、制御対象を D E V および S W とするか、T H とするかを示す信号 A P C __ T G T の生成を行う。

40

セレクトア 7 0 2 は、タイミング生成部 7 0 9 で生成される A P C __ C H にしたがって、c h 1 目標値レジスタ 7 0 1 __ 1 ~ c h 4 0 目標値レジスタ 7 0 1 __ 4 0 に保持された各チャネルの A P C の目標値の 1 つを選択して、減算器 7 0 3 に出力する。

【 0 0 4 8 】

減算器 7 0 3 は、セレクトア 7 0 2 から入力される各チャネルの A P C の目標値から、A / D 変換部 2 0 2 から入力される、各チャネルのモニタービームの光量に対応するモニタ信号を減算する。この減算した値を目標差分値とする。

乗算器 7 1 0 は、減算器 7 0 3 の出力値である目標差分値にゲインを乗算したデータを

50

加算器 704 に出力する。

加算器 704 は乗算器 710 から出力されたデータとセクタ 706 から出力されたデータを加算したデータを $ch1DEV$ レジスタ 705__1 ~ $ch40DEV$ レジスタ 705__40 に出力する。

【0049】

イネーブル信号生成部 707 は APC モード制御部 708 により生成される APC モード信号 (APC__MODE)、タイミング生成部 709 により生成される APC の制御対象 (APC__TGT)、APC チャンネル (APC__CH)、及びレジスタ更新タイミング (CTL__EN) に従って、該当する $ch1DEV$ レジスタ 705__1 ~ $ch40DEV$ レジスタ 705__40 に対して、ライトイネーブル信号を出力する。

10

$ch1DEV$ レジスタ 705__1 ~ $ch40DEV$ レジスタ 705__40 は、加算器 704 から出力された出力値を保持し、ビーム別電流補正值 $DEV(1) \sim DEV(40)$ として出力する。

この出力値の更新は、イネーブル信号生成部 707 からライトイネーブル信号が入力されたタイミングで行われる。

【0050】

セクタ 706 はタイミング生成部 709 が生成する APC__CH に従って、 $ch1DEV$ レジスタ 705__1 ~ $ch40DEV$ レジスタ 705__40 に格納されている出力値を加算器 704 に出力する。

DEV 演算部 422 が上述した構成を備えることにより、VCSSEL208 の各チャンネルの A/D 変換部 202 から入力される (モニタビームの光量を示す) モニタ信号が、各チャンネルの目標値よりも大きい場合には対応するチャンネルのビーム別電流補正值 DEV を小さくするようにフィードバック制御がかかり、小さい場合には対応するチャンネルのビーム別電流補正值 DEV データが大きくなるようにフィードバック制御がかかる。

20

このため、VCSSEL208 の半導体レーザ毎に出力されるレーザ光の光量が、目標値となるように制御される。

【0051】

図 8 は、図 4 に示す駆動電流演算部 204 が備える TH 演算部 424 の内部構成を示した図である。

図 4 に示す TH 演算部 424 は、図 8 に示すように、 $ch1$ 目標値レジスタ 701__1 ~ $ch40$ 目標値レジスタ 701__40 と、セクタ 1702 と、減算器 1703 と、加算器 1704 と、 $ch1$ TH レジスタ 1705__1 ~ $ch40$ TH レジスタ 1705__40 と、セクタ 1706 と、イネーブル信号生成部 1707 と、乗算器 1710 と、乗算器 1711、シェーディングデータ切替信号生成部 1713 と、シェーディングレジスタ (SHD レジスタ) 1714 と、乗算器 1712 と、セクタ 1715 を備える。

30

なお、 $ch1$ 目標値レジスタ 701__1 ~ $ch40$ 目標値レジスタ 701__40 と、 $ch1$ TH レジスタ 1705__1 ~ $ch40$ TH レジスタ 1705__40、及びシェーディングレジスタ 1714 は レジスタメモリ 421 内にあるが、説明のため、図 8 に表示するようにした。

【0052】

40

セクタ 1702 は、タイミング生成部 709 で生成される APC__CH にしたがって、 $ch1$ 目標値レジスタ 701__1 ~ $ch40$ 目標値レジスタ 701__40 に保持された各チャンネルの APC の目標値の 1 つを選択して、乗算器 1711 に出力する。

乗算器 1711 は入力値に対し、通常 APC 動作時 (SHD1) に対する TH 制御を行う場合の補正值 (SHD2) の割合 ($SHD2 / SHD1$) をかけて、減算器 1703 に出力する。

減算器 1703 は、セクタ 1702 から入力される各チャンネルの APC の目標値から、A/D 変換部 202 から入力される、各チャンネルのモニタビームの光量に対応するモニタ信号を減算する。この減算した値を目標差分値とする。

乗算器 1710 は、減算器 1703 の出力値である目標差分値にゲインを乗算したデー

50

タを加算器 1704 に出力する。

【0053】

加算器 1704 は乗算器 1710 からの出力と、セクタ 1706 の出力を加算したデータを ch1THレジスタ1705__1 ~ ch40THレジスタ1705__40 に出力する。

イネーブル信号生成部 1707 は APC モード制御部 708 により生成される APC モード信号 (APC__MODE)、タイミング生成部 709 により生成される APC の制御対象 (APC__TGT)、APC チャンネル (APC__CH)、およびレジスタ更新タイミング (CTL__EN) に従って、該当する ch1THレジスタ1705__1 ~ ch40THレジスタ1705__40 に対して、ライトイネーブル信号を出力する。

10

ch1THレジスタ1705__1 ~ ch40THレジスタ1705__40 は、加算器 1704 から出力された出力値を保持し、ビーム別閾値電流値 TH(1) ~ TH(40) として出力する。この出力値の更新は、イネーブル信号生成部 1707 からライトイネーブル信号が入力されたタイミングで行われる。

【0054】

セクタ 1706 は、タイミング生成部 709 が生成する APC__CH に従って、ch1THレジスタ1705__1 ~ ch40THレジスタ1705__40 に格納されている出力値を加算器 1704 に出力する。

シェーディングデータ切替信号生成部 1713 は、入力信号としてタイミング生成部 709 から出力される信号 APC__TGT を入力し、制御対象が TH となるタイミングにおいて SHD__SEL をハイ (High) レベルとし、それ以外のときはロー (Low) レベルとして出力する。

20

SHD レジスタ 1714 は、レジスタメモリ 421 に配置され、通常 APC を行うときの全体供給電流の補正データを保持しておくレジスタであり初期設定時に設定される。

乗算器 1712 は、入力データに対して通常 APC 動作時 (SHD1) に対する TH 制御を行う場合の補正值 (SHD2) の割合 (SHD2 / SHD1) をかけて、セクタ 1715 に出力する。

【0055】

この結果、セクタ 1715 から出力される SHD データは通常 APC 制御 (DEV, SW の制御) を行う場合には SHD レジスタ 1714 に設定されたデータが出力され、TH の制御を行う場合には SHD レジスタ 1714 に設定された データ (SHD2 / SHD1) が出力されることになる。

30

TH 演算部 424 が上述した構成を備えることで、VCSEL208 の各チャンネルの A/D 変換部 202 から入力される (モニタビームの光量を示す) モニタ信号が、各チャンネルの目標値よりも大きい場合には対応するチャンネルのビーム別電流補正值 DEV を小さくするようにフィードバック制御がかかり、小さい場合には対応するチャンネルのビーム別電流補正值 DEV データが大きくなるようにフィードバック制御がかかる。

このため、VCSEL208 の半導体レーザ毎に出力されるレーザ光の光量が、目標値となるように制御される。

【0056】

40

図 9 は、駆動電流演算部 204 が備える SW 演算部 423 の構成を示した図である。

図 4 に示す SW 演算部 423 は、図 9 に示すように、平均値演算部 801 と、目標値レジスタ 802 と、減算器 803 と、加算器 804 と、SW レジスタ 805 と、イネーブル信号生成部 806 と、乗算器 807 を備える。

SW 演算部 423 は、紙間 APC モードのときに、共通供給電流値 I_{sw} を補正する処理を行う。

すなわち、DEV 演算部 422 によるビーム別電流補正值 DEV(i) データで補正するのみでは、VCSEL208 の全てのレーザ光で目標とする光量で出力できなくなる可能性がある。

そこで、共通供給電流値 I_{sw} を補正処理して、全てのレーザ光がビーム別電流補正值

50

DEV(i) データで補正可能な範囲になるようにする。

【0057】

平均値演算部801は、DEV演算部422から入力されたDEV1～DEV40の平均値を算出する。算出された平均値は、減算器803に出力される。

目標値レジスタ802は予め定められたDEV平均値の目標値を保持する。

SW演算部423ではDEV平均値が目標値レジスタ802で定められた値となるようにデータSWを出力して共通供給電流値Is_wの値の制御を行う。

減算器803は、平均値演算部801から入力された平均値から、目標値レジスタ802が保持する目標値を減算する。

なお、入力された平均値から目標値を減算した値を、平均差分値とする。

乗算器807は、減算器803から出力された平均差分値にゲインを乗算したデータを出力し、加算器804に出力する。

加算器804は乗算器807から入力されたデータとSWレジスタ805から出力されたデータを加算したデータをSWレジスタ805にする。

【0058】

イネーブル信号生成部806は、タイミング生成部709から出力された更新タイミング(CTL__EN)と、制御対象コントロール信号(APC__TGT)と、APCモード制御部708から出力されたAPC制御モード(APC__MODE)と、APCチャンネル(APC__CH)に基づいてライトを許可するか否かを判定する。

そして、イネーブル信号生成部806は、ライトを許可すると判定した場合に、SWレジスタ805に対してライトイネーブル信号を出力する。

SWレジスタ805はイネーブル信号生成部806から出力されるライトイネーブル信号が有効となったタイミングで、加算器804が出力したデータを保持し、共通供給電流値Is_wとして出力する。

この構成によりDEV(i)の平均値が目標値より大きい場合には共通供給電流値Is_wを大きくするように、目標値よりも小さい場合には共通供給電流値Is_wが小さくなるように制御されることになる。

【0059】

この実施例の画像形成装置100では、ビーム別電流補正值DEV(i)の平均値をフィードバックして、共通供給電流値Is_wを算出するように構成している。

しかしながら、共通供給電流値Is_wの演算として、ビーム別電流補正值DEV(i)の平均値の代わりに、ビーム別電流補正值DEV(i)の最大値と最小値の平均値を使用してもよい。

これにより、VCSELチャンネルの中で1チャンネルまたは数チャンネルのみが異常チャンネルがあるような場合においても、適切な制御が行われる確率が高まる。

図4に示したドライバ206は、レジスタメモリ421などに初期設定されたビーム別閾値電流値I_{th}(i)、共通供給電流値Is_w、及びチャンネル毎に異なるビーム別電流補正值DEV(i)に基づいた電流値でVCSELの各チャンネルの駆動を行う。

【0060】

図10は、図4に示すドライバ206の詳細な内部構成を示すブロック図である。

図4に示したドライバ206は、制御手段の機能を果たし、図10に示すように、共通供給電流部206d、共通供給電流補正部206eを備えている。

なお、図10に示す例では1chから40chまで各符号に添え字を付けて区別している。

また、ドライバ206は、レーザ光を発光するVCSEL208の各ch毎(LDi, i=1, 2, 3, ..., 40で記載)に、補正值設定部206a1～206a40, 閾値電流生成部206b1～206b40, 及び電流加算部206c1～206c40を備えている。

共通供給電流部206dは、入力された共通供給電流設定データSWに従って、共通供給電流値Is_wを生成する。

【 0 0 6 1 】

共通供給電流補正部 2 0 6 e は、共通供給電流値 I_{sw} と共通供給電流補正データ SHD にしたがって、共通供給電流値 I_{sw} を補正した電流値 $(SHD * I_{sw})$ を出力する。

補正值設定部 2 0 6 a 1 ~ 2 0 6 a 4 0 は、供給される補正した電流値 $(SHD * I_{sw})$ をビーム別電流補正值 $DEV(i)$ により補正した電流値 $(SHD * DEV(i) * I_{sw})$ を出力する。

補正值設定部 2 0 6 a 1 ~ 2 0 6 a 4 0 は、補正した電流値 $(SHD * I_{sw})$ に対して、電流値を 6 8 % ~ 1 3 2 % の範囲内で補正可能とする。

つまり、補正した電流値 $(SHD * I_{sw})$ を、ビーム別電流補正值 $DEV(i)$ の平均値が 1 0 0 % となるように制御することにより、ビーム別電流補正值 $DEV(i)$ が補正範囲外になることを抑止することができる。

10

【 0 0 6 2 】

閾値電流生成部 2 0 6 b 1 ~ 2 0 6 b 4 0 は $VCSSEL208$ の各チャネル毎に $TH(i)$ にしたがって、ビーム別閾値電流値 $I_{th}(i)$ を生成する。

電流加算部 2 0 6 c 1 ~ 2 0 6 c 4 0 は、各チャネル毎に補正された電流に対して、閾値電流生成部 2 0 6 b 1 ~ 2 0 6 b 4 0 で生成された各チャネルに対応したビーム別閾値電流値 $I_{th}(i)$ を加算して、 $VCSSEL208$ の各チャネルを駆動する電流を出力し、 $VCSSEL208$ の各チャネルに対して供給する。

この実施例では、ドライバ 2 0 6 が上述した構成を備えることで、各チャネルの半導体素子 $LDi(i)$ (i は 1 ~ 4 0 の整数) に対して、 $SHD * DEV(i) * I_{sw} + I_{th}(i)$ の駆動電流が供給できる。

20

【 0 0 6 3 】

図 1 1 は、図 7 に示す APC モード制御部 7 0 8 の入出力信号を説明した図である。

APC モード制御部 7 0 8 は、入力信号としてリセット信号 ($reset_n$)、APC イネーブル信号 (apc_enable)、 $write_ready$ 信号、及び apc_fgate 信号が入力され、出力信号として bd_en 及び APC_MODE を出力する。

また、APC モード制御部 7 0 8 は入力される信号に基づいて、APC モードの制御を行う。

30

リセット信号 ($reset_n$) は、APC モード制御部 7 0 8 を初期化する信号として、CPU 4 0 0 から入力される信号である。

APC イネーブル信号 (apc_enable) は、APC が実行可能か否かを示す信号として、CPU 4 0 0 から入力される信号である。

【 0 0 6 4 】

$write_ready$ 信号は、書き込み準備が完了した (主走査の同期処理が終了した) か否かを示す信号として、 $GAVD200$ から入力される。

apc_fgate 信号は、CPU 4 0 0 から紙間タイミングであるか否かを示す信号として入力される。

apc_fgate 信号は、紙間タイミングの場合にロー (Low) レベルで入力され、そうでない場合にハイ ($High$) レベルとして入力される。

40

【 0 0 6 5 】

図 1 2 は、図 7 及び図 1 1 に示す APC モード制御部 7 0 8 のモードの遷移を示した図である。

APC モード制御部 7 0 8 は、どのモードであっても、入力されたりセット信号 ($reset_n$) がローレベルである場合に、 $init$ モードに移行する。

また、APC モード制御部 7 0 8 は、 apc_enable 信号がローレベルとなった場合にも $init$ モードに移行する。

そして、APC モード制御部 7 0 8 の APC モードが $init$ モードのときに、入力される APC イネーブル信号 (apc_enable) がハイレベルになると、APC モー

50

ドはmode 0モードに移行する。

【0066】

次に、APCモード制御部708のAPCモードがmode 0モードに移行した後、指定回数のAPC制御処理が完了した後にholdモードに移行する。

このAPC制御処理の指定回数は、マイクロコントローラ401により予め駆動電流演算部204内のレジスタメモリ421に設定される。

そして、APCモード制御部708のAPCモードがholdモードに移行した場合に、APCモード制御部708は、出力信号(bd__en)をハイレベルとしてGAVD200に通知する。

GAVD200でBD同期処理が終了した後、GAVD200は、write__ready信号をハイレベルで、APCモード制御部708に入力する。

そして、APCモード制御部708は、紙間APCを行うモードとする。

【0067】

その後、APCモード制御部708のAPCモードがmode 1モードの時、apc__fgate信号がハイレベルとして入力されるとmode 2モードに移行する。

mode 2モードは、ラインAPCを行うモードとする。

そして、APCモードがmode 2モードの時、apc__fgate信号がローレベルとして入力されると、再びmode 1モードに移行する。

このように、APCモード制御部708は、apc__fgate信号のハイレベルとローレベルとの切り替えに応じてmode 1モード及びmode 2モードが切り替わる。

そして、APCモード制御部708は、上述したAPCモードをAPC__MODE信号として、図7のタイミング生成部709、図4のSW演算部423、TH演算部424、DEV演算部432にそれぞれ出力する。

【0068】

図13は、APC__MODE信号がmode 0モードの場合に、タイミング生成部709、イネーブル信号生成部707、イネーブル信号生成部1707、イネーブル信号生成部806、シェーディングデータ切替信号生成部1713により生成される信号のタイミングチャートを示した図である。

図13のAPC__CH信号は、ch1～ch40の各チャンネルの処理を行うためのタイミングを生成する信号である。

図中のハッチングをつけた矩形部分はTH制御を行うタイミングであり、この部分ではTHのチャンネルを示している。

タイミング生成部709は、ch1～ch40までを1周期として図4のマイクロコントローラ401により指定された回数の周期分のAPC__CH信号の生成を行う。

【0069】

これにより、指定された周期分の各チャンネルのAPC制御が行われる。

そして、タイミング生成部709は、生成するAPC__CH信号に応じて、VCSEL208の各チャンネルの点灯タイミング信号(LDON)を生成し、GAVD200に出力する。

それと共に、タイミング生成部709は、生成するAPC__CH信号に応じて、サンプリングタイミング信号(AD__SMP)を生成し、A/D変換部202に出力する。

その後、タイミング生成部709は、出力された信号によって行われた処理の結果にしたがって、駆動電流演算部204がレジスタを更新するタイミング信号(CTL__EN)を生成し、イネーブル信号生成部707およびイネーブル信号806に出力する。

【0070】

そして、イネーブル信号生成部707は、入力されるAPCモード制御信号(APC__MODE)、レジスタ更新タイミング(CTL__EN)及びチャンネル指定信号(APC__CH)、およびAPC制御対象信号(APC__TGT)にしたがって指定されたチャンネルのレジスタ(ch1DEVレジスタ～ch40DEVレジスタ)の更新を指示するライトイネーブル信号(REG__DEV__ch1__en～REG__DEV__ch40__en)を

10

20

30

40

50

生成することにより $ch1DEV$ レジスタ $705_1 \sim ch40DEV$ レジスタ 705_40 の更新が行われる。

【0071】

同様に、イネーブル信号生成部 1707 は、入力される APC モード制御信号 (APC_MODE)、レジスタ更新タイミング信号 (CTL_EN)、チャンネル指定信号 (APC_CH)、及び APC 制御対象信号 (APC_TGT) にしたがって指定されたチャンネルのレジスタ ($ch1TH$ レジスタ $\sim ch40TH$ レジスタ) の更新を指示するライトイネーブル信号 ($REG_TH_ch1_en \sim REG_TH_ch40_en$) を生成することにより $ch1TH$ レジスタ $1705_1 \sim ch40TH$ レジスタ 1705_40 の更新が行われる。

10

【0072】

イネーブル信号生成部 806 は、入力される APC モード (APC_MODE)、レジスタ更新タイミング (CTL_EN) 及びチャンネル指定信号 (APC_CH) にしたがって、 SW レジスタ 805 の更新を指示するライトイネーブル信号 (REG_sw_en) を生成する。

具体的には、 $APC_MODE = mode0$ モードの場合においては、 $APC_CH = ch40$ の間にレジスタ更新タイミング信号 (CTL_EN) がハイレベルとなったときにライトイネーブル信号 (REG_sw_en) が有効となるように生成される。

これにより、 $ch1 \sim ch40$ までの全てのチャンネルの DEV レジスタが更新された後に、共通供給電流値 Isw を更新する制御が行われることになる。

20

シェーディングデータ切替信号生成部 1713 は、 APC 制御対象信号 (APC_TGT) が、 APC 制御で TH 制御を行う期間を示す場合で、ハイレベルを出力する。

【0073】

図 14 は、 APC_MODE 信号が $mode1$ モード又は $mode2$ モードの場合に、タイミング生成部 709、イネーブル信号生成部 707、イネーブル信号生成部 1707、及びイネーブル信号生成部 806 により生成される信号のタイミングチャートを示した図である。

図 14 に示す例では、 $VCSSEL208$ による主走査の開始時に出力されるラインクリア信号 ($LCLR$) の直前に画像領域以外で、 $VCSSEL208$ を点灯させて、光量の補正制御を行っている。

30

また、主走査による 1 スキャンあたりに、2 チャンネル分の APC 制御を行うタイミング信号を示している。

つまり、1 スキャンあたりに、チャンネル指定信号 (APC_CH) で 2 チャンネル分の信号を生成する。

【0074】

そして、チャンネル指定信号 (APC_CH) が発行された後からイネーブル信号の生成までの手順については、図 13 に示す $mode0$ モードにおける手順と同様として説明を省略する。

なお、タイミングに余裕がある場合には 1 スキャンあたりで制御する APC チャンネル数を増加させても良い。

40

また、 SW が格納された SW レジスタ 805 の更新は、 $VCSSEL$ の全てのチャンネルのレーザ光の光量に影響する。

このため、 SW の変更を作像中に行うと、画像濃度が急激に変化する。

そこで、ライン APC を行う $mode2$ モードの場合には、 Isw の制御を行わないように、イネーブル信号生成部 806 は、更新するための信号を生成しないようにもできる。

【0075】

この設定に関しては、後ほど説明する。

同様にして、 TH の値の変更は、 DEV 制御に対しては外乱となって現れるため、画像濃度が急激に変化する可能性がある。

50

そのため、THの制御もmode 2モードの場合には行わないように、イネーブル信号生成部1707は、更新するための信号を生成しないようにもできる。

この設定に関しても、後ほど説明する。

上記設定では、イネーブル信号生成部806は、レジスタ更新タイミング信号(CTL__EN)、APCモード信号(APC__MODE)、APC制御対象信号(APC__TGT)及びチャンネル指定信号(APC__CH)が入力される。

【0076】

そして、APCモード信号(APC__MODE)がmode 1モード、APC制御対象信号(APC__TGT)がローレベル、チャンネル指定信号(APC__CH)がch 40の場合に、レジスタ更新タイミング信号(CTL__EN)がハイレベルであれば、イネーブル信号をハイレベルで出力する。

10

そして、イネーブル信号生成部806は、APCモード信号(APC__MODE)がmode 2モードであれば、イネーブル信号を常にローレベルとして出力する。

同様にして、イネーブル信号生成部1707は、レジスタ更新タイミング信号(CTL__EN)、APCモード信号(APC__MODE)、APC制御対象信号(APC__TGT)及びチャンネル指定信号(APC__CH)が入力される。

【0077】

そして、APCモード信号(APC__MODE)がmode 1モード、APC制御対象信号(APC__TGT)がハイレベル、レジスタ更新タイミング信号(CTL__EN)がハイレベルであれば、チャンネル指定信号(APC__CH)が指示するチャンネルのイネーブル信号をハイレベルで出力する。

20

そして、イネーブル信号生成部1707は、APCモード信号(APC__MODE)がmode 2モードであれば、イネーブル信号を常にローレベルとして出力する。

【0078】

図15乃至図17は、SW, DEV, 及びTHの各イネーブル信号生成部707と806と1707を、APC__MODE信号にしたがって、各モードでSW, DEV, 及びTHのイネーブル信号を生成するか、しないかを設定する説明図である。

制御対象設定部1501は、各モードでSW, DEV, 及びTHを制御対象とするか(イネーブル信号を生成するか)、制御対象としないか(イネーブル信号を生成しないか)の情報を持っており、各イネーブル信号生成部707と806と1707は、APC__MODE信号で現在のモードを確認した後、制御対象設定部1501を確認し、現在のモードで制御対象になっている場合は、更新のための信号を生成し、制御対象でない場合は、信号を生成しないようにする。

30

制御対象設定部1501の各モードの制御対象設定は、CPU400から設定、及び変更ができる。

【0079】

例えば、上記設定例のように、mode 2モードではSWとTHは制御対象としない場合は、図15に示すように、CPU400より、制御対象設定部1501のmode 2モードの欄を設定する。

また、制御対象設定部1501は、画像形成装置100のスペックに合わせて制御対象を変更すると良い。

40

例えば、印刷画像の濃度ムラを極限まで抑える必要がある画質重視の機種の場合は、画像形成中のmode 2モードの制御対象を、図16に示すように、全て制御対象としないように設定することで、画像形成中はAPCがまったく行われなくなるので、VCSSELは固定電流で点灯されることになり、光量も一定となり、印刷画像の濃度ムラは発生しないようになる。

【0080】

また、印刷スピードを重視する機種では、紙間時間が短くなるので、紙間中でSW, DEV, 及びTHの全てのAPCを行っていても、APC時間が不足し光量がばらついてしまう可能性がある。

50

そこで、紙間中のmode1モードの制御対象を、図17に示すように、全て制御対象としないように設定することで、紙間中はDEVとTHのみAPCを行うようになり、短い紙間の時間でも充分光量を安定させることができるようになる。

【0081】

図18は、タイミング生成部709を、APC__MODE信号にしたがって、各モードでLDON信号をONするか、しないかを設定する説明に供するブロック図である。

タイミング生成部709は、APC__MODE信号で現在のモードを確認した後、制御対象設定部1501を確認し、現在のモードで制御対象になっている場合は、各タイミングでLDON信号をONし、VCSELを点灯させ、制御対象でない場合は、LDON信号をOFFのままとし、VCSELを点灯させないようにする。

10

例えば、図15に示した制御対象設定部1501のmode2モードの制御対象はDEVのみであるので、THを制御するための点灯、図14に示したタイミングチャートでは、TH制御を行うタイミングである斜線を施した部分での点灯は行わないようにする。

また、図16に示した制御対象設定部1501のmode2モードの制御対象は無しであるので、全てのタイミングでLDON信号はオフのままとし、APC制御のためのVCSELの点灯は行わないようになる。

【0082】

図19は、各制御対象SW, DEV, 及びTHの整定の判定と、整定後のLDON信号の制御を行うブロック図を示している。

図19に示す制御対象はDEVとしているが、SWとTHについても同じ整定を判定するブロックを設けている。

20

ブロックを整定判定部1901は、整定を判定する整定判定手段の機能を果たし、その整定判定部1901には、図7の乗算器710の出力が接続されており、整定判定部1901は、DEVレジスタ705に次の制御値として、現在のレジスタ値にいくつ加算されるかを見ることができる。

また、CPU400と接続されており、CPU400から整定したと判定するための、整定判定回数と整定レジスタ範囲(bit単位)が設定される。

【0083】

図19に示した例では、整定判定回数を10回、整定レジスタ範囲を±3bitにしている。

30

整定判定部1901による整定判定方法は、乗算器710の出力、整定判定回数、及び整定レジスタ範囲より行う。

次に、整定判定部1901による整定判定処理を説明する。

図20は、整定判定部1901による整定判定処理を示すフローチャート図である。

整定判定部1901は、まず、ステップ(図中「S」で示す)1で、連続整定回数を“0”にリセットし、ステップ2で、APC後、DEVレジスタ705に、次の制御値として、現在のレジスタ値にいくつ加算されるか、その加算値を確認する。

ステップ3で、その加算値が整定レジスタ範囲内か否かを判定する。

【0084】

その確認の方法は、例えば、整定レジスタ範囲が±3bitであり、乗算器710の出力が2bitであった場合は、整定レジスタ範囲内であり整定と判定し、乗算器710の出力が-4bitだった場合は、整定レジスタ範囲外であり整定ではないと判定する。

40

ステップ3の判定で、整定レジスタ範囲内だった場合は、ステップ4で連続整定回数に“1”を加算してステップ5へ進み、整定レジスタ範囲外だった場合は、ステップ1に戻り連続整定回数を“0”にリセットする。

ステップ5では、連続整定回数が、CPU400より設定した整定判定回数(この実施例では10回)に達したか否かを判断する。

ステップ5で連続整定回数が整定判定回数に達してなかった場合、ステップ2に戻り、引き続きDEVレジスタの加算値の確認を行う。

【0085】

50

一方、ステップ5で連続整定回数が整定判定回数に達した場合、DEVレジスタが整定したと判定し、ステップ6で、整定判定部1901はタイミング生成部709に整定したことを知らせ、タイミング生成部709は、DEVを補正するためのAPC点灯をしないようにLDON信号をオフ(OFF)する。

さらに、ステップ7で、整定判定部1901は、イネーブル信号生成部707にも整定したことを知らせる信号を送り、イネーブル信号生成部707は、イネーブル信号の生成を中止し、レジスタ値を固定し、この処理を終了する。

DEVレジスタは40ch分あるが、整定判定部1901は各ch個別に整定回数を判定しており、整定と判定したchから順次DEV補正のためのAPC点灯を中止していく。

10

【0086】

SWとTHについても、各乗算器807と1710をそれぞれ監視する整定判定部が用意されており、整定の判定とAPC点灯の中止が行われている。

ただし、SWに関しては、SWは40chのDEVの値より算出されるので、SWが整定したらSWのレジスタ値を固定し、DEVレジスタが整定していないchについては、DEV補正のためのAPC点灯を続ける。

【0087】

この実施例では、APCで制御するVCSEL駆動電流の整定を判定し、整定後の不要なAPCのための点灯は行わないようにしているので、VCSELの点灯回数を必要最低限に抑えることが可能となり、VCSELの劣化を最小限に抑えることが可能となる。

20

【産業上の利用可能性】

【0088】

この発明による画像形成装置は、複写機、複合機において適用することができる。

【符号の説明】

【0089】

100：画像形成装置 102：光学装置 102c：ポリゴンミラー 102b
：f レンズ 102a：反射ミラー 102d：WTLレンズ 102e：反射
ミラー 102f：反射ミラー 104a, 106a, 108a, 110a：感光体
ドラム 104b, 106b, 108b, 110b：帯電器（帯電装置） 104c
：106c, 108c, 110c：現像器（現像装置） 112：像形成部 114
：中間転写ベルト 114a, 114b, 114c：搬送ローラ 116：クリーニ
ング部 118：2次転写ベルト 118a, 118b：搬送ローラ 120：定
着装置 122：転写部 124：受像材（記録媒体） 126：搬送ローラ
128：受像材収容部 130：定着部材 132：印刷物 200：VCSEL
コントローラ（GAVD） 202：A/D変換部 204：駆動電流演算部（駆動
電流制御部） 206：ドライバ 208：VCSEL 210：カップリング光
学素子 214：全反射ミラー 216：第2集光レンズ 218：光電変換素子
212：ハーフミラー 220：同期検知装置 206a1~206a40：補
正值設定部 206b1~206b40：閾値電流生成部 206c1~206c4
0：電流加算部 206d：共通電流供給部 206e：共通供給電流補正部 4
00：CPU 401：マイクロコントローラ 402：APC制御部 403：
IF（インタフェース）制御部 411：演算部 412：メモリ 421：レジ
スタメモリ 422：DEV演算部 423：SW演算部 424：TH演算部
502：ch番号 504：規定光量発光時のモニタ電圧（初期モニタ電圧）Vpd
506：初期化電流Isw__A 701__1：ch1目標値レジスタ 701__
40：ch40目標値レジスタ 702, 706, 1702, 1706, 1715：セ
レクタ 703, 803, 1703：減算器 704, 804, 1704：加算器
705__1：ch1DEVレジスタ 705__40：ch40DEVレジスタ 7
07：イネーブル信号生成部 708：APCモード制御部 709：タイミング生
成部 710, 807, 1710, 1711, 1712：乗算器 801：平均値演

30

40

50

算部 802 : 目標値レジスタ 805 : SWレジスタ 806 : イネーブル信号
 生成部 1001 : 光源ユニット 1705__40 : ch40THレジスタ 15
 01 : 制御対象設定部 1705__1 : ch1THレジスタ 1705__40 : ch
 40THレジスタ 1707 : イネーブル信号生成部 1713 : シェーディングデ
 ータ切替信号生成部 1714 : シェーディングレジスタ (SHDレジスタ) a1
 ~c4 : 光源 L : 光ビーム (レーザービーム)

【先行技術文献】

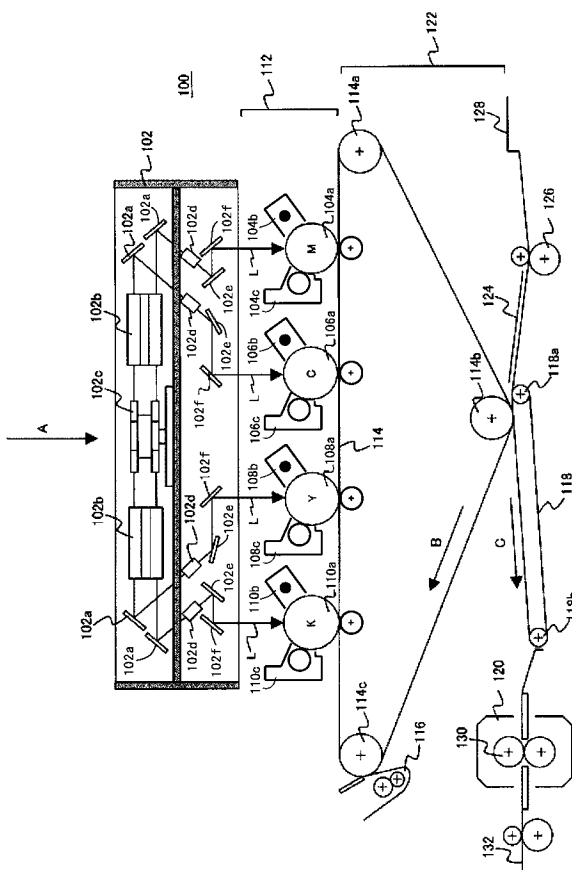
【特許文献】

【0090】

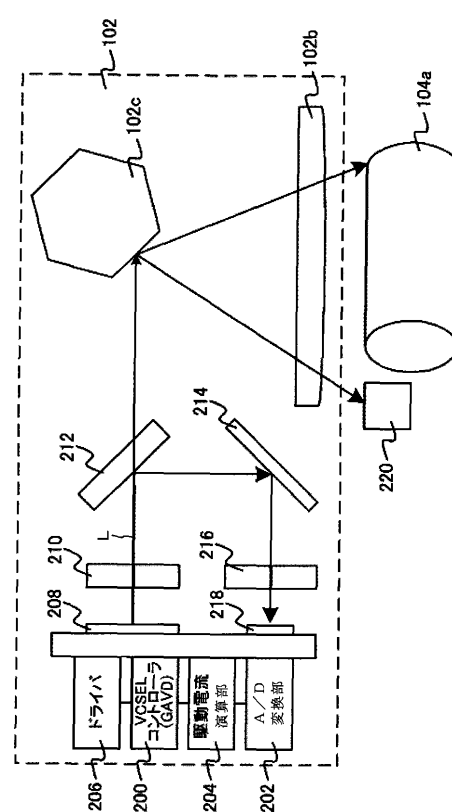
【特許文献1】特開2009-1006号公報

10

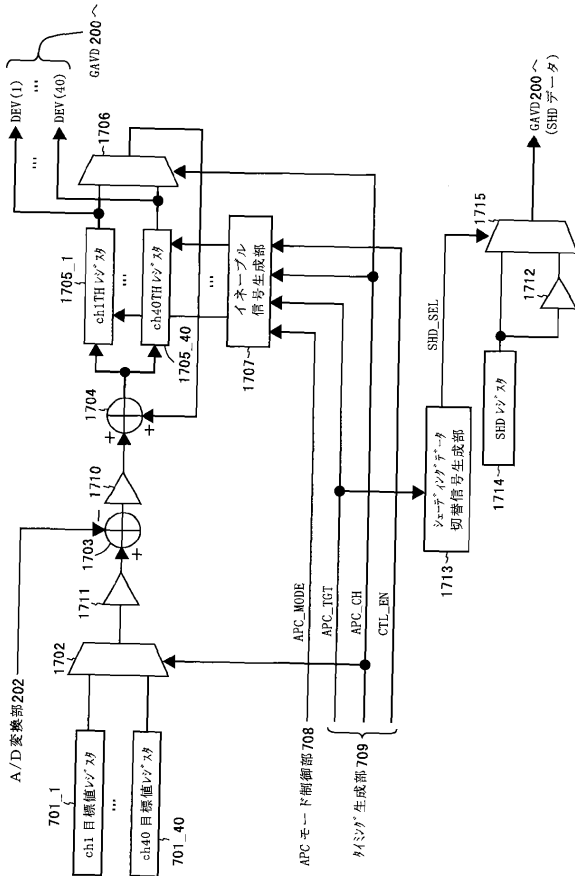
【図1】



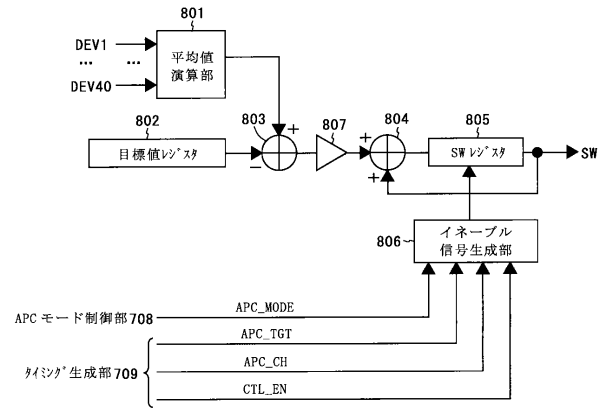
【図2】



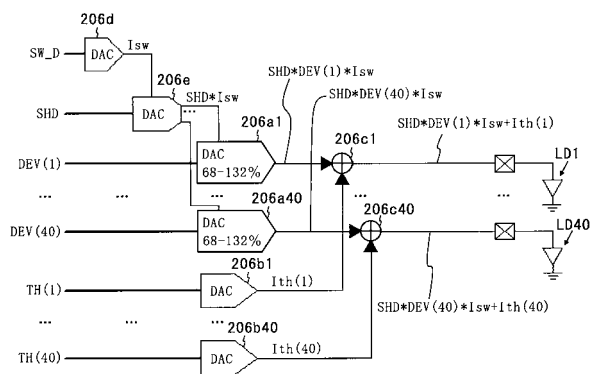
【 図 8 】



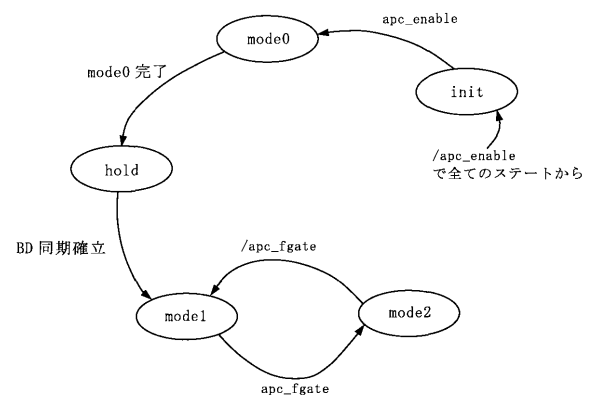
【 図 9 】



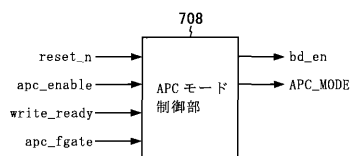
【 図 1 0 】



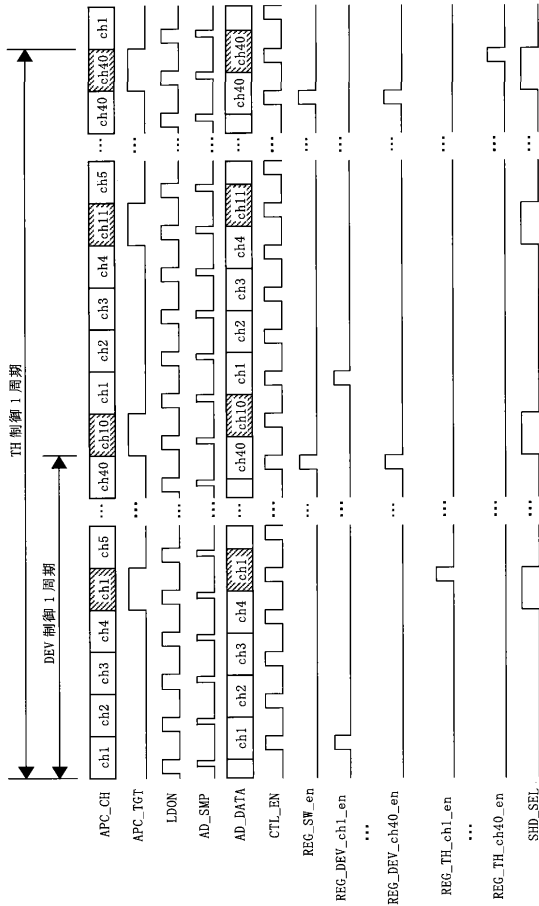
【 図 1 2 】



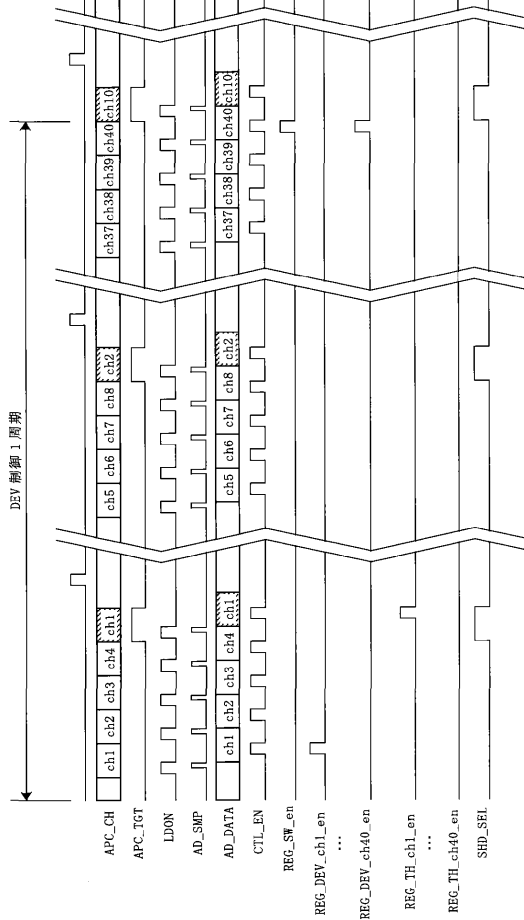
【 図 1 1 】



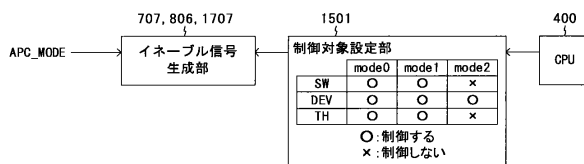
【図 13】



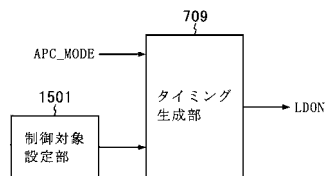
【図 14】



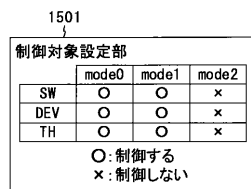
【図 15】



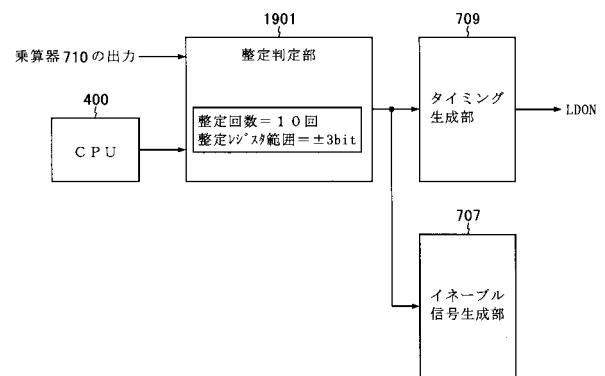
【図 18】



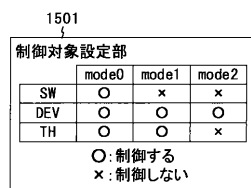
【図 16】



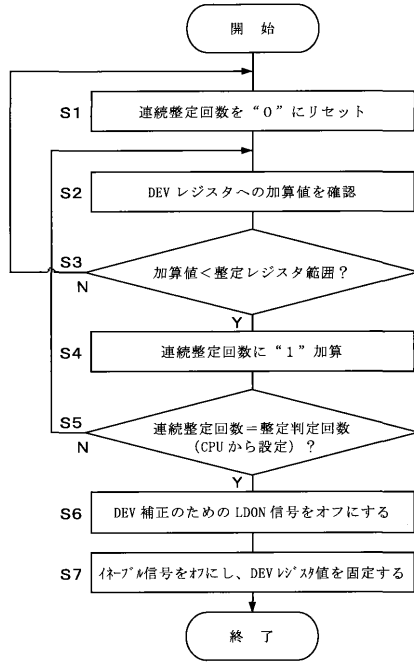
【図 19】



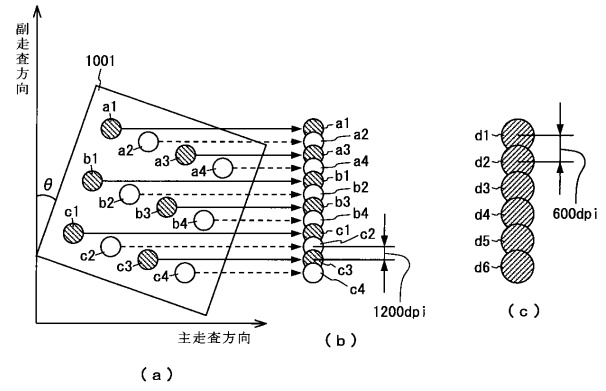
【図 17】



【図 20】



【図 21】



フロントページの続き

(56)参考文献 特開2009-164191(JP,A)
特開2005-064053(JP,A)
特開2009-1006(JP,A)
特開2001-293903(JP,A)
特開2002-347276(JP,A)
特開2009-186694(JP,A)

(58)調査した分野(Int.Cl., DB名)

B 4 1 J	2 / 4 7
H 0 1 S	5 / 0 6 2
H 0 4 N	1 / 1 1 3