



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2008년05월26일  
(11) 등록번호 10-0832513  
(24) 등록일자 2008년05월20일

(51) Int. Cl.

G09G 3/20 (2006.01) G09G 3/36 (2006.01)  
G09G 5/395 (2006.01)

(21) 출원번호 10-2007-0004107  
(22) 출원일자 2007년01월15일  
심사청구일자 2007년01월15일  
(65) 공개번호 10-2007-0076475  
(43) 공개일자 2007년07월24일

(30) 우선권주장  
JP-P-2006-00009709 2006년01월18일 일본(JP)

(56) 선행기술조사문현

KR100503941 B1\*

(뒷면에 계속)

전체 청구항 수 : 총 8 항

(73) 특허권자

미쓰비시덴키 가부시키가이샤

일본국 도쿄도 지요다구 마루노우치 2쵸메 7번 3  
고

(72) 발명자

미나미 아키히로

일본국 구마모토 기쿠치군 니시고시마찌 미요시  
997 멜코디스플레이 테크놀로지 가부시키가이샤  
나이

(74) 대리인

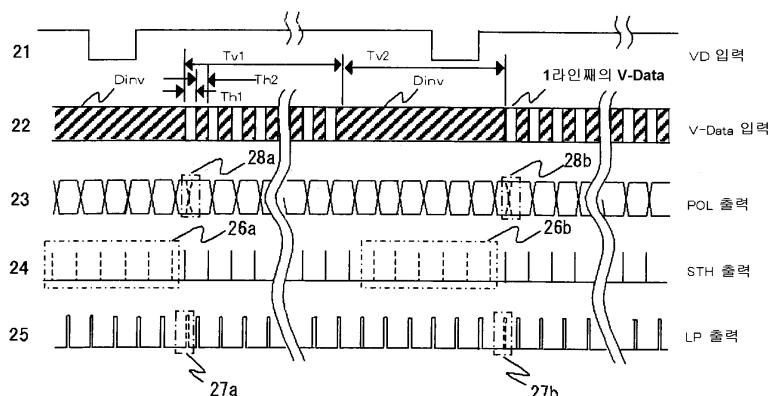
권태복, 이화의

심사관 : 박부식

(54) 액티브 매트릭스 표시장치 및 그것의 타이밍 제어용반도체장치

**(57) 요약**

수직 블랭킹 기간에 있어서도 매트릭스 표시장치를 구동하기 위한 제어신호를 소스 드라이버에 계속해서 공급하는 타이밍 제어회로에 있어서, 다음의 프레임에 앞서 구동을 정지하는 기간을 최소한으로 한 액티브 매트릭스 표시장치를 제공한다. 수직 블랭킹 기간(Tv2) 내부의 적어도 후반의 복수의 수평 주기에서, 소스 드라이버(6~13)에의 화상표시 데이터(RGB-Data)의 판독을 중지하도록 수평 스타트 펄스(STH)을 제어한다. 더구나, 소스 드라이버(6~13)에 고유한 래치 펄스 입력 금지 기간을 포함하는 소정의 기간(27a, 27b), 래치 펄스(LP)의 출력을 소거한다.

**대표도 - 도2**

(56) 선행기술조사문현

JP2001202066 A

KR100477139 B1

KR1020010065766 A

JP2003091266 A

\*는 심사관에 의하여 인용된 문현

---

## 특허청구의 범위

### 청구항 1

매트릭스 형태로 배치된 복수의 화소와,  
 상기 화소의 각 열에 배치된 복수의 화상 신호선과,  
 상기 화소의 행에 배치된 주사 신호선과,  
 상기 화상 신호선에 상기 화소를 구동하기 위한 화상신호를 공급하는 화상 신호선 구동수단과,  
 수직 블랭킹 기간중에 있어서도 소정의 주기로 화상표시 제어신호를 상기 화상 신호선 구동수단에 보내도록 구성된 타이밍 제어회로를 구비한 액티브 매트릭스 표시장치로서,  
 상기 타이밍 제어회로는, 상기 수직 블랭킹 기간 내의 적어도 후반의 제1기간에 대응해서 상기 화상 신호선 구동수단에서, 수직 블랭킹 기간의 개시 후, 소정의 수평 주기 후의 복수의 수평 주기 동안 화상표시 데이터의 판독을 중지하도록 제어하는 것을 특징으로 하는 액티브 매트릭스 표시장치.

### 청구항 2

제1항에 있어서,  
 상기 타이밍 제어회로는, 상기 제1기간에 대응해서 상기 화상 신호선 구동수단에의 수평 스타트 펄스를 소거하는 것을 특징으로 하는 액티브 매트릭스 표시장치.

### 청구항 3

제1항에 있어서,  
 상기 타이밍 제어회로는, 상기 화상표시 데이터의 판독 중지 기간중의 소정의 제1시점과, 수직 블랭킹 기간이 종료한 후의 최초의 수평표시 기간에 대응하는 화상표시 데이터의 판독 개시 시점을 제2시점으로 하고, 상기 제1시점과 제2시점 기간은, 상기 화상 신호선 구동수단의 출력 전압의 갱신을 정지하도록 제어하는 것을 특징으로 하는 액티브 매트릭스 표시장치.

### 청구항 4

제3항에 있어서,  
 상기 타이밍 제어회로는, 상기 제1시점과 상기 제2시점 사이에 있어서, 상기 화상 신호선 구동수단에의 래치 펄스를 소거하는 것을 특징으로 하는 액티브 매트릭스 표시장치.

### 청구항 5

제3항에 있어서,  
 상기 타이밍 제어회로는, 상기 제1시점과 제2시점 사이의 기간이, 수직 주사 기간중의 1 수평기간보다 짧아지도 록 제어하는 것을 특징으로 하는 액티브 매트릭스 표시장치.

### 청구항 6

제3항에 있어서,  
 상기 타이밍 제어회로는, 상기 제1시점과 제2시점 사이의 기간이, 상기 화상 신호선 구동수단의 구성에 기초하여 미리 정해진 래치 펄스의 입력 금지 기간을 포함하도록 상기 화상 신호선 구동수단을 제어하는 것을 특징으로 하는 액티브 매트릭스 표시장치.

### 청구항 7

제1항에 있어서,  
 상기 타이밍 제어회로는, 상기 제1기간의 길이를, 상기 수직 블랭킹 기간 길이의 과반인 되도록 설정하는 것을

특징으로 하는 액티브 매트릭스 표시장치.

## 청구항 8

제1항 내지 제7항 중 어느 한 항에 기재된 상기 타이밍 제어회로를 내장한 액티브 매트릭스 표시장치의 타이밍 제어용 반도체장치.

### 명세서

#### 발명의 상세한 설명

##### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

<35> 본 발명은, 수직 블랭킹 기간에 있어서도, 액티브 매트릭스 표시 디바이스의 화상 신호선 구동수단에 대하여, 상기 디바이스를 구동하기 위한 제어신호를 계속해서 공급하는 액티브 매트릭스 표시장치에 관한 것이다.

<36> 액티브 매트릭스 표시장치, 예를 들면 액정표시장치 등의 화상표시장치의 구동회로에 있어서, 수직 주사의 유효 표시 기간과 마찬가지로, 수직 블랭킹 기간에 있어서도, 화상 신호선 구동수단에 대하여 제어신호를 계속해서 보냄으로써, 상기 표시 디바이스의 화상 신호선(소스선)을 구동상태와 동일하게 해 두는 것은, 표시화면 상의 횡 방향 라인마다의 표시에 불균일이 생기는 것을 방지하기 위해서 유효한 수단이다.

<37> 통상, 상기한 바와 같이 수직 블랭킹 기간에 화상 신호선 구동수단에 대하여 제어신호를 계속해서 보내기 위해서는, 각각의 제어신호를 수직 주사 기간중과 같은 타이밍(주기), 또는 그것에 가까운 타이밍으로 보낼 필요가 있다. 또한 수직 블랭킹 기간 동안에 발생하는 수평동기신호가, 수직 주사의 유효 표시 기간에 발생하는 그것과 같거나, 또는 그것에 가까운 타이밍일 필요가 있다. 이 때문에 수직 블랭킹 기간에 의사적인 수평기준신호를 생성하는 수평 기준신호 생성회로를 구비한 화상표시장치가 주지이다.(예를 들면 특허문현 1, 도 6 참조)

<38> [특허문현 1] 일본국 특개 2003-91266호 공보

##### 발명이 이루고자 하는 기술적 과제

<39> 그렇지만, 외부 신호원(예를 들면 컴퓨터 본체측 등)에서 입력되는 동기신호가 변동하여, 이 수직 블랭킹 기간 길이가 변동하면, 수직 블랭킹 기간 내에 표시 제어 수단으로부터 화상 신호선 구동수단에 송출하는 제어신호와, 수직 블랭킹 기간 종료후의 다음 프레임의 표시 기간 내에 타이밍 제어 수단으로부터 화상 신호선 구동수단에 송출하는 제어신호가 경합하여, 화상 신호선 구동수단이 오동작을 일으킬 가능성이 있다.

<40> 따라서, 수직 블랭킹 기간의 최후의 부분만(대충 1에서 2 수평 주기 상당분) 구동제어신호를 보내지 않는 수법이 주지이다(특허문현 1, 도9 참조).

<41> 그러나, 원래 상기 표시 디바이스의 화상 신호선을 구동상태와 동일하게 해 둘 목적으로 생성한 신호를 없애는 것은, 그것의 목적 달성을 대하여 저해 요인으로, 가능한 한 짧은 기간으로 하여 필요 이상으로 없앨 필요는 없다. 특히, 수직 블랭킹 기간의 종료 직전의 기간에서 화상 신호선의 구동을 장기간 중지하면, 그 후의 다음 프레임의 수직 주사 기간에 미치는 영향이 크다.

<42> 또한, 이 방법에서는, 수직 블랭킹 기간 동안의 수평 주기를 카운트하기 위한 카운터가 필요하게 되고, 더구나 수직 블랭킹 기간 길이는 액정표시장치에 신호를 입력하는 시스템에 따라 다양하다. 그 때문에, 상기 카운터는 액정표시장치에 대한 여러가지 입력 신호를 어림잡아, 생각할 수 있는 최대 카운트수에 대응할 필요가 있어, 비교적 대규모의 회로가 필요하게 된다(특허문현 1, 도 17).

<43> 또한, 상기 카운터의 카운트 값은, 다음 프레임에서 사용되게 되므로 1 프레임마다 수직 블랭킹 기간 길이가 변동하는 것과 같은 외부 입력 신호에 대하여, 대응할 수 있게 된다.

<44> 본 발명은, 전술한 바와 같은 과제를 해결하기 위한 것이다.

##### 발명의 구성 및 작용

<45> 본 발명에 따른 액티브 매트릭스 표시장치는, 매트릭스 형태로 배치된 복수의 화소와, 상기 화소의 각 열에 배치된 복수의 화상 신호선과, 상기 화소의 행에 배치된 주사 신호선과, 상기 화상 신호선에 상기 화소를 구동하기 위한 화상신호를 공급하는 화상 신호선 구동수단과, 수직 블랭킹 기간중에 있어서도 소정의 주기로 화상표시 제어신호를 상기 화상 신호선 구동수단에 보내도록 구성된 타이밍 제어회로를 구비한 액티브 매트릭스 표시장치에 있어서, 상기 수직 블랭킹 기간 내의 적어도 후반의 소정의 기간에 대응해서 상기 화상 신호선 구동수단에서 화상표시 데이터의 판독을 중지하도록 제어하는 것을 특징으로 하는 상기 타이밍 제어회로를 구비한다.

<46> 더구나, 본 발명에 따른 반도체장치는, 상기 타이밍 제어회로를 내장하고 있고, 상기 액티브 매트릭스 표시장치의 타이밍 제어용이다.

<47> [실시예]

<48> 이하, 본 발명의 실시예를 도면을 참조하면서 설명한다. 이때, 설명이 중복되어 장황하게 되는 것을 피하기 위해서, 각 도면에서 동일 또는 해당하는 기능을 가지는 요소에는 동일한 기호를 붙이고 있다.

<49> 실시예 1

<50> 도1은, 본 실시예에 있어서의 액정표시장치(1)의 회로 구성을 나타내고 있으며, 상기 액티브 매트릭스 표시 디바이스의 일례로서 액정 패널(2)을 구동하기 위한 주변회로의 구성을 나타낸 블록도이다. 동 도면에 있어서 액정표시장치(1)는, 액정 패널(2), 화상 신호선 구동수단인 소스 드라이버 IC(6~13), 주사 신호선 구동수단인 게이트 드라이버 IC(3~5) 및 타이밍 제어회로(18)(이후, 타이밍 제어회로를 TCON으로 칭한다)로 구성되어 있다.

<51> 여기에서, 상기 화상 신호선 구동수단은, 일 실시예로서 부호 6, 7, 8, 9, 10, 11, 12 및 13으로 표시된 8개의 소스 드라이버 IC(6~13: 실리콘 반도체 집적회로를 채용)로 구성되어 있다. 마찬가지로, 상기 주사 신호선 구동수단은, 일 실시예로서 부호 3, 4 및 5로 표시된 3개의 게이트 드라이버 IC(3~5: 실리콘 반도체 집적회로를 채용)로 구성되어 있다. 또한, 상기 TCON(18)도 실리콘 반도체 집적회로로 실현된다.

<52> 상기 액정표시장치(1)에 화상을 표시시키기 위해, 외부신호원으로부터 상기 TCON(18)에 입력되는 표시 제어신호는, 화상 데이터 입력(V-Data) 및, 상기 TCON(18)의 제어 기준이 되는 신호로서 액정 패널의 수평 방향의 동기를 취하기 위한 기준신호로서 사용되는 수평동기신호(HD), 액정 패널의 수직방향의 동기를 취하기 위한 기준신호로서 사용되는 수직동기신호(VD), 화상 데이터가 유효한 기간을 나타낸 데이터 인에이블 신호(DENA) 및 상기 제어신호의 판독의 기준이 되는 도트 클록 DCLK 등이 포함되어 있다(이후, 수평동기신호를 HD, 수직동기신호를 VD로 칭한다. 또한, 이후 데이터 인에이블 신호를 DENA로 칭한다. DENA는 High 레벨 입력에서 상기 화상 데이터 입력(V-Data)의 유효를 나타내고, Low에서 무효를 표시한다). 이를 표시 제어신호의 입력 타이밍이나 구성에 관해서는 주지이며, 여기에서는 설명을 생략한다.

<53> 다음에, 소스 드라이버 IC(6~13)를 제어하기 위해 상기 TCON(18)으로부터 출력되는 소스 드라이버 제어신호는, 표시 화소의 표시 휘도에 대응하는 화상표시 데이터(RGB-Data)와, 상기 화상표시 데이터(RGB-Data) 등의 입출력 타이밍을 제어하는 구동제어신호로 분별된다. 더구나, 상기 구동제어신호는, 시프트 클록(SCLK), 수평 스타트 펄스(STH), 래치 펄스(LP) 및 극성 반전 신호(POL)로 구성된다. 또한 상기 TCON(18)은 게이트 드라이버 IC(3~5)를 제어하기 위한 게이트 드라이버 제어신호로서 클록 V(CLKV)와 수직 스타트 펄스(STV)를 출력하고 있다(이후, 수평 스타트 펄스를 STH, 극성 반전 신호를 POL, 래치 펄스를 LP로 칭한다).

<54> 또한, 소스 드라이버 IC(6~13)는 복수의 화상 신호선(14)(간략화를 위해 최좌측단만 도시한다)을 구동하기 위한 구동회로를 각각 집적하고 있고, 게이트 드라이버 IC(3~5)는 복수의 주사 신호선(15)(게이트 선, 간략화를 위해 최상단만 도시한다)을 구동하기 위한 구동회로를 각각 집적하고 있다. 더구나, 이들 실리콘 반도체 집적회로를 복수개 사용함으로써 액정 패널(2)의 화상 신호선수 및 주사 신호선수에 대응하고 있다.

<55> 다음에, 상세하게 TCON(18)으로부터 출력되는 소스 드라이버 IC(6~13)를 제어하기 위한 신호에 대해서 상세하게 설명한다. 화상 표시 데이터(RGB-Data)는 각각 빨강, 초록, 파랑색의 디지털 신호로 구성되어 있고, 각각은, 소정의 비트수 폭을 갖는 데이터 버스를 구성하고 있다. 상기 화상 표시 데이터(RGB-Data)는, 소스 드라이버 IC(6~13)에 있어서 상기 데이터의 입력 처리를 행하기 위한 기준이 되는 시프트 클록(SCLK), 상기 표시 데이터의 시작을 표시하고 데이터 시프트의 시작을 표시하는 STH, 액정 구동의 극성을 반전하기 위한 POL, 상기 표시 데이터(RGB-Data)를 상기 소스 드라이버 IC(6~13)의 신호 출력 단자측에 전하기 위한 LP 등으로 구성되는

구동제어신호와 함께 소스 드라이버 IC(6~13)에 출력된다.

<56> 또한, TCON(18)으로부터 출력되는 게이트 드라이버 IC(3~5)를 제어하기 위한 신호에는, 주로, 게이트 드라이버 IC에서 신호 처리를 행하기 위한 클록 V(CLKV), 수직 주사의 시작을 표시하는 수직 스타트 펄스(STV) 등이 포함된다.

<57> 이때, 통상, 상기 소스 드라이버 IC(6~13)는, 상기 게이트 드라이버 IC(3~5)에 의해 액티브로 된 주사 신호선에 대응하는 각 화소부(16)(대표적으로 최상·최좌측단 화소부만 도시함)에 대하여, 각각 원하는 화상 신호를 기록해 간다. 보통은 상기 기록 제어를 각 주사 신호선(15)(도면에 나타낸 것은 최상단만)에 대하여 상부로부터 순차적으로 한 헤마다 수평주사에 동기해서 행함으로써, 화면 전체의 화상표시를 행하고 있다. 이들 신호의 기본적인 동작 타이밍에 대해서는, 주지로서 여기에서는 설명을 생략한다.

<58> 도1의 상기 TCON(18)은, 외부신호원에서 입력되는 HD, VD 및 DENA를 기준으로 도트 클록(DCLK)에 동기해서 소스 드라이버 IC(6~13) 및 게이트 드라이버 IC(3~5)에 대한 제어신호를 만들고 있다. 또한, 수직 블랭킹 기간에 의사적인 수평기준신호를 생성하는 도시하지 않은 상기 수평 기준신호 생성회로도 상기 TCON(18)에 내장하고 있다.

<59> 다음에, 도2는 본 실시예에 있어서의 상기 TCON(18)으로부터 소스 드라이버 IC(6~13)에 대하여 송출하는 상기 구동제어신호의 과정을 나타낸 것이다. 단, 동 도면에 있어서, 부호 21은, VD의 입력 과정을 나타내고 있고, 이 수직동기신호는 보통 TCON(18)에 입력되는 신호이지만, 도면 중의 수직 주사 기간(Tv1)과 블랭킹 기간(Tv2)을 명확화하기 위해 참고로서 도시했다.

<60> 우선, 도2 중의 TCON(18)에의 입력 신호에 관하여 설명한다. 부호 22는 상기 TCON(18)에 입력되는 화상 데이터 입력(V-Data) 과정을 나타낸다. 부호 21에 나타낸 VD의 주기 Tv는,  $Tv = Tv1 + Tv2$ 이다. 여기에서, Tv1은 수직 주사 기간, Tv2은 수직 블랭킹 기간이다. 수직 주사 기간(Tv1)에는, 소정수의 수평 주기 Th가 포함된다. 이 수평 주기 Th는,  $Th = Th1 + Th2$ 이다. 여기에서, Th1은 수평주사 기간, Th2는 수평 블랭킹 기간이다. 상기 화상 데이터 신호(V-Data) 과정 22의 사선 부분은 비유효 표시 기간, 즉 유효 표시 기간이 아닌 기간에 있어서의 화상 데이터 신호 과정을 나타내고, 부정을 표시한다. 수직 블랭킹 기간(Tv2) 및 수평 블랭킹 기간(Th2)에서는, 화상 데이터 입력(V-Data)은 무효 데이터(Dinv)가 된다.

<61> 다음에, TCON(18)의 출력 신호에 관하여 설명한다. 부호 23은 POL 출력 과정, 부호 24는 STH 출력 과정, 부호 25는 LP 출력 과정을 나타낸다. 이들 구동제어신호는, 소스 드라이버 IC(6~13)에 공급되어, 상기 구동제어신호에 근거하여, 액정 패널의 각 화상 신호선(14)은, 각각 화상신호에 따른 전압으로 교류 구동된다. 구체적으로는, POL 과정(23)은 액정 패널의 액정에 인가되는 화소전압을 교류화하기 위한 기준신호이며, 부호 24는, 소스 드라이버 IC(6~13)에 대하여 화소 데이터의 취입을 개시시키는 STH과정이며, 또한 LP 과정(25)은, 상기 소스 드라이버 IC(6~13)에 입력된 화상 데이터 및 상기 POL 신호(23)를 래치하는 동시에, D/A 변환한 구동전압을 화상 신호선(14)에 인가해서 출력에 반영시키는 펄스 신호 과정이다.

<62> 본 실시예에서는 도2에서 도시한 대로 수직 블랭킹 기간(Tv2)이라도 후술하는 일부 기간을 제외해서 소스 드라이버 IC(6~13)에 대하여 POL과정(23), STH과정(24), LP과정(25)을 송출하여, 액정 패널(2)의 구동을 계속하고 있다.

<63> 여기에서 본 실시예에 있어서는, 상기한 바와 같이 TCON(18)에 외부신호원으로부터 입력되는 표시 제어 신호 중의 동기신호가 변동하여, 수직 블랭킹 기간(Tv2)의 기간 길이가 변동하고, 다음의 수직 주사 기간(Tv1)의 제어에 오동작을 미치는 경우나, 수직 블랭킹 기간(Tv2)에, 1 수평 주기 또는 그 주기 이하의 불완전한 기간의 변동이 발생하여, 상기 오동작이 발생할 경우의 대책으로서, DENA에 High 입력(도시 생략)후, 상기 소스 드라이버 IC(6~13)의 회로 사양에서 일의적으로 결정되는 소정의 기간과 LP나 POL의 출력 타이밍이 중첩된 경우, 이 기간 내의 상기 LP나 POL 출력을 소거하도록 구성하고 있다.

<64> 상기 출력 소거의 타이밍에 대해서, 도2를 사용해서 개략을 설명한다. 도2에 나타낸 과정예에서는, 부호 23으로 나타낸 POL 과정중에 일점쇄선으로 둘러싸인 범위 28a, 28b의 부분에서 POL의 극성반전이 소거된다(파선으로 기재된 과정 부분). 또한, 부호 25로 나타낸 LP 신호 과정중에 일점쇄선으로 둘러싸인 범위 27a, 27b의 부분에서 LP 출력이 소거된다(파선으로 기재된 과정 부분).

<65> 상기한 바와 같이 상기 일점쇄선으로 둘러싸인 범위는, 상기 소스 드라이버 IC(6~13)에 있어서, 그것의 회로 사양으로 일의적으로 결정되고, LP의 입력에 앞서 예를 들면 수 시프트 클록(SCLK) 기간, STH 및 POL이 무효가 된다. 수직 블랭킹(Tv2) 후의 최초의 수평 주사 기간(Th1)(DENA의 High 기간)에 대응하는 STH가 무효가

되었을 경우, 상기 수평 주사 기간(Th1)에 대응하는 화상 데이터의 판독이 드라이버 IC(6~13)에서 정확하게 행해지지 않아, 표시 결함이 된다. 이렇게 소정의 기간 내에 송출되는 LP나 POL 등의 상기 구동제어신호가, 다음 프레임의 표시에 대하여 오동작의 원인이 될 가능성이 있다고 예견될 때, 즉 도2의 부호 27a, 27b, 28a, 28b로 표시된 일점쇄선으로 둘러싸인 기간의 구동제어신호의 각 변화 또는 발생을 소거한다. 이 결과, 상기 기간은 상기 소스 드라이버 IC의 출력 전압의 갱신이 중지된다. 여기에서 「갱신이 중지된다」란, 상기 구동제어신호(특히 LP 신호)의 변화를 소거하고, 그 신호를 받은 상기 화상 신호선 구동수단의 주요부인 소스 드라이버 IC의 출력이, 새로운 전압을 출력하는 제어 상태로 옮겨가지 않도록 하는 것을 의미하고 있다.

<66> 또한, 도2에서 부호 26 파형 중의 일점쇄선으로 둘러싸인 부호 26a, 26b로 나타낸 제1기간에 있어서는, STH 출력(도2의 예에서는 파선으로 나타낸 6펄스분)을 소거해 두고, 상기 DENA에 High가 입력(도시 생략) 후, 상기 입력(상승부)에 근거하는 타이밍으로 STH 출력을 재개하고 있다. 따라서, 상기 제1기간은 STH가 입력되지 않기 때문에 소스 드라이버 IC(6~13)에 있어서 화상 표시 데이터의 판독이 중지된다. 여기에서 「판독이 중지된다」란, 상기 STH 출력을 소거해서 소스 드라이버 IC(6~13)가 새로운 화상표시 데이터의 입력이 접수가능한 제어 상태가 아닌 것을 의미하고 있다. 이것은, 보통 소스 드라이버 IC는 LP을 입력해서 출력 전압의 갱신을 실행한 후에는, 다음 STH 신호가 입력할 때까지 화상 표시 데이터의 입력을 접수하는 상태가 되지 않기 때문에 실현 가능해진다.

<67> 본 실시예에서는, 상기 제1기간에 대응해서 STH(24)를 소거하기 위해, 우선, 수직 블랭킹 기간(Tv2)의 도중에 STH(24)를 중지한다. 상기 STH(24)가 중지하는 것은, 수직 블랭킹 기간(Tv2)의 전반 부분이면 어디라도 된다. 즉, STH24가 중지하고 있는 기간인 제1기간은, 수직 블랭킹 기간(Tv2)의 기간 길이의 과반이 된다. 따라서, 수직 블랭킹 기간(Tv2)의 후반 부분은, 소스 드라이버 IC(6~13)에 대하여 적어도 POL(23)과 LP(25)를 송출하고, 수직 블랭킹 기간(Tv2)이라도 액정 패널(2)을 수평 주기 Th 또는 거기에 근사하는 주기로 주기적으로 교류 구동하고 있다.

<68> 이것은, 일반적으로 널리 보급되고 있는 소스 드라이버 IC는, 도3에 나타낸 구성으로 되어 있고, STH의 중지 기간(제1기간) 중에는, 시프트 레지스터(60) 또는, 상기 시프트 레지스터(60)로부터 데이터를 전송받은 레지스터(61)에 축적되어 있는 화상 데이터를 사용하여, LP가 소정의 타이밍으로 입력되면, 그 입력 타이밍에 대응하여, 디지털 · 아날로그 변환 회로 DAC(62)가 동작해서 상기 화상 데이터를 D/A 변환하고, 액정 패널(2)을 구동하기 위한 전압을 상기 화상 신호선(14)에 인가하는 것이 가능하다(물론, POL은, 소스 드라이버 IC의 입력 타이밍 제약에 어긋나지 않는 타이밍으로 반전하고 있는 것으로 한다).

<69> 다음에, 본 실시예를 실현하는 최소의 구성인, 전술한 수직 블랭킹 기간(Tv2)에 있어서의 STH 및 LP의 타이밍을 생성하는 소스 드라이버 제어신호 생성회로(36)의 구성에 대해서 도4을 사용해서 상세하게 설명한다. 여기에서, 도면 중에 나타낸 신호는, 본 실시예를 실현하기 위한 주요한 신호를 나타내고 있고, 도면에 나타내지 않은 주파수의 시프트 클록(SCLK)에 대하여 동기하고 있는 신호로 한다. 여기에서, 본 실시예에서는 도1에 도시된 것과 같이 상기 소스 드라이버 제어신호 생성회로(36)가 상기 TCON(18) 내부에 내장되어 있는 것으로서 설명하지만 TCON에의 내장이 필수적이지는 않다.

<70> 도4에 있어서, 수평 스타트 펄스 트리거원 신호(STHtr0)은 STH의 생성 타이밍을 표시하는 트리거 신호로, 외부신호원으로부터 상기 TCON(18)에 입력된 도트 클록 DCLK, HD, VD, DENA를 포함하는 동기신호 등으로부터 도시하지 않은 상기 수평 기준신호 생성회로에서 생성된다. 또한, 래치 펄스 트리거원 신호(LPtr0)는, LP의 생성 타이밍을 나타낸 트리거 신호로, 마찬가지로 상기 동기신호 등으로부터 도시하지 않은 상기 수평 기준신호 생성회로에서 생성된다. 또한, 많은 상기 외부신호원은, 수직 블랭킹 기간(Tv2) 중에 있어서 DENA나 HD, VD를 상기 TCON(18)에 출력하지 않지만, 전술한 바와 같이 이 사이에도 액정 패널(2)을 구동하기 위해, 상기 TCON(18) 내부에서 의사적인 DENA나 HD, VD가 생성된다. 이 의사적인 DENA나 HD, VD를 사용해서 수직 블랭킹 기간(Tv2) 중에 상기 수평 스타트 펄스 트리거원 신호(STHtr0)이나 래치 펄스 트리거원 신호(LPtr0)이 생성된다.

<71> 여기에서 상기 수평 스타트 펄스 트리거원 신호(STHtr0)는, AND 회로(30)의 한쪽의 단자 및 마스크 신호 생성회로(33)에 각각 입력된다. 상기 래치 펄스 트리거원 신호(Lptr0)는, AND 회로(35)의 한쪽의 단자에 입력된다. 마스크 신호 생성회로(32)는 HD 및 DENA를 입력하여, 제1마스크 신호로서 수평 스타트 펄스 트리거 유효 신호(STHv1d)를 상기 AND 회로(30)의 다른 쪽의 단자에 출력한다. 상기 마스크 신호 생성회로(33)는 상기 수평 스타트 펄스 트리거원 신호(STHtr0)와 DENA를 입력하여 제2마스크 신호로서 래치 펄스 트리거 유효 신호(LPv1d)를 상기 AND 회로(35)의 다른 쪽의 단자에 출력한다.

<72> 상기 AND 회로(30)는, 상기 수평 스타트 펄스 트리거원 신호(STHtr0)과 상기 수평 스타트 펄스 트리거

유효 신호(STHv1d)의 논리곱을 취하여 수평 스타트 펄스 트리거 신호(STHtr)를 출력한다. 상기 AND 회로(35)는, 상기 래치 펄스 트리거원 신호(LPtr0)와 상기 래치 펄스 트리거 유효 신호(LPv1d)의 논리곱을 취하여 래치 펄스 트리거 신호(LPtr)를 출력한다.

<73> 스타트 펄스 생성회로(31)는 상기 수평 스타트 펄스 트리거 신호(STHtr)를 입력해서 STH 신호를 출력한다. 또한, 래치 펄스 생성회로(34)는 상기 래치 펄스 트리거 신호(LPtr)를 입력해서 LP 신호를 출력한다.

<74> 다음에, 상기 소스 드라이버 제어신호 생성회로(36) 내부의 각 신호의 상세한 동작 및 타이밍에 대해서, 도5를 사용하여 설명한다(이후, 설명의 간략화를 위해, 상기 각 신호, 즉 수평 스타트 펄스 트리거원 신호를 STHtr0, 래치 펄스 트리거원 신호를 LPtr0, 수평 스타트 펄스 트리거 유효 신호를 STHv1d, 래치 펄스 트리거 유효 신호를 LPv1d, 수평 스타트 펄스 트리거 신호를 STHtr, 래치 펄스 트리거 신호를 LPtr로 칭한다).

<75> 우선, 도5의 부호 40, 41은 각각 DENA 및 HD 파형을 나타내고, 외부신호원으로부터 TCON(18)에 입력되는 신호의 일례로서, 본 실시예에서는 설명의 간략화를 위해 수직 블랭킹 기간(Tv2) 길이는 수평 주기 Th의 약 3배 상당의 기간 길이로 했지만, 통상은 수평 주기 Th의 수십배 해당하는 기간 길이가 표준이다. 부호 42의 파형으로 나타낸 제1내부신호(HDc1)는 마스크 신호 생성회로(32) 내부의 내부신호로, 수직 블랭킹 기간(Tv2) 중의 HD의 하강부에 의해 High가 되고, DENA가 입력되면, 다음 프레임의 표시 기간이 시작된 것으로 판단해서 Low가 되는 신호이다.

<76> 또한, 부호 43의 파형으로 표시된 제2내부신호(HDc2)도 마스크 신호 생성회로(32) 내부의 내부신호로, 수직 블랭킹 기간(Tv2) 중의 HD의 하강부 타이밍으로 상기 제1내부신호(HDc1)의 값이 High인 경우, 이 제1내부신호(HDc1)의 값을 시프트하지만, DENA가 입력되면, 다음 프레임의 표시 기간이 시작된 것으로 판단해서 Low가 되는 신호이다. 또한, 상기 제2내부신호(HDc2)의 논리를 반전한 신호가 상기 STHv1d로서, 개략 타이밍 신호 파형을 부호 45로 표시한다.

<77> 즉, 상기 제1내부신호(HDc1) 및 제2내부신호(HDc2)는, 마스크 신호 생성회로(32)의 내부신호이며, 상기 마스크 신호 생성회로(32)의 출력 신호가 상기 STHv1d가 된다.

<78> 다음에, 부호 48은, 상기 LPv1d 파형으로, 어떤 프레임의 표시 기간 시작의 DENA가 상승으로부터 부호 44의 파형으로 표시된 상기 STHtr0까지의 기간을 Low로 하고, 그 이외의 기간은, High가 되는 펄스 신호이다. 이 신호는 상기한 바와 같이 DENA와 상기 STHtr0로부터 상기 마스크 신호 생성회로(33)에서 생성된다.

<79> 상기 STHv1d는, 상기 STHtr0와 함께 AND 회로(30)를 통과하고 있으므로, 상기 STHtr0 중 불필요한 부분을 커트한 상기 STHtr을, 스타트 펄스 생성회로(31)에 입력하고 있다. 따라서, 도5의 부호 46의 파형으로 표시한 것과 같이, 상기 STHtr는 부호 44로 표시된 상기 STHtr0에 대하여, 수직 블랭킹 기간(Tv2)의 후반의 상기 제1기간에 대응해서 Low로 고정되어 소거되고 있다. 상기한 바와 같이 이 기간은 소스 드라이버 IC(6~13)에서의 화상표시 데이터의 판독이 중지한다.

<80> 부호 48로 나타낸 상기 LPv1d는, 부호 47의 파형으로 나타낸 상기 LPtr0와 함께 AND 회로(35)를 통과하고 있으므로, 상기 LPtr0 중 불필요한 부분을 커트한 상기 LPtr를, 래치 펄스 생성회로(34)에 입력하고 있다. 즉, 상기 LPv1d에 의해 상기 LPtr0의 불필요한 부분이 마스크된다. 따라서, 부호 49의 파형으로 나타낸 것과 같이, 상기 LPtr은 상기 LPtr0 중에서, 상기 LPtr0가 상기 LPv1d의 Low 기간에 대응했을 경우에만, 수직 블랭킹 기간(Tv2)의 최후의 부분만이, Low로 고정되어 소거되고 있다.

<81> 더욱 상세한 타이밍을 설명하기 위해서, 도5의 파선으로 표시한 "A"의 부분의 확대도로서 도6을 사용한다.

<82> 도6 중에서, 부호 C로 표시된 신호군은 DENA와 HD로 구성되고, TCON(18)에의 입력 신호의 일부이며, 부호 D로 표시된 신호군은 TCON(18) 내부의 상기 소스 드라이버 제어신호 생성회로(36)에서 생성되고 있는 내부신호의 일부로서, HDc1~LPtr로 구성된다. 부호 E로 표시된 신호군은 STH와 LP로서 TCON(18)에서의 출력 신호의 일부를 표시하고 있다.

<83> 도6에 있어서, 부호 40, 41, 42, 43 파형으로 표시된 것 같이, 다음 프레임의 최초 라인의 유효기간 시작, 즉 수직 블랭킹 기간(Tv2) 종료후의 최초의 DENA의 상승을 받아, 상기 제1내부신호(HDc1) 및 제2내부신호(HDc2)은, Low가 된다(부호 42, 43의 파형). 전술한 바와 같이 부호 45로 표시된 STHv1d파형은, 상기 제2내부신호(HDc2)의 논리 반전 신호가 되고 있다.

<84> 여기에서, 도6의 부호 44로 표시된 STHtr0 파형예에 있어서는, 수직 블랭킹 기간(Tv2) 중에 상기 수평

기준신호 생성회로에 의해 생성된 펄스 신호 J와, 다음 프레임의 최초의 라인의 유효기간 시작후(DENA 상승후)에 발생한 펄스 신호 K가 기재되어 있지만, 상기 AND 회로(30)를 통과한 STHtr은, 상기 STHv1d와의 논리곱 신호이기 때문에, 부호 46로 도시한 바와 같이 펄스 신호 L만의 과형이 된다. 여기에서, STHtr0에 있어서의 상기 펄스 신호 J는 상기 수평 기준신호 생성회로에서 의사적으로 생성된 신호이고, 한편 상기 펄스 신호 K은 외부 신호원으로부터 입력한 DENA의 상승 타이밍에 의거하여 생성된다. 이 때문에, 상기 수직 블랭킹 기간 길이가 변동하면 상기 펄스 신호 J의 위치는 DENA의 상승에 대하여 상대적으로 변동할 가능성이 있지만, 상기 펄스 신호 K의 위치 및 상기 STHtr의 펄스 신호 L의 위치는 변동하지 않는다.

<85> 전술한 바와 같이 부호 47의 과형으로 나타낸 LPtr0는, 상기 소스 드라이버 제어신호 생성회로(36)에 입력되는 신호로서, TCON(18) 내부에서 상기 수평 기준신호 생성회로에서 생성된다. 전술한 바와 같이, 부호 48 과형으로 나타낸 LPv1d는 다음 프레임의 최초 라인의 유효기간 시작후(DENA의 상승 시점, 이것을 제1시점 M으로 한다)로부터 상기 STHtr0(하강 시점, 이것을 제2시점 N으로 한다)까지의 기간 DLY에 대응하는 기간(즉 상기 제1 시점 M과 제2시점 N 사이)을 Low로 하고, 그 이외의 기간은 High가 되는 펄스 신호이며, 상기 Low 기간 내에 대응하는 LPtr0의 High 신호는, 상기한 AND 회로(35)를 경유하는 것에 의해 소거되어, 부호 49 과형으로 나타낸 것 같이 Low인 채로 된다. 따라서, 부호 51로 나타낸 LP 신호 과형도 Low가 된다. 이 결과, 전술한 바와 같이 상기 기간 DLY에 대응하는 기간은, 상기 소스 드라이버 IC의 출력 전압의 갱신이 중지한다. 또한, 부호 50 과형으로 나타낸 STH 신호는, 상기 STHtr이 상기 스타트 펄스 생성회로(31)를 통과한 신호이며, 소정의 지연에 따른 스타트 펄스 생성회로(31)에서 출력된다. 이때, TCON(18)은, 제1시점 M과 제2시점 N의 사이의 기간 DLY(도 6 참조)를, 수직 주사기간(Tv1) 중의 1개의 수평 주사기간(Th1)보다 짧아지도록 설정한다.

<86> 여기에서, 전술한 것과 같이 미리 수직 블랭킹 기간의 전반에 STH를 중지함으로써, 그 이후의 소스 드라이버 IC에 입력되는 신호에 있어서, 수직 블랭킹 기간 중의 제어신호와 다음 프레임의 시작의 표시 기간 중의 제어신호와의 사이에서 제약 위반을 일으킬 가능성을 가지고 있는 것은, 수직 블랭킹 기간의 최후에 출력되도록 하고 있는, LP(상승)로부터 STH의 상승까지의 기간으로 좁혀져 간다.

<87> 상기 기간, 즉 기간 DLY에 대응하는 기간이 소스 드라이버 IC의 사양에서 정해진 소정값보다도 작으면, 수직 블랭킹 기간이나 상기 의사적인 HD의 길이에 따라서는, 다음 프레임의 수직 주사 기간(Tv1)에서의 소스 드라이버 IC의 오동작에 연결되고, 그 결과, 표시 화상에 이상을 초래하는 원인이 된다. 단, 상기 소정값은, TCON(18)으로부터 소스 드라이버 IC(6~13)에 출력되는 시프트 클록 SCLK의 주기로 환산하여, 수 클록 상당분이 되어, 실제 사용상 충분히 짧게 하는 것이 가능해서, 표시 화면상에의 영향을 경미하게 할 수 있다. 이것들을 고려하면, 그 제약에 해당하는 가능성을 고려한 상기 수 클록 상당 기간 내에 상승할 것 같은 LPtr0 신호만 삭제하면 되게 된다.

<88> 상기한 개념은, 도7에 도시된 것과 같이, 통상, TCON(18)의 입력 신호(DENA, HD, VD 등)보다도 수 클록 늦은 타이밍에 동기해서 상기 STHtr0 및 LPtr0는 생성된다. 특히, 상기 TCON(18) 내부에 여러 가지 부가기능 회로(70)를 조립해 가면, 입력 타이밍에 대하여, 생성되는 상기 STHtr0 및 LPtr0의 동기 타이밍은, 입력 신호의 동기 타이밍보다, 점점 지연(지연값이 DLY에 상당)된다.

<89> 이에 대하여, 마스크 신호 생성회로(33)에 입력되는 DENA는, TCON(18)에의 입력 신호 바로 그것, 또는, 상기한 지연(DLY)과 비교하여, 약간밖에 늦지 않은 신호를 사용한다. 이것에 의해, 상기 LPtr0가 생성되는 것보다도 수 시프트 클록(SCLK)만큼 앞서 다음 프레임의 최초의 라인 주사 기간이 시작되는 것을 예견할 수 있고, 또한, 이 이후에 STHtr0가 발생할 때까지의 사이에 발생하는 LPtr0를 LPv1d에 의해 소거할 수 있다.

<90> 또한, 소스 드라이버 IC의 상기 소정값의 제약에 따라, LPtr0의 동기 타이밍 또는, DENA의 마스크 신호 생성회로(33)에의 입력 타이밍 또는 상기 지연(DLY)의 값을 조절함으로써, 용이하게 상기 소정값의 제약을 끼어드는 범위의 LP 만큼을 삭감할 수 있다.

<91> 이와 같이 하여, 본 실시예의 TCON(18)은, 도 6에 나타낸 제1시점 M과 제2시점 N 사이의 기간 DLY(도 6 참조)를, 소스 드라이버 IC(6~13)의 구성(사양)에 기초하여 미리 정해진 래치 펄스의 입력 금지기간을 포함하도록 설정한다.

<92> 여기에서, 본 실시예에서는, 수직 블랭킹 기간이 시작한 후, 1 수평 주기 경과후에 STH의 출력을 중지하고 있지만, 수직 블랭킹 기간의 최후의 수 수평 주기분의 STH마저 구동을 확실하게 중지하면, 본 실시예의 요건은, 충분하게 만족시킨다.

<93> 더구나, 본 실시예에서는, 도2에서 나타낸 POL 과형(부호 23)에 대한 특정 기간(부호 28a, 28b)에 있어

서의 신호 반전 금지 방법에 대해서는 언급하지 않고 있지만, 표시 품위상의 필요가 있으면 전술한 LP 신호와 같은 방법 및 구성을 채용함으로써 용이하게 신호 반전 금지를 실현할 수 있는 것은 명백하다.

<94> 또한, 도8에 도시된 것과 같이, 외부 신호원의 동기신호(VD, HD, DENA)의 타이밍에 따라서는, 수직 블랭킹 기간(Tv2)의 상기 의사 HD를 수직 주사 기간(Tv1) 중의 정규 HD와 동일 주기이고 또한 연속적으로 생성이 가능해진다. 이 경우 LPv1d의 Low 기간에는 LPtr0가 발생하지 않으므로, LPtr이 소거되는 일은 없고, STHv1d 이 Low 기간의 STHtr만 소거된다.

<95> 또한, TCON의 구성에 따라서는, 상기 TCON 내부에서 수직 블랭킹 기간(Tv2) 중에 의사 DENA를 발생해서 화상 신호선 구동수단을 제어하는 경우가 있다. 이 경우 수직 블랭킹 기간(Tv2) 중에는 상기 의사적 HD 대신에 상기 의사 DENA를 사용하고, STHv1d의 하강부 타이밍을 생성해도 되지만, 상기 STHv1d의 상승 타이밍의 트리거로서는, 입력 화상 데이터에 대응하는 외부입력 DENA의 상승을 사용할 필요가 있다.

<96> 실시예 2

<97> 본 실시예에 있어서의 액정표시장치의 구성은 전술한 실시예 1에 있어서의 도1의 구성과 같으므로, 자세한 설명은 생략하고 다른 부분에 대해서 주로 설명한다. 타이밍 제어회로(TCON)(18)의 구성을 도9에 나타낸다. 본 실시예에 있어서의 TCON(18)의 입출력 신호는 전술한 실시예1과 동일해서, 여기에서는 상세한 설명을 생략한다. 도9에 있어서 부호 84은 소스 드라이버 제어신호 생성회로로서, 전술한 실시예1에 있어서의 소스 드라이버 제어신호 생성회로(34)에 해당하고, 그 내부구성은 다르지만 같은 기능을 발휘한다.

<98> 다음에, 상기 TCON(18)으로부터의 입출력 신호 각각의 타이밍에 대해서 도2를 사용해서 설명한다. 본 실시예도, 실시예1과 마찬가지로 우선 STH를 수직 블랭킹 기간(Tv2)의 도중에 출력 중지한다(Low로 한다). 본 실시예에 있어서도 이 기간은 소스 드라이버 IC(6~13)에서의 화상표시 데이터의 판독이 중지된다.

<99> 상기 STH가 중지하는 것은, 수직 블랭킹 기간(Tv2)의 전반 부분이면 어디라도 된다. 따라서, 수직 블랭킹 기간(Tv2)의 후반 부분은, 소스 드라이버 IC(6~13)에 대하여 적어도 POL(23)과 LP(25)를 송출하고, 수직 블랭킹 기간(Tv2)이라도 액정 패널(2)을 수평 주기 Th 또는 거기에 근사하는 주기로 주기적으로 교류 구동하고 있다.

<100> 게다가, 다음 프레임의 최초의 수평주사 기간(Th1)에 대하여 수직 블랭킹 기간중(Tv2)의 POL 또는 LP가 오동작의 원인이 될 가능성이 있다고 예견될 때에만, 수직 블랭킹 기간(Tv2)의 최후에 출력하도록 하고 있는 LP 또는 POL을 중지하고 있다.

<101> 상기한 동작에 대해서는, 실시예1과 같다. 따라서 수직 블랭킹 기간(Tv2)의 TCON(18)에 대한 입출력 패형을 나타낸 도면과 동일한 도면으로, 여기에서는 더 이상의 설명을 생략한다.

<102> 다음에, 본 실시예를 실현하는 최소의 구성이다, 전술한 수직 블랭킹 기간(Tv2)에 있어서의 STH 및 LP의 타이밍을 생성하는 소스 드라이버 제어신호 생성회로(84)의 구성에 대해서 도10을 사용하여 상세하게 설명한다. 여기에서 도면 중에 나타낸 신호는, 본 실시예를 실현하기 위한 주요한 신호를 나타내고 있고, 도시하지 않은 어떤 주파수의 시프트 클록(SCIJK)에 대하여 동기하고 있는 신호라고 한다. 여기에서, 본 실시예에서는 도9에 도시된 것과 같이, 본 실시예에서는, 소스 드라이버 제어신호 생성회로(84)은 전술한 실시예1과 마찬가지로 상기 TCON(18) 중에 내장되어 있는 것으로서 설명하지만 TCON에의 내장이 필수적이지 않다.

<103> 도10에 있어서, STHtr0는 STH의 생성 타이밍을 나타낸 트리거 신호로, 외부신호로부터 상기 TCON(18)에 입력된 도트 클록 DCLK, HD, VD, DENA를 포함하는 동기신호 등으로부터 도시하지 않은 상기 수평 기준신호 생성회로에서 생성된다. 또한 LPtr0는, LP의 생성 타이밍을 나타낸 트리거 신호로, 마찬가지로 상기 동기신호 등으로부터 도시하지 않은 상기 수평 기준신호 생성회로에서 생성된다. 또한, 많은 외부 신호원은, 수직 블랭킹 기간(Tv2) 중에 DENA나 HD, VD를 상기 TCON(18)에 출력하지 않지만, 전술한 바와 같이 이 사이에도 액정 패널(2)을 구동하기 위해서, 상기 TCON(18) 내부에서 의사적인 DENA나 HD, VD가 생성된다. 이 의사적인 DENA나 HD, VD를 사용해서 수직 블랭킹 기간(Tv2) 중에 상기 STHtr0나 LPtr0가 생성된다.

<104> 여기에서, 상기 STHtr0는, AND 회로(30)의 한쪽의 단자에 입력되고, 상기 LPtr0는, AND 회로(35)의 한쪽의 단자에 입력된다. 블랭킹 카운터(80)는, HD와 DENA를 입력하고, 수직 블랭킹 기간중의 HD수를 카운트하여, 카운트 값(HDcnt)을 기억 회로(81), 제1비교 회로(82) 및 제2비교 회로(83)에 출력한다. 기억 회로(81)는 상기 카운트 값(HDcnt)을 입력하여 같은 값을 기억하는 기억 회로로서, DENA의 상승 신호 입력으로 상기 카운트 값(HDcnt)을 기억하고, 그 값을 기억값(cntkp)로서 제2비교 회로(83)에 출력한다. 상기 제1비교 회로(82)는, 상기

카운트 값(HDcnt)의 값과 상수 k(여기에서는, k=1로 한다)를 비교해서  $k < \text{상기 카운트 값(HDcnt)}$ 일 때 Low를, 그 이외는, High를 상기 AND 회로(30)의 다른 쪽의 단자에 STHv1d으로서 출력한다. 상기 제2비교 회로(83)는, 상기 카운트 값(HDcnt)과 상기 기억값(cntkp)를 비교하여, 카운트 값(HDcnt)  $\geq$  기억값(cntkp)일 때 Low를, 그 이외는 High를 상기 AND 회로(35)의 다른 쪽의 단자에 LPv1d로서 출력한다.

<105>      상기 AND 회로 30은, 상기 STHtr0와 상기 STHv1d의 논리곱을 취하여 STHtr를 출력한다. 상기 AND 회로 35는, 상기 LPtr0와 상기 LPv1d와의 논리곱을 취하여 LPtr을 출력한다.

<106>      스타트 펄스 생성회로(31)는 상기 STHtr를 입력해서 STH 신호를 출력한다. 또한, 래치 펄스 생성회로(34)는 상기 LPtr를 입력해서 LP 신호를 출력한다.

<107>      상기 블랭킹 카운터(80)는, 수직 블랭킹 기간(Tv2) 중의 HD의 하강부를 카운트하고 있으며, DENA가 입력되면, 그것의 출력인 상기 카운트 값(HDcnt)은 다음 프레임의 수직 주사 기간(Tv1)이 시작된 것으로 판단해서 0으로 리셋된다.

<108>      또한, 상기 카운트 값(HDcnt)은, 상기 다음의 프레임의 표시 기간이 시작되는 타이밍에서 기억 회로(81)에 카운트 기억값(cntkp)으로서 기억된다.

<109>      다음에, 상기 소스 드라이버 제어신호 생성회로(84) 내부의 각 신호의 상세한 동작 및 타이밍에 대해서, 도11을 사용하여 설명한다. 도11에 있어서, 부호 90, 91은 각각 DENA 및 HD 파형을 나타내고, 외부신호로부터 TCON(18)에 입력되는 신호의 일레이며, 본 실시예에서는 기재상의 간략화를 위해 수직 블랭킹 기간(Tv2) 길이는 수평 주기 Th의 3배 상당의 기간 길이로 했지만, 통상은 수평 주기 Th의 몇십배 상당한 기간 길이가 표준이다.

<110>      상기 카운트 값(HDcnt)은, 도11의 부호 92로 나타낸 것과 같이, 수직 블랭킹 기간(Tv2) 중의 HD의 하강부를 카운트하고 있고, HD의 하강부마다 1에서 순차적으로 2, 3, 4로 카운트업하고 있다. 상기 STHv1d는, 상기 한 제1비교 회로(82)의 출력으로,  $k < \text{상기 카운트 값(HDcnt)}$ 일 때 Low를, 그 이외는, High가 되기 때문에(본 실시예에서는  $k=1$ 로 했다), 부호95로 도시한 바와 같이 상기 카운트 값(HDcnt)이 2 이상일 때, Low가 되는 파형을 나타낸다.

<111>      상기 STHv1d는, 부호 94 파형으로 나타낸 상기 STHtr0와 함께 AND 회로(30)를 통과하고 있으므로, AND 회로(30)의 출력인 STHtr는, 부호 96의 파형으로 나타낸 거소가 같이, 상기 STHtr0에 대하여, 수직 블랭킹 기간(Tv2)의 후반의 제1기간에 대응해서 Low로 고정되어 소거되고 있다. 상기한 바와 같이 이 기간은 소스 드라이버 IC(6~13)에서의 화상표시 테이터의 판독이 중지된다.

<112>      한편, 부호93으로 나타낸 기억값(cntkp)은, DENA의 상승 신호 입력 시점에서의 상기 카운트 값(HDcnt) 이므로, 기억값으로서 "4"가 유지되어 있다. 상기 제2비교 회로(83)는, 상기 카운트 값(HDcnt)과 상기 기억값(cntkp)을 비교하여, 상기 카운트 값(HDcnt)  $\geq$  상기 기억값(cntkp)일 때 Low를 출력하고, 그 이외는 High를 출력하므로, 그것의 출력인 LPv1d는 부호 98로 나타낸 것과 같이 상기 카운트 값(HDcnt)이 "4"일 때 Low가 되는 파형을 보인다.

<113>      상기 LPv1d는, 부호 97 파형으로 나타낸 상기 LPtr0와 함께 AND 회로(35)을 통과하고 있으므로, 상기 LPtr0 중 불필요한 부분을 커트한 상기 LPtr을, 래치 펄스 생성회로(34)에 입력하고 있다. 즉, 상기 LPv1d에 의해 상기 LPtr0의 불필요한 부분이 마스크된다. 따라서, 도11의 부호 99 파형으로 나타낸 바와 같이, 상기 LPtr는 상기 Lftr0 중에서, 상기 LPtr0가 다음 프레임의 수평주사 기간(Th1) 직전의 HD의 하강부 타이밍보다도 나중에 발생했을 경우에만, 수직 블랭킹 기간(Tv2)의 최후의 부분만이, Low로 고정되어 있다.

<114>      더욱 상세한 타이밍을 설명하기 위해서, 도11의 파선으로 나타낸 "B"의 부분의 확대도로서 도12을 사용한다. 동 도면 중에서, 부호 F로 표시된 신호군은 DENA와 HD로 구성되고, TCON(18)에의 입력 신호의 일부이고, 부호 G로 표시된 신호군은 TCON(18) 내부의 상기 소스 드라이버 제어신호 생성회로(84)에서 생성되고 있는 내부 신호의 일부이며, HDcnt ~ LPtr0로 구성된다. 부호 H로 표시된 신호군은 STH와 LP로서 TCON(18)으로부터의 출력 신호의 일부를 표시하고 있다. 도12에 있어서, 부호 92로 나타낸 수치변화 타이밍은 도11에서 나타낸 상기 카운트 값(HDcnt)의 그것과 동일하고, 또한 도12에 있어서, 부호 93으로 나타낸 수치변화 타이밍은 도11에서 나타낸 상기 기억값(cntkp)의 그것과 동일하다. 그러나, 도12은 도11의 확대도이기 때문에, DENA와 HD에 대한 카운트 값(HDcnt)과 상기 기억값(cntkp)의 변화 타이밍은, 각각의 신호 처리 시간을 가미해서 소정의 지연을 고려해서 기재되어 있다.

<115> 본 실시예에 있어서도, 도3에 나타낸 구성의 소스 드라이버 IC을 채용하고 있으므로, 도11의 부호 96로 나타낸 것과 같이 실시예1과 마찬가지로 미리 수직 블랭킹 기간의 도중에 STHtr를 중지하고 있다. 그 결과, STH도 중지한다. STH의 중지 기간중에는, 시프트 레지스터(60) 또는, 상기 시프트 레지스터(60)에서 데이터를 전송 받은 레지스터(61)에 축적되어 있는 화상 데이터를 사용하여, LP가 소정의 타이밍에서 입력되면, 그 입력 타이밍에 대응하여, 디지털·아날로그 변환 회로 DAC(62)가 동작해서 상기 화상 데이터를 D/A 변환하여, 액정 패널(2)을 구동하기 위한 전압을 상기 화상 신호선(14)에 인가하는 것이 가능하다.

<116> 여기에서, 전술한 바와 같이 수직 블랭킹 기간의 전반에 STH를 중지함으로써, 그 이후의 소스 드라이버 IC에 입력되는 신호에 있어서, 수직 블랭킹 기간(Tv2) 중의 제어신호와 다음 프레임의 시작의 표시 기간중의 제어신호의 사이에서 제약 위반을 일으킬 가능성은 가지고 있는 것은, 수직 블랭킹 기간 Tv2의 최후에 출력하도록 하고 있는, LP(상승)로부터 STH의 상승까지의 기간으로 좁혀져 간다.

<117> 상기 기간이 소스 드라이버 IC의 사양에서 정해진 소정값보다도 작으면, 수직 블랭킹 기간이나 상기 의사적인 HD의 길이에 따라서는, 다음 프레임의 수직 주사 기간(Tv1)에서의 소스 드라이버 IC의 오동작에 연결되고, 그 결과, 표시 화상에 이상을 초래하는 원인이 된다. 단, 상기 소정값은, TCON(18)으로부터 소스 드라이버 IC(6~13)에 출력되는 시프트 클록(SCLK)의 주기로 환산하여, 수 클록 상당분이 되어, 실제 사용상 충분히 짧게 하는 것이 가능해서, 표시 화면상에의 영향을 경미하게 할 수 있다. 이것들을 고려하면, 그 제약에 해당하는 가능성을 고려한 상기 수 클록 상당 기간 내에 상승할 것 같은 LPtr0 신호만 삭제하면 되게 된다.

<118> 따라서, 본 실시예에서는, 도12에 도시된 것과 같이 수직 블랭킹 기간(Tv2)의 최후의 부분으로, 다음 프레임의 수평주사 기간(Th1) 직전의 HD의 하강부 타이밍보다도 나중에 발생하도록 하는 LP을 출력시키지 않기 위해, LPv1d(부호 98 과형)을 Low로 떨어뜨리고 있다(제1시점 M). 그 결과, LPtr(부호 99 과형)은 도12 중의 기재와 같이 상기 LPv1d가 Low인 기간에서 마스크되어 소거되고 있다(High가 안된다). 따라서, 부호 101로 나타낸 LP 과형도 상기 기간은 Low가 된다. 그 후에 다음 프레임 최초의 라인의 수평주사 기간(Th1)이 개시되어서 DENA(부호 90 과형)가 상승하면 LPv1d가 High가 되고(제2시점 N), 그 후의 수직 주사 기간(Tv1) 중에는 LPtr로부터 LPtr이 된다. 이 결과, 전술한 바와 같이 상기 LPv1d가 Low인 기간에 대응하는 기간, 즉 제1시점 M과 제2시점 N 사이는, LP이 출력되지 않기 때문에 상기 소스 드라이버 IC의 출력 전압의 갱신이 중지된다.

<119> 또한, AND 회로(30)는, STHv1d(부호 95 과형)이 High 기간에만 STHtr0(부호 94 과형)을 그대로 출력하므로, 도12의 부호 94로 표시된 상기 STHtr0의 과형은, 상기 STHtr(부호 96 과형)과 동일 과형이 된다. 그러나, 상기 STHv1d(부호 95 과형)이 Low 기간(수직 블랭킹 기간의 후반부, 상기 제1기간)은 상기 STHtr0의 High 펄스가 발생해도 상기 STHtr는 Low가 되어, 소거된다. 따라서, 부호 100으로 나타낸 STH 과형은, 상기 STHtr가 상기 스타트 펄스 생성회로(31)를 통과한 신호로서, 소정의 지연을 따른 스타트 펄스 생성회로(31)로부터 출력된다.

<120> 여기에서, 상기 HD의 하강부로부터 DENA(부호 90 과형)의 상승까지의 기간이 대단히 짧은 경우, 본 실시예의 성질상, 상기 HD의 하강부보다도 전에 나타는 LP에 대해서는, 삭제할 수 없다. 그러나, 전술한 실시예1과 마찬가지로 통상 TCON(18)의 입력 신호(DENA, HD, VD등)보다도 수 클록 늦은 타이밍에 동기해서 STHtr0(부호 94 과형) 및 LPtr0(부호 97 과형)이 생성된다.

<121> 이 STHtr0 및 LPtr0의 동기 타이밍을 한층 더 지연(DLY)시킴으로써, 상기 삭제하는 것이 불가능한 부분은, 최소한으로 할 수 있다.

<122> 또한, 본 실시예에서는, 수직 블랭킹 기간(Tv2)에 들어간 직후에 STH의 출력을 중지하고 있지만, 수직 블랭킹 기간의 최후의 수개의 수평 주기분의 STH마저 구동을 확실하게 중지하면, 본 실시예의 용건은, 충분하게 만족시킨다.

<123> 더구나, 본 실시예에서는, 도2에서 나타낸 POL 과형(부호 23)에 대한 특정 기간(부호 28a, 28b)에 있어서의 신호 반전 금지 방법에 대해서는 언급하지 않고 있지만, 표시 품위상의 필요가 있으면 전술한 LP 신호와 같은 방법 및 구성을 채용함으로써 용이하게 신호 반전 금지를 실현할 수 있다는 것은 명백하다.

<124> 본 실시예도, 전술한 목적을 간단하고, 또한, 다음 프레임 표시에 대하여 수직 블랭킹 기간중의 교류화 신호가 오동작의 원인이 될 가능성이 있다고 예견되는 부분만 교류화 신호를 중지하기 위해, 우선 데이터 시프트용 스타트 펄스를 수직 블랭킹 기간의 도중에 출력 중지한다. 상기 데이터 시프트용 스타트 펄스가 중지하는 것은, 수직 블랭킹 기간의 전반 부분이면 어디라도 된다. 따라서, 수직 블랭킹 기간의 후반 부분(상기 제1기간)은, 소스 드라이버 IC에 대하여, 적어도 POL과 LP신호를 보내서 수직 블랭킹 기간(Tv2)에 있어서의 액정 패널의 연속 구동을 가능하게 하고 있다.

<125> 게다가, 다음 프레임 표시에 대하여 수직 블랭킹 기간 Tv2 중에 드라이버 IC에 입력되는 제어신호, 특히 LP 신호가 오동작의 원인이 될 가능성이 있다고 예견될 때에만, 수직 블랭킹 기간 최후에 출력하고 하고 있는 LP을 중지하고 있다.

<126> 또한, TCON의 구성에 따라서는, 상기 TCON 내부에서 수직 블랭킹 기간(Tv2) 중에 의사 DENA를 발생해서 화상 신호선 구동수단을 제어하는 경우가 있다. 이 경우, 수직 블랭킹 기간(Tv2) 중에는 HD 대신에 상기 의사 DENA를 사용하고, 카운트 값(HDcnt)을 가산해도 되지만, 상기 카운트 값(HDcnt)의 리셋트 및 카운트 기억값(cntkp)의 기억 타이밍으로서는, 입력 화상 데이터에 대응하는 외부입력 DENA의 상승을 사용할 필요가 있다.

<127> 본 실시예 1 및 2에 있어서는, 수직 블랭킹 기간중에는, 외부 신호원으로부터 HD가 TCON에 입력하지 않도록 하여, TCON 내부의 수평 기준신호 생성회로에서 의사적인 HD를 생성하고, 상기 HD를 사용해서 수직 블랭킹 기간중에 화상 신호선 구동수단에 대하여 제어신호를 계속해서 보내는 것으로 했지만, 외부 신호원의 구성에 따라서는, 수직 블랭킹 기간중이라도 HD를 연속적으로 송출하는 경우가 있다. 이 경우에는, 상기 의사적인 HD가 아니라, 외부신호원으로부터 송출되는 HD를 사용함으로써, 상기 화상 신호선 구동수단에 대한 제어가 본 실시예 1 및 2와 마찬가지로 특별히 제한이 없이 실현가능하다. 또한, 수직 블랭킹 기간중에 상기 HD의 주기가 흐트러진 경우나, 홀수 프레임과 짝수 프레임의 수직 블랭킹 기간중의 HD수가 다른 경우에 있어서도, 상기 제1기간에 대응해서 상기 화상 신호선 구동수단에서 화상표시 데이터의 판독을 중지할 수 있고, 더구나 수직 블랭킹 기간 최후에 출력하도록 하고 있는 LP을 삭제할 수도 있다.

<128> 따라서, 본 실시예1 및 2에 있어서는, 상기 화상 신호선 구동수단 및 주사 신호선 구동수단의 일례로서 실리콘 반도체 집적회로를 채용한 소스 드라이버 IC 및 게이트 드라이버 IC을 채용했지만, 능동소자로서 저온 폴리실리콘 TFT를 채용하고, 유리 기판 위에 같은 회로를 형성한 구성이어도 된다. 더구나, 저온 폴리실리콘 TFT를 채용하면 전술한 도4나 도10의 구성을 내장한 타이밍 제어회로 TCON(18)도 마찬가지로 유리 기판 위에 형성할 수 있다.

<129> 또한, 본 실시예1 및 2에 있어서는, 액티브 매트릭스 구동회로가 구동하는 대상물로서 액정 패널을 예로 들어 설명했지만, 예를 들면 유기 EL 표시장치 등 액티브 매트릭스를 가지는 화상표시장치라면 본 구동회로를 채용할 수 있다.

### 발명의 효과

<130> 수직 블랭킹 기간에 있어서, 화상 신호선 구동수단에 구동제어신호를 계속해서 보내는 액티브 매트릭스 표시장치에 있어서, 수직 블랭킹 기간의 최후의 구동제어신호가 다음 프레임의 표시 기간의 신호에 대하여, 진짜로 오동작의 원인이 될 가능성이 있을 경우에만, 상기 화상 표시 데이터의 판독을 중지하는 것이 가능해져, 상기 중지하는 기간을 더욱 더 최소한으로 하는 것이 가능한 타이밍 제어수단을 제공한다.

<131> 또한, 상기 타이밍 제어 수단에는 수직 블랭킹 기간중의 수평 주기를 카운트하기 위한 카운터가 불필요하여, 그 결과, 상기 기능을 실현하기 위해서 타이밍 제어수단에 내장되는 회로 규모도 대규모로는 되지 않아, 비용상승도 적다.

### 도면의 간단한 설명

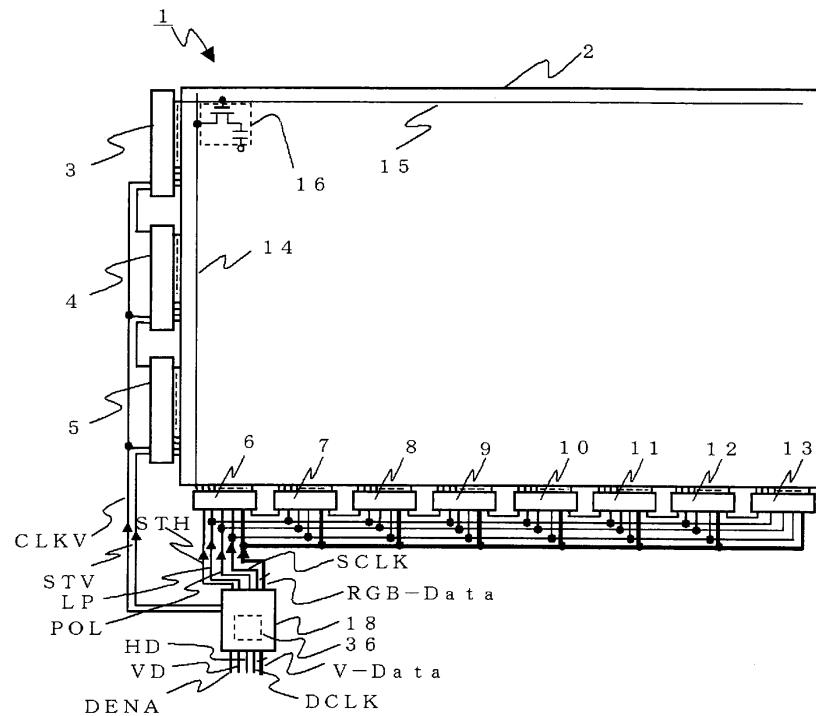
- <1> 도1은 본 발명을 실시하기 위한 실시예1에 있어서의 액정표시장치의 회로 구성도이다.
- <2> 도2는 본 발명을 실시하기 위한 실시예1 및 실시예2에 있어서의 타이밍 제어회로로부터 소스 드라이버 IC에의 송출 신호 파형도이다.
- <3> 도3은 본 발명을 실시하기 위한 실시예1 및 실시예 2에 있어서의 소스 드라이버 IC의 구성도이다.
- <4> 도4는 본 발명을 실시하기 위한 실시예1에 있어서의 소스 드라이버 제어신호 생성회로의 구성도이다.
- <5> 도5는 본 발명을 실시하기 위한 실시예1에 있어서의 소스 드라이버 제어신호 생성회로 내 각 신호의 동작 타이밍 파형도이다.
- <6> 도6는 본 발명을 실시하기 위한 실시예1에 있어서의 소스 드라이버 제어신호 생성회로 내 각 신호의 상세한 동작 타이밍 파형도이다.
- <7> 도7은 본 발명을 실시하기 위한 실시예1 및 실시예2에 있어서의 타이밍 제어회로 내의 부가 기능 회로를 나타낸

구성도이다.

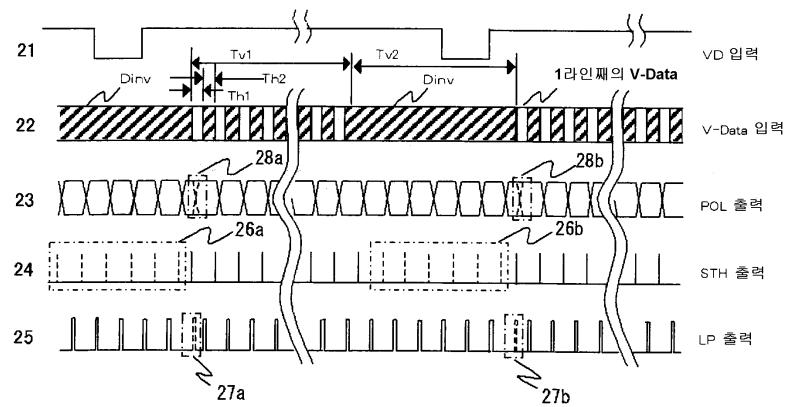
- <8> 도8은 본 발명을 실시하기 위한 실시예1에 있어서의 소스 드라이버 제어신호 생성회로 내 각 신호의 동작 타이밍 과정도이다.
- <9> 도9는 본 발명을 실시하기 위한 실시예2에 있어서의 타이밍 제어회로의 구성도이다.
- <10> 도10은 본 발명을 실시하기 위한 실시예2에 있어서의 소스 드라이버 제어신호 생성회로의 구성도이다.
- <11> 도11은 본 발명을 실시하기 위한 실시예2에 있어서의 소스 드라이버 제어신호 생성회로 내 각 신호의 동작 타이밍 과정도이다.
- <12> 도12는 본 발명을 실시하기 위한 실시예2에 있어서의 소스 드라이버 제어신호 생성회로 내 각 신호의 상세한 동작 타이밍 과정도이다.
- <13> \* 도면의 주요부분에 대한 부호의 설명 \*
- <14> 1: 액정표시장치                    2: 액정 패널
- <15> 3, 4, 5: 게이트 드라이버 IC
- <16> 6, 7, 8, 9, 10, 11, 12, 13: 소스 드라이브 IC
- <17> 14: 화상 신호선                    15: 주사 신호선
- <18> 16: 화소부                            18: 타이밍 제어회로
- <19> 23: POL 출력 과정                    24, 50, 100: STH 출력 과정
- <20> 25, 51, 101: LP 출력 과정                    30, 35: AND 회로
- <21> 31: 스타트 펄스 생성회로                    32, 33: 마스크 신호 생성회로
- <22> 34: 래치 펄스 생성회로
- <23> 36, 84: 소스 드라이버 제어신호 생성회로
- <24> 44, 94: 수평 수평 스타트 펄스 트리거원 신호 과정
- <25> 45, 95: 수평 스타트 펄스 트리거 유효 신호 과정
- <26> 46, 96: 수평 스타트 펄스 트리거 신호 과정
- <27> 47, 97: 래치 펄스 트리거원 신호 과정
- <28> 48, 98: 래치 펄스 트리거 유효 신호 과정
- <29> 49, 99: 래치 펄스 트리거 신호 과정
- <30> 80: 블랭킹 카운터                            81: 기억 회로
- <31> 82, 83: 비교 회로                            M: 제1시점
- <32> N: 제2시점                                    T<sub>v1</sub>: 수직 주사 기간
- <33> T<sub>v2</sub>: 수직 블랭킹 기간                    Th: 수평 주기
- <34> RGB-Data: 화상표시 데이터

## 도면

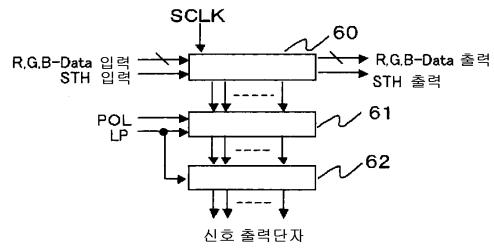
## 도면1



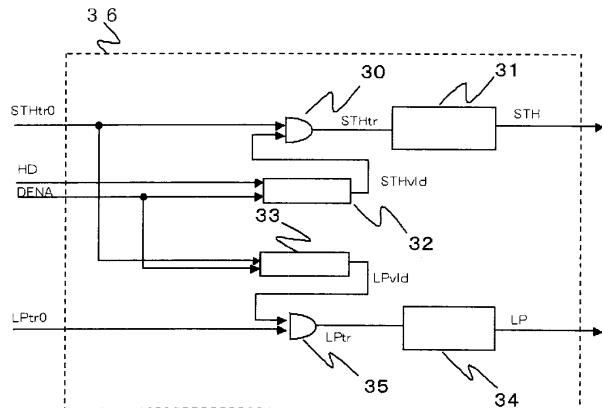
## 도면2



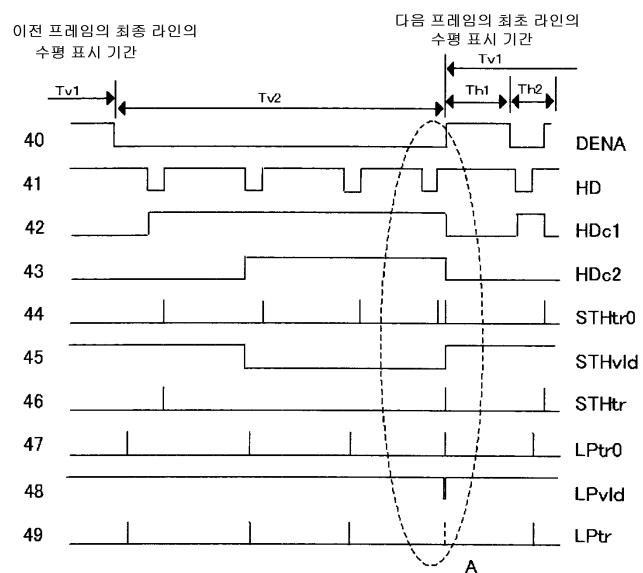
### 도면3



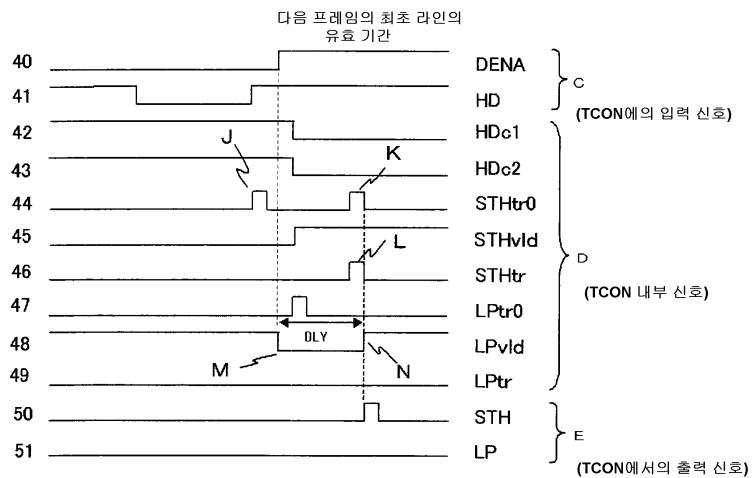
### 도면4



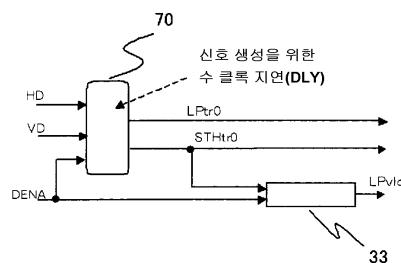
### 도면5



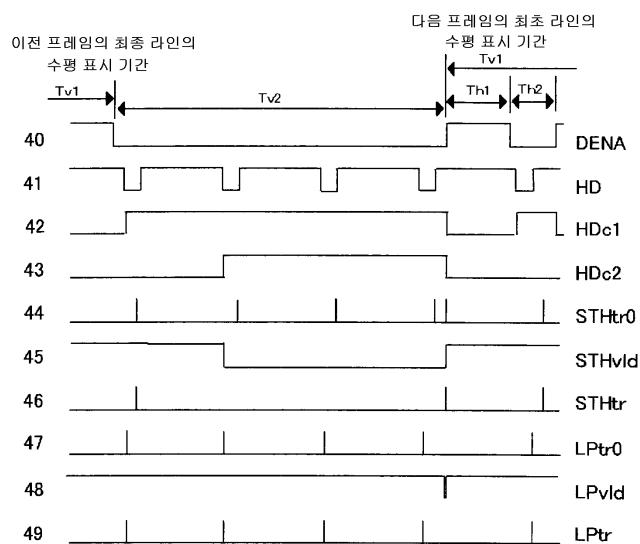
### 도면6



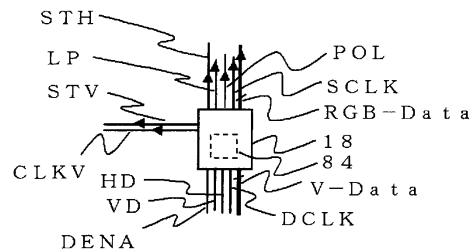
### 도면7



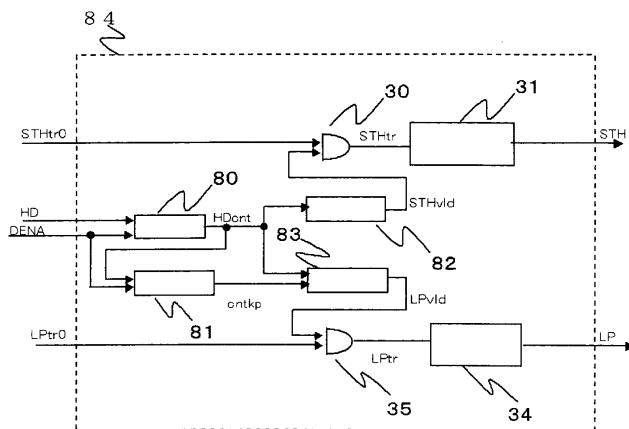
### 도면8



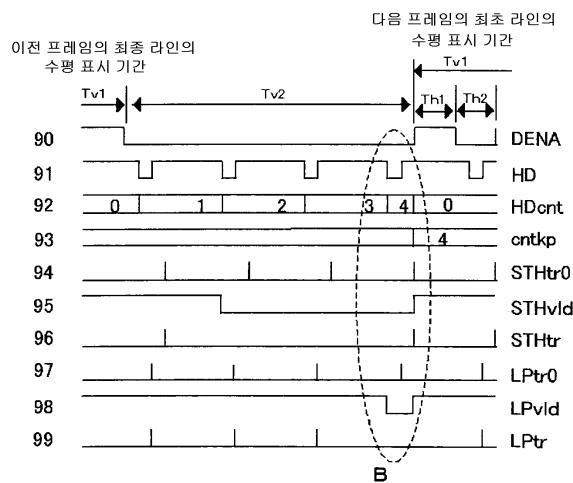
도면9



도면10



도면11



## 도면12

