

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成17年9月15日(2005.9.15)

【公開番号】特開2003-168736(P2003-168736A)

【公開日】平成15年6月13日(2003.6.13)

【出願番号】特願2001-366351(P2001-366351)

【国際特許分類第7版】

H 01 L 21/822

H 01 L 25/04

H 01 L 25/18

H 01 L 27/04

H 03 F 3/24

【F I】

H 01 L 27/04 E

H 03 F 3/24 Z

H 01 L 25/04

【手続補正書】

【提出日】平成17年3月31日(2005.3.31)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

主面に第1および第2領域を有する半導体チップと、

前記第1領域に形成された第1ゲート電極層、第1ソース電極層および第1ドレイン電極層を有する複数の第1トランジスタと、

前記第2領域に形成された第2ゲート電極層、第2ソース電極層および第2ドレイン電極層を有する複数の第2トランジスタと、

前記第1および第2ゲート電極層と電気的に接続され、前記半導体チップ内のゲートパッド形成領域内に形成されたゲートパッドと、

前記第1ドレイン電極層と電気的に接続され、前記第1領域内の第1ドレインパッド形成領域内に形成された第1ドレインパッドと、

前記第2ドレイン電極層と電気的に接続され、前記第2領域内の第2ドレインパッド形成領域内に形成された第2ドレインパッドを有する半導体装置であって、

前記ゲートパッド形成領域は、前記半導体チップの主面において前記第1および第2領域の間に位置し、

前記第1ゲート電極層および前記第1ドレイン電極層は、前記ゲートパッド形成領域と前記第1ドレインパッド形成領域の間に延在し、

前記第2ゲート電極層および前記第2ドレイン電極層は、前記ゲートパッド形成領域と前記第2ドレインパッド形成領域の間に延在することを特徴とする半導体装置。

【請求項2】

請求項1に記載の半導体装置であって、前記第1ゲート電極層、第1ドレイン電極層、および第1ソース電極層は、前記ゲートパッド形成領域から前記第1ドレインパッド形成領域に向かう第1の方向に延在し、

前記第2ゲート電極層、第2ドレイン電極層、および第2ソース電極層は、前記ゲートパッド形成領域から前記第2ドレインパッド形成領域に向かう第2の方向に延在することを

特徴とする半導体装置。

【請求項 3】

請求項 2 に記載の半導体装置であって、前記第 1 および第 2 ゲート電極層の長さ、前記第 1 および第 2 ソース電極層の長さ、前記第 1 および第 2 ドレイン電極層の長さは 300 μm 以下であることを特徴とする半導体装置。

【請求項 4】

請求項 2 に記載の半導体装置であって、前記第 1 ゲート電極層は前記第 1 ソース電極層および前記第 1 ドレイン電極層の間に配置され、

前記第 2 ゲート電極層は前記第 2 ソース電極層および前記第 2 ドレイン電極層の間に配置され、

前記第 1 パソコンは、前記第 1 の方向と交差する第 3 の方向の方向に繰り返し配置され、

前記第 2 パソコンは、前記第 2 の方向と交差する第 4 の方向の方向に繰り返し配置されていることを特徴とする半導体装置。

【請求項 5】

請求項 4 に記載の半導体装置であって、前記第 3 の方向は前記第 1 の方向に直交し、前記第 4 の方向は前記第 2 の方向に直交することを特徴とする半導体装置。

【請求項 6】

請求項 1 に記載の半導体装置であって、複数の前記第 1 ソース電極層はそれぞれ電気的に接続され、

複数の前記第 2 ソース電極層はそれぞれ電気的に接続され、前記半導体基板の裏面に形成されたソース電極に電気的に接続されていることを特徴とする半導体装置。

【請求項 7】

請求項 1 に記載の半導体装置であって、複数の前記第 1 ドレインパッドが前記第 1 ドレインパッド形成領域内に形成され、

複数の前記第 2 ドレインパッドが前記第 2 ドレインパッド形成領域内に形成されていることを特徴とする半導体装置。

【請求項 8】

請求項 1 に記載の半導体装置であって、前記ゲートパッド、前記第 1 および第 2 ドレインパッドには導電性のワイヤを接続可能であることを特徴とする半導体装置。

【請求項 9】

電力增幅回路を含む電力增幅モジュールであって、

配線基板と、

前記配線基板上に搭載された第 1 の半導体チップと、

前記第 1 の半導体チップ内に形成された、前記電力增幅回路を構成する第 1 のトランジスタと、

前記第 1 の半導体チップ内の入力パッド形成領域内に形成された、前記第 1 のトランジスタの入力パッドと、

前記第 1 半導体チップ内に形成された、前記第 1 のトランジスタの第 1 および第 2 の出力パッドを有し、

前記第 1 および第 2 の出力パッドは、前記第 1 の半導体チップ内の第 1 および第 2 の出力パッド形成領域内にそれぞれ配置され、

前記第 1 のトランジスタは、前記第 1 および第 2 の出力パッド形成領域の間に位置し、

前記入力パッドは、前記第 1 および第 2 の出力パッド形成領域の間に位置していることを特徴とする電力增幅モジュール。

【請求項 10】

請求項 9 記載の電力增幅モジュールであって、

前記電力增幅モジュールは、さらに前記配線基板上に第 2 の半導体チップを有し、

前記電力增幅回路は、直列接続された複数段のトランジスタから構成され、

前記第1の半導体チップ内に形成された第1のトランジスタは、前記複数段のトランジスタのうち最終段のトランジスタであり、

前記第2の半導体チップには、前記第1のトランジスタと電気的に接続された第2のトランジスタが形成され、

前記第2のトランジスタからの出力信号は、前記第1のトランジスタの前記入力パッドに入力されることを特徴とする電力増幅モジュール。

【請求項 1 1】

請求項9記載の電力増幅モジュールであって、

前記トランジスタはMISFETであり、

前記MISFETは、

前記第1の半導体チップの主面上の第1の領域内に形成された、第1のゲート電極層、第1のソース電極層、および第1のドレイン電極層と、

前記第1の半導体チップの主面上の第2の領域内に形成された、第2のゲート電極層、第2のソース電極層、および第2のドレイン電極層

を有し、

前記入力用パッドは、前記第1および第2のゲート電極層と電気的に接続され、

前記第1の出力用パッドは前記第1のドレイン電極層と電気的に接続され、

前記第2の出力用パッドは前記第2のドレイン電極層と電気的に接続されていることを特徴とする電力増幅モジュール。

【請求項 1 2】

請求項11記載の電力増幅モジュールであって、

前記第1のゲート電極層と前記第1のドレイン電極層は、前記入力パッド形成領域と前記第1の出力用パッド形成領域の間に延在し、

前記第2のゲート電極層と前記第2のドレイン電極層は、前記入力パッド形成領域と前記第2の出力用パッド形成領域の間に延在していることを特徴とする電力増幅モジュール。

【請求項 1 3】

請求項12記載の電力増幅モジュールであって、

前記第1および第2のゲート電極層、前記第1および第2のドレイン電極層の延在方向の長さは300μm以下であることを特徴とする電力増幅モジュール。

【請求項 1 4】

請求項9記載の電力増幅モジュールであって、

前記電力増幅モジュールは複数の電力増幅系を有することを特徴とする電力増幅モジュール。

【請求項 1 5】

請求項14記載の電力増幅モジュールであって、

前記電力増幅モジュールは携帯電話に搭載され、

前記複数の電力増幅系にはPCN方式の電力増幅系とGSM方式の電力増幅系が含まれることを特徴とする電力増幅モジュール。

【請求項 1 6】

請求項9記載の電力増幅モジュールであって、

前記電力増幅モジュールは携帯電話に搭載されることを特徴とする。