

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2016 年 8 月 11 日 (11.08.2016)



(10) 国际公布号
WO 2016/123840 A1

- (51) 国际专利分类号:
G09G 3/36 (2006.01)
- (21) 国际申请号: PCT/CN2015/074458
- (22) 国际申请日: 2015 年 3 月 18 日 (18.03.2015)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201510059380.0 2015 年 2 月 4 日 (04.02.2015) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
武汉华星光电技术有限公司 (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430070 (CN)。
- (72) 发明人: 邢振周 (XING, Zhenzhou); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。郭星灵 (GUO, Xingling); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。国春朋 (GUO, Chunpeng); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (74) 代理人: 北京聿宏知识产权代理有限公司 (YUHONG INTELLECTUAL PROPERTY LAW FIRM); 中国北京市西城区宣武门外大街 6 号庄胜广场第一座西翼 713 室吴大建/刘华联, Beijing 100052 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU,

[见续页]

(54) Title: SOURCE DRIVE CIRCUIT

(54) 发明名称: 源极驱动电路

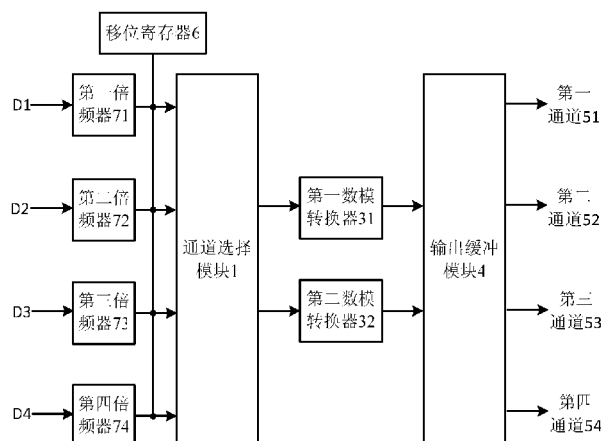


图 3

- 1 CHANNEL SELECTION MODULE
- 31 FIRST DIGITAL ANALOG CONVERTER
- 32 SECOND DIGITAL ANALOG CONVERTER
- 51 FIRST CHANNEL
- 52 SECOND CHANNEL
- 53 THIRD CHANNEL
- 54 FOURTH CHANNEL
- 6 SHIFT REGISTER
- 71 FIRST FREQUENCY DOUBLER
- 72 SECOND FREQUENCY DOUBLER
- 73 THIRD FREQUENCY DOUBLER
- 74 FOURTH FREQUENCY DOUBLER

(57) Abstract: A source drive circuit. At least four channels of all source line control channels in an array substrate are driven by the circuit, and sharing of two DACs (Digital Analog Converter) by every four channels can be realized by means of technical means for frequency doubling of input signals and for time sharing multiplexing of the DACs; thus, the number of the DACs in the source drive circuit is effectively reduced, area and resources occupied by the DACs as well as circuit cost are lowered, chip volume is further advantageously diminished, and higher resolutions can be accomplished on an unchanged chip area.

(57) 摘要: 一种源极驱动电路, 阵列基板的所有源极线控制通道中的至少四个通道由该电路驱动, 结合对输入信号进行倍频和分时复用 DAC 的技术手段, 能实现每四个通道共用两个 DAC, 有效减少了源极驱动电路中 DAC 的数量, 降低了 DAC 占用的面积、资源及电路成本, 有利于进一步缩减芯片体积, 能在固定的芯片面积上完成更高的解析度。



LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

- (84) **指定国** (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR,

根据细则 4.17 的声明:

- 发明人资格(细则 4.17(iv))

本国际公布:

- 包括国际检索报告(条约第 21 条(3))。

源极驱动电路

本申请要求享有 2015 年 2 月 4 日提交的名称为“源极驱动电路”的中国专利申请 CN201510059380.0 的优先权，其全部内容通过引用并入本文中。

技术领域

本发明涉及液晶显示技术领域，尤其涉及一种液晶显示面板的源极驱动电路。

背景技术

近年来，随着显示技术的不断进步，液晶显示器已成为市场上最常见的显示装置。对一般的液晶显示器而言，液晶驱动电路包括源极驱动电路和栅极驱动电路。

图 1 示出了现有技术中液晶显示面板的源极驱动电路的示意图，图中仅示出了涉及两个相邻通道的源极驱动电路。如图 1 所示，该源极驱动电路包括移位寄存器 6、第一暂存器 (Latch) 11、第二暂存器 12、第三暂存器 13、第四暂存器 14、第一电平转换器 21 (Level Shifter)、第二电平转换器 22、第一数模转换器 (Digital Analog Converter, DAC) 31、第二数模转换器 32、第一输出缓冲器 41 (Output Buffer) 和第二输出缓冲器 42。具体地，第一信号 D1 输入至第一暂存器 11，第二信号 D2 输入至第二暂存器 12。移位寄存器 6 分别与第一暂存器 11 和第二暂存器 12 电连接，用于依次选通第一暂存器 11 和第二暂存器 12，以依次将第一信号 D1 和第二信号 D2 相应地传送到第一通道 51 和第二通道 52 上。

第一暂存器 11 分别与第三暂存器 13 和第四暂存器 14 电连接，第二暂存器 12 分别与第三暂存器 13 和第四暂存器 14 电连接。第三暂存器 13 依次通过第一电平转换器 21 和第一数模转换器 31 与第一输出缓冲器 41 电连接，第四暂存器 14 依次通过第二电平转换器 22 和第二数模转换器 32 与第二输出缓冲器 42 电连接。第一输出缓冲器 41 分别与第一通道 51 的输出端和第二通道 52 的输出端电连接，第二输出缓冲器 42 分别与第一通道 51 的输出端和第二通道 52 的输出端电连接。

图 2 示出了图 1 所示的源极驱动电路的输入信号的时序图，下面结合图 2，说明现有技术中源极驱动电路的工作原理：当需要第一通道 51 输出正极性的源极控制信号时，正极性的第一信号 D1 依次通过第一暂存器 11 和第三暂存器 13 输入至第一电平转换器 21，经第一电平转换器 21 的电压抬升作用后输入至第一数模转换器 31，第一数模转换器 31

作为一个电压选择功能块，根据第一电平转换器 21 的输出电压选择所需的正极性的模拟电压（对应灰阶电压），然后正极性的模拟电压经第一输出缓冲器 41 放大后从第一通道 51 输出，从而使第一通道 51 输出正极性的源极控制信号。

当需要第一通道 51 输出负极性的源极控制信号时，正极性的第一信号 D1 依次通过第一暂存器 11 和第四暂存器 14 输入至第二电平转换器 22，经第二电平转换器 22 的电压抬升作用后输入至第二数模转换器 32，第二数模转换器 32 作为一个电压选择功能块，根据第二电平转换器 22 的输出电压选择所需的负极性的模拟电压（对应灰阶电压），然后负极性的模拟电压经第二输出缓冲器 42 放大后从第一通道 51 输出，从而使第一通道 51 输出负极性的源极控制信号。

由上述可知：对于现有技术的源极驱动电路而言，每两个相邻的通道（例如第一通道 51 和第二通道 52）需相对应地设置两个数模转换器（第一数模转换器 31 和第二数模转换器 32），以满足源极驱动电路的实际动作需求。然而，由于数模转换器的体积较大，所有数模转换器的面积之和约占整个源极驱动电路总面积的 60%，因此这将导致用于承载源极驱动电路的芯片的体积无法进一步缩减；另外，随着显示分辨率的增加，显示数据通道必将增多，从而很难在固定的芯片面积上完成更高的解析度。

发明内容

本发明所要解决的技术问题是：现有技术中的源极驱动电路的每两个相邻的通道需相对应地设置两个数模转换器，导致用于承载源极驱动电路的芯片的体积无法进一步缩减，并且很难在固定的芯片面积上完成更高的解析度。

为了解决上述技术问题，本发明提供了一种液晶显示面板的源极驱动电路。

本发明的技术方案为：一种源极驱动电路，包括：

相邻设置的第一通道和第二通道；

相邻设置的第三通道和第四通道；

通道选择模块及均与所述通道选择模块电连接的移位寄存器、第一倍频器、第二倍频器、第三倍频器和第四倍频器，所述移位寄存器设置为使经第一倍频器倍频的第一信号和经第二倍频器倍频的第二信号在预设的第一时段输入至通道选择模块，并使经第三倍频器倍频的第三信号和经第四倍频器倍频的第四信号在预设的第二时段输入至通道选择模块，第一时段和第二时段的交集为空集；以及

输出缓冲模块及分别与所述通道选择模块电连接的第一数模转换器和第二数模转换器，所述第一数模转换器经所述输出缓冲模块与第一通道的输出端、第二通道的输出端、

第三通道的输出端和第四通道的输出端电连接,所述第二数模转换器经所述输出缓冲模块与第一通道的输出端、第二通道的输出端、第三通道的输出端和第四通道的输出端电连接。

优选的是,所述第一时段为每个周期的前半周期,所述第二时段为每个周期的后半周期。

优选的是,所述第一数模转换器和第二数模转换器分别为P型数模转换器和N型数模转换器;或者,所述第一数模转换器和第二数模转换器分别为N型数模转换器和P型数模转换器。

优选的是,所述通道选择模块包括第一暂存器、第二暂存器、第三暂存器、第四暂存器、第五暂存器、第六暂存器、第七暂存器和第八暂存器;

所述第一暂存器分别与移位寄存器、第一倍频器、第三暂存器和第四暂存器电连接;所述第二暂存器分别与移位寄存器、第二倍频器、第三暂存器和第四暂存器电连接;所述第五暂存器分别与移位寄存器、第三倍频器、第七暂存器和第八暂存器电连接;所述第六暂存器分别与移位寄存器、第四倍频器、第七暂存器和第八暂存器电连接;

所述第三暂存器和第七暂存器均与所述第一数模转换器电连接;所述第四暂存器和第八暂存器均与所述第二数模转换器电连接。

优选的是,所述输出缓冲模块包括第一输出缓冲器、第二输出缓冲器、第三输出缓冲器和第四输出缓冲器;

所述第一数模转换器经所述第一输出缓冲器分别与第一通道的输出端和第二通道的输出端电连接;所述第一数模转换器经所述第三输出缓冲器分别与第三通道的输出端和第四通道的输出端电连接;

所述第二数模转换器经所述第二输出缓冲器分别与第一通道的输出端和第二通道的输出端电连接;所述第二数模转换器经所述第四输出缓冲器分别与第三通道的输出端和第四通道的输出端电连接。

优选的是,所述源极驱动电路还包括第一电平转换器、第二电平转换器、第三电平转换器和第四电平转换器;

所述第三暂存器经所述第一电平转换器与第一数模转换器电连接;所述第四暂存器经所述第二电平转换器与第二数模转换器电连接;所述第七暂存器经所述第三电平转换器与第一数模转换器电连接;所述第八暂存器经所述第四电平转换器与第二数模转换器电连接。

优选的是,所述通道选择模块包括第一暂存器、第二暂存器、第三暂存器、第四暂存器、第五暂存器和第六暂存器;

所述第一暂存器分别与移位寄存器、第一倍频器、第三暂存器和第四暂存器电连接；所述第二暂存器分别与移位寄存器、第二倍频器、第三暂存器和第四暂存器电连接；所述第五暂存器分别与移位寄存器、第三倍频器、第三暂存器和第四暂存器电连接；所述第六暂存器分别与移位寄存器、第四倍频器、第三暂存器和第四暂存器电连接；

所述第三暂存器与所述第一数模转换器电连接；所述第四暂存器与所述第二数模转换器电连接。

优选的是，所述输出缓冲模块包括第一输出缓冲器和第二输出缓冲器；

所述第一数模转换器经所述第一输出缓冲器分别与第一通道的输出端、第二通道的输出端、第三通道的输出端和第四通道的输出端电连接；所述第二数模转换器经所述第二输出缓冲器分别与第一通道的输出端、第二通道的输出端、第三通道的输出端和第四通道的输出端电连接。

优选的是，所述源极驱动电路还包括第一电平转换器和第二电平转换器；

所述第三暂存器经所述第一电平转换器与第一数模转换器电连接；所述第四暂存器经所述第二电平转换器与第二数模转换器电连接。

与现有技术相比，上述方案中的一个或多个实施例可以具有如下优点或有益效果：

液晶显示面板的阵列基板的所有源极线控制通道中的至少四个通道由本发明的源极驱动电路来驱动，结合对输入信号进行倍频处理以及分时复用数模转换器的技术手段，能够实现每四个通道共用两个数模转换器，从而有效减少了源极驱动电路中数模转换器的数量，降低了数模转换器所占用的面积和资源，同时也降低了源极驱动电路的成本，有利于进一步缩减用于承载源极驱动电路的芯片的体积，能够在固定的芯片面积上完成更高的解析度。

本发明的其它特征和优点将在随后的说明书中阐述，并且部分地从说明书中变得显而易见，或者通过实施本发明而了解。本发明的目的和其他优点可通过在说明书、权利要求书以及附图中所特别指出的结构来实现和获得。

附图说明

附图用来提供对本发明的进一步理解，并且构成说明书的一部分，与本发明的实施例共同用于解释本发明，并不构成对本发明的限制。在附图中：

图1示出了现有技术中液晶显示面板的源极驱动电路的示意图；

图2示出了图1所示的源极驱动电路的输入信号的时序图；

图3示出了本发明实施例液晶显示面板的源极驱动电路的一种示意图；

图 4 示出了图 3 所示的源极驱动电路的输入信号的时序图；

图 5 示出了本发明实施例液晶显示面板的源极驱动电路的第二种示意图；

图 6 示出了本发明实施例液晶显示面板的源极驱动电路的第三种示意图。

具体实施方式

以下将结合附图及实施例来详细说明本发明的实施方式，借此对本发明如何应用技术手段来解决技术问题，并达成技术效果的实现过程能充分理解并据以实施。需要说明的是，只要不构成冲突，本发明中的各个实施例以及各实施例中的各个特征可以相互结合，所形成的技术方案均在本发明的保护范围之内。

本发明要解决的技术问题是：现有技术中的源极驱动电路的每两个相邻的通道需相对地设置两个数模转换器，导致用于承载源极驱动电路的芯片的体积无法进一步缩减，并且很难在固定的芯片面积上完成更高的解析度。为解决上述技术问题，本发明实施例提供了一种液晶显示面板的源极驱动电路。

图 3 示出了本发明实施例液晶显示面板的源极驱动电路的一种示意图。如图 3 所示，源极驱动电路包括第一通道 51、第二通道 52、第三通道 53、第四通道 54、移位寄存器 6、第一倍频器 71、第二倍频器 72、第三倍频器 73、第四倍频器 74、通道选择模块 1、第一数模转换器 31、第二数模转换器 32 和输出缓冲模块 4。

具体地，第一通道 51 和第二通道 52 相邻设置，第三通道 53 与第四通道 54 相邻设置。在本发明一优选的实施例中，第二通道 52 与第三通道 53 相邻设置，即第一通道 51、第二通道 52、第三通道 53 和第四通道 54 顺次设置；或者第四通道 54 与第一通道 51 相邻设置，即第三通道 53、第四通道 54、第一通道 51 和第二通道 52 顺次设置。

倍频器是使输出信号频率等于输入信号频率整数倍的电路，在本实施例中，第一倍频器 71、第二倍频器 72、第三倍频器 73 和第四倍频器 74 分别一一对应地使第一信号 D1、第二信号 D2、第三信号 D3 和第四信号 D4 的频率增加一倍。例如，如果第一信号 D1 的频率为 60Hz，则经第一倍频器 71 倍频后的第一信号 D1 的频率提升至 120Hz。输入至第一通道 51 的第一信号 D1（一般为数字信号）经第一倍频器 71 倍频后输入至通道选择模块 1，输入至第二通道 52 的第二信号 D2 经第二倍频器 72 倍频后输入至通道选择模块 1，输入至第三通道 53 的第三信号 D3 经第三倍频器 73 的倍频后输入至通道选择模块 1，输入至第四通道 54 的第四信号 D4 经第四倍频器 74 倍频后输入至通道选择模块 1。由通道选择模块 1 将倍频后的各个信号分配给第一数模转换器 31 和第二数模转换器 32。

移位寄存器 6 是控制各个信号输入给第一数模转换器 31 和第二数模转换器 32 的时序

的电路。具体地，程序寄存器设置为使经第一倍频器 71 倍频的第一信号 D1 和经第二倍频器 72 倍频的第二信号 D2 在预设的第一时段输入至通道选择模块 1，在第一时段内禁止将经第三倍频器 73 倍频的第三信号 D3 和经第四倍频器 74 倍频的第四信号 D4 输入至通道选择模块 1。程序寄存器还设置为使经第三倍频器 73 倍频的第三信号 D3 和经第四倍频器 74 倍频的第四信号 D4 在预设的第二时段输入至通道选择模块 1，在第二时段内禁止将使经第一倍频器 71 倍频的第一信号 D1 和经第二倍频器 72 倍频的第二信号 D2 输入至通道选择模块 1。这里需要指出的是，预设的第一时段和预设的第二时段的交集为空集，以避免第一信号 D1、第二信号 D2、第三信号 D3 和第四信号 D4 彼此干扰。特别地，移位寄存器 6 优选为双向移位寄存器。

在本发明一优选的实施例中，参照图 4，第一时段优选为每个数据传输周期的前半周期，而第二时段优选为每个数据传输周期的后半周期。换言之，对于一个数据传输周期而言，在其前半周期传输第一信号 D1 和第二信号 D2，在其后半周期传输第三信号 D3 和第四信号 D4。一般来说，第一信号 D1 和第二信号 D2 为互补信号（即当第一信号 D1 为高电平时，第二信号 D2 为低电平，反之亦然），两者能够复用两个数模转换器（即第一数模转换器 31 和第二数模转换器 32）；同样，第三信号 D3 和第四信号 D4 也为互补信号（即当第三信号 D3 为高电平时，第四信号 D4 为低电平，反之亦然），由于输入第三信号 D3 和第四信号 D4 对应的第二时段与输入第一信号 D1 和第二信号 D2 对应的第一时段无交集，因此第三信号 D3 和第四信号 D4 也能够复用前述的两个数模转换器（即第一数模转换器 31 和第二数模转换器 32），从而实现了仅依靠两个数模转换器即可完成四个通道的信号输入。这里，四个通道的信号输入指的是第一通道 51 的信号输入、第二通道 52 的信号输入、第三通道 53 的信号输入和第四通道 54 的信号输入。

另外，第一数模转换器 31 和第二数模转换器 32 经输出缓冲模块 4 分别与第一通道 51 的输出端、第二通道 52 的输出端、第三通道 53 的输出端和第四通道 54 的输出端电连接，输出缓冲模块 4 用于对第一数模转换器 31 的输出信号进行放大，并将经放大的信号分别输出至第一通道 51 的输出端、第二通道 52 的输出端、第三通道 53 的输出端和第四通道 54 的输出端；输出缓冲模块 4 还用于对第二数模转换器 32 的输出信号进行放大，并将经放大的信号分别输出至第一通道 51 的输出端、第二通道 52 的输出端、第三通道 53 的输出端和第四通道 54 的输出端。

在本实施例中，液晶显示面板的阵列基板的所有源极线控制通道中的至少四个通道由本实施例所述的源极驱动电路来驱动，结合对输入信号进行倍频处理以及分时复用数模转换器的技术手段，能够实现每四个通道共用两个数模转换器，从而有效减少了源极驱动电

路中数模转换器的数量，降低了数模转换器所占用的面积和资源，同时也降低了源极驱动电路的成本，有利于进一步缩减用于承载源极驱动电路的芯片的体积，能够在固定的芯片面积上完成更高的解析度。

需要指出的是，在上述实施例中，由第一通道 51 和第二通道 52 组成的通道对与由第三通道 53 和第四通道 54 组成的通道对可以相邻设置，也可以间隔设置，第一通道 51、第二通道 52、第三通道 53 和第四通道 54 构成一个通道组合。

在本发明一优选的实施例中，对于液晶显示面板的阵列基板的所有源极线控制通道，将所有通道划分成多个通道组合，并使每个通道组合的源极驱动电路与图 3 所示的源极驱动电路的电路结构相同。为方便阐述本实施例所述的源极驱动电路的驱动方法，将阵列基板的所有通道顺次划分成第一通道对（具有相邻设置的第一通道 51 和第二通道 52）、第二通道对（具有相邻设置的第三通道 53 和第四通道 54，第二通道 52 与第三通道 53 相邻设置）、第三通道对、第四通道对、第五通道对和第六通道对，…。这样，对应本实施例所述的源极驱动电路的驱动方法包括：由于输入数字信号的频率加倍，在预设的第一时段输入奇数对通道对的视频数据（即第一通道对、第三通道对、第五通道对、第七通道对…的视频数据），此时禁止输入偶数对通道对的视频数据（即在第一时段内禁止输入第二通道对、第四通道对、第六通道对、第八通道对…的视频数据）。在预设的第二时段（第二时段与第一时段无交集，即第二时段与第一时段的交集为空集）输入偶数对通道的视频数据（即第二通道对、第四通道对、第六通道对、第八通道对…的视频数据），此时禁止输入奇数对通道对的视频数据（即在第二时段内禁止输入第一通道对、第三通道对、第五通道对、第七通道对…的视频数据）。采用上述源极驱动电路及相应的驱动方法，即可实现每四个通道复用两个数模转换器的设计，从而能够使源极驱动电路中数模转换器的数量减半，大大降低了数模转换器所占用的面积和资源，同时也大大降低了源极驱动电路的成本，特别有利于进一步缩减用于承载源极驱动电路的芯片的体积，能够在固定的芯片面积上完成更高的解析度。

进一步地，第一数模转换器 31 和第二数模转换器 32 可以均采用由 CMOS 形成的数模转换器结构，也可以优选地采用由 PMOS 单管形成的 P 型数模转换器结构或者由 NMOS 单管形成的 N 型数模转换器结构，即第一数模转换器 31 和第二数模转换器 32 分别为 P 型数模转换器和 N 型数模转换器；或者第一数模转换器 31 和第二数模转换器 32 分别为 N 型数模转换器和 P 型数模转换器。由于 P 型数模转换器或者 N 型数模转换器的面积要远小于由 CMOS 形成的数模转换器的面积，因此采用本实施例进一步地降低了数模转换器所占用的面积和资源，同时也进一步降低了源极驱动电路的成本，有利于进一步缩减用

于承载源极驱动电路的芯片的体积，能够在固定的芯片面积上完成更高的解析度。

下面结合图 5 和图 6，分别给出液晶显示面板的源极驱动电路的第二种示意图和第三种示意图。图 5 和图 6 所示的源极驱动电路的输入信号的时序图均如图 4 所示。

图 5 示出了本发明实施例液晶显示面板的源极驱动电路的第二种示意图。如图 5 所示，通道选择模块 1 包括第一暂存器 11、第二暂存器 12、第三暂存器 13、第四暂存器 14、第五暂存器 15、第六暂存器 16、第七暂存器 17 和第八暂存器 18。

具体地，第一暂存器 11 分别与移位寄存器 6、第一倍频器 71、第三暂存器 13 和第四暂存器 14 电连接；第二暂存器 12 分别与移位寄存器 6、第二倍频器 72、第三暂存器 13 和第四暂存器 14 电连接；第五暂存器 15 分别与移位寄存器 6、第三倍频器 73、第七暂存器 17 和第八暂存器 18 电连接；第六暂存器 16 分别与移位寄存器 6、第四倍频器 74、第七暂存器 17 和第八暂存器 18 电连接。第三暂存器 13 和第七暂存器 17 均与第一数模转换器 31 电连接；第四暂存器 14 和第八暂存器 18 均与第二数模转换器 32 电连接。

特别地，输出缓冲模块 4 包括第一输出缓冲器 41、第二输出缓冲器 42、第三输出缓冲器 43 和第四输出缓冲器 44。

具体地，第一数模转换器 31 经第一输出缓冲器 41 分别与第一通道 51 的输出端和第二通道 52 的输出端电连接；第一数模转换器 31 经第三输出缓冲器 43 分别与第三通道 53 的输出端和第四通道 54 的输出端电连接；

第二数模转换器 32 经第二输出缓冲器 42 分别与第一通道 51 的输出端和第二通道 52 的输出端电连接；第二数模转换器 32 经第四输出缓冲器 44 分别与第三通道 53 的输出端和第四通道 54 的输出端电连接。

另外，参照图 5，源极驱动电路还包括第一电平转换器 21、第二电平转换器 22、第三电平转换器 23 和第四电平转换器 24，以对倍频处理后的信号进行电压抬升。第三暂存器 13 经第一电平转换器 21 与第一数模转换器 31 电连接；第四暂存器 14 经第二电平转换器 22 与第二数模转换器 32 电连接；第七暂存器 17 经第三电平转换器 23 与第一数模转换器 31 电连接；第八暂存器 18 经第四电平转换器 24 与第二数模转换器 32 电连接。

图 6 示出了本发明实施例液晶显示面板的源极驱动电路的第三种示意图。如图 6 所示，通道选择模块 1 包括第一暂存器 11、第二暂存器 12、第三暂存器 13、第四暂存器 14、第五暂存器 15 和第六暂存器 16。

具体地，第一暂存器 11 分别与移位寄存器 6、第一倍频器 71、第三暂存器 13 和第四暂存器 14 电连接；第二暂存器 12 分别与移位寄存器 6、第二倍频器 72、第三暂存器 13 和第四暂存器 14 电连接；第五暂存器 15 分别与移位寄存器 6、第三倍频器 73、第三暂存

器 13 和第四暂存器 14 电连接；第六暂存器 16 分别与移位寄存器 6、第四倍频器 74、第三暂存器 13 和第四暂存器 14 电连接。第三暂存器 13 与第一数模转换器 31 电连接；第四暂存器 14 与第二数模转换器 32 电连接。

进一步地，输出缓冲模块 4 包括第一输出缓冲器 41 和第二输出缓冲器 42。

具体地，第一数模转换器 31 经第一输出缓冲器 41 分别与第一通道 51 的输出端、第二通道 52 的输出端、第三通道 53 的输出端和第四通道 54 的输出端电连接；第二数模转换器 32 经第二输出缓冲器 42 分别与第一通道 51 的输出端、第二通道 52 的输出端、第三通道 53 的输出端和第四通道 54 的输出端电连接。

另外，参照图 6，源极驱动电路还包括第一电平转换器 21 和第二电平转换器 22。第三暂存器 13 经第一电平转换器 21 与第一数模转换器 31 电连接；第四暂存器 14 经第二电平转换器 22 与第二数模转换器 32 电连接。

值得注意的是，当频率足够高时，本发明不仅能实现相邻的四个通道复用两个数模转换器，还可拓展成相邻的八个通道复用两个数模转换器，理想中极致情况是当处理速度允许的情况下频率达到极致，这样就可以将全部通道都复用两个数模转换器来完成源极的驱动，这样能将源极驱动电路中数模转换器的数量降低到最小，并使源极驱动电路的面积降到最小、成本降到最低。

虽然本发明所公开的实施方式如上，但所述的内容只是为了便于理解本发明而采用的实施方式，并非用以限定本发明。任何本发明所属技术领域内的技术人员，在不脱离本发明所公开的精神和范围的前提下，可以在实施的形式上及细节上作任何的修改与变化，但本发明的保护范围，仍须以所附的权利要求书所界定的范围为准。

权利要求书

1. 一种源极驱动电路，包括：

相邻设置的第一通道和第二通道；

相邻设置的第三通道和第四通道；

通道选择模块及均与所述通道选择模块电连接的移位寄存器、第一倍频器、第二倍频器、第三倍频器和第四倍频器，所述移位寄存器设置为使经第一倍频器倍频的第一信号和经第二倍频器倍频的第二信号在预设的第一时段输入至通道选择模块，并使经第三倍频器倍频的第三信号和经第四倍频器倍频的第四信号在预设的第二时段输入至通道选择模块，第一时段和第二时段的交集为空集；以及

输出缓冲模块及分别与所述通道选择模块电连接的第一数模转换器和第二数模转换器，所述第一数模转换器和第二数模转换器分别经所述输出缓冲模块与第一通道的输出端、第二通道的输出端、第三通道的输出端和第四通道的输出端电连接。

2. 根据权利要求1所述的源极驱动电路，其中，所述第一时段为每个周期的前半周期，所述第二时段为每个周期的后半周期。

3. 根据权利要求1所述的源极驱动电路，其中，所述第一数模转换器和第二数模转换器分别为P型数模转换器和N型数模转换器；或者，所述第一数模转换器和第二数模转换器分别为N型数模转换器和P型数模转换器。

4. 根据权利要求3所述的源极驱动电路，其中，所述通道选择模块包括第一暂存器、第二暂存器、第三暂存器、第四暂存器、第五暂存器、第六暂存器、第七暂存器和第八暂存器；

所述第一暂存器分别与移位寄存器、第一倍频器、第三暂存器和第四暂存器电连接；所述第二暂存器分别与移位寄存器、第二倍频器、第三暂存器和第四暂存器电连接；所述第五暂存器分别与移位寄存器、第三倍频器、第七暂存器和第八暂存器电连接；所述第六暂存器分别与移位寄存器、第四倍频器、第七暂存器和第八暂存器电连接；

所述第三暂存器和第七暂存器均与所述第一数模转换器电连接；所述第四暂存器和第八暂存器均与所述第二数模转换器电连接。

5. 根据权利要求4所述的源极驱动电路，其中，所述源极驱动电路还包括第一电平转换器、第二电平转换器、第三电平转换器和第四电平转换器；

所述第三暂存器经所述第一电平转换器与第一数模转换器电连接；所述第四暂存器经所述第二电平转换器与第二数模转换器电连接；所述第七暂存器经所述第三电平转换器与第一数模转换器电连接；所述第八暂存器经所述第四电平转换器与第二数模转换器电连

接。

6. 根据权利要求4所述的源极驱动电路,其中,所述输出缓冲模块包括第一输出缓冲器、第二输出缓冲器、第三输出缓冲器和第四输出缓冲器;

所述第一数模转换器经所述第一输出缓冲器分别与第一通道的输出端和第二通道的输出端电连接;所述第一数模转换器经所述第三输出缓冲器分别与第三通道的输出端和第四通道的输出端电连接;

所述第二数模转换器经所述第二输出缓冲器分别与第一通道的输出端和第二通道的输出端电连接;所述第二数模转换器经所述第四输出缓冲器分别与第三通道的输出端和第四通道的输出端电连接。

7. 根据权利要求6所述的源极驱动电路,其中,所述源极驱动电路还包括第一电平转换器、第二电平转换器、第三电平转换器和第四电平转换器;

所述第三暂存器经所述第一电平转换器与第一数模转换器电连接;所述第四暂存器经所述第二电平转换器与第二数模转换器电连接;所述第七暂存器经所述第三电平转换器与第一数模转换器电连接;所述第八暂存器经所述第四电平转换器与第二数模转换器电连接。

8. 根据权利要求3所述的源极驱动电路,其中,所述通道选择模块包括第一暂存器、第二暂存器、第三暂存器、第四暂存器、第五暂存器和第六暂存器;

所述第一暂存器分别与移位寄存器、第一倍频器、第三暂存器和第四暂存器电连接;所述第二暂存器分别与移位寄存器、第二倍频器、第三暂存器和第四暂存器电连接;所述第五暂存器分别与移位寄存器、第三倍频器、第三暂存器和第四暂存器电连接;所述第六暂存器分别与移位寄存器、第四倍频器、第三暂存器和第四暂存器电连接;

所述第三暂存器与所述第一数模转换器电连接;所述第四暂存器与所述第二数模转换器电连接。

9. 根据权利要求8所述的源极驱动电路,其中,所述源极驱动电路还包括第一电平转换器和第二电平转换器;

所述第三暂存器经所述第一电平转换器与第一数模转换器电连接;所述第四暂存器经所述第二电平转换器与第二数模转换器电连接。

10. 根据权利要求8所述的源极驱动电路,其中,所述输出缓冲模块包括第一输出缓冲器和第二输出缓冲器;

所述第一数模转换器经所述第一输出缓冲器分别与第一通道的输出端、第二通道的输出端、第三通道的输出端和第四通道的输出端电连接;所述第二数模转换器经所述第二输

出缓冲器分别与第一通道的输出端、第二通道的输出端、第三通道的输出端和第四通道的输出端电连接。

11. 根据权利要求 10 所述的源极驱动电路, 其中, 所述源极驱动电路还包括第一电平转换器和第二电平转换器;

所述第三暂存器经所述第一电平转换器与第一数模转换器电连接; 所述第四暂存器经所述第二电平转换器与第二数模转换器电连接。

12. 根据权利要求 2 所述的源极驱动电路, 其中, 所述第一数模转换器和第二数模转换器分别为 P 型数模转换器和 N 型数模转换器; 或者, 所述第一数模转换器和第二数模转换器分别为 N 型数模转换器和 P 型数模转换器。

13. 根据权利要求 12 所述的源极驱动电路, 其中, 所述通道选择模块包括第一暂存器、第二暂存器、第三暂存器、第四暂存器、第五暂存器、第六暂存器、第七暂存器和第八暂存器;

所述第一暂存器分别与移位寄存器、第一倍频器、第三暂存器和第四暂存器电连接; 所述第二暂存器分别与移位寄存器、第二倍频器、第三暂存器和第四暂存器电连接; 所述第五暂存器分别与移位寄存器、第三倍频器、第七暂存器和第八暂存器电连接; 所述第六暂存器分别与移位寄存器、第四倍频器、第七暂存器和第八暂存器电连接;

所述第三暂存器和第七暂存器均与所述第一数模转换器电连接; 所述第四暂存器和第八暂存器均与所述第二数模转换器电连接。

14. 根据权利要求 13 所述的源极驱动电路, 其中, 所述源极驱动电路还包括第一电平转换器、第二电平转换器、第三电平转换器和第四电平转换器;

所述第三暂存器经所述第一电平转换器与第一数模转换器电连接; 所述第四暂存器经所述第二电平转换器与第二数模转换器电连接; 所述第七暂存器经所述第三电平转换器与第一数模转换器电连接; 所述第八暂存器经所述第四电平转换器与第二数模转换器电连接。

15. 根据权利要求 13 所述的源极驱动电路, 其中, 所述输出缓冲模块包括第一输出缓冲器、第二输出缓冲器、第三输出缓冲器和第四输出缓冲器;

所述第一数模转换器经所述第一输出缓冲器分别与第一通道的输出端和第二通道的输出端电连接; 所述第一数模转换器经所述第三输出缓冲器分别与第三通道的输出端和第四通道的输出端电连接;

所述第二数模转换器经所述第二输出缓冲器分别与第一通道的输出端和第二通道的输出端电连接; 所述第二数模转换器经所述第四输出缓冲器分别与第三通道的输出端和第四通道的输出端电连接;

四通道的输出端电连接。

16. 根据权利要求 15 所述的源极驱动电路, 其中, 所述源极驱动电路还包括第一电平转换器、第二电平转换器、第三电平转换器和第四电平转换器;

所述第三暂存器经所述第一电平转换器与第一数模转换器电连接; 所述第四暂存器经所述第二电平转换器与第二数模转换器电连接; 所述第七暂存器经所述第三电平转换器与第一数模转换器电连接; 所述第八暂存器经所述第四电平转换器与第二数模转换器电连接。

17. 根据权利要求 12 所述的源极驱动电路, 其中, 所述通道选择模块包括第一暂存器、第二暂存器、第三暂存器、第四暂存器、第五暂存器和第六暂存器;

所述第一暂存器分别与移位寄存器、第一倍频器、第三暂存器和第四暂存器电连接; 所述第二暂存器分别与移位寄存器、第二倍频器、第三暂存器和第四暂存器电连接; 所述第五暂存器分别与移位寄存器、第三倍频器、第三暂存器和第四暂存器电连接; 所述第六暂存器分别与移位寄存器、第四倍频器、第三暂存器和第四暂存器电连接;

所述第三暂存器与所述第一数模转换器电连接; 所述第四暂存器与所述第二数模转换器电连接。

18. 根据权利要求 17 所述的源极驱动电路, 其中, 所述源极驱动电路还包括第一电平转换器和第二电平转换器;

所述第三暂存器经所述第一电平转换器与第一数模转换器电连接; 所述第四暂存器经所述第二电平转换器与第二数模转换器电连接。

19. 根据权利要求 17 所述的源极驱动电路, 其中, 所述输出缓冲模块包括第一输出缓冲器和第二输出缓冲器;

所述第一数模转换器经所述第一输出缓冲器分别与第一通道的输出端、第二通道的输出端、第三通道的输出端和第四通道的输出端电连接; 所述第二数模转换器经所述第二输出缓冲器分别与第一通道的输出端、第二通道的输出端、第三通道的输出端和第四通道的输出端电连接。

20. 根据权利要求 19 所述的源极驱动电路, 其中, 所述源极驱动电路还包括第一电平转换器和第二电平转换器;

所述第三暂存器经所述第一电平转换器与第一数模转换器电连接; 所述第四暂存器经所述第二电平转换器与第二数模转换器电连接。

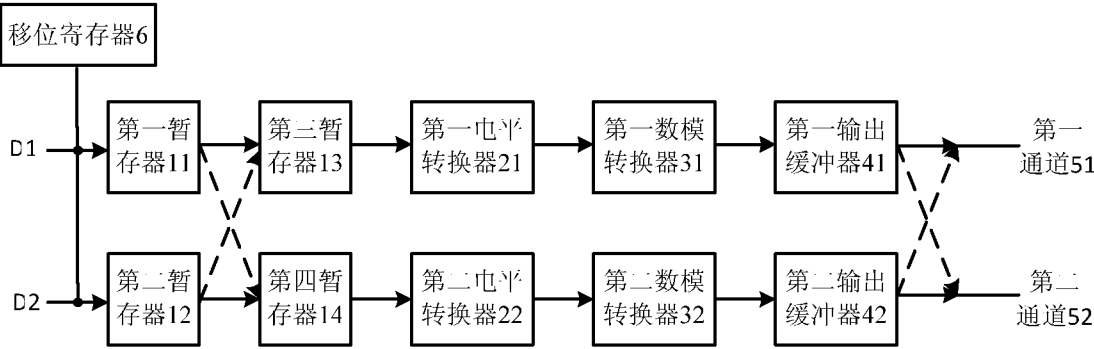


图 1

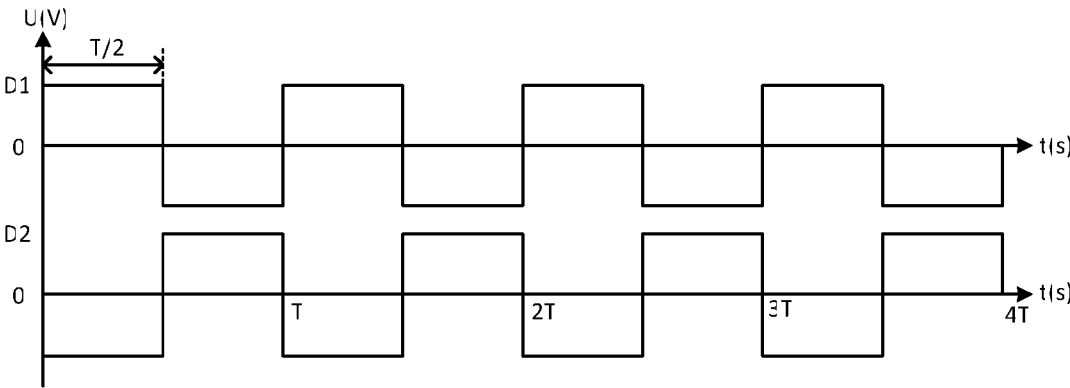


图 2

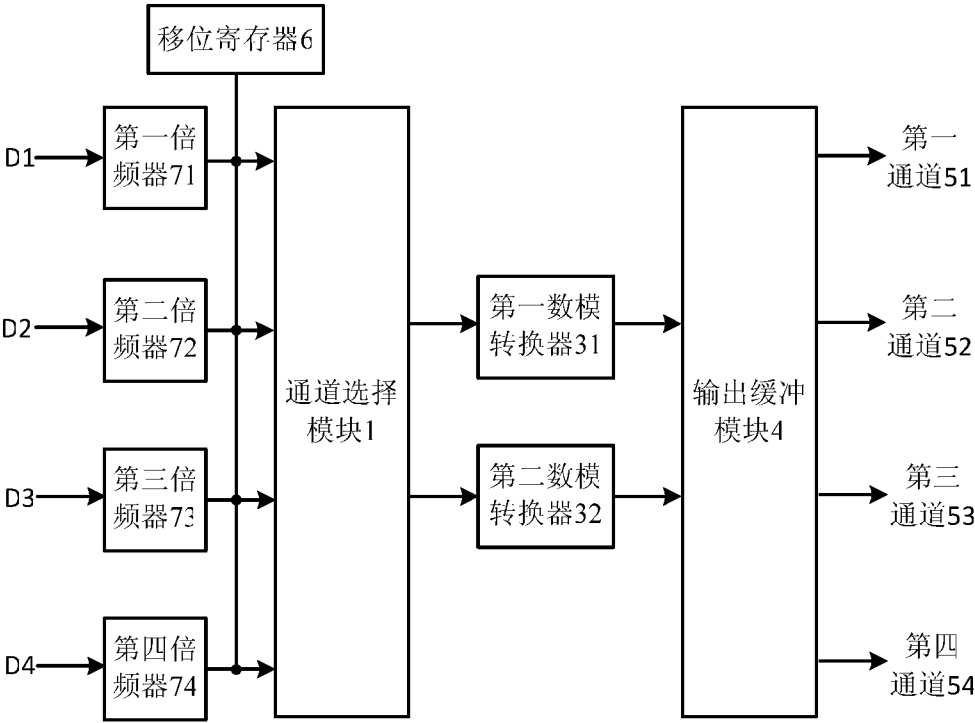


图 3

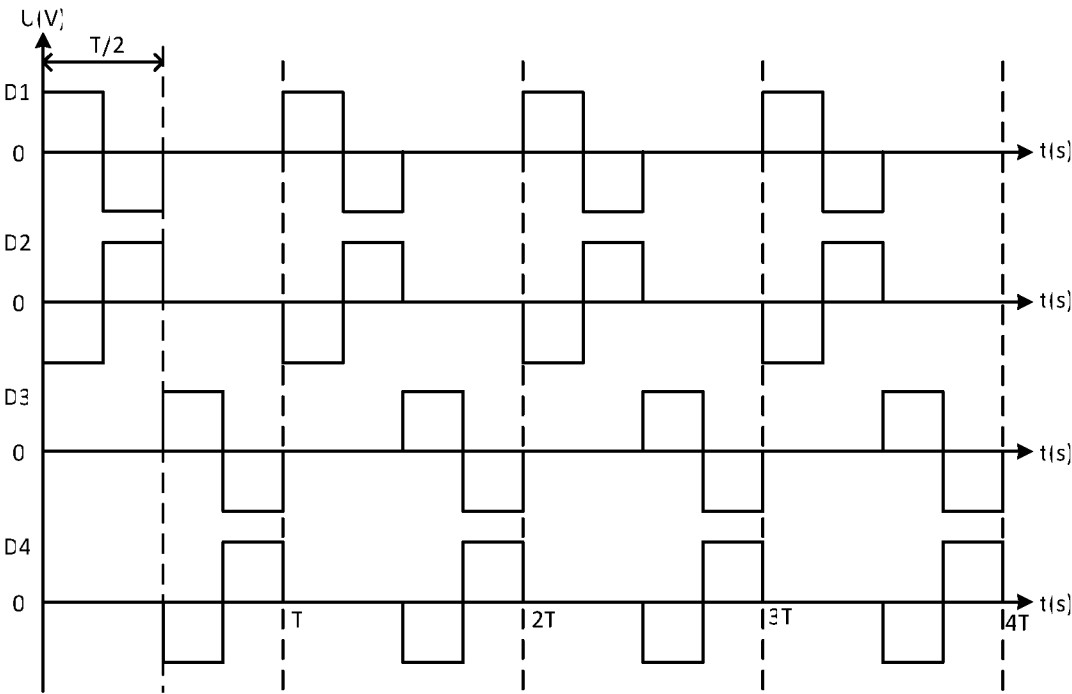


图 4

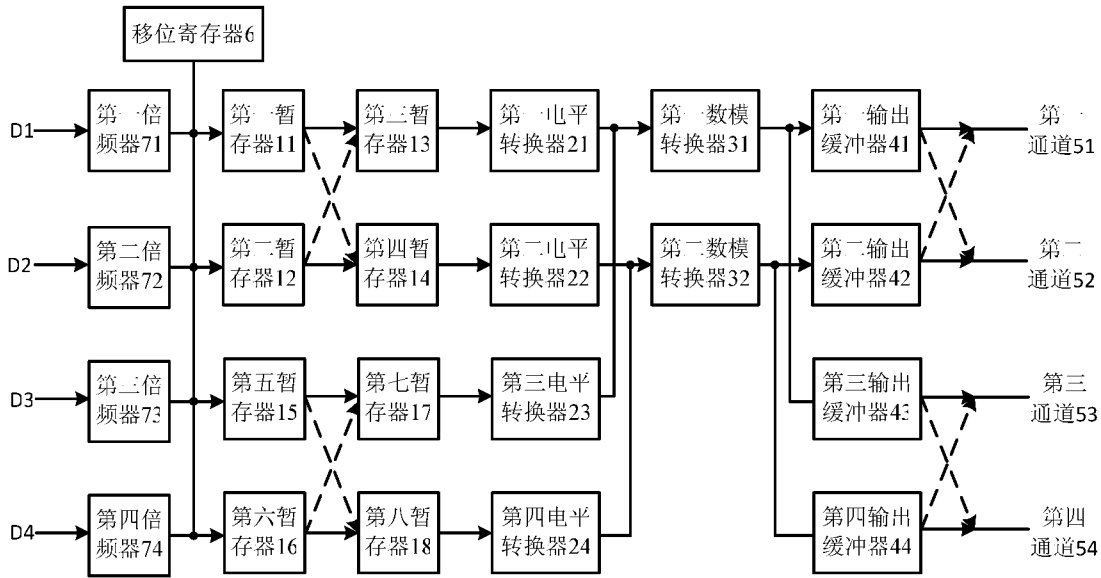


图 5

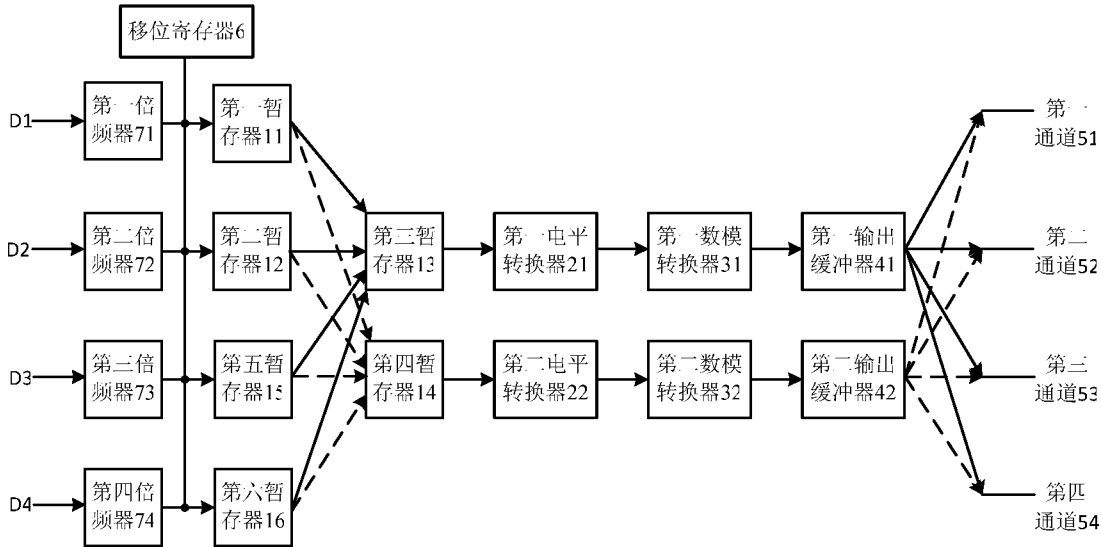


图 6

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2015/074458

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNKI, CNPAT, WPI, EPODOC: liquid crystal, source drive, digital-analogue, CHINA STAR OPTOELECTRONICS, reduc+, liquid, source, driv+, LED, DA, multi+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 101542578 A (ATI TECHNOLOGIES INC.), 23 September 2009 (23.09.2009), description, paragraphs [0028]-[0042], and figures 1-5	1-3, 12
A	EP 2313881 A1 (IGNIS INNOVATION INC.), 27 April 2011 (27.04.2011), the whole document	1-20
A	CN 101771402 A (BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.), 07 July 2010 (07.07.2010), the whole document	1-20

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 11 October 2015 (11.10.2015)	Date of mailing of the international search report 29 October 2015 (29.10.2015)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer MA, Yongxiang Telephone No.: (86-10) 82245442

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2015/074458

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 101542578 A	23 September 2009	WO 2008026068 A1	06 March 2008
		US 2008055227 A1	06 March 2008
		JP 2010503008 A	28 January 2010
		EP 2064696 A1	03 June 2009
		IN 200901529 P1	12 June 2009
EP 2313881 A1	27 April 2011	US 2010039453 A1	18 February 2010
		TW 201023136 A	16 June 2010
		EP 2313881 A4	07 September 2011
		CN 102165511 A	24 August 2011
		CA 2637343 A1	29 January 2010
		CA 2672590 A1	07 October 2009
		US 8471875 B2	25 June 2013
		WO 2010012083 A1	04 February 2010
CN 101771402 A	07 July 2010	CN 101771402 B	18 July 2012

国际检索报告

国际申请号

PCT/CN2015/074458

A. 主题的分类

G09G 3/36(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNKI, CNPAT, WPI, EPDOC:降低, 液晶, 源极驱动, 数模, 复用, 华星光电, reduc+, liquid, source, driv+, LED, DA, multi+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 101542578 A (ATI科技有限责任公司) 2009年 9月 23日 (2009 - 09 - 23) 说明书第[0028]-[0042]段、图1-5	1-3, 12
A	EP 2313881 A1 (IGNIS INNOVATION INC.) 2011年 4月 27日 (2011 - 04 - 27) 全文	1-20
A	CN 101771402 A (北京京东方光电科技有限公司) 2010年 7月 7日 (2010 - 07 - 07) 全文	1-20

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2015年 10月 11日

国际检索报告邮寄日期

2015年 10月 29日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
北京市海淀区蓟门桥西土城路6号
100088 中国

传真号 (86-10)62019451

授权官员

马永祥

电话号码 (86-10)82245442

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2015/074458

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	101542578	A	2009年 9月 23日	WO	2008026068	A1	2008年 3月 6日
				US	2008055227	A1	2008年 3月 6日
				JP	2010503008	A	2010年 1月 28日
				EP	2064696	A1	2009年 6月 3日
				IN	200901529	P1	2009年 6月 12日
EP	2313881	A1	2011年 4月 27日	US	2010039453	A1	2010年 2月 18日
				TW	201023136	A	2010年 6月 16日
				EP	2313881	A4	2011年 9月 7日
				CN	102165511	A	2011年 8月 24日
				CA	2637343	A1	2010年 1月 29日
				CA	2672590	A1	2009年 10月 7日
				US	8471875	B2	2013年 6月 25日
CN	101771402	A	2010年 7月 7日	WO	2010012083	A1	2010年 2月 4日
				CN	101771402	B	2012年 7月 18日

表 PCT/ISA/210 (同族专利附件) (2009年7月)