

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 7 部門第 2 区分  
 【発行日】平成 29 年 1 月 5 日 (2017.1.5)

【公表番号】特表 2016-536809 (P2016-536809A)  
 【公表日】平成 28 年 11 月 24 日 (2016.11.24)  
 【年通号数】公開・登録公報 2016-065  
 【出願番号】特願 2016-551053 (P2016-551053)  
 【国際特許分類】

H 0 1 L 27/146 (2006.01)

H 0 4 N 5/32 (2006.01)

H 0 4 N 5/369 (2011.01)

【 F I 】

H 0 1 L 27/14 A

H 0 4 N 5/32

H 0 4 N 5/335 6 9 0

【手続補正書】

【提出日】平成 28 年 10 月 17 日 (2016.10.17)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】0 0 6 4

【補正方法】変更

【補正の内容】

【 0 0 6 4 】

埋め込まれたチャンネルを使わない場合よりもメインゲートと追加のゲートとの間のギャップを大きくすることができるため、埋め込まれたチャンネルは模造のソース及びドレインの動作を改善する。この理由は、埋め込まれたチャンネルがある場合において、ギャップの下での閾値電圧が直接的にゲートの下よりも小さいことである。埋め込まれたチャンネルがない場合、ギャップの下での閾値電圧はゲートの下よりも大きくなる。

本開示は以下も包含する。

[ 1 ]

半導体基材 ( 1 0 0 ) と、基材の 1 つの表面に、以下の順序で  
 第二導電型の半導体の第一の層 ( 2 4 1 ) ( 以下、M I G 層 ) と、  
 デバイスの動作中に前記 M I G 層において蓄積した信号電荷のポテンシャルエネルギー障壁を形成するように構成された、第一導電型の半導体のバリア層 ( 2 5 1 ) と、  
 ピクセル固有トランジスタのソース及びドレインを作り出すために、ピクセルドーピングが少なくとも 1 つのピクセル電圧に合わせて適合する第二導電型の半導体のピクセルドーピング ( 9 2 1、9 2 2、1 1 1 1、1 1 1 2、1 2 1、1 2 2 ) と、  
 を含む、半導体放射線検出器デバイスであって、  
 デバイスがさらに第一導電型の第一のコンタクトと、ピクセルドーピングの 1 つと第一導電型の第一のコンタクトとのポテンシャル差として定義された前記ピクセル電圧と、メインゲート ( 9 8 3 ) であって、その位置が、前記ソースと前記ドレインとの間のチャンネルの位置に少なくとも部分的に対応しているメインゲート ( 9 8 3 ) とを含み、  
 デバイスが、メインゲート ( 9 8 3 ) から水平方向に離れた少なくとも 1 つの追加のゲート ( 9 8 1、9 8 2 ) を含むことを特徴とする、半導体放射線検出器デバイス。

[ 2 ]

2 つの追加のゲートを含み、その 1 つが、メインゲートから前記ソースに向かって水平方向に離れており、他方がメインゲートから前記ドレインに向かって水平方向に離れている、上記態様 1 に記載の半導体放射線検出器デバイス。

[ 3 ]

各追加のゲートが、前記チャンネルの一部が前記M I G層の端部と垂直に並んでいる、対応するM I G境界領域の上に位置している、上記態様1又は2に記載の半導体放射線検出器デバイス。

[ 4 ]

前記チャンネルが、前記M I G層より前記バリア層の反対側にある前記ソース及び前記ドレインを接続する埋め込まれたチャンネル層を通過する、上記態様1～3のいずれかに記載の半導体放射線検出器デバイス。

[ 5 ]

前記チャンネルから前記メインゲート及び1つの前記追加のゲート又は複数の前記追加のゲートを分離させる電氣的絶縁性材料を含む、上記態様1～4のいずれかに記載の半導体放射線検出器デバイス。

[ 6 ]

電氣的絶縁性材料の共通の層が、前記メインゲート及び1つの前記追加のゲート又は複数の前記追加のゲートの両方を包含している、上記態様5に記載の半導体放射線検出器デバイス。

[ 7 ]

領域であって、前記M I G層において前記領域の周りの残りのM I G層の正味のドーピングより正味のドーピングが高い領域を含み、前記領域が前記メインゲートと垂直に並んでいる、上記態様1～6のいずれかに記載の半導体放射線検出器デバイス。

[ 8 ]

リセットゲート(682, 782)の下でのM I G層(842)及びバリア層(852)のドーピングが、メインゲート(983)の下でのM I G層(842)及びバリア層(852)のドーピングより弱いリセットゲート(682, 782)を含む、上記態様1～7のいずれかに記載の半導体放射線検出器デバイス。

[ 9 ]

前記リセットゲート(682)が、前記メインゲート(181)から水平方向に離れており、前記リセットゲート(682)及び前記メインゲート(181)の両方が、前記ソース(111)及び前記ドレイン(112)を分離させるギャップの上に位置している、上記態様8に記載の半導体放射線検出器デバイス。

[ 10 ]

前記電界効果型トランジスタが、デバイスにおけるピクセルの第一の電界効果型トランジスタであり、ピクセルが、第二のソース及び第二のドレインを含む第二の電界効果型トランジスタも含み、

同時に、前記リセットゲートがピクセルの電界効果型トランジスタを分離させるギャップの上に位置した輸送ゲートである、  
上記態様8に記載の半導体放射線検出器デバイス。

[ 11 ]

異なる閾値電圧を有する少なくとも2つのピクセル固有選択トランジスタを含む、上記態様1～10のいずれかに記載の半導体放射線検出器デバイス。

**【 手続補正2 】**

**【 補正対象書類名 】** 特許請求の範囲

**【 補正対象項目名 】** 全文

**【 補正方法 】** 変更

**【 補正の内容 】**

**【 特許請求の範囲 】**

**【 請求項1 】**

半導体基材(100)と、基材の1つの表面に、以下の順序で

第二導電型の半導体の第一の層(241)(以下、M I G層)と、

デバイスの動作中に前記M I G層において蓄積した信号電荷のポテンシャルエネルギー

障壁を形成するように構成された、第一導電型の半導体のバリア層（２５１）と、

ピクセル固有トランジスタのソース及びドレインを作り出すために、ピクセルドーピングが少なくとも１つのピクセル電圧に合わせて適合する第二導電型の半導体のピクセルドーピング（９２１、９２２、１１１１、１１１２、１２１、１２２）と、

を含む、半導体放射線検出器デバイスであって、

デバイスがさらに第一導電型の第一のコンタクトと、ピクセルドーピングの１つと第一導電型の第一のコンタクトとのポテンシャル差として定義された前記ピクセル電圧と、メインゲート（９８３）であって、その位置が、前記ソースと前記ドレインとの間のチャンネルの位置に少なくとも部分的に対応しているメインゲート（９８３）とを含み、

デバイスが、メインゲート（９８３）から水平方向に離れた少なくとも１つの追加のゲート（９８１，９８２）を含むことを特徴とする、半導体放射線検出器デバイス。

【請求項２】

２つの追加のゲートを含み、その１つが、メインゲートから前記ソースに向かって水平方向に離れており、他方がメインゲートから前記ドレインに向かって水平方向に離れている、請求項１に記載の半導体放射線検出器デバイス。

【請求項３】

各追加のゲートが、前記チャンネルの一部が前記ＭＩＧ層の端部と垂直に並んでいる、対応するＭＩＧ境界領域の上に位置している、請求項１又は２に記載の半導体放射線検出器デバイス。

【請求項４】

前記チャンネルが、前記ＭＩＧ層より前記バリア層の反対側にある前記ソース及び前記ドレインを接続する埋め込まれたチャンネル層を通過する、請求項１～３のいずれか１項に記載の半導体放射線検出器デバイス。

【請求項５】

前記チャンネルから前記メインゲート及び１つの前記追加のゲート又は複数の前記追加のゲートを分離させる電氣的絶縁性材料を含む、請求項１～４のいずれか１項に記載の半導体放射線検出器デバイス。

【請求項６】

電氣的絶縁性材料の共通の層が、前記メインゲート及び１つの前記追加のゲート又は複数の前記追加のゲートの両方を包含している、請求項５に記載の半導体放射線検出器デバイス。

【請求項７】

領域であって、前記ＭＩＧ層において前記領域の周りの残りのＭＩＧ層の正味のドーピングより正味のドーピングが高い領域を含み、前記領域が前記メインゲートと垂直に並んでいる、請求項１～６のいずれか１項に記載の半導体放射線検出器デバイス。

【請求項８】

リセットゲート（６８２，７８２）の下でのＭＩＧ層（８４２）及びバリア層（８５２）のドーピングが、メインゲート（９８３）の下でのＭＩＧ層（８４２）及びバリア層（８５２）のドーピングより弱いリセットゲート（６８２，７８２）を含む、請求項１～７のいずれか１項に記載の半導体放射線検出器デバイス。

【請求項９】

前記リセットゲート（６８２）が、前記メインゲート（１８１）から水平方向に離れており、前記リセットゲート（６８２）及び前記メインゲート（１８１）の両方が、前記ソース（１１１）及び前記ドレイン（１１２）を分離させるギャップの上に位置している、請求項８に記載の半導体放射線検出器デバイス。

【請求項１０】

前記電界効果型トランジスタが、デバイスにおけるピクセルの第一の電界効果型トランジスタであり、ピクセルが、第二のソース及び第二のドレインを含む第二の電界効果型トランジスタも含み、

同時に、前記リセットゲートがピクセルの電界効果型トランジスタを分離させるギャ

ップの上に位置した輸送ゲートである、  
請求項 8 に記載の半導体放射線検出器デバイス。

【請求項 1 1】

異なる閾値電圧を有する少なくとも 2 つのピクセル固有選択トランジスターを含む、請求項 1 ～ 1 0 のいずれか 1 項に記載の半導体放射線検出器デバイス。

【請求項 1 2】

少なくとも 1 つのピクセルを含む、半導体放射線検出器デバイスであって、少なくとも 1 つのピクセルが半導体基材 ( 1 0 0 ) と、基材の 1 つの表面に、以下の順序で

第二導電型の半導体の第一の層 ( 2 4 1 ) ( 以下、M I G 層 ) と、

デバイスの動作中に前記 M I G 層において蓄積した信号電荷のポテンシャルエネルギー障壁を形成するように構成された、第一導電型の半導体のバリア層 ( 2 5 1 ) と、

ピクセル固有トランジスターのソース及びドレインを作り出すために、ピクセルドーピングが少なくとも 1 つのピクセル電圧に合わせて適合する第二導電型の半導体のピクセルドーピング ( 9 2 1 、 9 2 2 、 1 1 1 1 、 1 1 1 2 、 1 2 1 、 1 2 2 ) と、

を含み、

デバイスがさらに第一導電型の第一のコンタクトと、ピクセルドーピングの 1 つと第一導電型の第一のコンタクトとのポテンシャル差として定義された前記ピクセル電圧と、メインゲート ( 9 8 3 ) であって、その位置が、前記ソースと前記ドレインとの間のチャンネルの位置に少なくとも部分的に対応しているメインゲート ( 9 8 3 ) とを含み、

少なくとも 1 つのピクセルが、さらに、メインゲート ( 9 8 3 ) の隣に少なくとも 1 つの追加のゲート ( 9 8 1 , 9 8 2 ) を含み、少なくとも 1 つの追加のゲート ( 9 8 1 , 9 8 2 ) の位置が、前記ソースと前記ドレインとの間のチャンネルの位置に少なくとも部分的に対応しており、少なくとも 1 つの追加のゲート ( 9 8 1 , 9 8 2 ) が、第一導電型及び第二導電型の前記半導体材料の外側にある、半導体放射線検出器デバイス。

【請求項 1 3】

2 つの追加のゲートを含み、第一の追加のゲートの位置がメインゲートから前記ソースに向かっており、他の追加のゲートの位置がメインゲートから前記ドレインに向かっている、請求項 1 2 に記載の半導体放射線検出器デバイス。