

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第6902865号  
(P6902865)

(45) 発行日 令和3年7月14日(2021.7.14)

(24) 登録日 令和3年6月24日(2021.6.24)

(51) Int.Cl.

F 1

HO 1 L 33/22	(2010.01)	HO 1 L 33/22
HO 1 L 33/30	(2010.01)	HO 1 L 33/30
HO 1 L 21/306	(2006.01)	HO 1 L 21/306 B
HO 1 L 21/3065	(2006.01)	HO 1 L 21/302 104 C
HO 1 L 29/41	(2006.01)	HO 1 L 29/44 L

請求項の数 11 (全 17 頁)

(21) 出願番号

特願2016-253502 (P2016-253502)

(22) 出願日

平成28年12月27日(2016.12.27)

(65) 公開番号

特開2018-107321 (P2018-107321A)

(43) 公開日

平成30年7月5日(2018.7.5)

審査請求日

令和1年11月19日(2019.11.19)

(73) 特許権者 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(74) 代理人 110002310

特許業務法人あい特許事務所

(72) 発明者 伊藤 洋平

京都市右京区西院溝崎町21番地 ローム  
株式会社内

審査官 村井 友和

最終頁に続く

(54) 【発明の名称】半導体発光装置および半導体発光装置の製造方法

## (57) 【特許請求の範囲】

## 【請求項1】

第1基板上に、発光層を含む半導体層および第1金属層をこの順に形成する工程と、  
第2基板上に、第2金属層を形成する工程と、

前記第1金属層および前記第2金属層を互いに接合することによって、前記第1基板と  
前記第2基板とを貼り合わせる工程と、

前記貼り合わせ後、前記第1基板を除去する工程と、

前記第1基板の除去後、前記半導体層の表面に選択的に表面電極を形成する工程と、  
前記表面電極の形成後、前記第2基板を裏面側から薄化する工程と、

前記薄化工程の後、前記半導体層の表面側に支持基板を貼り付ける工程と、

前記支持基板で前記半導体層を支持した状態で、前記第2基板の裏面に裏面電極を形成  
する工程と、

前記支持基板を取り外し、前記半導体層の表面をフロスト処理することによって、前記  
半導体層の前記表面に微細な凹凸構造を形成する工程とを含む、半導体発光装置の製造方  
法。

## 【請求項2】

前記第2基板は、前記薄化工程の前に300μm～600μmの厚さを有しており、前  
記薄化工程によって、35μm～80μmの厚さに加工される、請求項1に記載の半導  
体発光装置の製造方法。

## 【請求項3】

10

20

前記表面電極の形成後、前記薄化工程までに、前記表面電極にプローブを接触させることによって、前記表面電極の導通試験を行う工程を含む、請求項1または2に記載の半導体発光装置の製造方法。

【請求項4】

前記フロスト処理は、前記半導体層の表面をウエットエッチングする工程を含む、請求項1～3のいずれか一項に記載の半導体発光装置の製造方法。

【請求項5】

前記半導体層および前記第1金属層を前記第1基板上に形成する工程は、前記半導体層と前記第1金属層との間に透光導電層を形成する工程を含む、請求項1～4のいずれか一項に記載の半導体発光装置の製造方法。

10

【請求項6】

35 μm～80 μmの厚さを有する基板と、

前記基板上の金属層と、

前記金属層上に形成され、発光層、前記発光層に対して前記基板側に配置された第1導電型層、および前記発光層に対して前記基板の反対側に配置された第2導電型層を含む半導体層と、

前記半導体層の表面に選択的に形成された表面電極と、

前記基板の裏面に形成された裏面電極と、

前記半導体層の表面に選択的に形成された微細な凹凸構造と、

前記金属層と前記半導体層との間の透光導電層とを含み、

前記透光導電層の光学膜厚が、0.125～0.5 (ただし発光波長 = 750 nm  
m～1000 nm) であり、

20

前記透光導電層の物理膜厚が、600～2000 である、半導体発光装置。

【請求項7】

前記基板と前記半導体層のトータルの厚さが、250 μm～600 μmである、請求項6に記載の半導体発光装置。

【請求項8】

前記第2導電型層は、前記発光層上に、順に積層された、第2導電型クラッド層、第2導電型ウインドウ層および第2導電型コンタクト層を含み、

前記第2導電型ウインドウ層は、前記第2導電型コンタクト層から選択的に露出した露出面を有し、

30

前記微細な凹凸構造は、前記第2導電型ウインドウ層の露出面に形成され、

前記第2導電型ウインドウ層は、2 μm～6 μmの厚さを有している、請求項6または7に記載の半導体発光装置。

【請求項9】

前記金属層は、4000～10000 の厚さを有している、請求項6～8のいずれか一項に記載の半導体発光装置。

【請求項10】

前記金属層は、Auを含む、請求項6～9のいずれか一項に記載の半導体発光装置。

【請求項11】

前記基板は、シリコン基板を含む、請求項6～10のいずれか一項に記載の半導体発光装置。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体発光装置およびその製造方法に関する。

【背景技術】

【0002】

特許文献1の発光ダイオードは、支持基板の一面にオーミックコンタクト層、第2金属層、第1金属層、絶縁層、p型コンタクト層、p型クラッド層、MQW (Multiple Quant

50

um Well : 多重量子井戸) 発光層、n型クラッド層およびn型コンタクト層がこの順に積層された半導体層を有すると共に、ODR構造を有している。すなわち、p型コンタクト層と第1金属層との間の絶縁層の一部領域にはコンタクト部が埋設されており、これにより第1金属層とp型コンタクト層とが電気的に接続されている。支持基板の裏面にはp側電極が、またn型コンタクト層上にはリング状のn側電極がそれぞれ設けられている。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2007-221029号公報

【発明の概要】

10

【発明が解決しようとする課題】

【0004】

特許文献1の発明によれば、ODR構造を設けることによって、ダイオードの高出力化を図っている。しかしながら、ODR構造を形成するには、製造工程が増加することに加え、構造が複雑になるため、歩留まりが悪くなりやすい。

本発明の目的は、構造が簡単で、かつ高い歩留まりで半導体発光装置を製造できる方法、および当該方法によって製造された半導体発光装置を提供することである。

【課題を解決するための手段】

【0005】

本発明の一実施形態に係る半導体発光装置の製造方法は、第1基板上に、発光層を含む半導体層、透光導電層および第1金属層をこの順に形成する工程と、第2基板上に、第2金属層を形成する工程と、前記第1金属層および前記第2金属層を互いに接合することによって、前記第1基板と前記第2基板とを貼り合わせる工程と、前記貼り合わせ後、前記第1基板を除去する工程と、前記第1基板の除去後、前記半導体層の表面に選択的に表面電極を形成する工程と、前記表面電極の形成後、前記第2基板を裏面側から薄化する工程と、前記薄化工程の後、前記半導体層の表面側に支持基板を貼り付ける工程と、前記支持基板で前記半導体層を支持した状態で、前記第2基板の裏面に裏面電極を形成する工程と、前記支持基板を取り外し、前記半導体層の表面をフロスト処理することによって、前記半導体層の前記表面に微細な凹凸構造を形成する工程とを含む。

20

【0006】

30

この方法によれば、第2基板の薄化工程後にフロスト処理が行われるので、半導体発光装置を高い歩留まりで製造することができる。たとえば、薄化工程前にフロスト処理が行われる方法では、裏面電極の形成後に、半導体層から支持基板をうまく剥離できない場合がある。これに対し、本発明の一実施形態によれば、支持基板の剥離を良好に行うことができ、その後のフロスト処理工程へとスムーズに進めることができる。

【0007】

本発明の一実施形態に係る半導体発光装置の製造方法では、前記第2基板は、前記薄化工程の前に  $300\text{ }\mu\text{m} \sim 600\text{ }\mu\text{m}$  の厚さを有しており、前記薄化工程によって、 $35\text{ }\mu\text{m} \sim 80\text{ }\mu\text{m}$  の厚さに加工されてもよい。

これにより得られる本発明の一実施形態に係る半導体発光装置は、 $35\text{ }\mu\text{m} \sim 80\text{ }\mu\text{m}$  の厚さを有する基板と、前記基板上の金属層と、前記金属層上の透光導電層と、前記透光導電層上に形成され、発光層、前記発光層に対して前記基板側に配置された第1導電型層、および前記発光層に対して前記基板の反対側に配置された第2導電型層を含む半導体層と、前記半導体層の表面に選択的に形成された表面電極と、前記基板の裏面に形成された裏面電極と、前記半導体層の表面に選択的に形成された微細な凹凸構造とを含む。

40

【0008】

この構成によれば、基板が $35\text{ }\mu\text{m} \sim 80\text{ }\mu\text{m}$ と薄くて抵抗が低いので、ODR構造を有さなくても、高出力な半導体発光装置を提供することができる。すなわち、簡単な構造で、半導体発光装置の高出力化を図ることができる。

また、本発明の一実施形態に係る半導体発光装置の製造方法は、前記表面電極の形成後

50

、前記薄化工程までに、前記表面電極にプローブを接触させることによって、前記表面電極の導通試験を行う工程を含んでいてもよい。

【0009】

薄化された第2基板(ウエハ)には反りが発生する場合があり、そのような状態ではプローブによる導通試験を行うことが難しい。しかしながら、上記のように、薄化工程までに導通試験を行うことによって、半導体発光装置の電気的特性を良好に測定することができる。

本発明の一実施形態に係る半導体発光装置の製造方法では、前記プロスト処理は、前記半導体層の表面をウエットエッチングする工程を含んでいてもよい。

【0010】

また、本発明の一実施形態に係る半導体発光装置では、前記基板と前記半導体層のトータルの厚さが、 $250\text{ }\mu\text{m} \sim 600\text{ }\mu\text{m}$ あってもよい。

本発明の一実施形態に係る半導体発光装置では、前記透光導電層の光学膜厚が、 $0.125 \sim 0.5$  (ただし発光波長 =  $750\text{ nm} \sim 1000\text{ nm}$ ) であってもよい。

この構成によれば、透光導電層の光学膜厚を上記の範囲にすることによって、半導体発光装置の出力を高めることができる。

【0011】

本発明の一実施形態に係る半導体発光装置では、前記第2導電型層は、前記発光層上に順に積層された、第2導電型クラッド層、第2導電型ウインドウ層および第2導電型コンタクト層を含み、前記第2導電型ウインドウ層は、前記第2導電型コンタクト層から選択的に露出した露出面を有し、前記微細な凹凸構造は、前記第2導電型ウインドウ層の露出面に形成され、前記第2導電型ウインドウ層は、 $2\text{ }\mu\text{m} \sim 6\text{ }\mu\text{m}$ の厚さを有していてもよい。

【0012】

第2導電型ウインドウ層の厚さが上記の範囲を超える場合に比べて、出力を維持しながら、基板の反りを抑えることができる。

本発明の一実施形態に係る半導体発光装置では、前記金属層は、 $4000 \sim 10000$  の厚さを有していてもよい。

この構成によれば、半導体発光装置の製造工程において、たとえば表面電極にボンディングワイヤを接合するときに、金属層の剥がれ(たとえば、上記第1金属層と第2金属層との間の剥離)を抑制できるとともに、ウエハ分割時のチッピングやチップ割れ等を抑制することもできる。

【0013】

本発明の一実施形態に係る半導体発光装置では、前記金属層は、 $\text{Au}$ を含んでいてもよい。

本発明の一実施形態に係る半導体発光装置では、前記基板は、シリコン基板を含んでいてもよい。

【図面の簡単な説明】

【0014】

【図1】図1は、本発明の一実施形態に係る半導体発光装置の模式的な平面図である。

【図2】図2は、図1のII-II線に沿って前記半導体発光装置を切断したときに現れる断面図である。

【図3】図3は、図2の発光層の層構成を説明するための図である。

【図4A】図4Aは、図2の半導体発光装置の製造工程の一部を示す図である。

【図4B】図4Bは、図4Aの次の工程を示す図である。

【図4C】図4Cは、図4Bの次の工程を示す図である。

【図4D】図4Dは、図4Cの次の工程を示す図である。

【図4E】図4Eは、図4Dの次の工程を示す図である。

【図4F】図4Fは、図4Eの次の工程を示す図である。

【図4G】図4Gは、図4Fの次の工程を示す図である。

10

20

30

40

50

【図4H】図4Hは、図4Gの次の工程を示す図である。

【図4I】図4Iは、図4Hの次の工程を示す図である。

【図4J】図4Jは、図4Iの次の工程を示す図である。

【図4K】図4Kは、図4Jの次の工程を示す図である。

【図4L】図4Lは、図4Kの次の工程を示す図である。

【図5】図5は、ITO膜厚とパルス出力(P.O.)との関係を示すグラフである。

【図6】図6Aおよび図6Bは、半導体ウエハのダイシング後のチップ裏面の外観を表す写真であって、図6AがAu膜厚 $>10000$ の場合を示し、図6BがAu膜厚=5000の場合を示している。

【図7】図7A～図7Cは、半導体ウエハの反りの状態を示す外観写真であり、それぞれ10、n型ウインドウ層の厚さ=2μm、6μmおよび10μmの場合を示す。

【図8】図8は、プローブを使用した導通試験結果に基づく、波長と出力との関係を示す図である。

【図9】図9は、半導体ウエハの厚さを測定点ごとに示す図である。

【発明を実施するための形態】

【0015】

以下では、本発明の実施の形態を、添付図面を参照して詳細に説明する。

図1は、本発明の一実施形態に係る半導体発光装置1の模式的な平面図である。図2は、図1のII-II線に沿って半導体発光装置1を切断したときに現れる断面図である。図3は、図2の発光層8の層構成を説明するための図である。

半導体発光装置1は、基板2と、基板2上の金属層3と、金属層3上の透光導電層4と、透光導電層4上の本発明の半導体層の一例としてのIII-V族半導体構造5と、基板2の裏面(III-V族半導体構造5と反対側の表面)に接触するように形成された本発明の裏面電極の一例としてのp側電極6と、III-V族半導体構造5の表面に接触するように形成された本発明の表面電極の一例としてのn側電極7(表面電極)とを含む。

【0016】

基板2は、この実施形態では、シリコン基板で構成されている。もちろん、基板2は、たとえば、GaAs(ガリウム砒素)、GaP(リン化ガリウム)等の半導体基板で構成されてもよい。基板2は、この実施形態では、図1に示すように平面視略正方形形状に形成されているが、基板2の平面形状は特に制限されず、たとえば、平面視長方形形状であってもよい。また、基板2の厚さは、たとえば、35μm～80μmであってもよい。また、基板2(シリコン基板)の屈折率は、3.705程度であってもよい。

【0017】

金属層3は、この実施形態では、AuまたはAuを含む合金で構成されている。金属層3は、Au層およびAu合金層それぞれの単層であってもよいし、これらの層および他の金属層が複数積層された層であってもよい。金属層3は、複数の積層構造である場合、少なくとも透光導電層4と接触する第1金属層26の透光導電層4との接触面がAu層またはAu合金層(たとえば、AuBeNi等)で構成されていることが好ましい。一方、少なくとも基板2と接触する第2金属層27の基板2との接触面がTi層で構成されていることが好ましい。この実施形態では、たとえば、金属層3は、(透光導電層4側)Au層28/Au層29/Ti層30(基板2側)で示される積層構造が挙げられる。さらに、金属層3は、金属層3を構成する複数の金属材料間に明瞭な境界が形成されず、当該複数の金属材料が、たとえば基板2側から順々に分布して構成されていてもよい。一方、この実施形態では、金属層3は、後述するように、成長基板46(後述)と基板2との貼り合わせによって第1金属層26(後述)と第2金属層27(後述)とが接合して形成されるものである。そこで、図2では、便宜的に第1金属層26と第2金属層27との境界(貼り合わせ面)を示しているが、この境界は、明瞭に視認できなくてもよい。

【0018】

金属層3は、基板2の表面全域を覆うように形成されている。また、金属層3のトータル厚さは、たとえば、4000～10000であり、好ましくは、5000～700

10

20

30

40

50

0.0 である。また、金属層 3 を構成する個々の層 28 ~ 30 の厚さは、たとえば、Au 層 28 = 5000 ± 500 程度、Au 層 29 = 1000 ± 100 程度、Ti 層 30 = 500 ± 50 程度であってもよい。

【0019】

透光導電層 4 は、この実施形態では、ITO (酸化インジウムスズ) で構成されている。もちろん、透光導電層 4 は、たとえば、ZnO (酸化亜鉛)、IZO (酸化インジウム - 酸化亜鉛) 等の透明電極材料で構成されていてもよい。また、透光導電層 4 は、その光学膜厚が 0.125 ~ 0.5 (ただし発光波長 = 750 nm ~ 1000 nm) であることが好ましく、物理膜厚が、500 ~ 5000 (たとえば 700 程度) であってもよい。また、透光導電層 4 (ITO) の屈折率は、1.60 程度 (発光波長 = 870 nm) であってもよい。 10

【0020】

III-V 族半導体構造 5 は、発光層 8 と、本発明の第 1 導電型層の一例としての p 型半導体層 9 と、本発明の第 2 導電型層の一例としての n 型半導体層 10 とを含む。p 型半導体層 9 は発光層 8 に対して基板 2 側に配置されており、n 型半導体層 10 は発光層 8 に対して n 側電極 7 側に配置されている。こうして、発光層 8 が、p 型半導体層 9 および n 型半導体層 10 によって挟持されていて、ダブルヘテロ接合が形成されている。発光層 8 には、n 型半導体層 10 から電子が注入され、p 型半導体層 9 から正孔が注入される。これらが発光層 8 で再結合することによって、光が発生するようになっている。また、基板 2 の厚さと III-V 族半導体構造 5 の厚さとを合わせたトータル厚さは、たとえば、250 20  $\mu\text{m}$  ~ 600  $\mu\text{m}$  であってもよい。

【0021】

p 型半導体層 9 は、基板 2 側から順に、p 型 GaP コンタクト層 11 (たとえば 0.8  $\mu\text{m}$  厚)、p 型 AlGaAs ウィンドウ層 12 (たとえば 3.2  $\mu\text{m}$  厚) および p 型 AlGaAs クラッド層 13 (たとえば 1.0  $\mu\text{m}$  厚) を積層して構成されている。一方、n 型半導体層 10 は、発光層 8 の上に、順に、本発明の第 2 導電型クラッド層の一例としての n 型 AlGaAs クラッド層 14 (たとえば 1.0  $\mu\text{m}$  厚)、本発明の第 2 導電型 ウィンドウ層の一例としての n 型 AlGaAs ウィンドウ層 15 (たとえば 2.0  $\mu\text{m}$  厚) および本発明の第 2 導電型コンタクト層の一例としての n 型 GaAs コンタクト層 16 (たとえば 0.8  $\mu\text{m}$  厚) を積層して構成されている。 30

【0022】

p 型 GaP コンタクト層 11 および n 型 GaAs コンタクト層 16 は、それぞれ透光導電層 4 および n 側電極 7 とのオーミックコンタクトをとるための低抵抗層である。

p 型 GaP コンタクト層 11 は、GaP にたとえば p 型ドーパントとしての C (カーボン) や Zn (亜鉛) を高濃度にドープすることによって p 型半導体とされている。この実施形態では、p 型 GaP コンタクト層 11 は、基板 2 側から順に、GaP に C をドープすることによって構成された第 1 層 31 と、GaP に Zn をドープすることによって構成された第 2 層 32 とを積層して構成されている。第 1 層 31 および第 2 層 32 の各厚さは、たとえば、第 1 層 31 = 3000 程度、第 2 層 32 = 4600 程度であってもよい。また、第 1 層 31 および第 2 層 32 の屈折率は、互いに同じ (たとえば、3.180 程度) であってもよい。 40

【0023】

n 型 GaAs コンタクト層 16 は、GaAs にたとえば n 型ドーパントとしての Si を高濃度にドープすることによって n 型半導体層とされている。また、n 型 GaAs コンタクト層 16 の屈折率は、3.654 程度であってもよい。

p 型 AlGaAs ウィンドウ層 12 は、AlGaAs にたとえば p 型ドーパントとしての Zn をドープすることによって p 型半導体とされている。この実施形態では、p 型 AlGaAs ウィンドウ層 12 は、基板 2 側から順に、Al 組成が Ga 組成よりも少ない (たとえば、Al : 30%、Ga : 70%) 組成比を有する第 1 層 33 と、Al 組成が Ga 組成よりも多い (たとえば、Al : 60%、Ga : 40%) 組成比を有する第 2 層 34 とを 50

積層して構成されている。第1層33および第2層34の各厚さは、たとえば、第1層33 = 10000 程度、第2層34 = 22000 程度であってもよい。また、第1層33および第2層34の屈折率は、発光層8に近い第2層34の方が小さくてもよい。たとえば、第1層33の屈折率が3.431程度であり、第2層34の屈折率が3.234程度であってもよい。

#### 【0024】

一方、n型AlGaAsウインドウ層15は、AlGaAsにたとえばn型ドーパントとしてのSiをドープすることによってn型半導体層とされている。この実施形態では、n型AlGaAsウインドウ層15は、基板2側から順に、Al組成がGa組成よりも多い(たとえば、Al:60%、Ga:40%)組成比を有する第1層35と、Al組成がGa組成よりも少ない(たとえば、Al:30%、Ga:70%)組成比を有する第2層36とを積層して構成されている。第1層35および第2層36の各厚さは、たとえば、第1層35 = 16000 程度、第2層36 = 4000 程度であってもよい。また、第1層35および第2層36の屈折率は、発光層8に近い第1層35の方が小さくてもよい。たとえば、第1層33の屈折率が3.234程度であり、第2層34の屈折率が3.431程度であってもよい。

#### 【0025】

p型AlGaAsクラッド層13は、AlGaAsにたとえばp型ドーパントとしてのZnをドープすることによってp型半導体とされている。一方、n型AlGaAsクラッド層14は、AlGaAsにn型ドーパントとしてのSiをドープすることによってn型半導体層とされている。これらの層13, 14の厚さは、たとえば、p型AlGaAsクラッド層13 = 10000 程度、n型AlGaAsクラッド層14 = 10000 程度であってもよい。また、p型AlGaAsクラッド層13の屈折率は、これに接触するp型AlGaAsウインドウ層12の発光層8に近い側の層(第2層34)と同程度であってもよい。つまり、p型AlGaAsクラッド層13の屈折率は、3.234程度であってもよい。一方、n型AlGaAsクラッド層14の屈折率は、これに接触するn型AlGaAsウインドウ層15の発光層8に近い側の層(第1層35)と同程度であってもよい。つまり、n型AlGaAsクラッド層14の屈折率は、3.234程度であってもよい。

#### 【0026】

発光層8は、MQW(multiple-quantum well)構造(多重量子井戸構造)を有しており、電子と正孔とが再結合することによって光が発生し、その発生した光を増幅させるための層である。

発光層8は、この実施形態では、図3に示すように、InGaAs層からなる量子井戸層37(たとえば80 厚)とAlGaAs層からなる障壁層38(たとえば52 厚)とを交互に複数周期繰り返し積層して構成された多重量子井戸(MQW: Multiple-Quantum Well)構造45と、この多重量子井戸構造45を上下両側から挟む、p型AlGaAsガイド層39およびn型AlGaAsガイド層40とを有している。たとえば、量子井戸層37(InGaAs)と障壁層38(AlGaAs)とは交互に2~50周期繰り返し積層されており、これにより、多重量子井戸構造の発光層8が構成されている。発光波長は、量子井戸層37のバンドギャップに対応しており、バンドギャップの調整はInまたはGaの組成比を調整することによって行うことができる。この実施形態では、発光波長は、量子井戸層37(InGaAs)におけるInおよびGaの組成を調整することによって、750nm~1000nm(たとえば870nm)とされている。

#### 【0027】

p型AlGaAsガイド層39は、AlGaAsにたとえばp型ドーパントとしてのZnを高濃度にドープすることによってp型半導体層とされている。一方、n型AlGaAsガイド層40は、AlGaAsにn型ドーパントとしてのSiをドープすることによってn型半導体層とされている。これらの層13, 14の厚さは、たとえば、p型AlGaAsクラッド層13 = 10000 程度、n型AlGaAsクラッド層14 = 10000 程度

10

20

30

40

50

程度であってもよい。また、p型AlGaAsガイド層39の屈折率は、これに接触するp型AlGaAsクラッド層13よりも大きくてよい。たとえば、p型AlGaAsガイド層39の屈折率は、3.431程度であってもよい。一方、n型AlGaAsガイド層40の屈折率は、これに接触するn型AlGaAsクラッド層14よりも大きくてよい。たとえば、n型AlGaAsガイド層40の屈折率は、3.431程度であってもよい。

#### 【0028】

図1および図2に示すように、半導体発光装置1は、その一部が除去されることによって、メサ部17を形成している。より具体的には、III-V族半導体構造5の表面から、n型半導体層10、発光層8およびp型半導体層9（一部）がIII-V族半導体構造5の全周に亘ってエッティング除去され、横断面視略四角形状のメサ部17が形成されている。メサ部17の形状は、断面視略四角形状に限らず、たとえば台形状であってもよい。これにより、p型半導体層9（この実施形態では、p型GaPコンタクト層11）が、メサ部17から横方向に引き出された引き出し部18を構成している。図1に示すように、平面視において、メサ部17は引き出し部18に取り囲まれている。

#### 【0029】

メサ部17の表面には、微細な凹凸構造19が形成されている。この微細な凹凸構造19によって、III-V族半導体構造5から取り出される光を拡散させることができる。この実施形態では、後述するようにn型GaAsコンタクト層16がn側電極7の形状に合わせて選択的に除去されることによってn型AlGaAsウインドウ層15が露出しており、この露出面に微細な凹凸構造19が形成されている。なお、図1では、明瞭化のため微細な凹凸構造19を省略している。

#### 【0030】

裏面電極としてのp側電極6は、この実施形態では、AuまたはAuを含む合金で構成されている。具体的には、（基板2側）Ti層41/Au層42で示される積層構造であってもよい。また、p側電極6は、基板2の裏面全域を覆うように形成されている。また、p側電極6のトータル厚さは、たとえば、1300～1700である。また、p側電極6を構成する個々の層41, 42の厚さは、たとえば、Ti層41=500±50程度、Au層42=1000±100程度であってもよい。

#### 【0031】

表面電極としてのn側電極7は、この実施形態では、AuまたはAuを含む合金で構成されている。具体的には、（III-V族半導体構造5側）AuGeNi層43/Au層44で示される積層構造であってもよい。また、n側電極7のトータル厚さは、たとえば、1300～1700である。また、n側電極7を構成する個々の層43, 44の厚さは、たとえば、AuGeNi層43=2000±200程度、Au層44=17000±1700程度であってもよい。

#### 【0032】

また、n側電極7は、略円形状のパッド電極部20と、当該パッド電極部20の周囲に放射状に延びる枝状電極部21とを一体的に含む。この実施形態では、平面視において、パッド電極部20がメサ部17の略中央に配置されており、複数の枝状電極部21は、パッド電極部20から基板2の4つの側面および4つの角部へ向かう8方向に延びている。この実施形態では、図1に示すように、平面視において複数の枝状電極部21の端部同士を繋ぐことによって略四角形状の給電領域22が画成されるように、基板2の4つの角部へ向かう枝状電極部21（第1部分23）が、基板2の4つの側面へ向かう枝状電極部21（第2部分24）に比べて長くなっている。

#### 【0033】

図4A～図4Lは、図1～図3の半導体発光装置1の製造工程を工程順に示す図である。なお、図4A～図4Lは、半導体発光装置1の断面を示すものであるが、図2の断面に示した構成の一部を省略して示している。

半導体発光装置1を製造するには、たとえば図4Aに示すように、GaAs等からなる

10

20

30

40

50

本発明の第1基板の一例としての成長基板46(ウエハ)上に、エピタキシャル成長によってIII-V族半導体構造5が形成される。III-V族半導体構造5の成長方法は、たとえば、分子線エピタキシャル成長法、有機金属気相成長法等、公知の成長方法を適用できる。この段階では、III-V族半導体構造5は、成長基板46の側から順に、n型GaAsコンタクト層16、n型AlGaAsウインドウ層15、n型AlGaAsクラッド層14、発光層8、p型AlGaAsクラッド層13、p型AlGaAsウインドウ層12およびp型GaPコンタクト層11を含んでいる。次に、たとえば蒸着法によって、III-V族半導体構造5(p型GaPコンタクト層11)上に透光導電層4が形成される。

#### 【0034】

次に、図4Bに示すように、たとえば蒸着法によって、透光導電層4上に第1金属層26が形成される。第1金属層26は、AuまたはAuを含む合金で構成されており、少なくとも最表面がAu層で構成されている。

次の工程は、成長基板46と基板2との貼合わせ工程である。貼合わせ工程では、成長基板46上の第1金属層26と基板2上の第2金属層27とが接合される。第2金属層27は、AuまたはAuを含む合金で構成されており、少なくとも最表面がAu層で構成されている。この第2金属層27は、貼合わせ前に、たとえば蒸着法によって、本発明の第2基板の一例としての基板2の表面(前述のp側電極6が形成される面の反対面)に形成されたものである。

#### 【0035】

より具体的には、図4Cに示すように、第1および第2金属層26, 27同士を向い合せた状態で成長基板46と基板2とを重ね合わせ、第1および第2金属層26, 27を接合する。第1および第2金属層26, 27の接合は、たとえば熱圧着によって行ってよい。熱圧着の条件は、たとえば、温度が250~700、好ましくは約300~400であり、圧力が10MPa~20MPaであってもよい。この接合によって、図4Dに示すように、第1および第2金属層26, 27が合わさって金属層3が形成される。

#### 【0036】

次に、図4Dに示すように、たとえばウエットエッティングによって、成長基板46が除去される。

次の工程は、n側電極7の形成工程である。この実施形態では、リフトオフ法によってn側電極7が形成される。より具体的には、まず、n側電極7の電極パターンと同一パターンの開口を有するレジスト(図示せず)が、III-V族半導体構造5(n型GaAsコンタクト層16)上に形成される。次に、たとえば蒸着法によって、III-V族半導体構造5上に電極材料膜(図示せず)が積層される。次に、当該レジスト上の電極材料膜が、レジストと共に除去される。これにより、n型GaAsコンタクト層16上に残った電極材料膜からなるn側電極7が形成される。その後、図示しないが、n側電極7から露出するn型GaAsコンタクト層16がエッティングによって除去される。これにより、n側電極7以外の部分にn型AlGaAsウインドウ層15が露出することになる。

#### 【0037】

次に、図4Fに示すように、III-V族半導体構造5の周縁部が選択的に除去されることによって、メサ部17および引き出し部18が形成される。メサ部17および引き出し部18の形成は、たとえば、ウエットエッティングによって行ってよい。次に、n側電極7にプローブ47を接触させることによって、n側電極7の導通試験が行われる。

次に、図4Gに示すように、たとえば基板2を裏面側から研削することによって、基板2が薄くされる。なお、基板2の薄化は、たとえば、ドライエッティングやウエットエッティング等のエッティングによって行ってよい。これにより、薄化工程の前に300μm~600μmの厚さを有している基板2が、35μm~80μmの厚さに加工される。

#### 【0038】

次に、図4Hに示すように、支持基板48が、III-V族半導体構造5の表面側に貼り付けられる。たとえば、n側電極7が支持基板48に接合されてもよい。

次に、図4Iに示すように、たとえば蒸着法によって、基板2の裏面にp側電極6が形

10

20

30

40

50

成される。

次に、図4Jに示すように、支持基板48がIII-V族半導体構造5から取り外され、代わりに、基板2の裏面側に支持基板49が貼り付けられる。たとえば、p側電極6が支持基板49に接合されてもよい。

#### 【0039】

次に、図4Kに示すように、たとえばフロスト処理(ウェットエッティング)等によって、III-V族半導体構造5(n型AlGaAsウインドウ層15)の表面に微細な凹凸構造19が形成される。なお、フロスト処理は、ドライエッティングによって行ってもよい。

次に、図4Lに示すように、支持基板49が基板2から取り外される。その後、基板2(ウエハ)が各チップサイズに分割されることによって、図1～図3に示した半導体発光装置1が得られる。

#### 【0040】

以上の製造方法によれば、図4Gに示す基板2の薄化後にフロスト処理が行われるので(図4K参照)、半導体発光装置1を高い歩留まりで製造することができる。たとえば、薄化工程前にフロスト処理が行われると、支持基板48でIII-V族半導体構造5を支持して裏面電極(p側電極6)を形成した後、III-V族半導体構造5から支持基板48をうまく剥離できない場合がある。これに対し、この実施形態によれば、支持基板48の剥離を良好に行うことができ、その後のフロスト処理工程へとスムーズに進めることができる。

#### 【0041】

また、図4Fに示すように、プローブ47による導通試験が、図4Gの薄化工程前に行われる。薄化された基板2(ウエハ)には反りが発生する場合があり、そのような状態ではプローブ47による導通試験を行うことが難しい。しかしながら、上記のように、薄化工程までに導通試験を行うことによって、半導体発光装置1の電気的特性を良好に測定することができる。

#### 【0042】

そして、得られた半導体発光装置1では、基板2が35μm～80μmと薄くて抵抗が低いので、ODR構造を有さなくても、高出力な半導体発光装置1を提供することができる。すなわち、簡単な構造で、半導体発光装置1の高出力化を図ることができる。

次に、上記半導体発光装置1を構成する層や膜の厚さが、半導体発光装置1の電気的特性や歩留まりにどのような影響を与えるかを説明する。

#### 【0043】

図5は、透光導電層4の一例としてのITOの膜厚の増減が、半導体発光装置1の出力に与える影響を示すものであり、ITO(物理)膜厚とパルス出力(P.O.)との関係を示すグラフである。

より具体的には、シミュレーションによって、ITO膜厚とパルス出力との関係を調べた。使用したシミュレーションサンプルNo.1～6の各光学膜厚および各物理膜厚は、下記表1の通りである。図5に示すように、ITOの物理膜厚が薄いほど出力が高くなる傾向がある。図5では、物理膜厚の下限は680であるが、ITOの物理膜厚が500

を下回ると、ITO/Auとの密着性が低下する可能性が高いため、ITOの膜厚は、たとえば500～3000であることが好ましく、600～2000であることがさらに好ましい。

#### 【0044】

10

20

30

40

【表1】

表1

No.	光学膜厚		屈折率	物理膜厚[Å]	反射率[%]
1	0.125 $\lambda$	109	1.60	680	68.49
2	0.250 $\lambda$	218	1.60	1359	35.76
3	0.500 $\lambda$	435	1.60	2719	79.14
4	0.750 $\lambda$	653	1.60	4078	35.76
5	1.000 $\lambda$	870	1.60	5438	79.14
6	1.250 $\lambda$	1088	1.60	6797	35.76

[ピーク波長  $\lambda$ =870nm]

10

【0045】

下記表2は、金属層3を構成するAu層の膜厚の増減が半導体発光装置1の歩留まりに与える影響を示すものである。

より具体的には、前述の半導体発光装置1の構造に倣って半導体発光装置をウエハ状態で作製し、作製後、表面電極（図1のパッド電極部20）にボンディングワイヤを接合した（サンプル数は4000個）。このボンディング時に、ウエハの中央部および外周部でAu層の剥がれが生じた個数を、Au層の膜厚ごとに調べた。その結果を、表2に示す。表2において、「100%剥がれ」は、該当する評価箇所においてAu層が完全に剥がれたことを示し、「50%剥がれ」は、該当する評価箇所においてAu層が半分程度剥がれたことを示している。

20

【0046】

【表2】

表2

No.	Au膜厚[Å]	評価位置	評価	
			100%剥がれ	50%剥がれ
1	1000	ウエハ中央	0	0
2		ウエハ外周	0	8
3	2000	ウエハ中央	0	0
4		ウエハ外周	1	6
5	3000	ウエハ中央	0	0
6		ウエハ外周	3	2
7	4000	ウエハ中央	0	0
8		ウエハ外周	0	2
9	5000	ウエハ中央	0	0
10		ウエハ外周	0	0

30

【0047】

表2の結果から、Au膜厚が2000および3000の場合に、ウエハ外周において100%剥がれが発生した。一方、Au膜厚が4000の場合、ウエハ外周で50%剥がれが2個発生したものの、100%剥がれは発生しなかった。さらに、Au膜厚が5000の場合は、50%剥がれさえ発生しなかった。この結果、Au膜厚が薄いとワイヤボンディング時に剥がれが発生しやすく、Au膜厚は4000以上が好ましいことが

40

50

分かった。ただし、Au膜厚が10000を超えると、図6Aに示すように、ダイシング時のブレードの目詰まり等によって裏面チッピングやチップ割れが発生しやすくなる。一方、Au膜厚が5000の場合には、図6Bに示すように、裏面チッピングの発生等が抑えられていた。そのため、Au膜厚は、より好ましくは、4000～10000であると言える。

#### 【0048】

図7A～図7Cは、n型AlGaAsウインドウ層15の膜厚の増減が、半導体発光装置1のFAB(fabrication)工程後のウエハの反りに与える影響を示すものであり、半導体ウエハの反りの状態を示す外観写真である。図7A～図7Cは、それぞれ、n型AlGaAsウインドウ層15の厚さ=2μm、6μmおよび10μmの場合を示す。3つのサンプルのうち、n型AlGaAsウインドウ層15の厚さ=2μmおよび10μmのサンプルについては、互いに活性層の条件(多重量子井戸構造のペア数等)が同じである。厚さ=6μmのサンプルの当該条件は、厚さ=2μmおよび10μmとは異なっている。

10

#### 【0049】

図7A～図7Cから、n型AlGaAsウインドウ層15の厚さが2μmであれば、FAB工程後のウエハに反りが発生しておらず、厚さが6μmおよび10μmの場合に、それぞれ、1mmおよび2mmほどウエハの外周部が浮き上がる反りが発生していた。一方、n型AlGaAsウインドウ層15の厚さを変えたことで、半導体発光装置1の電気的特性に影響が出ていないか否かを調べた。より具体的には、n型GaAsコンタクト層16の除去前、n型GaAsコンタクト層16の除去後(図4F参照)、およびフロスト処理後(図4K参照)の3つの各段階において出力を測定した。結果を、下記表3および図8に示す。なお、図8では、参考として、既存のODR構造を有する半導体発光装置の出力も示している。

20

#### 【0050】

##### 【表3】

表3

n-window厚 [μm]	出力[mW]			出力変化率		
	nコンタクト層 除去前①	nコンタクト層 除去後②	フロスト後③	①→②	②→③	①→③
2	0.488	0.818	1.704	167.6%	208.3%	349.2%
6	0.513	0.624	1.106	121.6%	177.2%	215.6%
10	0.616	0.781	1.710	126.8%	219.0%	277.6%

30

#### 【0051】

表3および図8によれば、活性層の条件が互いに同じn-window厚=2μmのサンプルと10μmのサンプルと比較した場合、フロスト処理後の出力においても、ほぼ同等の出力を発現できている。また、ODR構造を有する装置と比較して若干出力が落ちるもの、実用上、十分な出力値を実現できている。したがって、n型AlGaAsウインドウ層15の厚さに関しては、十分な出力とウエハ反りの低減とを両立できる観点から、2μm～6μm程度が好ましい。

40

#### 【0052】

以上のように、透光導電層4や金属層3(Au層)の膜厚の適正化によって、ワイヤボンディング時のAu層剥がれやダイシング時の裏面チッピング等の不良を抑制できることがわかった(たとえば表2参照)。また、III-V族半導体構造5のエピタキシャル成長条件(エピ膜厚)の適正化によって、ウエハの反りを低減できることができた(たとえば図7A～図7C参照)。これらは、いずれも歩留まりの低下の要因となるものであり、これらの点を改善することによって、高い歩留まりで、従来に比べて薄い半導体発光装置1を提供することができる。図9は、上記の製造工程に倣ってFAB工程を行った後の半

50

導体ウエハの厚さを測定点ごとに示す図であるが、上記の製造工程に従えば、ウエハの全体にわたって厚さを  $65 \pm 5 \mu\text{m}$  以内に抑えることができる。

### 【0053】

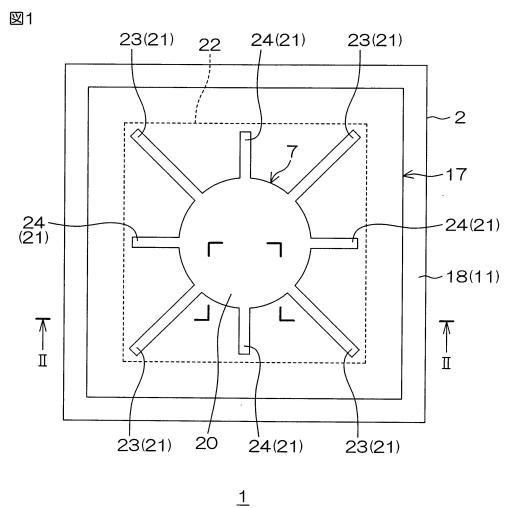
以上、本発明の一実施形態について説明したが、本発明は、他の形態で実施することもできる。また、本発明は、特許請求の範囲に記載された事項の範囲で種々の設計変更を施すことが可能である。

### 【符号の説明】

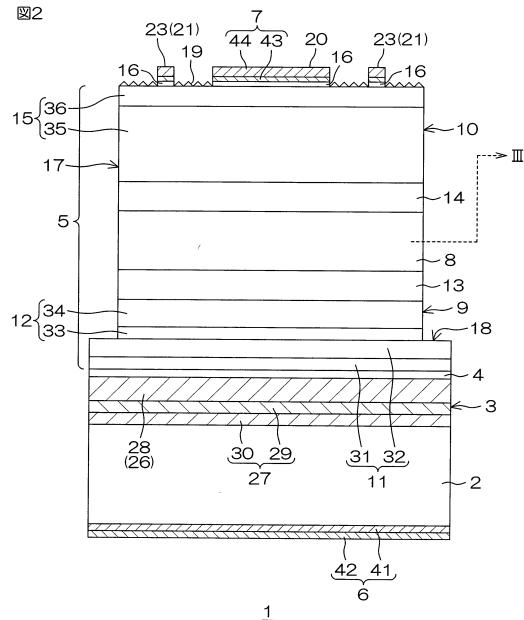
#### 【0054】

- |    |                |    |
|----|----------------|----|
| 1  | 半導体発光装置        |    |
| 2  | 基板             | 10 |
| 3  | 金属層            |    |
| 4  | 透光導電層          |    |
| 5  | III-V族半導体構造    |    |
| 6  | p側電極           |    |
| 7  | n側電極           |    |
| 8  | 発光層            |    |
| 9  | p型半導体層         |    |
| 10 | n型半導体層         |    |
| 11 | p型GaPコンタクト層    |    |
| 12 | p型AlGaAsウインドウ層 | 20 |
| 13 | p型AlGaAsクラッド層  |    |
| 14 | n型AlGaAsクラッド層  |    |
| 15 | n型AlGaAsウインドウ層 |    |
| 16 | n型GaAsコンタクト層   |    |
| 19 | 微細な凹凸構造        |    |
| 26 | 第1金属層          |    |
| 27 | 第2金属層          |    |
| 28 | Au層            |    |
| 29 | Au層            |    |
| 46 | 成長基板           | 30 |
| 47 | プローブ           |    |
| 48 | 支持基板           |    |

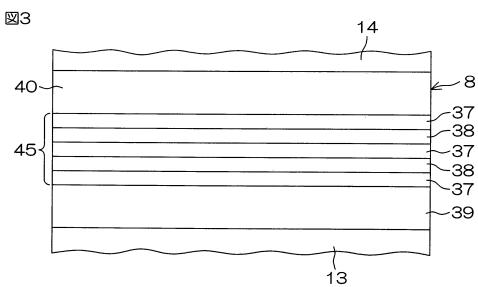
【図1】



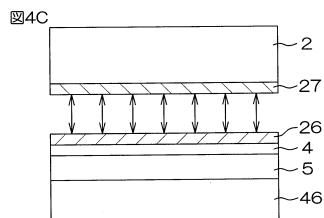
【図2】



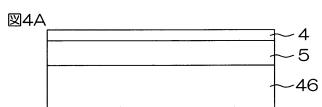
【図3】



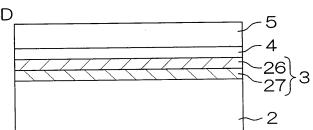
【図4C】



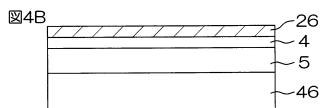
【図4A】



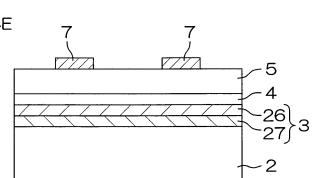
【図4D】



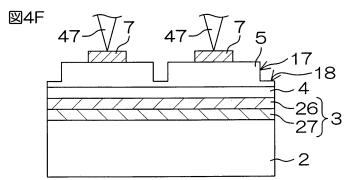
【図4B】



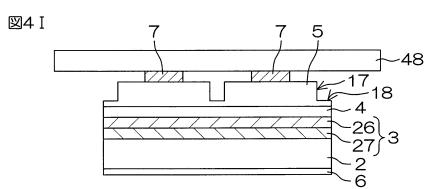
【図4E】



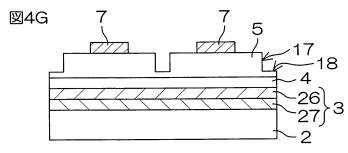
【図4F】



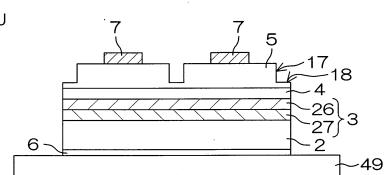
【図4I】



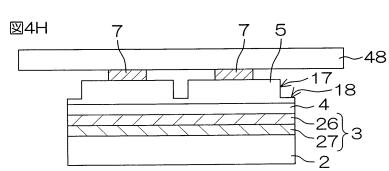
【図4G】



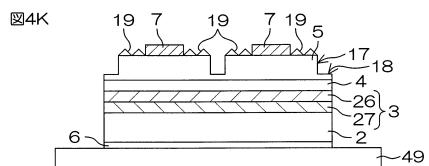
【図4J】



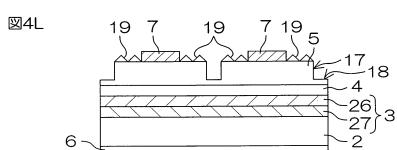
【図4H】



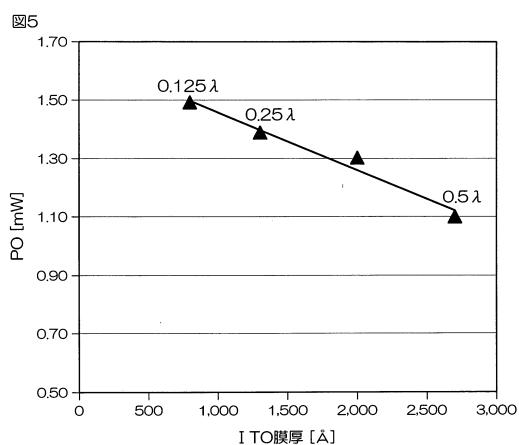
【図4K】



【図4L】

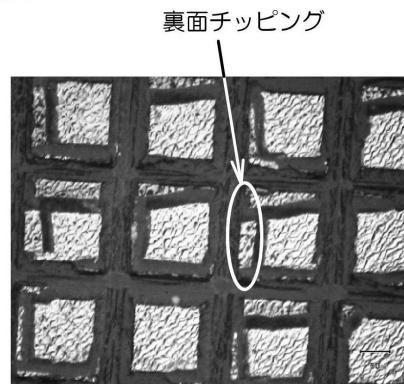


【図5】



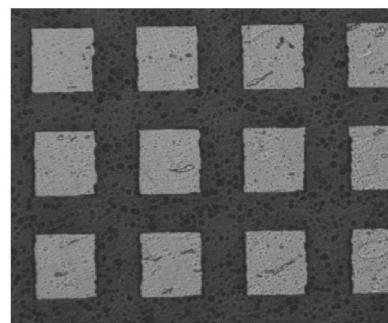
【図6】

図6A



裏面チッピング

図6B



【図7】

図7A

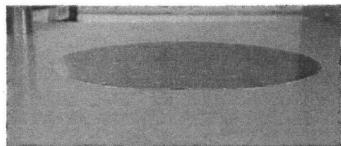


図7B

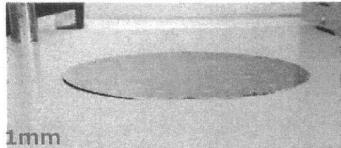
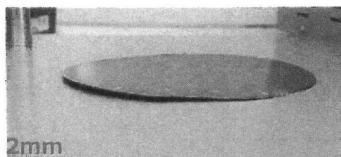
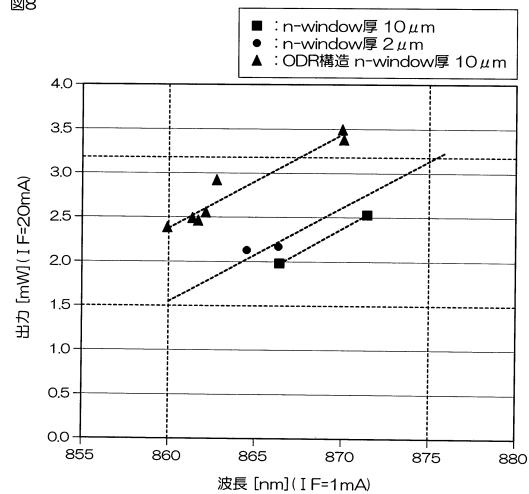


図7C



【図8】

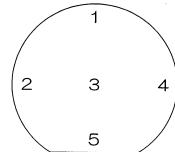
図8



【図9】

図9

[ウエハ面内のチップ厚さ(μm)]



測定点	1	2	3	4	5
No. 1	63	63	66	63	63
No. 2	64	64	68	64	64

---

フロントページの続き

(56)参考文献 特開2009-010359(JP, A)  
特開2012-119585(JP, A)  
特開2014-120695(JP, A)  
特開2011-086899(JP, A)  
国際公開第2012/176369(WO, A1)

(58)調査した分野(Int.Cl., DB名)

H01L 33/00 - 33/64