



(12) 发明专利申请

(10) 申请公布号 CN 102487051 A

(43) 申请公布日 2012. 06. 06

(21) 申请号 201110379963. 3

(22) 申请日 2011. 11. 25

(30) 优先权数据

2010-269105 2010. 12. 02 JP

(71) 申请人 索尼公司

地址 日本东京都

(72) 发明人 本城广

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 彭久云

(51) Int. Cl.

H01L 23/31 (2006. 01)

H01L 23/495 (2006. 01)

H01L 25/10 (2006. 01)

H01L 21/56 (2006. 01)

H01L 21/60 (2006. 01)

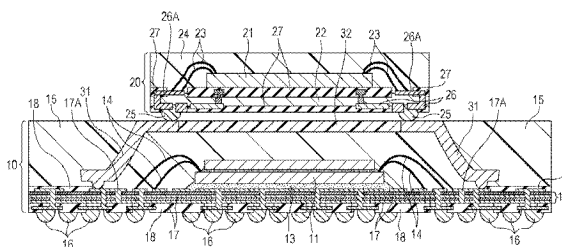
权利要求书 1 页 说明书 7 页 附图 5 页

(54) 发明名称

半导体装置及其制造方法

(57) 摘要

一种半导体装置及其制造方法。该半导体装置包括基板、安装在基板上的半导体芯片、基板的上表面和半导体芯片采用绝缘材料密封的封装体以及暴露到封装体的上表面的模制材料。另外,该装置包括其一端连接到模制材料且另一端电连接到基板的引线,该引线从与模制材料连接的部分到与基板连接的部分由相同的材料一体形成,并且该引线与模制材料连接的部分暴露到封装体的上表面。



1. 一种半导体装置,包括:

基板;

半导体芯片,安装在该基板上;

封装体,通过采用绝缘材料密封该基板的上表面和该半导体芯片而被构造;

模制材料,暴露到该封装体的上表面;以及

引线,该引线的一端连接到该模制材料,该引线的另一端电连接到该基板,该引线从与该模制材料连接的部分到与该基板连接的部分由相同的材料一体形成,并且该引线与该模制材料连接的部分暴露到该封装体的上表面。

2. 根据权利要求 1 所述的半导体装置,还包括:

焊盘,形成在该基板的上表面上,并且该引线的另一端与该焊盘电连接。

3. 一种半导体装置,包括:

基板;

第一半导体芯片,安装在该基板上;

第一封装体,通过采用绝缘材料密封该基板的上表面和该第一半导体芯片而被构造;

模制材料,暴露到该第一封装体的上表面;

引线,该引线的一端连接到该模制材料,该引线的另一端电连接到该基板,该引线从与该模制材料连接的部分到与该基板连接的部分由相同的材料一体形成,并且该引线与该模制材料连接的部分暴露到该第一封装体的上表面;

第二半导体芯片;以及

第二封装体,通过采用绝缘材料密封该第二半导体芯片而被构造,并且该第二封装体电连接到暴露到该第一封装体的表面的该引线与该模制材料连接的部分。

4. 根据权利要求 3 所述的半导体装置,还包括:

焊盘,形成在该基板的该上表面上,并且该引线的另一端与该焊盘电连接。

5. 根据权利要求 3 所述的半导体装置,还包括:

焊料球,形成在该第二半导体芯片的下表面上,并且电连接到暴露到该第一封装体的上表面的该引线与该模制材料连接的部分。

6. 一种半导体装置的制造方法,包括:

将半导体芯片安装到基板上;

将一端连接到模制材料的引线的另一端的部分电连接到该基板,该引线从与该模制材料连接的部分到该另一端由相同的材料一体形成;以及

通过采用绝缘材料密封该基板的上表面、半导体芯片、该引线和该模制材料而形成封装体,以将该引线与该模制材料连接的部分和该模制材料暴露到该封装体的上表面。

半导体装置及其制造方法

技术领域

[0001] 本发明涉及半导体装置及其制造方法,该半导体装置由包括半导体芯片的封装体形成。

背景技术

[0002] 在电子设备中,提出了所谓的封装体上封装体 (Package on Package, PoP) 结构 (例如,参考国际专利公开第 W0 2006-082620 号中的图 1),其中层叠了包括半导体芯片的多个封装体,以便实现采用半导体芯片的部件的小型化。

[0003] 在 PoP 结构中,与多个封装体水平对齐的结构相比,优点在于减小了安装面积,并且传输通道短。

[0004] 在现有技术的 PoP 结构中,下封装体和上封装体之间的连接采用下封装体的半导体芯片周边处提供的焊料球或配线实现。

[0005] 在该构造中,上封装体必须形成到与焊料球等连接部分对应的大尺寸。

发明内容

[0006] 如上所述,在下封装体和上封装体采用下封装体的半导体芯片的周边处提供的焊料球或配线连接的构造中,必须根据下封装体的尺寸设计上封装体。

[0007] 为此,难于使上封装体标准化或者使用诸如通用封装体的任意封装体作为上封装体。另外,当新产品用在下封装体中时,也必须根据下封装体重新开发上封装体。

[0008] 具体地讲,在下封装体和上封装体之间的连接采用焊料球实现的构造中,连接部分的尺寸由焊料球的节距或尺寸决定。

[0009] 为了考虑封装体的弯曲而保证可靠连接,必须使焊料球具有大的节距和尺寸,从而,封装体的外部尺寸增加。

[0010] 另外,如果上封装体中的半导体芯片的尺寸小于下封装体的尺寸,则上封装体的半导体芯片和与下封装体连接的连接部分之间的距离变长。在此情况下,可考虑采用中继板 (relay board) 中形成的配线层将与下封装体连接的部分连接到上封装体。

[0011] 例如,可进行连接以使从基板的焊盘到上表面贯通的通孔形成在下封装体中,导电层埋在通孔中,并且导电层和上封装体采用中继板中形成的配线层连接。

[0012] 然而,当采用中继板时,必须分别在单独的工艺中在通孔和中继板的配线层中形成导电层,由此增加了工艺数量。从而,制造成本增加且生产率下降。

[0013] 所希望的是提供这样的半导体装置及其制造方法,其中,能够改善具有 PoP 结构的上封装体的构造自由度,并且以比较低的成本制造装置。

[0014] 根据本发明的实施例,所提供的半导体装置包括基板、安装在基板上的半导体芯片、通过采用绝缘材料密封基板的上表面和半导体芯片而构造的封装体以及暴露到封装体的上表面的模制材料 (molding material)。

[0015] 另外,该装置包括一端连接到模制材料且另一端电连接到基板的引线,该引线从

与模制材料连接的连接部分到与基板连接的连接部分由相同的材料一体形成,该引线与模制材料连接的连接部分暴露到封装体的上表面。

[0016] 根据本发明的上述实施例,该装置可由模制材料和引线构造,引线的一端连接到模制材料,而另一端电连接到基板,且该引线从与模制材料连接的连接部分到与基板连接的连接部分由相同的材料一体形成。

[0017] 从而,能够采用现有技术容易且低成本地从基板电连接到封装体的上表面。

[0018] 另外,因为引线和模制材料之间的连接部分暴露到封装体的上表面,所以可通过电连接其他封装体到暴露到封装体的上表面的与模制材料连接的连接部分而制造具有 PoP 结构的封装体。

[0019] 另外,可采用引线使与其他封装体连接的连接部分从与基板连接的连接部分的正上方分离。从而,例如,即使其他封装体很小,也能连接其他封装体到与基板连接的连接部分。

[0020] 根据本发明的另一个实施例,所提供的半导体装置包括:基板;第一半导体芯片,安装在基板上;第一封装体,通过采用绝缘材料密封基板的上表面和第一半导体芯片而构造;以及模制材料,暴露到第一封装体的上表面。

[0021] 另外,该装置包括引线,其一端连接到模制材料,而另一端电连接到基板,该引线从与模制材料连接的连接部分到与基板连接的连接部分由相同的材料一体形成,与模制材料连接的连接部分暴露到第一封装体的上表面。

[0022] 此外,该装置包括第二半导体芯片和第二封装体,第二封装体通过采用绝缘材料密封第二半导体芯片而构造,该第二封装体电连接到暴露到第一封装体的表面的引线与模制材料的连接部分。

[0023] 根据本发明的上述实施例,该装置可由模制材料和引线构造,引线的一端连接到模制材料,而另一端电连接到基板,从与模制材料连接的连接部分到与基板连接的连接部分由相同的材料一体形成。

[0024] 以这种方式,能够采用现有技术容易且低成本地实现基板和第一封装体的上表面之间的电连接。

[0025] 另外,因为引线与模制材料的连接部分暴露到第一封装体的上表面,并且第二封装体电连接到与模制材料连接的连接部分,所以能够构造具有 PoP 结构的封装体。

[0026] 此外,与第二封装体的连接部分可采用引线从与基板连接的连接部分的正上方分离。从而,例如,即使第二封装体很小,也能够连接第二封装体到与基板连接的连接部分。

[0027] 根据本发明的再一个实施例,所提供的半导体装置的制造方法包括:在基板上安装半导体芯片;以及电连接一端连接到模制材料的引线的另一端的部分到基板,引线从与模制材料连接的连接部分到另一端由相同的材料一体形成。

[0028] 此外,该方法包括通过采用绝缘材料密封基板的上表面、半导体芯片、引线和模制材料而形成封装体,从而暴露引线与模制材料的连接部分和模制材料到封装体的上表面。

[0029] 根据本发明的上述实施例,在半导体装置的制造方法中,引线的一端可连接到模制材料,其另一端可电连接到基板,并且从与模制材料连接的连接部分到另一端由相同的材料一体形成。另外,封装体通过采用绝缘材料密封基板的上表面、半导体芯片、引线和模制材料而形成,从而将引线与模制材料的连接部分和模制材料暴露到上表面。

[0030] 以这种方式,能够容易且低成本地实现基板和封装体的上表面之间的电连接。

[0031] 另外,因为引线与模制材料的连接部分可暴露到封装体的上表面,所以能够通过电连接其他封装体到暴露到封装体的上表面的与模制材料连接的连接部分而制造具有 PoP 结构的封装体。

[0032] 此外,能够采用引线使与第二封装体连接的连接部分从与基板连接的连接部分的正上方分离。

[0033] 根据本发明的实施例,因为能够容易且低成本地实现基板和封装体的上表面之间电连接,所以能够以低成本构造和制造具有 PoP 结构的封装体。

[0034] 另外,根据本发明的实施例,因为能够采用引线使与其他封装体(第二封装体)连接的连接部分从与基板连接的连接部分的正上方分离,所以能够改善其他封装体(第二封装体)的构造自由度。

[0035] 以这种方式,例如,能够采用很小的封装体、通用的封装体或者标准的封装体作为其他封装体(第二封装体)。

附图说明

[0036] 图 1 是根据本发明第一实施例的半导体装置的示意性构造图(示出局部侧表面的截面图)。

[0037] 图 2 是示出图 1 所示半导体装置制造方法的制造工艺图。

[0038] 图 3 是示出图 1 所示半导体装置制造方法的制造工艺图。

[0039] 图 4 是示出图 1 所示半导体装置制造方法的制造工艺图。

[0040] 图 5 是示出图 1 所示半导体装置制造方法的制造工艺图。

[0041] 图 6 是示出图 1 所示半导体装置制造方法的制造工艺图。

[0042] 图 7 是示出图 1 所示半导体装置制造方法的制造工艺图。

[0043] 图 8 是图 7 的封装体的平面图,其中周边封装体具有 TSOP 构造。

[0044] 图 9A 至 9C 是示出周边封装体 A 至 C 的制造方法的制造工艺图。

具体实施方式

[0045] 在下文,将描述本发明的实施例。

[0046] 另外,描述将以下面的顺序进行。

[0047] 1. 第一实施例

[0048] 2. 修改示例

[0049] <1. 第一实施例>

[0050] 图 1 是根据本发明第一实施例的半导体装置的示意性构造图(示出局部侧表面的截面图)。

[0051] 半导体装置具有 PoP 结构,其中第一封装体(下封装体)10 和第二封装体(上封装体)20 被层叠。

[0052] 第一封装体(下封装体)10 包括第一半导体芯片 11,该第一半导体芯片 11 采用模制树脂(mold resin)15 密封。

[0053] 第一半导体芯片 11 采用绝缘或导电焊膏 13 被管芯焊接(die-bonded)到内插板

(interposer board)12。

[0054] 内插板 12 通过在水平方向和竖直方向上在型芯材料 (core material) 中形成配线层 17 而构造。在配线层 17 当中,暴露到内插板 12 表面的配线层是焊盘 17A。另外,第一封装体 (下封装体)10 在内插板 12 的上表面用模制树脂 15 完全密封时被构造。

[0055] 绝缘材料 (阻焊剂等)18 形成在内插板 12 的上表面和下表面上,从而覆盖配线层 17 从内插板 12 暴露的一部分。

[0056] 另外,在内插板 12 的下表面上形成多个焊料球 16,该焊球 16 连接到暴露到下表面侧的配线层 17。

[0057] 此外,第一半导体芯片 11 的上表面上形成的电极焊盘 (图中未示出) 和内插板 12 的上表面上的配线层 17 采用金线 14 彼此电连接。

[0058] 第二封装体 (上封装体)20 形成为用模制树脂 24 密封第二半导体芯片 21。

[0059] 第二半导体芯片 21 设置到基板上表面上的绝缘材料 27,其中绝缘材料 27 形成在型芯材料 22 的上表面和下表面二者上。在该基板中,在其上表面或下表面中,配线层 26 形成在绝缘材料 27 内部或不在于绝缘材料 27 的部分中。另外,配线层 26 包括贯穿型芯材料的一部分的插塞层。在配线层 26 中,暴露到基板上表面的配线层是焊盘 26A。另外,基板的上表面用模制树脂 24 完全密封,从而形成第二封装体 (上封装体)20。

[0060] 另外,焊料球 25 形成为连接到暴露到基板下表面的配线层 26。

[0061] 此外,第二半导体芯片 21 的上表面上形成的电极焊盘 (图中未示出) 和基板的上表面上的焊盘 26A 采用金线 23 彼此电连接。

[0062] 另外,图 1 所示的第一封装体 10 中的金线 14 和焊料球 16 或第二封装体 20 的金线 23 并非全部存在于同一截面中。在图 1 中,对于这些部件 14、16 和 23,如从侧面所看到的,存在于不同截面上的某些部件示出在一起。

[0063] 具体地讲,在该实施例中,第一封装体 10 的内插板 12 的上表面上的焊盘 17A 和第二封装体 20 的焊料球 25 采用第一封装体 10 中提供的周边封装体 30 彼此电连接。

[0064] 周边封装体 30 由模制树脂 32 和从模制树脂 32 延伸的引线框 31 形成。

[0065] 另外,在周边封装体 30 中,模制树脂 32 和引线框 31 在模制树脂 32 附近的部分 (连接部分) 暴露到第一封装体 10 的模制树脂 15 的表面。第二封装体 20 的焊料球 25 电连接到暴露到第一封装体表面的引线框 31 在模制树脂 32 附近的连接部分。

[0066] 此外,周边封装体 30 的引线框 31 形成为弯曲以具有鸥形翼 (gullwing) 形状。另外,引线框 31 的一端连接到模制树脂 32 而被固定,并且引线框 31 的另一端的前端连接到第一封装体 10 的内插板 12 的上表面上的焊盘 17A。引线框 31 从作为与模制树脂 32 连接的一部分的一端到作为与焊盘 17A 连接的一部分的另一端由相同的材料一体形成。

[0067] 周边封装体可采用现有技术的构造制造,从而,可以低成本制造。

[0068] 在通常的周边封装体中,半导体芯片模制在模制树脂中,并且引线框和半导体芯片采用在模制树脂中的配线等彼此电连接。

[0069] 根据该实施例的周边封装体 30 在模制树脂 32 中不包括半导体芯片或配线,从而,模制树脂 32 可也相应地形成为较薄。为此,例如,如果模制树脂 32 的模具改变到对应于薄模制树脂 32 的构造,则能够在普通周边封装体生产线上制造该周边封装体。

[0070] 从周边封装体 30 的模制树脂 32 延伸的引线框 31 的设置没有特别限制。它可为

LQFP(Low-profile Quad Flat Package,薄型四方扁平封装体),其中引线框 31 在两个方向上水平地延伸,并且可为TSOP(Thin Small Outline Package,薄型小尺寸封装体),其中引线框 31 在前后左右四个方向上延伸。

[0071] 另外,在图 1 中,周边封装体 30 的模制树脂 32 和引线框 31 具有基本上相同的厚度,然而,厚度可彼此略微不同,并且任何一个可厚于另一个。

[0072] 周边封装体 30 的引线框 31 的形状不限于鸥形翼形状,而是可为其他形状。另外,在图 1 中,引线框 31 的中间部分形成为在倾斜的方向上延伸,然而,引线框 31 的中间部分可形成为竖直延伸形状或者在基本上竖直的方向上延伸的形状。

[0073] 无论引线框是什么形状,它可从作为与模制树脂连接的连接部分的一端到作为与基板连接的另一端由相同的材料一体形成。

[0074] 第一封装体 10 的第一半导体芯片 11 和第二封装体 20 的第二半导体芯片 21 的构造没有特别限制,并且可采用具有各种功能的半导体芯片。

[0075] 具体地讲,例如,第一半导体芯片 11 可用作处理电路,而第二半导体芯片 21 可用作存储电路。

[0076] 根据本发明的实施例,例如,能够如下所述制造半导体装置。

[0077] 首先,如图 2 所示,制备内插板 12。内插板 12 的构造为配线层 17 水平且竖直地形成在型芯材料上。在配线层 17 当中,内插板 12 的表面上的配线层 17 是焊盘 17A。

[0078] 随后,如图 3 所示,作为管芯焊接工艺,第一半导体芯片 11 采用导电或绝缘膏 13 被管芯焊接到内插板 12。

[0079] 随后,如图 4 所示,作为配线连接工艺,第一半导体芯片 11 上的电极焊盘(图中未示出)和内插板 12 的内部引线图案(配线层 17)采用金线 14 彼此连接。

[0080] 随后,如图 5 所示,由引线框 31 和模制树脂 32 形成的周边封装体 30 在引线框 31 的前端部中采用导电膏被管芯焊接到暴露到内插板 12 的表面的焊盘 17A。

[0081] 随后,如图 6 所示,作为模制工艺,仅在内插板 12 的一个表面上将第一半导体芯片 11、金线 14 和周边封装体 30(31 和 32)用模制树脂 15 密封,从而形成封装体。此时,通过使周边封装体 30 的上表面与模具的壁面接触,周边封装体 30 的引线框 31 和模制树脂 32 暴露到封装体的上表面。

[0082] 随后,如图 7 所示,作为球安装工艺,作为外部端子的焊料球 16 安装在内插板 12 的后表面上,并且采用回流法牢固地固定。以这种方式,完成了图 1 所示的第一封装体(下封装体)10。

[0083] 这里,图 8 中示出了图 7 所示封装体(第一封装体 10)的平面图,其中周边封装体 30(31 和 32)的构造是 TSOP。

[0084] 如图 8 所示,引线框 31 的一端的基本上圆形的部分埋设在周边封装体 30 的模制树脂 32 的左右边缘处形成的基本上圆形的孔中。在引线框 31 中,与模制树脂 32 连接的部分附近的部分暴露到第一封装体 10 的模制树脂 15 的表面。

[0085] 其后,第二封装体(上封装体)20 的下表面上的焊料球 25 连接到周边封装体 30 的引线框 31(特别是连接到图 8 所示的基本上圆形的前端部),其暴露到第一封装体(下封装体)10 的上表面。

[0086] 以这种方式,能够制造根据图 1 所示实施例的半导体装置。

[0087] 另外,可如下所述制造周边封装体 30。

[0088] 制备如图 9A 所示线性延伸的引线框 31。

[0089] 随后,如图 9B 所示,作为模制工艺,引线框 31 的一个端部用模制树脂 32 密封。

[0090] 随后,如图 9C 所示,作为引线形成工艺,引线框 31 位于模制树脂 32 外侧的外部引线部分形成成为具有预定的鸥形翼形状。

[0091] 以这种方式,能够制造由引线框 31 和模制树脂 32 形成的周边封装体 30。

[0092] 在根据上述实施例的半导体装置的构造中,引线框 31 的一端用模制树脂 32 密封且固定,构成周边封装体 30。另外,引线框 31 的另一端连接到内插板 12 的上表面侧的焊盘 17A,并且引线框 31 与模制树脂 32 连接的部分和模制树脂 32 暴露到第一封装体 10 的上表面。引线框 31 从作为与模制树脂 32 连接的部分的一端到作为与焊盘 17A 连接的部分的另一端由相同的材料一体形成。

[0093] 以这种方式,能够容易且成本低地采用现有技术的周边封装体制造技术制造由引线框 31 和模制树脂 32 形成的周边封装体 30。另外,因为引线框 31 从与模制树脂 32 连接的部分到与焊盘 17A 连接的部分由相同的材料一体形成,所以能够在内插板 12 和第一封装体 10 的上表面之间以低材料成本进行电连接。

[0094] 此外,引线框 31 与模制树脂 32 连接的部分暴露到第一封装体 10 的上表面,并且第二封装体 20 的焊料球 25 电连接到该连接部分,从而构成具有 PoP 结构的封装体。

[0095] 因此,通过采用根据本发明实施例的构造,能够以低成本构造且制造具有 PoP 结构的封装体。

[0096] 另外,能够采用引线框 31 使与第二封装体 20 连接的部分从内插板 12 与焊盘 17A 连接的部分的正上方分离。以这种方式,能够改善第二封装体 20 的构造自由度。

[0097] 例如,即使第二封装体 20 小于第一封装体 10,第二封装体 20 也可被连接。

[0098] 例如,能够采用通用的封装体或标准的封装体作为第二封装体。通过采用通用的封装体或标准的封装体,能够降低开发成本,并且缩短开发周期。

[0099] 另外,图 1 示出了第一封装体 10 和第二封装体 20 彼此连接的状态,然而,例如,采用根据该实施例的构造也能够制造和销售第一封装体 10 的单一体,其对应于通用的第二封装体 20 或标准的第二封装体 20。

[0100] <2. 修改示例>

[0101] 在上述的实施例中,第二封装体 20 和周边封装体 30 之间的连接采用第二封装体 20 的基板的下表面形成的焊料球 25 实现。

[0102] 在该修改示例中,第二封装体和第一封装体的上表面(周边封装体)之间的电连接不限于焊料球,而是可具有另外的构造。例如,示例了格栅阵列封装(Land Grid Array, LGA)、引脚阵列封装(Pin Grid Array, PGA)和各向异性导电层等。

[0103] 在上述的实施例中,第一半导体芯片 11 和第二半导体芯片 21 分别用模制树脂 15 和模制树脂 24 密封,并且模制树脂 32 连接到引线框 31 的一端。

[0104] 在该修改示例中,连接到密封半导体芯片的绝缘材料或引线一端的模制材料不限于模制树脂,而是可为绝缘材料(陶瓷等)或者由其他材料形成的模制材料。当模制树脂用作绝缘材料或模制材料时,与其他材料相比,能够易于密封并实现低成本。

[0105] 在上述的实施例中,其中配线层 17 水平且竖直地形成在型芯材料上的内插板 12

用作第一封装体的基板。

[0106] 在该修改示例中,具有另外构造的基板可用作第一封装体(下封装体)的基板。

[0107] 可为这样的构造,其中半导体芯片安装到基板,引线可电连接到形成在该板的上表面上的配线层或焊盘,并且到封装体外部的电连接可在下表面等处实现。

[0108] 在上述的实施例中,层叠两个封装体以形成具有 PoP 结构的封装体。然而,在该修改示例中,能够层叠三个或更多个封装体。

[0109] 在该修改示例中,由引线和模制材料形成的连接构件用于在层叠的 n 个封装体 (n 是 2 或更大的自然数) 当中从下数的第一封装体到第 $(n-1)$ 个封装体。

[0110] 本申请包含 2010 年 12 月 2 日提交日本专利局的日本优先权专利申请 JP2010-269105 中公开的相关主题,其全部内容通过引用结合于此。

[0111] 本领域的技术人员应当理解的是,在权利要求或其等同方案的范围内,根据设计需要和其他因素,可以进行各种修改、结合、部分结合和替换。

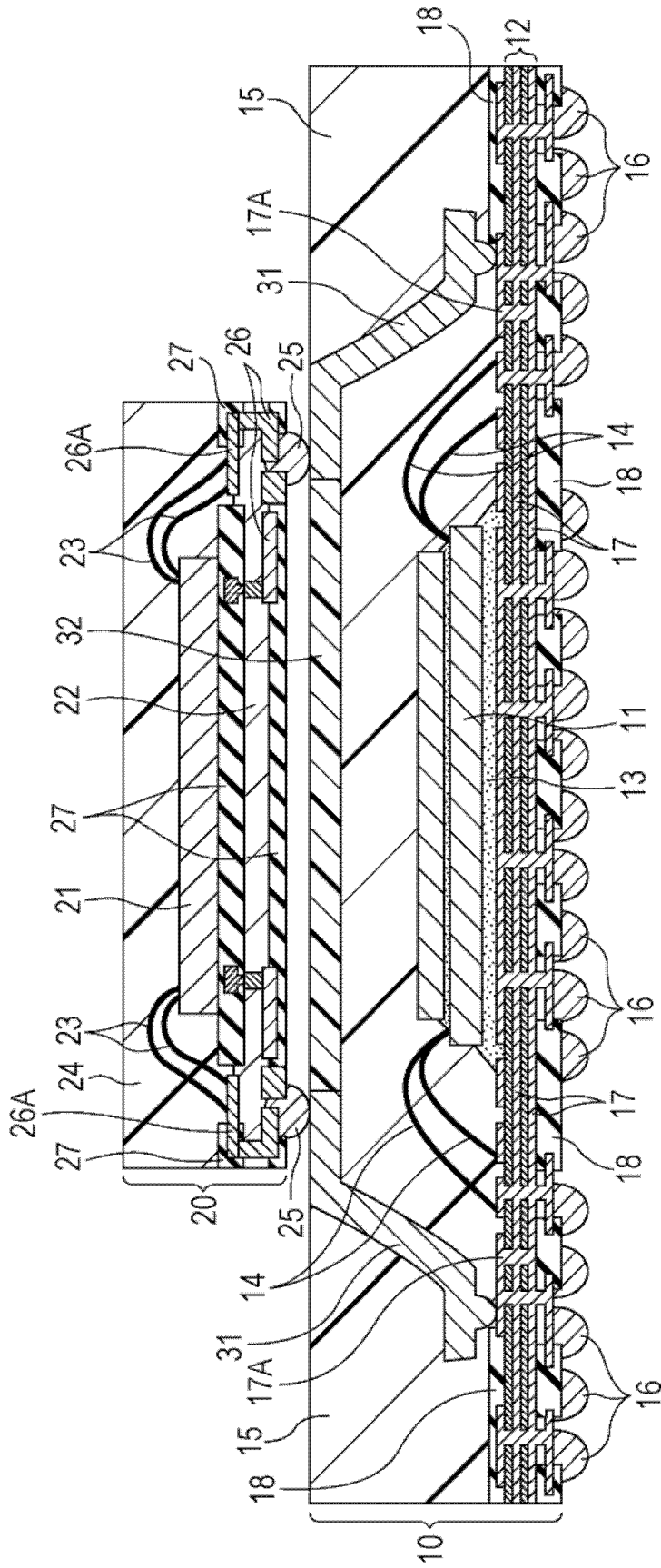


图 1

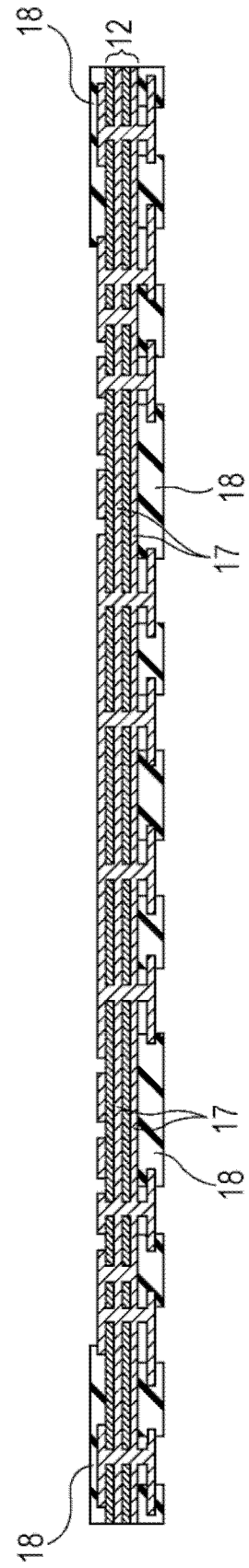


图 2

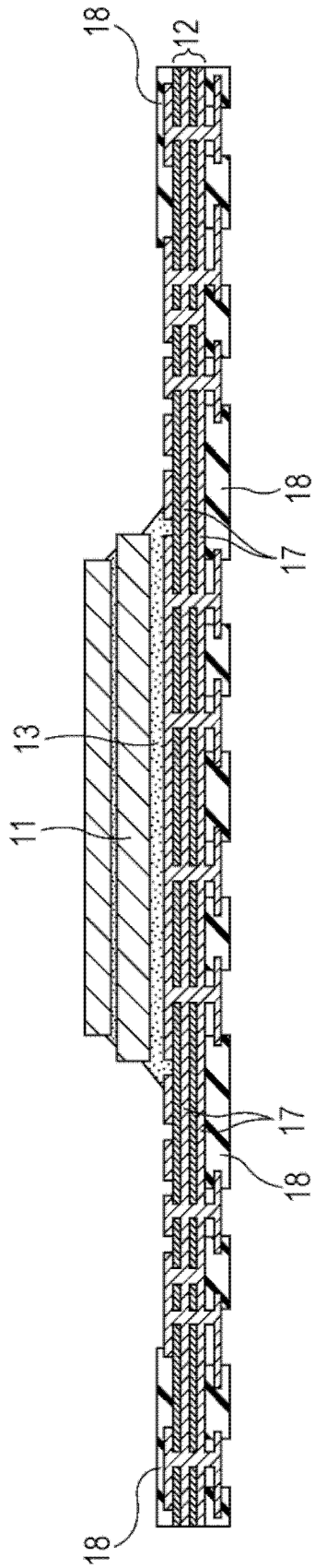


图 3

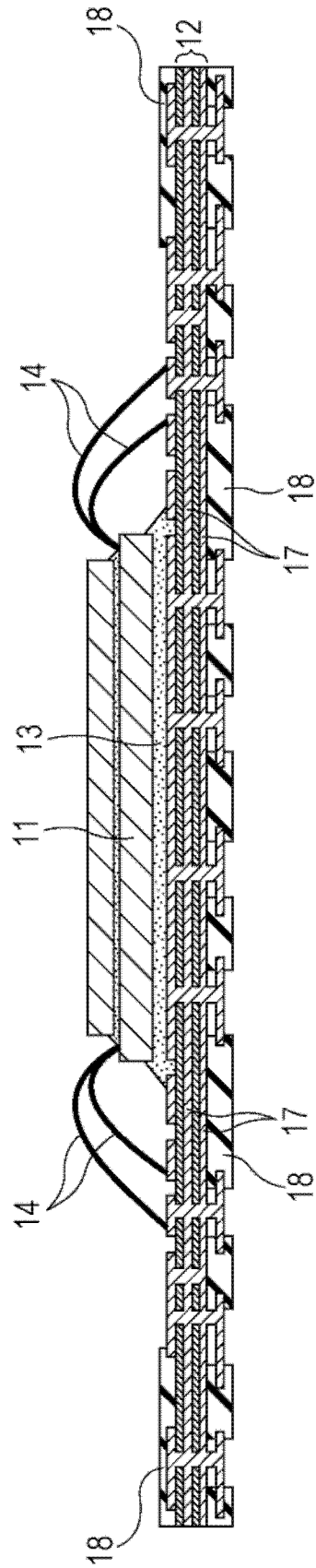


图 4

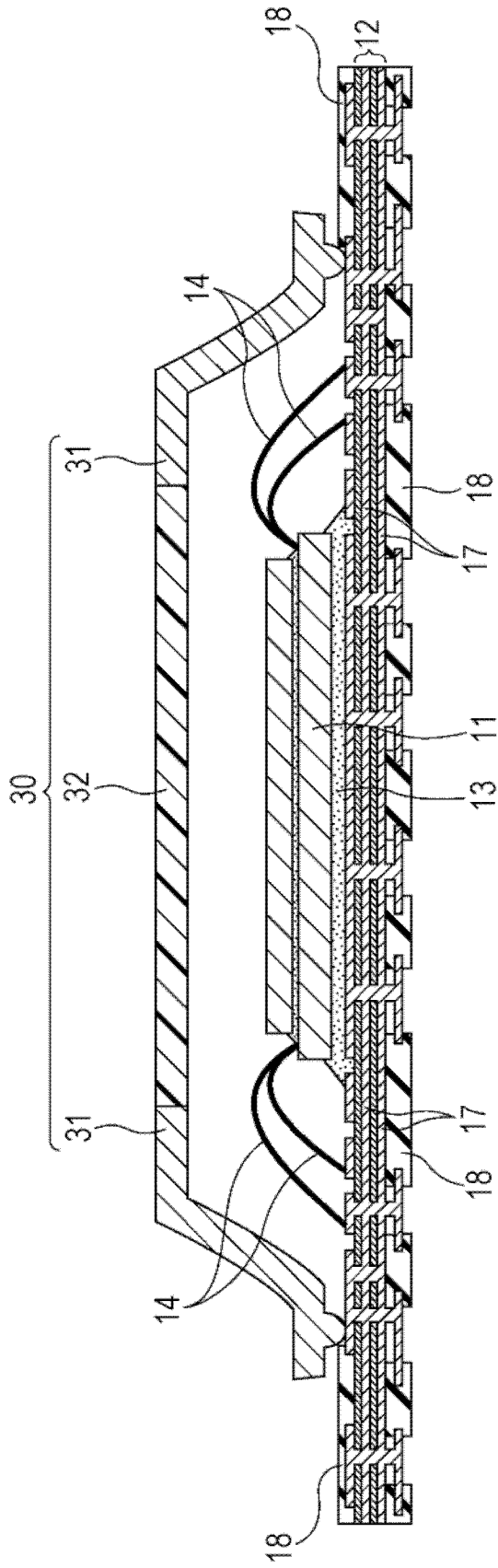


图 5

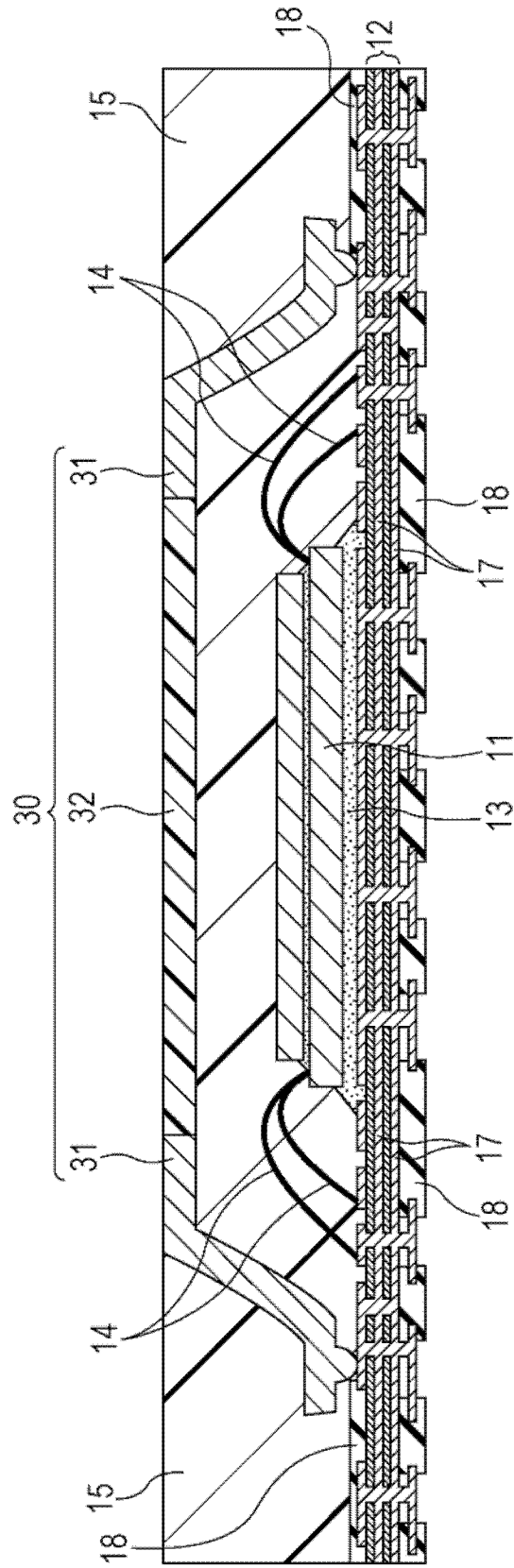


图 6

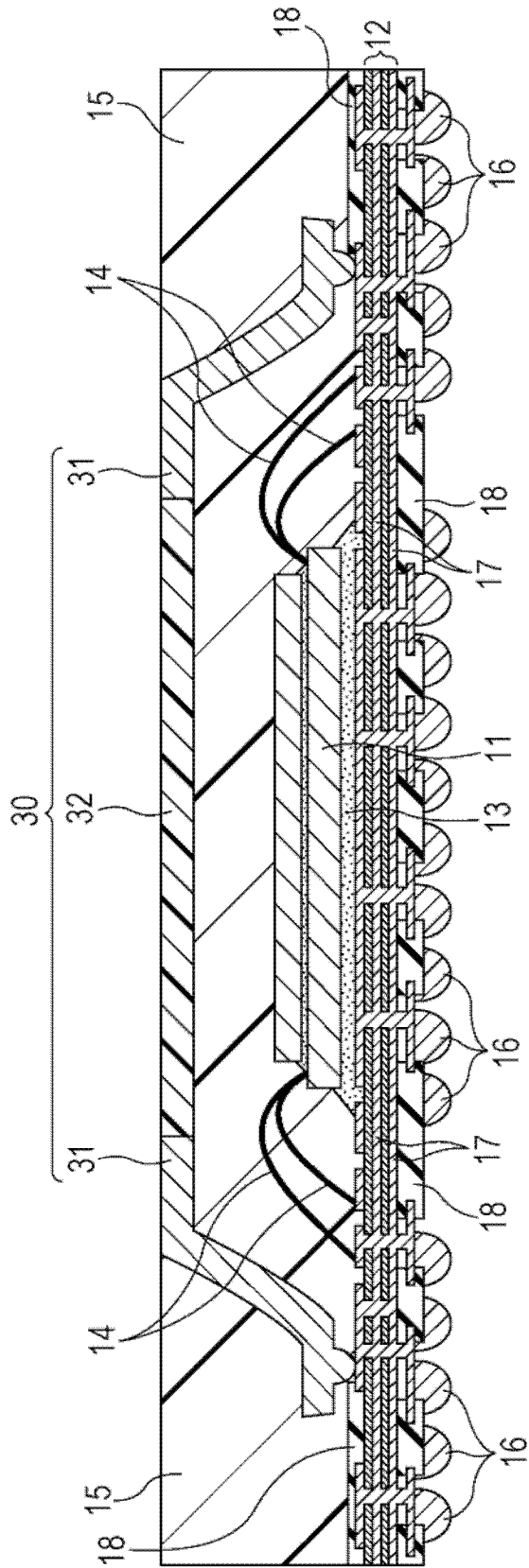


图 7

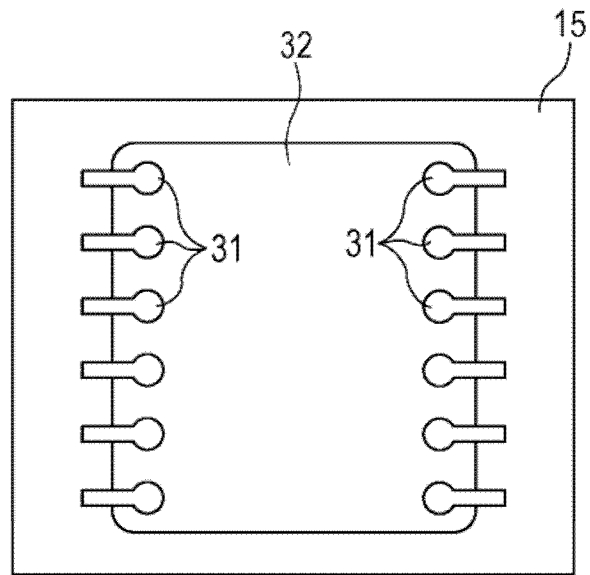


图 8



图 9A

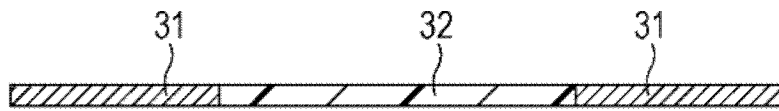


图 9B

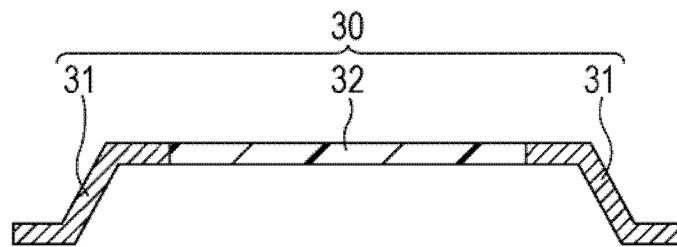


图 9C