(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년12월21일
(11) 등록번호 10-1931206
(24) 등록일자 2018년12월14일

(51) 국제특허분류(Int. Cl.)
H01L 29/45 (2006.01) *H01L 21/28* (2006.01)
H01L 29/66 (2006.01) *H01L 29/786* (2006.01)
(52) CPC특허분류
H01L 29/45 (2013.01)
H01L 21/28211 (2013.01)
(21) 출원번호 10-2018-7024679(분할)
(22) 출원일자(국제) 2010년10월19일
심사청구일자 2018년08월28일
(85) 번역문제출일자 2018년08월28일
(65) 공개번호 10-2018-0099923
(43) 공개일자 2018년09월05일
(62) 원출원 특허 10-2017-7030893
원출원일자(국제) 2010년10월19일
심사청구일자 2017년10월26일
(86) 국제출원번호 PCT/JP2010/068795
(87) 국제공개번호 WO 2011/058866
국제공개일자 2011년05월19일
(30) 우선권주장
JP-P-2009-260368 2009년11월13일 일본(JP)
(56) 선행기술조사문헌
JP2000174280 A
JP2009260002 A
KR1020080106049 A
WO2009093625 A1

(73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
야마자키 순페이
일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
고야마 준
일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
(74) 대리인
장훈

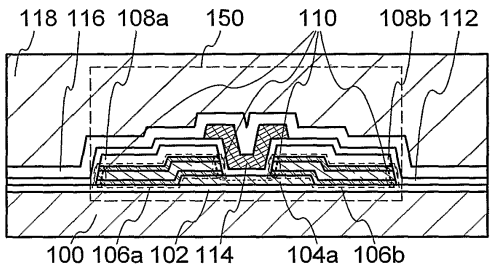
전체 청구항 수 : 총 7 항 심사관 : 김종호

(54) 발명의 명칭 **반도체 장치 및 그 제작 방법**

(57) 요 약

본 발명의 목적은 새로운 구조 및 양호한 특성을 갖는 반도체 장치를 제공하는 것이다. 반도체 장치는 산화물 반도체층, 상기 산화물 반도체층에 전기적으로 접속된 소스 전극 및 드레인 전극, 상기 산화물 반도체층, 상기 소스 전극, 및 상기 드레인 전극을 덮는 게이트 절연층, 상기 게이트 절연층 위의 게이트 전극을 포함한다. 상기 소스 전극 및 상기 드레인 전극은 측면을 산화함으로써 형성된 산화 영역을 포함한다. 상기 소스 전극 및 상기 드레인 전극의 상기 산화 영역은 300MHz 내지 300GHz의 고주파수 전력 및 산소와 아르곤의 혼합 가스로 플라즈마 처리함으로써 형성되는 것이 바람직하다.

대 표 도 - 도1



(52) CPC특허분류
H01L 29/66742 (2013.01)
H01L 29/78618 (2013.01)
H01L 29/7869 (2013.01)

명 세 서

청구범위

청구항 1

반도체 장치를 제작하는 방법에 있어서,

In, Ga 및 Zn을 포함하는 산화물 반도체층을 형성하는 제 1 단계;

상기 제 1 단계 후에 400℃ 이상이고 700℃ 이하인 온도에서 제 1 열처리를 수행하는 제 2 단계;

상기 제 2 단계 후에 상기 산화물 반도체층과 각각 중첩하는 소스 전극 및 드레인 전극을 형성하는 제 3 단계;

상기 제 3 단계 후에 산소를 포함하는 분위기에서 플라즈마 처리를 수행하는 제 4 단계;

상기 제 4 단계 후에 상기 소스 전극 및 상기 드레인 전극 위에 제 1 절연층을 형성하는 제 5 단계;

상기 제 5 단계 후에 제 2 열처리를 수행하는 제 6 단계; 및

상기 제 6 단계 후에 상기 제 1 절연층 위에 제 2 절연층을 형성하는 제 7 단계를 포함하고,

상기 제 1 절연층은 상기 산화물 반도체층과 접하고,

상기 제 1 절연층은 산화실리콘을 포함하고,

상기 제 2 절연층은 질화실리콘을 포함하고,

상기 소스 전극 및 상기 드레인 전극 각각은 구리를 포함하고,

상기 소스 전극의 측면 및 상기 드레인 전극의 측면 각각은 산화 영역을 포함하는, 반도체 장치를 제작하는 방법.

청구항 2

반도체 장치를 제작하는 방법에 있어서,

In, Ga 및 Zn을 포함하는 산화물 반도체층을 형성하는 제 1 단계;

상기 제 1 단계 후에 400℃ 이상이고 700℃ 이하인 온도에서 제 1 열처리를 수행하는 제 2 단계;

상기 제 2 단계 후에 상기 산화물 반도체층과 각각 중첩하는 소스 전극 및 드레인 전극을 형성하는 제 3 단계;

상기 제 3 단계 후에 산소를 포함하는 분위기에서 플라즈마 처리를 수행하는 제 4 단계;

상기 제 4 단계 후에 상기 소스 전극 및 상기 드레인 전극 위에 제 1 절연층을 형성하는 제 5 단계;

상기 제 5 단계 후에 200℃ 이상이고 400℃ 이하인 온도에서 제 2 열처리를 수행하는 제 6 단계; 및

상기 제 6 단계 후에 상기 제 1 절연층 위에 제 2 절연층을 형성하는 제 7 단계를 포함하고,

상기 제 1 절연층은 상기 산화물 반도체층과 접하고,

상기 제 1 절연층은 산화실리콘을 포함하고,

상기 제 2 절연층은 질화실리콘을 포함하고,

상기 소스 전극 및 상기 드레인 전극 각각은 구리를 포함하고,

상기 소스 전극의 측면 및 상기 드레인 전극의 측면 각각은 산화 영역을 포함하는, 반도체 장치를 제작하는 방법.

청구항 3

반도체 장치를 제작하는 방법에 있어서,

In, Ga 및 Zn을 포함하는 산화물 반도체층을 형성하는 제 1 단계;

상기 제 1 단계 후에 400℃ 이상이고 700℃ 이하인 온도에서 제 1 열처리를 수행하는 제 2 단계;

상기 제 2 단계 후에 상기 산화물 반도체층과 각각 중첩하는 소스 전극 및 드레인 전극을 형성하는 제 3 단계;

상기 제 3 단계 후에 산소를 포함하는 분위기에서 플라즈마 처리를 수행하는 제 4 단계;

상기 제 4 단계 후에 상기 소스 전극 및 상기 드레인 전극 위에 제 1 절연층을 형성하는 제 5 단계;

상기 제 5 단계 후에 제 2 열처리를 수행하는 제 6 단계; 및

상기 제 6 단계 후에 상기 제 1 절연층 위에 제 2 절연층을 형성하는 제 7 단계를 포함하고,

상기 제 1 절연층은 상기 산화물 반도체층과 접하고,

상기 제 1 절연층은 산화실리콘을 포함하고,

상기 제 2 절연층은 질화실리콘을 포함하고,

상기 소스 전극 및 상기 드레인 전극 각각은 구리를 포함하고,

상기 소스 전극의 측면 및 상기 드레인 전극의 측면 각각은 5㎚ 이상의 두께를 갖는 산화 영역을 포함하는, 반도체 장치를 제작하는 방법.

청구항 4

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 산화물 반도체층의 측면은 상기 소스 전극 및 상기 드레인 전극과 접하는, 반도체 장치를 제작하는 방법.

청구항 5

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

게이트 전극을 형성하는 제 8 단계를 더 포함하고,

상기 산화물 반도체층 및 상기 게이트 전극은 서로 중첩하는, 반도체 장치를 제작하는 방법.

청구항 6

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 제 1 단계 후의 상기 산화물 반도체층은 결정을 포함하는, 반도체 장치를 제작하는 방법.

청구항 7

제 6 항에 있어서,

상기 결정의 c축은 상기 산화물 반도체층의 표면에 수직인, 반도체 장치를 제작하는 방법.

발명의 설명

기 술 분 야

[0001] 본 발명의 기술분야는 반도체 장치 및 상기 반도체 장치의 제작 방법에 관한 것이다. 본원에서 반도체 장치는 반도체 특성을 이용함으로써 기능하는 소자 및 장치 전반을 가리킨다는 것을 주의한다.

배 경 기 술

[0002] 다양한 종류의 금속 산화물이 존재하고, 이러한 재료의 산화물은 다양한 용도로 사용되고 있다. 산화인듐은 공지된 재료이며, 액정 표시 장치등에 필요한 투명 전극의 재료로서 사용되고 있다.

[0003] 금속 산화물의 중에는 반도체 특성을 나타내는 것이 있다. 반도체 특성을 나타내는 금속 산화물로서는, 산화텅스텐, 산화주석, 산화인듐, 산화아연 등이 있다. 이러한 금속 산화물을 채널 형성 영역에 사용한 박막 트랜지스

터가 이미 공지되어 있다(예를 들면, 특허문헌 1 내지 특허문헌 4, 비특허문헌 1 등 참조).

[0004] 한편, 금속 산화물로서 다원계 산화물도 공지되어 있다. 예를 들면, 호모러거스 상(homologous phase)을 포함하는 $InGaO_3(ZnO)_m$(m:자연수)은 In, Ga 및 Zn을 포함하는 다원계 산화물 반도체로서 공지되어 있다(예를 들면, 비특허문헌 2 내지 비특허문헌 4 등 참조).

[0005] 또한, 상기와 같은 In-Ga-Zn계 산화물을 포함하는 산화물 반도체도 박막 트랜지스터의 채널 형성 영역에 적용 가능한 것이 확인되어 있다.(예를 들면, 특허문헌 5, 비특허문헌 5 및 비특허문헌 6 등 참조).

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 일본 공개특허공보 제(소)60-198861호

(특허문헌 0002) 일본 공개특허공보 제(평)8-264794호

(특허문헌 0003) 특표평 11-505377호

(특허문헌 0004) 일본 공개특허공보 2000-150900호

(특허문헌 0005) 일본 공개특허공보 2004-103957호

비특허문헌

[0007] (비특허문헌 0001) M. W. Prins, K. O. Grosse-Holz, G. Muller, J. F. M. Cillessen, J. B. Giesbers, R. P. Weening, and R. M. Wolf, "A ferroelectric transparent thin-film transistor", Appl. Phys. Lett, 17 June 1996, Vol. 68, pp. 3650-3652

(비특허문헌 0002) M. Nakamura, N. Kimizuka, and T. Mohri, "The Phase Relations in the In 203-Ga2ZnO4-ZnO System at 1350℃", J. Solid State Chem., 1991, Vol. 93, pp. 298-315

(비특허문헌 0003) N. Kimizuka, M. Isobe, and M. Nakamura, "Syntheses and Single-Crystal Data of Homologous Compounds, In203(ZnO)m(m = 3, 4, and 5), InGaO3(ZnO)3, and Ga203(ZnO)m(m = 7, 8, 9, and 16) in the In203-ZnGa204-ZnO System", J. Solid State Chem., 1995, Vol. 116, pp. 170-178

(비특허문헌 0004) M. Nakamura, N. Kimizuka, T. Mohri, and M. Isobe, "Syntheses and crystal structures of new homologous compounds, indium iron zinc oxides (InFeO3(ZnO)m)(m: natural number) and related compounds", KOTAI BUTSURI (SOLID STATE PHYSICS), 1993, Vol. 28, No. 5, pp. 317-327

(비특허문헌 0005) K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano, and H. Hosono, "Thin-film transistor fabricated in single-crystalline transparent oxide semiconductor", SCIENCE, 2003, Vol. 300, pp. 1269-1272

(비특허문헌 0006) K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, "Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors", NATURE, 2004, Vol. 432, pp. 488-492

발명의 내용

해결하려는 과제

[0008] 종래의 산화물 반도체를 포함하는 트랜지스터는 실제 사용에 충분한 특성을 가지고 있다고는 말하기 어렵고, 서브스레스홀드 스윙(subthreshold swing; S 값), 온/오프비, 신뢰성 등의 트랜지스터의 특성이 개선될 필요가 있다.

[0009] 이러한 측면에서, 본 발명의 일 형태는 양호한 특성 및 새로운 구조의 반도체 장치를 제공하는 것을 목적의 하

나로 한다.

[0010] 또는, 새로운 구조의 반도체 장치의 제작 방법을 제공하는 것을 목적의 하나로 한다.

과제의 해결 수단

[0011] 발명의 일 형태에 따른 산화물 반도체를 포함하는 트랜지스터에 대해, 산화된 측면을 갖는 소스 전극 및 드레인 전극을 사용하여, 서브스레스홀드 스윙(S 값), 온/오프비, 신뢰성 등의 특성이 상당히 개선된다. 구체적으로는, 예를 들면, 다음과 같은 구성이라고 할 수 있다.

[0012] 본 발명의 일 형태는 산화물 반도체층, 상기 산화물 반도체층과 전기적으로 접속하는 소스 전극 및 드레인 전극, 상기 산화물 반도체층, 상기 소스 전극 및 상기 드레인 전극을 덮는 게이트 절연층, 상기 게이트 절연층 위의 게이트 전극을 포함하는 반도체 장치이다. 상기 소스 전극 및 상기 드레인 전극은 그 측면을 산화함으로써 형성된 산화 영역을 포함한다. 상기의 산화 영역은 산소가 상기 산화물 반도체층에 공급되면서 형성된다는 것을 주의한다.

[0013] 상기 실시형태에 있어서, 소스 전극 및 드레인 전극의 산화 영역은 300MHz 내지 300GHz의 고주파 전력 및 산소와 아르곤의 혼합 가스를 사용한 플라즈마 처리에 의해 형성된 것이 바람직하다. 또한, 소스 전극 및 드레인 전극 위에, 평면형상이 소스 전극 및 드레인 전극과 실질적으로 동일한 보호 절연층을 포함하는 것이 바람직하다. 또한, "실질적으로 동일"의 표현은, 정확히 동일한 것을 요구하지 않고, 동일한 것으로 간주하는 것을 포함된다. 예를 들면, 단일 에칭 처리에 의해 형성될 경우의 차이는 허용된다.

[0014] 또한, 상기 실시형태에 있어서, 산화물 반도체층의 수소 농도는 $5\times10^{19}/cm^3$ 이하인 것이 바람직하다. 또한, 오프 전류는 $1\times10^{-13}A$ 이하인 것이 바람직하다.

[0015] 본 발명의 일 형태는, 기판 위에 산화물 반도체층을 형성하는 단계, 상기 산화물 반도체층과 전기적으로 접속하는 소스 전극 및 드레인 전극을 형성하는 단계, 상기 소스 전극 및 상기 드레인 전극의 측면을 산화한 후에, 상기 산화물 반도체층, 상기 소스 전극 및 상기 드레인 전극을 덮는 게이트 절연층을 형성하는 단계, 상기 게이트 절연층 위에 게이트 전극을 형성하는 단계를 포함하는 반도체 장치의 제작 방법이다. 상기 소스 전극 및 상기 드레인 전극의 측면을 산화할 때 상기 산화물 반도체층에 산소가 공급된다.

[0016] 상기 실시형태에 있어서, 소스 전극 및 드레인 전극의 측면의 산화는 300MHz 내지 300GHz의 고주파 전력 및 산소와 아르곤의 혼합 가스를 사용한 플라즈마 처리에 의해 실시되는 것이 바람직하다.

[0017] 또한, 상기 실시형태에 있어서, 소스 전극 및 드레인 전극 위에, 평면 형상이 소스 전극 및 드레인 전극과 실질적으로 동일한 보호 절연층을 형성하는 것이 바람직하다.

[0018] 또한, 상기 실시형태에 있어서, 산화물 반도체층의 수소 농도를 $5\times10^{19}/cm^3$ 이하로 함으로써, 오프 전류를 $1\times10^{-13}A$ 이하로 하는 것이 바람직하다.

[0019] 본 명세서등에 있어서 "위"나 "아래"와 같은 용어는 구성요소의 위치 관계가 "바로 위" 또는 "바로 아래"인 것으로 한정하는 것이 아니라는 것을 주의한다. 예를 들면, "게이트 절연층 위의 제 1 게이트 전극"이라는 표현이면, 게이트 절연층과 게이트 전극과의 사이에 다른 구성요소를 포함하는 것을 제외하지 않는다. 또한, "위" 및 "아래"와 같은 용어는 설명의 편의 때문에 사용하는 것이고, 특히 언급할 경우를 제외하고, 그 수직 관계를 반대로 한 것도 포함한다.

[0020] 또한, 본 명세서등에 있어서 "전극"이나 "배선"과 같은 용어는 이것들의 구성요소를 기능적으로 한정하는 것이 아니다. 예를 들면, "전극"은 "배선"의 일부로서 사용할 수 있고, 그 반대도 같다. 또한, "전극"이나 "배선"과 같은 용어는 복수의 "전극"이나 "배선"이 일체로 형성되어 있는 경우 등도 포함한다.

[0021] 또한, "소스"나 "드레인"의 기능은 다른 극성의 트랜지스터를 채용할 경우나, 회로 동작에 있어서 전류의 방향이 변화될 경우 등에는 바뀔 수 있다. 이 때문에, 본 명세서에 있어서는, "소스"나 "드레인"과 같은 용어는 교체해서 사용할 수 있다.

[0022] 본 명세서등에 있어서, "전기적으로 접속"이라는 용어는 "어떠한 전기적 작용을 포함하는 물체"를 통해 접속된 경우가 포함된다는 것을 주의한다. 여기에서, "어떠한 전기적 작용을 포함하는 물체"는 상기 물체를 통해 접속된 대상 간에서 전기 신호의 수수를 가능하게 하는 것이면 특히 제한을 받지 않는다.

[0023] 예를 들면, "어떠한 전기적 작용을 포함하는 물체"는 전극이나 배선을 비롯해, 트랜지스터 등의 스위칭 소자, 저항 소자, 인덕터, 커패시터, 그 밖의 다양한 기능을 포함하는 소자 등이다.

발명의 효과

[0024] 본 발명의 일 형태에서는, 산화물 반도체층에 산소를 공급함으로써, 산화물 반도체를 포함하는 트랜지스터의 특성을 한층 더 향상된다. 여기에서, 상기 산소의 공급 처리는 산화물 반도체를 포함하는 트랜지스터에 있어서, 소스 전극 및 드레인 전극의 측면이 산화되는 결과가 나타난다.

[0025] 소스 전극 및 드레인 전극의 측면이 산화됨으로써, 게이트 절연층의 박막화나 커버리지 불량 등에 기인할 수 있는, 게이트 전극과 소스 또는 드레인 전극의 쇼트를 방지하는 것이 가능하다.

[0026] 산화물 반도체층에 산소를 공급함으로써, 우수한 특성 및 새로운 구조를 갖는 반도체 장치를 실현할 수 있다.

도면의 간단한 설명

[0027] 도 1은 반도체 장치를 설명하기 위한 단면도.

도 2a 내지 도 2d는 반도체 장치의 제작 공정을 설명하기 위한 단면도.

도 3a 내지 도 3c는 반도체 장치의 제작 공정을 설명하기 위한 단면도.

도 4는 산화물 반도체를 포함하는 트랜지스터의 단면도.

도 5는 도 4의 A-A' 단면에 있어서의 에너지 대역도(모식도).

도 6a는 게이트(GE1)에 양의 전압($V_G>0$)이 주어진 상태를 나타내고, 도 6b는 게이트(GE1)에 음의 전압($V_G<0$)이 주어진 상태르 도시한 도면.

도 7은 진공 준위와 금속의 일함수(ϕM), 산화물 반도체의 전자친화력(χ)의 관계를 도시한 도면.

도 8a 및 도 8b는 실리콘(Si)에 있어서, 핫 캐리어 주입에 필요한 에너지를 도시한 도면.

도 9a 및 도 9b는 In-Ga-Zn-O계의 산화물 반도체(IGZO)에 있어서, 핫 캐리어 주입에 필요한 에너지를 도시한 도면.

도 10a 및 도 10b는 탄화 실리콘(4H-SiC)에 있어서, 핫 캐리어 주입에 필요한 에너지를 도시한 도면.

도 11은 단채널 효과에 관한 디바이스 시뮬레이션의 결과를 도시한 도면.

도 12는 단채널 효과에 관한 디바이스 시뮬레이션의 결과를 도시한 도면.

도 13은 C-V 특성을 도시한 도면.

도 14는 V_G와 $(1/C)^2$과의 관계를 도시한 도면.

도 15a 내지 도 15f는 반도체 장치를 예시하는 단면도.

도 16은 플라즈마 처리에 의해 형성되는 산화 영역의 두께와 처리 시간과의 관계를 도시한 도면.

발명을 실시하기 위한 구체적인 내용

[0028] 본 발명의 실시형태의 일례에 대해서, 도면을 사용해서 이하에 설명한다. 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위에서 일탈하지 않고 그 형태 및 상세를 다양하게 변경할 수 있는 것은 당업자라면 용이하게 이해된다. 따라서, 본 발명은 이하에 나타내는 실시형태의 기재 내용에 한정해서 해석 되는 것은 아니다.

[0029] 또한, 도면 등에서 나타내는 각 구성의 위치, 크기, 범위 등은 용이한 이해를 위해 실제의 위치, 크기, 범위 등을 의미하지 않고 있을 경우가 있다. 이 때문에, 본 발명은, 반드시 도면 등에 개시된 위치, 크기, 범위 등에 한정되지 않는다.

[0030] 또한, 본 명세서 등에 있어서의 "제 1", "제 2", "제 3"등의 서수는 구성요소의 혼동을 피하기 위해서 첨부하는 것이며, 수적으로 한정하는 것은 아님을 주의한다.

[0031] (실시형태 1)

[0032] 본 실시형태에서는, 본 발명의 일 형태에 따른 반도체 장치의 구성 및 제작 방법에 대해서, 도 1 내지 도 3을 참조해서 설명한다.

[0033] <반도체 장치의 구성>

[0034] 도 1은 반도체 장치의 구성의 일례인 트랜지스터(150)를 나타내는 단면도이다. 또한, 트랜지스터(150)는 n형 트랜지스터로서 설명하지만, p형 트랜지스터를 채용해도 양호하다.

[0035] 트랜지스터(150)는 기판(100) 위에 절연층(102)을 개재하여 제공된 산화물 반도체층(104a)과 산화물 반도체층(104a)과 전기적으로 접속하는 소스 또는 드레인 전극(106a), 소스 또는 드레인 전극(106b), 소스 또는 드레인 전극(106a), 소스 또는 드레인 전극(106b)을 덮는 게이트 절연층(112), 게이트 절연층(112) 위의 게이트 전극(114)을 포함한다(도 1 참조).

[0036] 또한, 트랜지스터(150) 위에 층간 절연층(116) 및 층간 절연층(118)이 제공된다.

[0037] 여기에서, 소스 또는 드레인 전극(106a), 소스 또는 드레인 전극(106b)은 각각 그 측면을 산화함으로써 형성된 산화 영역(110)을 포함한다. 상기 산화 영역(110)으로, 게이트 절연층의 박막화나 커버리지 불량 등에 기인할 수 있는 게이트 전극과 소스 또는 드레인 전극의 쇼트를 방지하는 것이 가능하다.

[0038] 또한, 산화물 반도체층(104a)은 수소 등의 불순물이 충분하게 제거되고 산소가 공급됨으로써 고순도화된 것이 바람직하다. 구체적으로는, 산화물 반도체층(104a)의 수소 농도는 $5\times10^{19}/cm^3$ 이하, 바람직하게는 $5\times10^{18}/cm^3$ 이하, 보다 바람직하게는 $5\times10^{17}/cm^3$ 이하이다. 또한, 수소 농도가 충분하게 저감되고, 산소가 공급됨으로써 고순도화된 산화물 반도체층(104a)은 일반적인 실리콘 웨이퍼(인이나 붕소 등의 불순물 원소가 미량 첨가된 실리콘 웨이퍼)에 있어서의 캐리어 농도($1\times10^{14}/cm^3$ 정도)보다 충분히 작은 캐리어 농도의 값(예를 들면, $1\times10^{12}/cm^3$ 미만, 바람직하게는, $1\times10^{11}/cm^3$ 이하)을 갖는다. 이렇게, i형화 또는 실질적으로 i형화된 산화물 반도체를 사용함으로써 우수한 오프 전류 특성의 트랜지스터(150)를 수득할 수 있다. 예를 들면, 드레인 전압 V_D가 +1V 또는 +10V이고, 게이트 전압 V_G이 -5V 내지 -20V의 범위일 때, 오프 전류는 $1\times10^{-13}A$ 이하이다. 또한, 상기의 산화물 반도체층(104a)의 수소 농도는 2차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry)로 측정한다는 것을 주의한다.

[0039] 산화물 반도체층에 포함되는 산화물 반도체는 비단결정 구조이면 특별하게 한정되지 않는다. 예를 들면, 비정질 구조, 미결정(마이크로크리스탈, 나노 크리스탈 등) 구조, 다결정 구조, 비정질 재료에 미결정이나 다결정이 포함되는 구조, 비정질 구조의 표면에 미결정이나 다결정이 형성된 구조 등, 각종 구조를 적용할 수 있다.

[0040] <반도체 장치의 제작 방법>

[0041] 다음에, 트랜지스터(150)의 제작 방법에 대해서 도 2a 내지 도 2d 및 도 3a 내지 도 3c를 참조해서 설명한다.

[0042] 우선, 기판(100) 위에 절연층(102)을 성막한다. 그리고, 절연층(102) 위에 산화물 반도체층(104)을 성막한다(도 2a 참조).

[0043] 기판(100)은 절연 표면을 포함하는 임의의 기판이고, 예를 들면, 유리 기판일 수 있다. 유리 기판은 무알칼리 유리 기판인 것이 바람직하다. 무알칼리 유리 기판에는, 예를 들면, 알루미노실리케이트 유리, 알루미노보로실리케이트 유리, 바륨보로실리케이트 유리 등의 유리 재료를 사용할 수 있다. 그 밖에도, 기판(100)으로서, 세라믹 기판, 석영기판, 사파이어 기판 등의 절연체를 사용하여 형성된 절연성 기판, 실리콘 등의 반도체 재료를 사용하여 형성되고 절연 재료로 피복된 표면을 갖는 반도체 기판, 금속이나 스테인레스 등의 도전체를 사용하여 형성되고 절연 재료로 피복된 표면을 갖는 도전성 기판을 사용할 수 있다. 또한, 제작 공정의 열처리에 견딜 수 있으면 플라스틱 기판을 사용할 수 있다.

[0044] 절연층(102)은 하지로서 기능하는 것이며, CVD법이나 스퍼터링법 등을 사용해서 성막할 수 있다. 또한, 절연층(102)은 산화규소, 질화규소, 산화질화규소, 질화산화규소, 산화알루미늄, 산화하프늄, 산화탄탈 등을 포함하여 형성하는 것이 바람직하다. 또한, 절연층(102)은 단층 구조 또는 적층 구조를 가질 수 있다. 절연층(102)의 두께는 특별하게 한정되지 않지만, 예를 들면, 절연층(102)은 10nm 내지 500nm일 수 있다. 여기에서, 절연층(102)은 필수 구성요소는 아니고, 절연층(102)을 설치하지 않는 구성도 가능하다.

[0045] 절연층(102)에 수소나 수분 등이 포함되면, 수소가 산화물 반도체층에 침입하거나, 산화물 반도체층으로부터 산소를 추출하여, 트랜지스터의 특성이 악화할 우려가 있다. 따라서, 절연층(102)은 가능한 한 수소나 수분을 포함하지 않도록 성막하는 것이 바람직하다.

[0046] 예를 들면, 스퍼터링법 등을 사용할 경우에는, 처리실 내의 잔류 수분을 제거한 상태에서 절연층(102)을 성막하는 것이 바람직하다. 또한, 처리실 내의 잔류 수분을 제거하기 위해서는, 크라이오 펌프, 이온 펌프, 티타늄 서블리메이션 펌프 등의, 흡착형의 진공펌프를 사용하는 것이 바람직하다. 터보 펌프에 콜드 트랩을 부가한 것을 사용해도 된다. 크라이오 펌프 등을 사용해서 배기한 처리실은 수소나 수분 등이 충분하게 제거되어, 절연층(102)에 포함되는 불순물의 농도를 저감할 수 있다.

[0047] 절연층(102)을 성막할 때 수소나 수분등의 불순물이 농도 ppm정도(바람직하게는, ppb정도)까지 저감된 고순도 가스를 사용하는 것이 바람직하다.

[0048] 산화물 반도체층(104)으로서는 4원계 금속 산화물인 In-Sn-Ga-Zn-O나, 3원계 금속 산화물인 In-Ga-Zn-O, In-Sn-Zn-O, In-Al-Zn-O, Sn-Ga-Zn-O, Al-Ga-Zn-O, Sn-Al-Zn-O나, 2원계 금속 산화물인 In-Zn-O, Sn-Zn-O, Al-Zn-O, Zn-Mg-O, Sn-Mg-O, In-Mg-O나, In-O, Sn-O, Zn-O등을 사용한 산화물 반도체층을 적용할 수 있다. 또한, 상기 산화물 반도체층에 SiO_2을 포함시켜도 양호하다.

[0049] 또한, 산화물 반도체층(104)으로서, $InMO_3(ZnO)_m(m>0)$으로 표기되는 재료를 포함하는 박막을 사용할 수 있다. 여기에서, M은, Ga, Al, Mn 및 Co로부터 선택된 하나 또는 복수의 금속 원소를 나타낸다. 예를 들면, M으로서는, Ga, Ga 및 Al, Ga 및 Mn, Ga 및 Co등을 적용할 수 있다. 또한, $InMO_3(ZnO)_m(m>0)$으로 표기되는 재료 중, M으로서 Ga를 포함하는 것을, In-Ga-Zn-O 산화물 반도체라고 부르고, 그 박막을 In-Ga-Zn-O 산화물 반도체막(In-Ga-Zn-O 비정질막)등이라고 부를 경우가 있다.

[0050] 본 실시형태에서는, 산화물 반도체층(104)으로서 In-Ga-Zn-O계의 산화물 반도체 성막용 타겟을 사용하고, 비정질의 산화물 반도체층을 스퍼터법에 의해 성막한다. 비정질의 산화물 반도체층에 실리콘을 첨가함으로써, 비정질의 산화물 반도체층의 결정화를 억제할 수 있기 때문에, 예를 들면, SiO_2을 2중량% 내지 10중량% 포함하는 타겟을 사용해서 산화물 반도체층(104)을 형성할 수 있다는 것을 주의한다.

[0051] 산화물 반도체층(104)을 스퍼터링법으로 성막하기 위한 타겟으로서는, 예를 들면, 산화아연을 주성분으로 하는 금속 산화물의 타겟을 사용할 수 있다. 또한, In, Ga, 및 Zn을 포함하는 산화물 반도체 성막용 타겟(조성비로서, $In_2O_3:Ga_2O_3:ZnO=1:1:1$[mol비], 또는, In:Ga:Zn=1:1:0.5[atom비])등을 사용할 수도 있다. 또한, In, Ga, 및 Zn을 포함하는 산화물 반도체 성막용 타겟으로서, In:Ga:Zn=1:1:1[atom비], 또는 In:Ga:Zn=1:1:2[atom비]의 조성비를 포함하는 타겟 등을 사용해도 된다. 산화물 반도체 성막용 타겟의 충전율은 90% 내지 100%, 바람직하게는 95% 이상(예를 들면 99.9%)이다. 높은 충전율의 산화물 반도체 성막용 타겟을 사용함으로써, 조밀한 산화물 반도체층(104)이 성막된다.

[0052] 산화물 반도체층(104)의 성막 분위기는 희가스(대표적으로는 아르곤)분위기, 산소 분위기, 또는, 희가스(대표적으로는 아르곤)과 산소와의 혼합 분위기로 하는 것이 바람직하다. 구체적으로는, 예를 들면, 수소, 수분, 수산기, 수소화물 등의 불순물이 농도 ppm정도(바람직하게는 ppb정도)에까지 제거된 고순도 가스 분위기를 사용하는 것이 바람직하다.

[0053] 산화물 반도체층(104)을 성막할 때, 감압 상태에 보유된 처리실 내에 기판을 보유하고, 기판 온도를 100℃ 내지 600℃, 바람직하게는 200℃ 내지 400℃로 가열한다. 그리고, 처리실 내의 잔류 수분을 제거하면서 수소 및 수분이 제거된 스퍼터 가스를 도입하고, 금속 산화물을 타겟으로서 산화물 반도체층(104)을 성막한다. 기판을 가열하면서 산화물 반도체층(104)을 성막함으로써, 산화물 반도체층(104)에 포함되는 불순물 농도를 저감할 수 있다. 또한, 스퍼터링에 의한 손상이 경감된다. 처리실 내의 잔류 수분을 제거하기 위해서는, 흡착형의 진공펌프를 사용하는 것이 바람직하다. 예를 들면, 크라이오 펌프, 이온 펌프, 티타늄 서블리메이션 펌프 등을 사용하는 것을 할 수 있다. 터보 펌프에 콜드 트랩을 부가한 것을 사용해도 된다. 크라이오 펌프를 사용해서 배기한 처리실은 수소나 수분 등이 제거되어, 산화물 반도체층(104)의 불순물 농도를 저감할 수 있다.

[0054] 예를 들어, 산화물 반도체층(104)의 성막 조건으로서는, 기판과 타겟과의 거리가 100mm, 압력이 0.6Pa, 직류(DC)전원이 0.5kW, 분위기가 산소(산소 유량비100%)분위기로 하는 조건을 적용할 수 있다. 또한, 펄스 직류(DC)전원을 사용하면, 성막시에 발생하는 분말상태물질(파티클, 먼지라고도 하는)을 경감할 수 있고, 막 두께 분포도 균일하게 할 수 있어 바람직하다는 것을 주의한다. 산화물 반도체층(104)의 두께는, 2nm 내지 200nm, 바람

직하게는 5nm 내지 30nm이다. 적용하는 산화물 반도체 재료나 용도 등에 의해 적절한 두께는 다르기 때문에, 그 두께는, 사용하는 재료나 용도 등에 따라 선택하면 양호하다는 것을 주의한다.

[0055] 산화물 반도체층(104)을 스퍼터법에 의해 성막하기 전에는, 아르곤 가스를 도입해서 플라즈마를 발생시키는 역 스퍼터를 행하고, 절연층(102)의 표면의 부착물을 제거하는 것이 바람직하다. 여기에서, 역 스퍼터는 스퍼터 타겟에 이온을 충돌시키는 통상의 스퍼터와는 반대로, 처리 표면에 이온을 충돌 시킴으로써 그 표면을 개질하는 방법이다. 처리 표면에 이온을 충돌시키는 방법으로서는, 아르곤 분위기 하에서 처리 표면측에 고주파 전압을 인가하여, 기판 부근에 플라즈마를 생성하는 방법 등이 있다. 아르곤 분위기 대신에 질소, 헬륨, 산소 등의 분위기가 사용될 수 있다는 것을 주의한다.

[0056] 다음에, 마스크를 사용한 에칭 등의 방법에 의해 산화물 반도체층(104)을 가공하고, 섬 형상의 산화물 반도체층(104a)이 형성된다(도 2b 참조).

[0057] 산화물 반도체층(104)의 에칭에는, 드라이 에칭, 웨트 에칭의 어느 것을 사용해도 된다. 물론, 그 양쪽을 조합시켜서 사용할 수도 있다. 산화물 반도체층(104)을 원하는 형상으로 에칭할 수 있도록, 재료에 따라 에칭 조건(에칭 가스나 에칭액, 에칭 시간, 온도 등)은 적절히 설정한다.

[0058] 드라이 에칭으로서는, 평행 평판형 RIE(Reactive Ion Etching)법이나, ICP(Inductively Coupled Plasma: 유도결합형 플라즈마) 에칭법 등을 사용할 수 있다. 이 경우에도, 에칭 조건(코일형의 전극에 인가되는 전력량, 기판 측의 전극에 인가되는 전력량, 기판 측의 전극 온도 등)은 적절히 설정할 필요가 있다.

[0059] 드라이 에칭에 사용할 수 있는 에칭 가스에는, 예를 들면, 염소를 포함하는 가스(염소계 가스, 예를 들면 염소(Cl_2), 염화붕소(BCl_3), 사염화규소($SiCl_4$), 사염화탄소(CCl_4) 등이 있다. 또한, 불소를 포함하는 가스(불소계 가스, 예를 들면 사불화탄소(CF_4), 불화유황(SF_6), 불화질소(NF_3), 트리플루오로메탄(CHF_3)등), 브롬화수소(HBr), 산소(O_2), 이들 가스에 헬륨(He)이나 아르곤(Ar) 등의 희가스를 첨가한 가스 등을 사용해도 된다.

[0060] 웨트 에칭에 사용할 수 있는 에칭액으로서는, 인산과 아세트산과 초산을 혼합한 용액, 암모니아-과산화수소수 혼합 액(31중량% 과산화수소수:28중량% 암모니아수:수 = 5:2:2) 등이 있다. 또한, ITO07N(간토화학사제)등의 에칭액을 사용해도 된다.

[0061] 그 후에 산화물 반도체층(104a)에 대하여, 제 1 열처리를 행하는 것이 바람직하다. 이 제 1 열처리에 의해 산화물 반도체층(104a) 가운데의 수분(수산기를 포함하는)이나 수소 등을 제거할 수 있다. 제 1 열처리의 온도는 300℃ 내지 750℃, 바람직하게는 400℃ 내지 700℃로 한다. 예를 들면, 저항 발열체 등을 사용한 전기로에 기판(100)을 도입하고, 산화물 반도체층(104a)에 대하여 질소 분위기 하 450℃에 있어서 1시간의 열처리를 행한다. 열처리 동안 산화물 반도체층(104a)을 대기에 접촉시키지 않아, 수분이나 수소의 혼입이 방지된다.

[0062] 열처리 장치는 전기로에 한정되지 않고, 가열된 가스 등의 매체로부터의 열전도, 또는 열복사에 의해 피처리물을 가열하는 장치일 수 있다. 예를 들면, GRTA(Gas Rapid Thermal Anneal)장치, LRTA(Lamp Rapid Thermal Anneal)장치 등의 RTA(Rapid Thermal Anneal)장치를 사용할 수 있다. LRTA 장치는, 할로겐 램프, 메탈 할라이드 램프, 제논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 고압 수은 램프 등의 램프로부터 방출된 광(전자파)의 복사에 의해, 피처리물을 가열하는 장치이다. GRTA 장치는, 고온의 가스를 사용해서 열처리를 행하는 장치이다. 가스로서는, 아르곤 등의 희가스, 또는 질소와 같은, 열처리에 의해 피처리물과 반응하지 않는 불활성 가스를 사용할 수 있다.

[0063] 예를 들면, 제 1 열처리로서, 650℃ 내지 700℃의 고온으로 가열된 불활성 가스 분위기 중에 기판을 투입하고, 몇분간 가열된 후, 상기 불활성 가스 분위기로부터 기판을 꺼내는 GRTA 처리를 행해도 된다. GRTA 처리를 사용하면 단시간으로 고온 열처리가 가능해진다. 또한, 단시간의 열처리이기 때문에, 기판의 내열온도를 초과하는 온도에서도 적용이 가능해진다. 예를 들면, 유리 기판을 사용할 경우, 내열온도(변형점)를 초과하는 온도에서는 기판의 수축이 문제가 되지만, 단시간의 열처리의 경우에는 이것은 문제가 되지 않는다. 처리중에, 불활성 가스를 산소를 포함하는 가스로 바꿀 수 있다는 것을 주의한다. 산소를 포함하는 분위기에 있어서 제 1 열처리를 행함으로써 산소 결손에 기인하는 결함을 저감할 수 있다.

[0064] 불활성 가스 분위기로서는, 질소, 또는 희가스(헬륨, 네온, 아르곤 등)를 주성분으로 하는 분위기이며, 수분, 수소 등이 포함되지 않는 분위기를 적용하는 것이 바람직하다는 것을 주의한다. 예를 들면, 열처리 장치에 도입하는 질소나, 헬륨, 네온, 아르곤 등의 희가스의 순도를 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉, 불순물 농도가 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 한다.

[0065] 제 1 열처리의 조건 또는 산화물 반도체층을 구성하는 재료에 따라서는, 산화물 반도체층이 결정화하고, 미결정 또는 다결정이 될 경우도 있다. 예를 들면, 결정화율이 90% 이상, 또는 80% 이상의 미결정의 산화물 반도체층이 될 경우도 있다. 또한, 제 1 열처리의 조건 또는 산화물 반도체층을 구성하는 재료에 따라서는 결정 성분을 포함하지 않는 비정질의 산화물 반도체층이 될 경우도 있다.

[0066] 또한, 비정질의 산화물 반도체(예를 들면, 산화물 반도체층의 표면)에 미결정(입경 1nm 내지 20nm(대표적으로는 2nm 내지 4nm))이 혼재하는 산화물 반도체층이 될 경우도 있다. 이렇게, 비정질 중에 미결정을 혼재시켜, 배열함으로써 산화물 반도체층의 전기적 특성을 변화시키는 것도 가능하다.

[0067] 예를 들면, In-Ga-Zn-O계의 산화물 반도체 성막용 타겟을 사용해서 산화물 반도체층을 형성할 경우에는, 전기적 이방성을 갖는 $In_2Ga_2ZnO_7$의 결정립이 배향한 미결정 영역을 형성함으로써, 산화물 반도체층의 전기적 특성을 변화시킬 수 있다. 상기 미결정 영역은, 예를 들면, $In_2Ga_2ZnO_7$ 결정의 c축이 산화물 반도체층의 표면에 수직하도록 결정립이 배향한 영역으로 하는 것이 바람직하다. 이렇게 결정립을 배향시킨 영역을 형성함으로써, 산화물 반도체층의 표면에 평행한 방향의 도전성을 향상시켜, 산화물 반도체층의 표면에 수직한 방향의 절연성을 향상시킬 수 있다. 또한, 이러한 미결정 영역은 산화물 반도체층 중에 수분이나 수소 등의 불순물의 침입을 억제하는 기능을 한다.

[0068] 산화물 반도체층은 GRTA처리에 의한 산화물 반도체층의 표면 가열에 의해 형성된 상기의 미결정 영역을 포함 할 수 있다는 것을 주의한다. 또한, Zn의 함유량이 In 또는 Ga의 함유량보다 작은 스퍼터 타겟을 사용함으로써 산화물 반도체층을 더 적합하게 형성할 수 있다.

[0069] 산화물 반도체층(104a)에 대한 제 1 열처리는 섬 형상의 산화물 반도체층(104a)으로 가공하기 전의 산화물 반도체층에 행할 수 있다. 그 경우에는, 제 1 열처리 후에, 가열 장치로부터 기판(100)을 꺼내고, 포토리소그래피 공정을 행하게 된다.

[0070] 또한, 상기 제 1 열처리는 탈수화 처리, 탈수소화 처리 등이라고 부를 수도 있다. 상기 탈수화 처리, 탈수소화 처리는, 산화물 반도체층의 형성 후, 산화물 반도체층(104a) 위에 소스 전극 및 드레인 전극을 적층시킨 후, 소스 전극 및 드레인 전극 위에 게이트 절연층을 형성한 후, 등의 타이밍에 있어서 행하는 것이 가능하다. 또한, 이러한 탈수화 처리, 탈수소화 처리는 1회에 한하지 않고 복수회 행해도 된다.

[0071] 다음에, 산화물 반도체층(104a)에 접하도록 도전층(106)을 성막한 후, 도전층(106) 위에 절연층(108)을 형성한다(도 2c 참조). 절연층(108)은 필수적인 구성요소 (은)는 아니지만, 뒤에 형성되는 소스 전극 및 드레인 전극의 측면을 선택적으로 산화시키기 위해서는 유효하다.

[0072] 도전층(106)은 스퍼터법을 비롯한 PVD법이나, 플라즈마 CVD법 등의 CVD법을 사용하여 형성할 수 있다. 또한, 도전층(106)은 알루미늄, 크롬, 동, 탄탈, 티타늄, 몰리브덴, 텅스텐 중에서 선택된 원소나, 상기한 원소를 성분으로 하는 합금 등을 사용하여 형성할 수 있다. 망간, 마그네슘, 지르코늄, 베릴륨, 토륨 중 하나 또는 복수를 포함하는 재료를 사용해도 된다. 알루미늄에 티타늄, 탄탈, 텅스텐, 몰리브덴, 크롬, 네오디뮴, 스칸듐으로부터 선택된 원소를 하나 또는 복수 함유시킨 재료를 사용해도 된다.

[0073] 또한, 도전층(106)은 도전성의 금속 산화물을 사용해서 성막해도 양호하다. 도전성의 금속 산화물로서는, 산화인듐(In_2O_3), 산화주석(SnO_2), 산화아연(ZnO), 산화인듐 산화주석 합금(In_2O_3-SnO_2, ITO로 약기할 경우가 있는), 산화인듐 산화아연합금(In_2O_3-ZnO), 또는, 임의의 금속 산화물 재료에 실리콘 또는 산화실리콘을 함유시킨 것을 사용할 수 있다.

[0074] 도전층(106)은 단층 구조이어도 양호하고, 2층 이상의 적층 구조로 해도 된다. 예를 들면, 실리콘을 포함하는 알루미늄 막의 단층 구조, 알루미늄 막위에 티타늄 막이 적층된 2층 구조, 티타늄 막과 알루미늄 막과 티타늄 막이 적층된 3층 구조 등을 들 수 있다. 여기에서는, 티타늄 막과 알루미늄 막과 티타늄 막의 3층 구조를 적용한다.

[0075] 산화물 반도체층(104a)과 도전층(106)의 사이에는 산화물 도전층을 성막할 수 있다는 것을 주의한다. 산화물 도전층과 도전층(106)은 연속해서 형성하는 것이 가능하다. 이러한 산화물 도전층을 설치함으로써, 소스 영역 또는 드레인 영역의 저저항화를 도모할 수 있어서 트랜지스터의 고속동작이 실현된다.

[0076] 절연층(108)은 CVD법이나 스퍼터링법 등을 사용해서 성막할 수 있다. 또한, 절연층(108)은 산화규소, 질화규소, 산화질화규소, 질화산화규소, 산화알루미늄, 산화하프늄, 산화탄탈 등을 포함하도록 성막하는 것이 바람직하다.

또한, 절연층(108)은 단층 구조로 해도 되고, 적층 구조일 수 있다는 것을 주의한다. 절연층(108)의 두께는 특별하게 한정되지 않지만, 예를 들면, 10nm 내지 500nm로 할 수 있다.

[0077] 다음에, 도전층(106) 및 절연층(108)을 선택적으로 에칭하여, 소스 또는 드레인 전극(106a), 소스 또는 드레인 전극(106b), 절연층(108a), 절연층(108b)을 형성한다. 그리고, 산화물 반도체층(104a)에 산소를 공급하기 위해 산화 처리를 행한다. 상기 산화 처리에 의해 소스 또는 드레인 전극(106a) 및 소스 또는 드레인 전극(106b)의 일부에는 산화 영역(110)이 형성된다(도 2d 참조). 또한, 점선으로 나타나 있는 바와 같이 산화물 반도체층(104a) 중에는 산소가 공급된 영역이 형성된다. 상기 산소가 공급된 영역의 범위는 산화물 반도체층(104a)을 구성하는 재료나, 산화 처리의 조건 등에 의해 다양하게 변화된다는 것을 주의한다. 예를 들면, 산화물 반도체층(104a)의 하부 계면에까지 산소를 공급하는 것도 가능하다.

[0078] 에칭에 사용하는 마스크 형성시의 노광에는, 자외선이나 KrF 레이저 광이나 ArF 레이저 광을 사용하는 것이 바람직하다. 특히, 채널 길이(L)가 25nm 미만인 노광을 행할 경우에는, 수 nm 내지 수 십 nm의 지극히 파장이 짧은 초자외선(Extreme Ultraviolet)을 사용해서 마스크를 형성하기 위해 노광을 행하는 것이 바람직하다. 초자외선에 의한 노광은 해상도가 높고 초점 심도도 크다. 따라서, 뒤에 형성되는 트랜지스터의 채널 길이(L)을 10nm 내지 1000nm로 하는 것도 가능하다. 이러한 방법으로 채널 길이(L)를 작게 함으로써, 동작 속도를 향상시킬 수 있다. 또한, 상기 산화물 반도체를 포함하는 트랜지스터의 오프 전류가 작기 때문에, 미세화에 의한 소비 전력의 증대를 억제할 수 있다.

[0079] 도전층(106)을 에칭할 때, 산화물 반도체층(104a)이 제거되지 않도록, 도전층(106) 및 산화물 반도체층(104a)의 재료 및 에칭 조건을 적절히 조절한다. 재료 및 에칭 조건에 따라서는 상기 에칭 공정에 있어서, 산화물 반도체층(104a)의 일부가 에칭되어, 홈부(오목부)를 포함할 수 있다는 것을 주의한다.

[0080] 사용되는 마스크의 수나 공정수를 삭감하기 위해서, 노광 마스크를 투과한 광이 복수의 강도가 되는 다계조 마스크를 사용하여 형성된 레지스트 마스크로 에칭 공정을 행해도 된다. 다계조 마스크를 사용해서 형성한 레지스트 마스크는 복수의 두께를 포함하는 형상(계단상)이 되고, 애싱에 의해 형상을 더 변형할 수 있어서, 복수의 에칭 공정에 레지스트 마스크를 사용할 수 있다. 즉, 한 장의 다계조 마스크에 의해, 적어도 2종류 이상의 다른 패턴에 대응하는 레지스트 마스크를 형성할 수 있다. 따라서, 노광 마스크 수를 삭감할 수 있고, 대응하는 포토리소그래피 공정 수도 삭감 할 수 있어서, 공정의 간략화를 꾀할 수 있다.

[0081] 산화 처리는 마이크로파(300MHz 내지 300GHz)에 의해 여기된 산소 플라즈마를 사용한 플라즈마 산화 처리라고 하는 것이 바람직하다. 마이크로파에 의해 플라즈마를 여기함으로써, 고밀도 플라즈마가 실현되어, 산화물 반도체층(104a)으로의 데미지를 충분하게 저감할 수 있기 때문이다.

[0082] 구체적으로는, 예를 들면, 주파수를 300MHz 내지 300GHz(대표적으로는 2.45GHz), 압력을 50Pa 내지 5000Pa(대표적으로는 500Pa), 기판 온도를 200℃ 내지 400℃(대표적으로는 300℃)로 해서 산소와 아르곤의 혼합 가스를 사용해서 상기 처리를 행할 수 있다.

[0083] 상기 산화 처리에 의해, 산화물 반도체층(104a)에 산소가 공급된다. 산화물 반도체층(104a)으로의 데미지를 충분하게 저감하면서, 산소결손에 기인하는 국재 준위를 감소시킬 수 있다. 즉, 산화물 반도체층(104a)의 특성을 한층 향상시킬 수 있다.

[0084] 산화물 반도체층(104a)으로의 데미지를 충분하게 저감하면서, 산화물 반도체층(104a)에 산소를 공급할 수 있는 방법이면, 마이크로파를 사용한 플라즈마 산화 처리에 한정되지 않는다는 것을 주의한다. 예를 들면, 산소를 포함하는 분위기에 있어서의 열처리 등의 방법을 사용할 수도 있다.

[0085] 상기 산화 처리와 더불어 산화물 반도체층(104a)으로부터 수분이나 수소 등을 제거하는 처리를 행해도 된다. 예를 들면, 질소나 아르곤 등의 가스를 사용한 플라즈마 처리를 행할 수 있다.

[0086] 상기 산화 처리에 의해, 소스 또는 드레인 전극(106a) 및 소스 또는 드레인 전극(106b)의 일부(특히, 그 측면에 상당하는 부분)에는 산화 영역(110)이 형성된다는 것을 주의한다. 이 산화 영역(110)은 트랜지스터(150)가 미세화되어 있을 경우(예를 들면, 채널 길이가 1000nm 미만일 경우)에는, 특히 유효하다. 트랜지스터의 미세화에 따라, 게이트 절연층의 두께를 작게 할 필요가 있다. 산화 영역(110)을 포함함으로써 게이트 절연층의 박막화나 커버리지 불량 등에 기인하는 게이트 전극과 소스 또는 드레인 전극의 쇼트를 방지할 수 있기 때문이다. 또한, 상기 산화 영역(110)은 5nm 이상(바람직하게는 10nm 이상)의 두께를 가지고 있으면 충분히 효과적이다.

[0087] 또한, 상기 산화 처리는 절연층(102)의 노출된 부분의 막질 개선의 관점에서도 유효하다.

[0088] 절연층들이 소스 또는 드레인 전극(106a) 및 소스 또는 드레인 전극(106b)의 상부의 산화를 방지하도록 기능하여 절연층(108a) 및 절연층(108b)이 중요하다는 것을 주의한다. 에칭에 사용된 마스크를 잔존시킨 채, 상기 플라즈마 처리를 하는 것이 상당히 어렵기 때문이다.

[0089] 도 2d는 도 2c에 도시된 도전층(106) 및 절연층(108)을 선택적으로 에칭하여, 소스 또는 드레인 전극(106a), 소스 또는 드레인 전극(106b), 절연층(108a), 절연층(108b)을 한번에 형성하는 경우를 예시하고 있지만, 본 발명의 일 형태는 이것에 한정되지 않는다.

[0090] 예를 들면, 도전층(106) 및 절연층(108)의 산화물 반도체층(104a)과 중첩하는 영역만을 선택적으로 에칭하고, 트랜지스터의 채널 형성 영역에 도달하는 개구를 형성한 후에, 상기 영역에 대하여 플라즈마 처리를 행하여, 산화물 반도체층(104a)에 산소를 공급하고, 또한, 도전층(106)의 노출한 부분을 산화하고, 그 후에 다시 에칭에 의해, 소스 또는 드레인 전극(106a), 소스 또는 드레인 전극(106b), 절연층(108a), 절연층(108b)을 완성되게 해도 양호하다. 이러한 공정을 채용할 경우에는, 목적으로 하는 부분에만 산화 처리를 적용할 수 있다. 따라서, 다른 부분에 대하여, 산화 처리에 기인하는 악영향을 방지할 수 있는 장점이 있다.

[0091] 다음에, 대기에 접촉시키지 않고, 산화물 반도체층(104a)의 일부에 접하는 게이트 절연층(112)을 형성한다(도 3a 참조). 게이트 절연층(112)은 CVD법이나 스퍼터링법 등을 사용하여 형성할 수 있다. 또한, 게이트 절연층(112)은 산화규소, 질화규소, 산화질화규소, 질화산화규소, 산화알루미늄, 산화하프늄, 산화탄탈 등을 포함하도록 형성하는 것이 바람직하다. 게이트 절연층(112)은 단층 구조로 해도 되고, 적층 구조로 할 수 있다는 것을 주의한다. 게이트 절연층(112)의 두께는 특별하게 한정되지 않지만, 예를 들면, 10nm 내지 500nm로 할 수 있다.

[0092] 불순물을 제거하는 것 등에 의해 i형화 또는 실질적으로 i형화된 산화물 반도체(고순도화된 산화물 반도체)는 계면 준위나 계면 전하에 대하여 지극히 민감하기 때문에, 게이트 절연층(112)은 높은 품질을 가질 필요가 있다.

[0093] 예를 들면, 마이크로파(예를 들면, 2.45GHz)를 사용한 고밀도 플라즈마 CVD법은 조밀하고 높은 절연 내압 및 고품질의 게이트 절연층(112)을 형성할 수 있는 점에서 바람직하다. 고순도화된 산화물 반도체층과 고품질의 게이트 절연층이 밀착하여 접착함으로써, 계면 준위를 저감해서 계면 특성을 양호하게 할 수 있기 때문이다.

[0094] 물론, 게이트 절연층(112)으로서 고품질의 절연층을 형성할 수 있는 것이라면, 스퍼터링법이나 플라즈마 CVD법 등 다른 방법을 적용하는 것도 가능하다. 또한, 절연층의 형성 후의 열처리에 의해, 품질이나 계면 특성 등이 개선되는 절연층을 적용해도 양호하다. 어떤 경우든, 게이트 절연층(112)으로서의 막질이 양호하고, 산화물 반도체층과의 계면 준위 밀도를 저감하고, 양호한 계면을 형성할 수 있는 절연층이 형성된다.

[0095] 이와 같이 게이트 절연층과의 계면 특성을 개선하는 동시에, 산화물 반도체의 불순물, 특히 수소나 수분 등을 제거함으로써, 게이트 바이어스·열 스트레스 시험(BT 시험: 예를 들면, 85℃, 2×10^{6}V/cm, 12시간)에 대하여 임계값 전압(Vth)이 변동하지 않는, 안정한 트랜지스터를 수득하는 것이 가능하다.

[0096] 그 후에 불활성 가스 분위기 하, 또는 산소 분위기 하에서 제 2 열처리를 행한다. 열처리의 온도는 200℃ 내지 400℃, 바람직하게는 250℃ 내지 350℃이다. 예를 들면, 질소 분위기 하에서 250℃, 1시간의 열처리를 행하면 좋다. 제 2 열처리를 행하면, 트랜지스터의 전기적 특성의 편차를 경감할 수 있다. 본 실시형태에서는, 게이트 절연층(112)의 형성 후에 제 2 열처리를 행하고 있지만, 제 2 열처리의 타이밍은 제 1 열처리의 후이면 특별하게 한정되지 않는다.

[0097] 다음에, 게이트 절연층(112) 위의 산화물 반도체층(104a)과 중첩하는 영역에 게이트 전극(114)을 형성한다(도 3b 참조). 게이트 전극(114)은 게이트 절연층(112) 위에 도전층을 성막한 후에, 상기 도전층을 선택적으로 패터닝함으로써 형성할 수 있다.

[0098] 상기 도전층은 스퍼터법을 비롯한 PVD법이나, 플라즈마 CVD법 등의 CVD법을 사용해서 성막할 수 있다. 또한, 도전층은 알루미늄, 크롬, 동, 탄탈, 티타늄, 몰리브덴, 텅스텐 중에서 선택된 원소나, 상기한 원소를 성분으로 하는 합금등을 사용해서 성막할 수 있다. 망간, 마그네슘, 지르코늄, 베릴륨, 토륨 중 하나 또는 복수를 포함하는 재료를 사용해도 된다. 또한, 알루미늄에 티타늄, 탄탈, 텅스텐, 몰리브덴, 크롬, 네오디뮴, 스칸듐으로부터 선택된 원소를 하나 또는 복수 함유시킨 재료를 사용해도 된다.

[0099] 또한, 도전층은 도전성의 금속 산화물을 사용해서 성막해도 양호하다. 도전성의 금속 산화물로서는 산화인듐(In_2O_3), 산화주석(SnO_2), 산화아연(ZnO), 산화인듐 산화주석 합금(In_2O_3-SnO_2, ITO로 약기할 경우가 있는), 산화

인듐 산화아연 합금(In_2O_3-ZnO), 또는, 이것들의 금속 산화물 재료에 실리콘 또는 산화실리콘을 함유시킨 것을 사용할 수 있다.

[0100] 도전층은 단층 구조이어도 양호하고, 2층 이상의 적층 구조로 해도 된다. 예를 들면, 실리콘을 포함하는 알루미늄 막의 단층 구조, 알루미늄 막 위에 티타늄 막이 적층된 2층 구조, 티타늄 막과 알루미늄 막과 티타늄 막이 적층된 3층 구조 등을 들 수 있다. 여기에서는, 티타늄을 포함하는 재료를 사용해서 도전층을 성막하고, 게이트 전극(114)으로 가공한다.

[0101] 다음에, 게이트 절연층(112) 및 게이트 전극(114) 위에, 층간 절연층(116) 및 층간 절연층(118)을 성막한다(도 3c 참조). 층간 절연층(116) 및 층간 절연층(118)은 PVD법이나 CVD법 등을 사용해서 성막할 수 있다. 또한, 산화실리콘, 질화산화실리콘, 질화실리콘, 산화하프늄, 산화알루미늄, 산화탄탈 등의 무기 절연 재료를 포함하는 재료를 사용해서 성막할 수 있다. 본 실시형태에서는, 층간 절연층(116)과 층간 절연층(118)의 적층 구조로 하고 있지만, 본 발명의 일 형태는 이것에 한정되지 않는다는 것을 주의한다. 단층으로 해도 되고, 3층 이상의 적층 구조로 해도 된다.

[0102] 상기 층간 절연층(118)은 그 표면이 평탄하도록 성막하는 것이 바람직하다는 것을 주의한다. 표면이 평탄하도록 층간 절연층(118)을 형성함으로써, 층간 절연층(118) 위에, 전극이나 배선 등을 적합하게 형성할 수 있기 때문이다.

[0103] 이상의 단계들로, 산화물 반도체를 포함하는 트랜지스터(150)가 완성된다.

[0104] 전술한 바와 같은 방법으로 트랜지스터(150)을 제작했을 경우, 산화물 반도체층(104a)의 수소 농도는 $5\times10^{19}/cm^3$ 이하가 되고, 또한, 트랜지스터(162)의 오프 전류는 $1\times10^{-13}A$ 이하가 된다. 이렇게, 수소 농도가 충분하게 저감되어, 산소가 공급됨으로써 고순도화된 산화물 반도체층(104a)를 적용함으로써, 우수한 특성의 트랜지스터(150)를 수득할 수 있다. 수소 농도를 저감한 직후에, 산소의 공급을 행할 경우에는, 산화물 반도체층에 수소나 수분 등이 혼입할 우려가 없기 때문에, 지극히 양호한 특성의 산화물 반도체층을 실현할 수 있다고 하는 점에서 바람직하다. 물론, 양호한 특성의 산화물 반도체층이 실현되는 것이라면, 수소 농도의 저감 처리와 산소의 공급 처리는 연속적으로 실시될 필요는 없다. 예를 들면, 이러한 처리의 사이에 다른 처리를 포함할 수 있다. 또한, 이러한 처리를 동시에 행해도 된다.

[0105] 본 실시형태에서는, 산화물 반도체층(104a)에 산소를 공급하기 위해, 산화물 반도체층(104a)에 산소 플라즈마 처리가 수행된다. 이 때문에, 트랜지스터(150)는 양호한 특성을 갖는다. 또한, 소스 전극 및 드레인 전극의 측면에 대응하는 영역이 산화되어, 게이트 절연층의 박막화에 기인한 게이트 전극과 소스 전극(또는 드레인 전극)사이의 단락을 방지할 수 있다.

[0106] 산화물 반도체의 특성 연구는 많이 되어 있지만, 이러한 연구는 국재 준위를 충분하게 절감한다고 하는 아이디어를 포함하지 않는다는 것을 주의한다. 본 발명의 일 형태에서는, 국재 준위의 원인이 될 수 있는 수분이나 수소를 산화물 반도체로부터 제거함으로써, 고순도화한 산화물 반도체를 제작한다. 이것은 국재 준위 자체를 충분하게 절감한다고 하는 아이디어에 기초한다. 따라서, 지극히 우수한 산업 제품의 제조를 가능하게 한다.

[0107] 수소나 수분 등을 제거하면서 산소가 제거될 수 있다는 것을 주의한다. 이 때문에, 산소 결핍에 의해 발생하는 금속의 미결합수에 대하여 산소를 공급하고, 산소 결핍에 의한 국재 준위를 감소시킴으로써, 산화물 반도체를 한층 더 고순도화(i형화)하는 것이 바람직하다. 예를 들면, 채널 형성 영역에 밀접해서 산소과잉의 산화막을 형성하고, 200℃ 내지 400℃, 대표적으로는 250℃ 정도의 온도에서 열처리를 행함으로써 상기 산화막으로부터 산소를 공급하고, 산소 결핍에 의한 국재 준위를 감소시키는 것이 가능하다. 또한, 제 2 열처리 중에, 불활성 가스를 산소를 포함하는 가스로 바꾸어도 양호하다. 제 2 열처리 후에, 산소 분위기, 또는 수소나 수분을 충분하게 제거한 분위기에 있어서의 강온 과정을 통해 산화물 반도체 중에 산소를 공급하는 것도 가능하다.

[0108] 산화물 반도체의 특성을 악화시키는 요인은, 과잉한 수소에 의한 전도대 하 0.1eV 내지 0.2eV의 얕은 준위나, 산소 결손에 의한 깊은 준위 등에 기인하는 것으로 생각된다. 이러한 결함을 없애기 위해서, 수소를 철저하게 제거하고, 산소를 적절하게 공급한다고 하는 기술적 사상이 옳은 것일 것이다.

[0109] 산화물 반도체는 일반적으로 n형이라고 하지만, 본 발명의 일 형태에서는, 수분이나 수소 등의 불순물을 제거하고, 산화물 반도체의 구성 원소인 산소를 공급함으로써 i형 산화물 반도체를 실현한다. 이 점에서, 본 발명의 실시형태는 실리콘 등과 같은 불순물을 첨가해서 i형 산화물 반도체가 아니고, 새로운 기술적 사상을 포함하는 것이라고 할 수 있다.

[0110] <산화물 반도체를 포함하는 트랜지스터의 전도 기구>

[0111] 산화물 반도체를 포함하는 트랜지스터의 전도 기구가 도 4, 도 5, 도 6a 및 도 6b, 및 도 7을 참조하여 설명한다. 이하의 설명에서는, 이해의 용이성 때문에 이상적인 상황을 가정하고, 실제 상황을 반영할 필요는 없다는 것을 주의한다. 또한, 이하의 설명은 어디까지나 하나의 고찰에 지나지 않고, 발명의 유효성에 영향을 주지 않다는 것을 주의한다.

[0112] 도 4는 산화물 반도체를 포함하는 트랜지스터(박막 트랜지스터)의 단면도이다. 게이트 전극(GE1) 위에 게이트 절연층(GI)을 개재하여 산화물 반도체층(OS)이 마련되어져, 그 위에 소스 전극(S) 및 드레인 전극(D)이 마련된다. 소스 전극(S) 및 드레인 전극(D)을 덮도록 절연층이 마련된다.

[0113] 도 5에는, 도 4의 A-A' 단면에 있어서의 에너지 대역도(모식도)를 나타낸다. 또한, 도 5 가운데의 검은 원(●)은 전자를 나타내고, 흰 원(○)은 정공을 나타내고, 각각은 전하(-q, +q)를 가지고 있다. 드레인 전극에 양의 전압(V_D>0)을 인가하고, 파선은 게이트 전극에 전압을 인가하지 않을 경우(V_G=0), 실선은 게이트 전극에 양의 전압(V_G>0)을 인가할 경우를 나타낸다. 게이트 전극에 전압을 인가하지 않을 경우는 높은 포텐셜 장벽 때문에 전극으로부터 산화물 반도체측으로 캐리어(전자)가 주입되지 않고, 전류를 흘려보내지 않는 오프 상태를 나타낸다. 한편, 게이트에 양의 전압을 인가하면 포텐셜 장벽을 저하하고, 전류를 흘려보내는 온 상태를 나타낸다.

[0114] 도 6a 및 도 6b는, 도 4에 있어서의 B-B' 단면에 있어서의 에너지 밴드도(모식도)를 나타낸다. 도 6a는 게이트 전극(GE1)에 양의 전압(V_G>0)이 주어진 상태이며, 소스 전극과 드레인 전극과의 사이에 캐리어(전자)가 흐르는 온 상태를 나타내고 있다. 또한, 도 6b는 게이트 전극(GE1)에 음의 전압(V_G<0)이 인가된 상태이며, 오프 상태일 경우를 나타내고 소수 캐리어는 흐르지 않는다.

[0115] 도 7은 진공 준위와 금속의 일함수(ΦM), 산화물 반도체의 전자친화력(χ)의 관계를 나타낸다.

[0116] 상온에 있어서 금속 중의 전자는 축퇴하고 있어, 페르미 준위는 전도대에 위치한다. 한편, 종래의 산화물 반도체는 n형 반도체이며, 그 페르미 준위(E_F)는 밴드갭 중앙에 위치하는 진성 페르미 준위(E_i)로부터 떨어져서, 전도대 가까이 위치하고 있다. 산화물 반도체에 있어서 수소의 일부는 도너가 되어 산화물 반도체가 n형 반도체가 되도록 하는 요인의 하나인 것이 알려져 있다.

[0117] 한편, 본 발명의 일 형태에 따른 산화물 반도체는, n형 반도체의 요인인 수소를 산화물 반도체로부터 제거하고, 산화물 반도체의 주성분 이외의 원소(불순물 원소)가 최대한 포함되지 않도록 고순도화함으로써 진성(i형) 또는 실질적으로 진성 산화물 반도체이다. 즉, 불순물 원소를 첨가해서 i형화하는 것이 아니고, 수소나 수분 등의 불순물을 최대한 제거함으로써, 고순도화된 i형(진성) 반도체 또는 거기에 가까운 반도체가 수득되는 것을 특징으로 하고 있다. 이것에 의해, 페르미 준위(E_F)는 진성 페르미 준위(E_i)와 같은 정도로 할 수 있다.

[0118] 산화물 반도체의 밴드갭(E_g)은 3.15eV, 전자친화력(χ)은 4.3V로 한다. 소스 전극 및 드레인 전극을 구성하는 티타늄(Ti)의 일함수는 산화물 반도체의 전자친화력(χ)과 거의 같다. 이 경우, 금속과 산화물 반도체의 계면에 있어서 전자에 대하여 쇼트키 장벽은 형성되지 않는다.

[0119] 이 때, 전자는 도 6a에 나타나 있는 바와 같이 게이트 절연층과 고순도화된 산화물 반도체와의 계면 부근(산화물 반도체의 에너지적으로 안정한 최저부)으로 이동한다.

[0120] 또한, 도 6b에 나타나 있는 바와 같이 게이트 전극(GE1)에 음의 전위가 주어지면, 소수 캐리어인 홀은 실질적으로 제로이기 때문, 전류는 제로에 매우 가까운 값이 된다.

[0121] 이와 같이, 산화물 반도체의 주성분 이외의 원소(불순물 원소)가 최대한 포함되지 않도록 고순도화함으로써, 진성(i형) 또는 실질적으로 진성 산화물 반도체가 수득된다. 따라서, 산화물 반도체와 게이트 절연층의 계면 특성이 명백해진다. 그 때문에 게이트 절연층은 산화물 반도체로 양호한 계면을 형성할 필요가 있다. 구체적으로는, 예를 들면, VHF대 내지 마이크로파대의 전원 주파수에서 생성되는 고밀도 플라즈마를 사용한 CVD법으로 형성되는 절연층이나, 스퍼터링법으로 형성되는 절연층 등을 사용하는 것이 바람직하다.

[0122] 산화물 반도체를 고순도화하면서, 산화물 반도체와 게이트 절연층의 계면을 양호하게 함으로써, 트랜지스터의 채널 폭(W)이 1×10^{4}㎛, 채널 길이(L)가 3㎛인 경우에는, 10^{-13}A 이하의 오프 전류, 0.1V/dec.의 서브스레스홀드 스윙(S 값)(게이트 절연층의 두께: 100nm)이 실현될 수 있다.

[0123] 이와 같이, 산화물 반도체의 주성분 이외의 원소(불순물 원소)를 최대한 포함되지 않도록 고순도화함으로써, 트랜지스터의 동작을 양호한 것으로 할 수 있다.

[0124] <산화물 반도체를 포함하는 트랜지스터의 핫 캐리어 열화 내성>

[0125] 다음에, 산화물 반도체를 포함하는 트랜지스터의 핫 캐리어 열화 내성이 도 8a 및 도 8b, 도 9a 및 도 9b, 및 도 10a 및 도 10b를 참조하여 설명한다. 이하의 설명에서는, 이해의 용이성 때문에 이상적인 상황을 가정하고 있어, 실제 상황을 반영할 필요는 없다는 것을 주의한다. 이하의 설명은 어디까지나 하나의 고찰에 지나지 않는다는 것을 주의한다.

[0126] 핫 캐리어 열화의 주요 원인으로서는 채널 핫 전자 주입(CHE 주입)과 드레인 애벌런치 핫 캐리어 주입(DAHC 주입)이 있다. 또한, 이하에서는 명료성을 위해 전자만을 고려한다.

[0127] CHE 주입은 반도체층 중에 있어서 게이트 절연층의 장벽 이상의 에너지를 가지게 된 전자가, 게이트 절연층 등에 주입되는 현상을 말한다. 저전계에 의해 가속됨으로써 전자가 에너지를 얻는다.

[0128] DAHC 주입은 고전계에 의해 가속된 전자의 충돌에 의해 생성된 전자가 게이트 절연층 등에 주입되는 현상을 말한다. DAHC 주입과 CHE 주입의 차이는 충돌 이온화에 의한 애벌런치 항복을 수반하는지 여부이다. DAHC 주입은 반도체의 밴드갭 이상의 운동 에너지를 포함하는 전자를 필요로 한다.

[0129] 도 8a 및 도 8b는 실리콘(Si)의 밴드구조로부터 추정된 각 핫 캐리어 주입에 필요한 에너지를 나타내고, 도 9a 및 도 9b는 In-Ga-Zn-O계의 산화물 반도체(IGZO)의 밴드구조로부터 추정된 각 핫 캐리어 주입에 필요한 에너지를 나타낸다. 또한, 도 8a 및 도 9a는 CHE 주입을 의미하고, 도 8b 및 도 9b는 DAHC 주입을 의미한다.

[0130] 실리콘에 대해, CHE 주입보다도 DAHC 주입에 의한 열화가 더 심각하다. 이것은, 실리콘 중에 있어서 충돌하지 않고 가속되는 캐리어(예를 들면 전자)는 매우 작은 것에 대해서, 실리콘은 밴드갭이 작아지고, 애벌런치 항복이 생기기 쉬운 것에 기인한다. 애벌런치 항복으로 인해 게이트 절연층의 장벽을 넘을 수 있는 전자의 수는 증가하고, DAHC 주입의 확률은 CHE 주입의 확률을 용이하게 상회한다.

[0131] In-Ga-Zn-O계의 산화물 반도체에 대해, CHE 주입에 필요한 에너지는 실리콘의 경우와 크게 다르지 않고, CHE 주입의 확률은 여전히 낮다. 또한, DAHC 주입에 필요한 에너지는 넓은 밴드갭으로 인해 CHE 주입에 필요한 에너지와 실질적으로 같은 정도가 된다.

[0132] 즉, CHE 주입과 DAHC 주입의 확률은 모두 낮게, 실리콘과 비교해서 핫 캐리어 열화의 내성은 높다.

[0133] 한편, In-Ga-Zn-O계의 산화물 반도체의 밴드갭은 고 내압재료로서 주목받는 탄화 실리콘(SiC)과 같은 정도이다. 도 10a 및 도 10b는 4H-SiC에 관한 각 핫 캐리어 주입에 필요한 에너지를 나타낸다. 또한, 도 10a는 CHE 주입을 의미하고, 도 10b는 DAHC 주입을 의미한다. CHE 주입에 관해서는, In-Ga-Zn-O계의 산화물 반도체가 그 임계가 약간 높고, 유리하다고 할 수 있다.

[0134] 이상과 같이, In-Ga-Zn-O계의 산화물 반도체는 실리콘과 비교해서 핫 캐리어 열화에 대한 내성이나 소스-드레인 파괴에 대한 내성이 대단히 높다는 것을 알 수 있다. 또한, 탄화 실리콘과 비교해도 손색이 없는 내압이 수득된다고 할 수 있다.

[0135] <산화물 반도체를 포함하는 트랜지스터에 있어서의 단채널 효과>

[0136] 다음에, 산화물 반도체를 포함하는 트랜지스터에 있어서의 단채널 효과에 관하여 도 11 및 도 12를 사용하여 설명한다. 이하의 설명에서는, 이해의 용이성 때문에 이상적인 상황을 가정하고, 실제 상황을 반영할 필요는 없다는 것을 주의한다. 이하의 설명은 어디까지나 하나의 고찰에 지나지 않는다는 것을 주의한다.

[0137] 단채널 효과는 트랜지스터의 미세화(채널 길이(L)의 축소)에 따라 명백해지는 전기 특성의 열화를 참조한다. 단채널 효과는 소스에 대한 드레인의 효과에 기인하는 것이다. 단채널 효과의 구체적인 예로서는, 임계값 전압의 저하, 서브스레드홀드 스윙(S 값)의 증대, 리크 전류의 증대 등이 있다.

[0138] 여기에서는, 디바이스 시뮬레이션에 의해 단채널 효과를 억제할 수 있는 구조에 관해서 검증했다. 구체적으로는, 캐리어 농도 및 산화물 반도체층의 두께를 다르게 한 4종류의 모델을 준비하고, 채널 길이(L)와 임계값 전압(Vth)의 관계를 확인했다. 모델로서는, 보텀 게이트 구조의 트랜지스터를 채용하고, 산화물 반도체의 캐리어 농도를 $1.7\times10^{-8}/cm^3$ 또는 $1.0\times10^{15}/cm^3$ 중 어느 하나로 해서 산화물 반도체층의 두께를 1㎛ 또는 30nm 중 어느 하나로 했다. 또한, 산화물 반도체로서 In-Ga-Zn-O계의 산화물 반도체를 사용하고, 게이트 절연층

으로서 100nm의 두께의 산화질화규소막을 사용했다. 산화물 반도체의 밴드갭을 3.15eV, 전자친화력을 4.3eV, 비유전률을 15, 전자이동도를 10cm^2/Vs로 가정했다. 산화질화규소막의 비유전률을 4.0로 가정했다. 계산에는 Silvaco사제 시뮬레이션 소프트웨어 "ATLAS"를 사용했다.

[0139] 또한, 탑 게이트 구조와 보텀 게이트 구조에서는 계산 결과에 큰 차이는 없다.

[0140] 계산 결과를 도 11 및 도 12에 나타낸다. 도 11은 캐리어 농도가 $1.7\times10^{-8}/cm^3$인 경우, 도 12는 캐리어 농도가 $1.0\times10^{15}/cm^3$인 경우이다. 도 11 및 도 12에는 채널 길이(L)가 10㎛인 트랜지스터를 기준으로 해서 채널 길이(L)를 10㎛로부터 1㎛까지 변화시켰을 때 임계값 전압(V_{th})의 변화량($\triangle V_{th}$)을 나타내고 있다. 도 11에 나타내는 바와 같이, 산화물 반도체의 캐리어 농도가 $1.7\times10^{-8}/cm^3$이며, 산화물 반도체층의 두께가 1㎛인 경우에는, 임계값 전압의 변화량($\triangle V_{th}$)은 -3.6V이었다. 또한, 도 11에 나타내는 바와 같이, 산화물 반도체의 캐리어 농도가 $1.7\times10^{-8}/cm^3$이며, 산화물 반도체층의 두께가 30nm인 경우에는, 임계값 전압의 변화량($\triangle V_{th}$)은 -0.2V이었다. 또한, 도 12에 나타내는 바와 같이, 산화물 반도체의 캐리어 농도가 $1.0\times10^{15}/cm^3$이며, 산화물 반도체층의 두께가 1㎛인 경우에는, 임계값 전압의 변화량($\triangle V_{th}$)은 -3.6V이었다. 또한, 도 12에 나타내는 바와 같이, 산화물 반도체의 캐리어 농도가 $1.0\times10^{15}/cm^3$이며, 산화물 반도체층의 두께가 30nm인 경우에는, 임계값 전압의 변화량($\triangle V_{th}$)은 -0.2V이었다. 상기 결과는 산화물 반도체를 포함하는 트랜지스터에 있어서, 산화물 반도체층의 두께를 작게함으로써, 단채널 효과를 억제할 수 있다. 예를 들면, 채널 길이(L)가 1㎛ 정도인 경우, 캐리어 농도가 충분하게 높아 산화물 반도체층이어도, 산화물 반도체층의 두께를 30nm 정도로 하면, 단채널 효과를 충분하게 억제할 수 있는 것이 이해된다.

[0141] <캐리어 농도>

[0142] 본 발명에 따른 기술적 사상은, 산화물 반도체층에 있어서의 캐리어 농도를 충분하게 저감, 가능한 한 진성(i형)에 가깝게 하는 것이다. 이하, 캐리어 농도의 계산 방법, 및 실제로 측정한 캐리어 농도에 관해, 도 13 및 도 14를 참조해서 설명한다.

[0143] 우선, 캐리어 농도의 계산하는 방법에 대해서 간단하게 설명한다. 캐리어 농도는 MOS 커패시터를 제작하고, MOS 커패시터의 CV측정의 결과(CV 특성)를 평가하는 방법으로 계산될 수 있다.

[0144] 구체적으로는, MOS 커패시터의 게이트 전압 V_G과 용량 C의 관계를 도시함으로써 C-V 특성을 획득하고, 상기 C-V 특성으로부터 게이트 전압 V_G과 $(1/C)^2$의 관계를 의미하는 그래프를 획득하고, 상기 그래프에 있어서 약반전 영역에서의 $(1/C)^2$의 미분값이 발견되고, 상기 미분값을 식(1)에 대입함으로써 캐리어 농도 N_d가 계산된다. 또한, 식(1)에 있어서, e는 전기소량, ε_0는 진공의 유전율, ε은 산화물 반도체의 비유전률이다.

수학식 1

[0145]
$$N_d = -\left(\frac{2}{e\varepsilon_0\varepsilon}\right)\Big/\frac{d(1/C)^2}{dV}$$

[0146] 다음에, 상기의 방법을 사용해서 실제로 측정한 캐리어 농도에 관하여 설명한다. 측정에는, 유리 기판 위에 티타늄 막을 300nm의 두께로 형성하고, 티타늄 막 위에 질화 티타늄 막을 100nm의 두께로 형성하고, 질화 티타늄 막 위에 In-Ga-Zn-O계의 산화물 반도체를 사용한 산화물 반도체층을 2㎛의 두께로 형성하고, 산화물 반도체층 위에 은막을 300nm의 두께로 형성한 시료(MOS 커패시터)를 사용했다. 산화물 반도체층은 In, Ga, 및 Zn을 포함하는 산화물 반도체 성막용 타겟(In:Ga:Zn=1:1:0.5[atom비])을 사용한 스퍼터링법에 의해 성막했다. 또한, 산화물 반도체층의 성막 분위기는 아르곤과 산소의 혼합 분위기(유량비는 Ar:O_2=30(sccm):15(sccm))로 했다.

[0147] 도 13에는 C-V 특성을, 도 14에는 V_G과 $(1/C)^2$의 관계를 각각 나타낸다. 도 14의 약반전 영역에 있어서의 $(1/C)^2$

의 미분값으로부터 식(1)을 사용해서 수득된 캐리어 농도는 $6.0\times10^{10}/cm^3$이었다.

[0148] 이와 같이, i형화 또는 실질적으로 i형화된 산화물 반도체(예를 들면, 캐리어 농도가 $1\times10^{12}/cm^3$ 미만, 바람직하게는, $1\times10^{11}/cm^3$ 이하)을 사용함으로써 지극히 우수한 오프 전류 특성의 트랜지스터를 수득하는 것이 가능하다.

[0149] 이상, 본 실시형태에 나타내는 구성, 방법 등은 다른 실시형태에 나타내는 구성, 방법 등과 적절히 조합시켜서 사용할 수 있다.

[0150] (실시형태 2)

[0151] 본 실시형태에서는 상기 실시형태에 따른 반도체 장치를 포함하는 전자기기의 예에 대해서 도 15a 내지 도 15f를 참조하여 설명한다. 상기 실시형태에 따른 반도체 장치는 우수한 특성을 갖는다. 이 때문에, 상기 반도체 장치를 사용하여 새로운 구성의 전자기기를 제공할 수 있다. 상기 실시형태에 따른 반도체 장치는 집적화되어서 회로 기판 등에 설치되어, 각 전자기기에 내장된다는 것을 주의한다.

[0152] 도 15a는 상기 실시형태에 따른 반도체 장치를 포함하는 노트형 퍼스널 컴퓨터이며, 본체(301), 하우징(302), 표시부(303), 키보드(304) 등을 포함한다. 본 발명에 따른 반도체 장치를 퍼스널 컴퓨터에 적용함으로써 우수한 성능의 퍼스널 컴퓨터를 제공할 수 있다.

[0153] 도 15b는 상기 실시형태에 따른 반도체 장치를 포함하는 PDA(personal digital assistant)이며, 본체(311)에는 표시부(313), 외부 인터페이스(315), 조작 버튼(314) 등이 제공된다. 또한, 조작용의 부속품으로서 스타일러스(312)가 제공될 수 있다. 본 발명에 따른 반도체 장치를 PDA에 적용함으로써, 우수한 성능의 PDA를 제공할 수 있다.

[0154] 도 15c는 상기 실시형태에 따른 반도체 장치를 포함하는 전자 페이퍼의 일례로서, 전자 서적(320)을 나타낸다. 전자 서적(320)은 하우징(321) 및 하우징(323)의 2개의 하우징을 포함한다. 하우징(321) 및 하우징(323)은 축부(337)에 의해 결합되어, 상기 축부(337)를 축으로서 개폐 동작을 행할 수 있다. 이러한 구성에 의해, 전자 서적(320)은 종이 서적과 같이 사용될 수 있다.

[0155] 하우징(321)은 표시부(325), 하우징(323)은 표시부(327)를 포함한다. 표시부(325) 및 표시부(327)는 연속 화상 또는 상이한 화상을 표시할 수 있다. 상이한 화상을 표시하는 구성으로 함으로써, 예를 들면 오른쪽의 표시부(도 15c에서는 표시부(325))에 문장을 표시하고, 좌측의 표시부(도 15c에서는 표시부(327))에 화상을 표시할 수 있다.

[0156] 또한, 도 15c는 하우징(321)에 조작부 등을 구비한 예를 도시한다. 예를 들면, 하우징(321)은, 전원(331), 조작키(333), 스피커(335) 등을 구비하고 있다. 조작키(333)에 의해 페이지를 넘길 수 있다. 하우징의 표시부와 동일면에 키보드, 포인팅 디바이스 등을 구비할 수 있다는 것을 주의한다. 또한, 하우징의 이면이나 측면에 외부 접속용 단자(이어폰 단자, USB 단자, 또는 AC 어댑터 및 USB 케이블 등의 각종 케이블과 접속가능한 단자 등), 기록 매체 삽입부 등을 구비할 수 있다. 또한, 전자 서적(320)은 전자사전으로서의 기능을 갖는 구성으로 할 수 있다.

[0157] 또한, 전자 서적(320)은 무선으로 정보를 송수신할 수 있다. 무선 통신을 통해 전자 서적 서버로부터 원하는 서적 데이터 등을 구입하고, 다운로드할 수 있다.

[0158] 전자 페이퍼는 데이터를 표시하는 것이면 모든 분야의 전자기기에 사용할 수 있다. 예를 들면, 전자 서적 이외에도, 포스터, 전차 등의 탈것의 차내광고, 신용 카드 등의 각종 카드에 있어서의 표시 등에 적용할 수 있다. 본 발명에 따른 반도체 장치를 전자 페이퍼에 적용함으로써, 우수한 성능의 전자 페이퍼를 제공할 수 있다.

[0159] 도 15d는 상기 실시형태에 따른 반도체 장치를 포함하는 휴대전화기이다. 상기 휴대전화기는 하우징(340) 및 하우징(341)의 두개의 하우징을 포함한다. 하우징(341)은 표시 패널(342), 스피커(343), 마이크로폰(344), 포인팅 디바이스(346), 카메라용 렌즈(347), 외부 접속 단자(348) 등을 포함한다. 또한, 하우징(340)은 상기 휴대전화기의 충전을 위한 태양 전지 셀(349), 외부 메모리 슬롯(350) 등을 포함한다. 안테나가 하우징(341) 내부에 내장되어 있다.

[0160] 표시 패널(342)은 터치패널 기능을 갖추고 있다. 도 15d에는 화상으로 복수의 조작키(345)가 점선으로 도시된다. 또한, 상기 휴대전화는 태양 전지 셀(349)로부터 출력되는 전압을 각 회로에 필요한 전압으로 승압하

기 위한 승압 회로를 설치하고 있다. 또한, 상기 구성에 더해서, 비접촉 IC칩, 소형 기록 장치 등이 형성된 구성으로 할 수 있다.

[0161] 표시 패널(342)은 사용 형태에 따라 표시의 방향이 적절히 변화된다. 또한, 표시 패널(342)과 동일면 위에 카메라용 렌즈(347)를 구비하고 있기 때문에, 영상 전화가 가능하다. 스피커(343) 및 마이크로폰(344)은 음성통화뿐만 아니라, 영상 전화, 녹음, 재생 등이 가능하다. 또한, 하우징(340)과 하우징(341)은 슬라이드하여, 도 15d와 같이 전개하고 있는 상태로부터 겹친 상태로 할 수 있고, 휴대에 적합한 휴대전화가 가능하다.

[0162] 외부 접속 단자(348)는 AC어댑터나 USB케이블 등의 각종 케이블과 접속가능해서, 휴대전화가 충전이나 데이터 통신이 가능하게 된다. 또한, 외부 메모리 슬롯(350)에 기록 매체를 삽입하고, 보다 대량인 데이터의 보존 및 이동이 가능하다. 또한, 상기 기능에 더해서, 적외선 통신기능, 텔레비전 수신 기능 등을 구비한 것이라도 된다. 본 발명에 따른 반도체 장치를 휴대전화기에 적용함으로써, 우수한 성능의 휴대전화를 제공할 수 있다.

[0163] 도 15e는 상기 실시형태에 따른 반도체 장치를 포함하는 디지털 카메라이다. 상기 디지털 카메라는 본체(361), 표시부(A)(367), 접안부(363), 조작 스위치(364), 표시부(B)(365), 배터리(366) 등을 포함한다. 본 발명에 따른 반도체 장치를 디지털 카메라에 적용함으로써, 우수한 성능의 디지털 카메라를 제공할 수 있다.

[0164] 도 15f는 상기 실시형태에 따른 반도체 장치를 포함하는 텔레비전 장치이다. 텔레비전 장치(370)에서는, 하우징(371)에 표시부(373)가 내장된다. 표시부(373)에 의해 영상을 표시하는 것이 가능하다. 여기에서는, 스탠드(375)에 의해 하우징(371)이 지지된다.

[0165] 텔레비전 장치(370)의 조작은 하우징(371)에 포함된 조작 스위치나 리모트 컨트롤러(380)에 의해 수행될 수 있다. 리모트 컨트롤러(380)에 포함된 조작키(379)에 의해, 채널이나 음량의 조작을 행할 수 있고, 표시부(373)에 표시되는 영상을 조작할 수 있다. 또한, 리모트 컨트롤러(380)는 상기 리모트 컨트롤러(380)로부터 출력된 데이터를 표시하는 표시부(377)를 설치할 수 있다.

[0166] 텔레비전 장치(370)는 수신기나 모뎀 등을 구비하는 것이 바람직하다. 수신기는 텔레비전 장치(370)로 하여금 일반의 텔레비전 방송의 수신을 행하도록 한다. 또한, 모뎀을 통해 유선 또는 무선으로 통신 네트워크에 접속함으로써, 일방향(송신자와 수신자) 또는 쌍방향(송신자와 수신자간 또는 수신자간끼리 등)의 정보통신을 행하는 것이 가능하다. 본 발명에 따른 반도체 장치를 텔레비전 장치에 적용함으로써, 우수한 성능의 텔레비전 장치를 제공할 수 있다.

[0167] 본 실시형태에 나타내는 구성, 방법 등은 다른 실시형태에 나타내는 구성, 방법 등과 적절히 조합시켜서 사용할 수 있다.

[0168] (실시예)

[0169] 본 실시예에서는 본 발명의 일 형태에 따른 고밀도 플라즈마 처리에 의해, 도전층이 산화되는 것을 확인했다. 이하, 상세하게 설명한다.

[0170] 본 실시예에서는 전원의 주파수가 2.45GHz, 압력이 500Pa의 조건으로, 산소와 아르곤과의 혼합 가스로 플라즈마를 여기하고, 플라즈마를 사용해서 도전층을 처리했다. 또한, 처리 시간을 1분(60초), 3분(180초), 10분(600초)의 3조건으로 함으로써, 처리 시간과 산화 영역의 두께의 관계를 조사했다.

[0171] 도전층으로서는 유리 기판 위에 형성된 티타늄 막 및 유리 기판 위에 형성된 알루미늄 막을 각각 준비했다. 기판 온도를 각각 300℃ 또는 325℃로서 상기 플라즈마 처리를 행했다. 즉, 기판 온도가 300℃인 티타늄 막, 기판 온도가 325℃인 티타늄 막, 기판 온도가 300℃인 알루미늄 막, 기판 온도가 325℃인 알루미늄 막의 4조건에 관해서, 처리 시간과 산화 영역의 두께의 관계를 조사했다.

[0172] 조사 결과를 도 16에 나타낸다. 도 16으로부터 알루미늄에 비해 티타늄이 산화 레이트가 큰 것을 알 수 있다. 또한, 티타늄에서는 산화 레이트의 온도 의존성이 큰 것에 대해서, 알루미늄에서는 산화 레이트의 온도 의존성이 작다. 또한, 알루미늄에서는 산화 영역의 두께가 단시간에 포화하는 경향에 있다고 할 수 있다.

[0173] 어느 재료에 관해서도, 게이트 전극, 소스 전극 및 드레인 전극의 쇼트를 억제하기 위해서 충분한 두께(5㎚ 이상)의 산화 영역을 수득하는 것이 가능하다.

[0174] 본 실시예에서 나타낸 바와 같은 고밀도 플라즈마에 의한 산화 처리를 적용함으로써, 통상의 플라즈마 처리에 의한 산화 처리를 적용할 경우와 비교하여, 산화물 반도체층으로의 데미지를 경감하면서, 산소 결손에 기인하는 국재 준위를 감소시킬 수 있다. 즉, 산화물 반도체층의 특성을 한층 향상시킬 수 있다.

[0175] 또한, 상기 산화 처리에 의해, 소스 또는 드레인 전극의 일부(특히, 그 측면에 대응하는 부분)에 산화 영역이 형성되어, 게이트 전극과 소스 또는 드레인 전극의 쇼트를 방지할 수 있다.

[0176] 이상으로부터, 본 발명의 일 형태는 산화물 반도체를 포함하는 트랜지스터의 신뢰성, 그 밖의 특성의 향상에 지극히 효과적인 것이 이해된다.

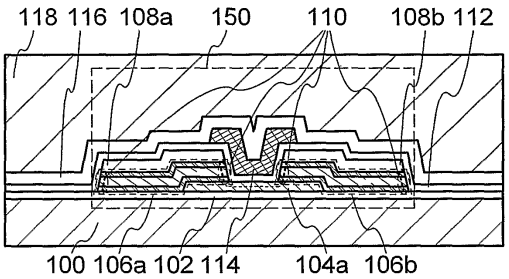
[0177] 본 발명은 전체 내용이 본원에 참조로서 포함된 2009년 11월 13일에 일본 특허청에 제출된 일본 특허 출원 번호 2009-260368호에 기초한다.

부호의 설명

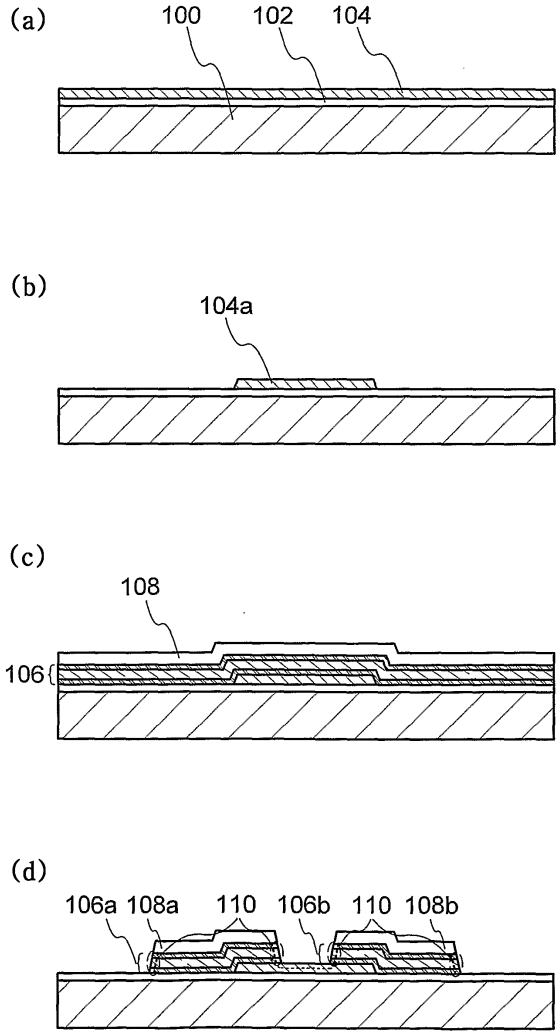
[0178] 100: 기판, 102: 절연층, 104: 산화물 반도체층, 104a: 산화물 반도체층, 106: 도전층, 106a: 소스 또는 드레인 전극, 106b: 소스 또는 드레인 전극, 108: 절연층, 108a: 절연층, 108b: 절연층, 110: 산화영역, 112: 게이트 절연층, 114: 게이트 전극, 116: 층간 절연층, 118: 층간 절연층, 150: 트랜지스터, 301: 본체, 302: 하우징, 303: 표시부, 304: 키보드, 311: 본체, 312: 스타일러스, 313: 표시부, 314: 조작 버튼, 315: 외부 인터페이스, 320: 전자 서적, 321: 하우징, 323: 하우징, 325: 표시부, 327: 표시부, 331: 전원, 333: 조작키, 335: 스피커, 337: 축부, 340: 하우징, 341: 하우징, 342: 표시 패널, 343: 스피커, 344: 마이크로폰, 345: 조작키, 346: 포인팅 디바이스, 347: 카메라용 렌즈, 348: 외부 접속 단자, 349: 태양 전지 셀, 350: 외부 메모리 슬롯, 361: 본체, 363: 접안부, 364: 조작 스위치, 365: 표시부(B), 366: 배터리, 367: 표시부(A), 370: 텔레비전 장치, 371: 하우징, 373: 표시부, 375: 스탠드, 377: 표시부, 379: 조작키, 380: 리모트 컨트롤러

도면

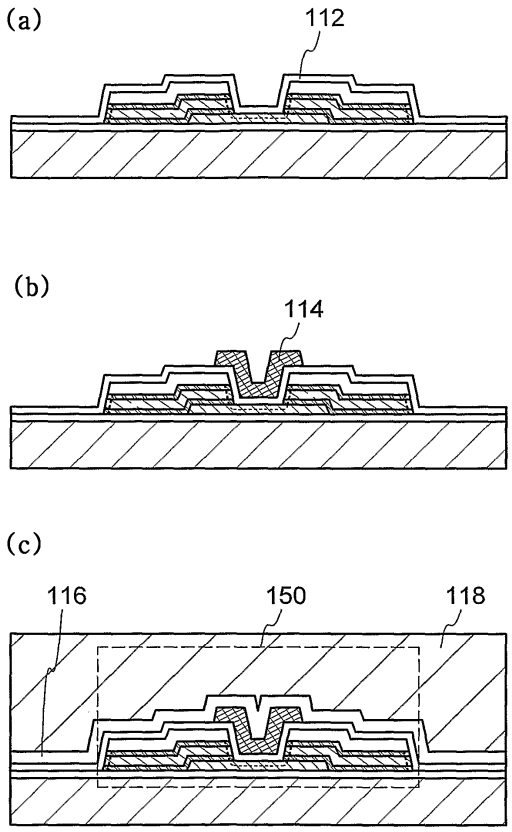
도면1



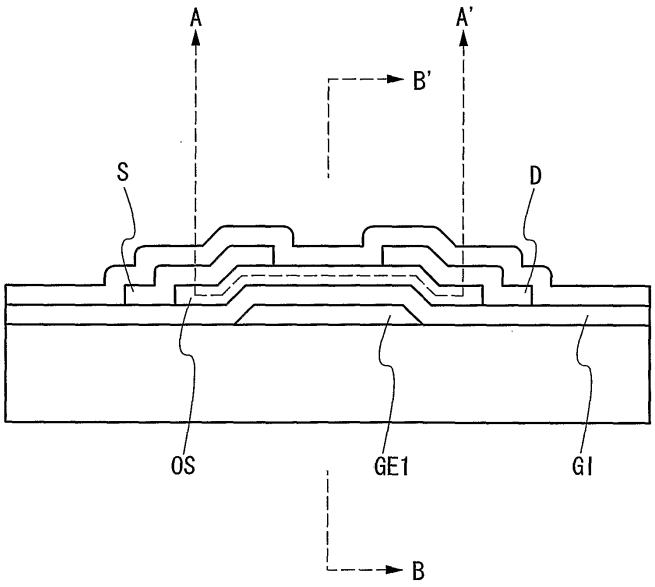
도면2



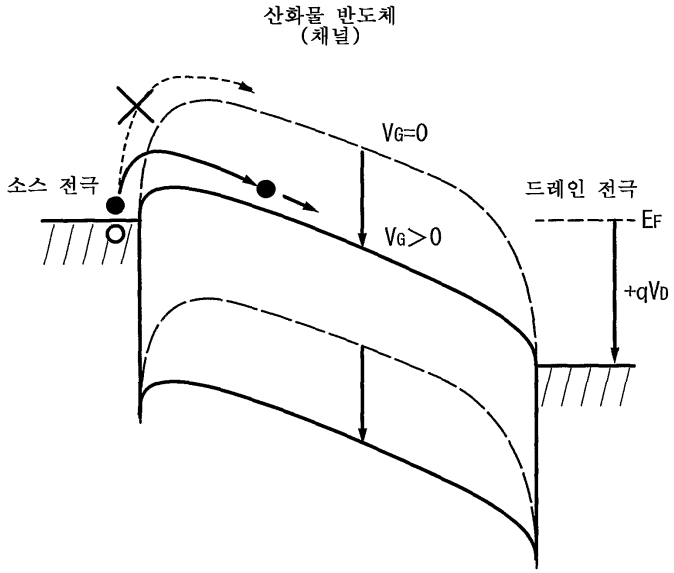
도면3



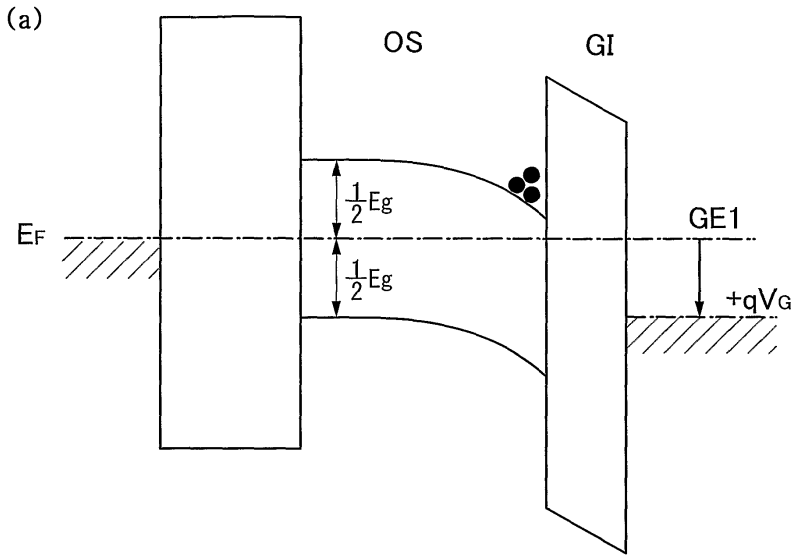
도면4



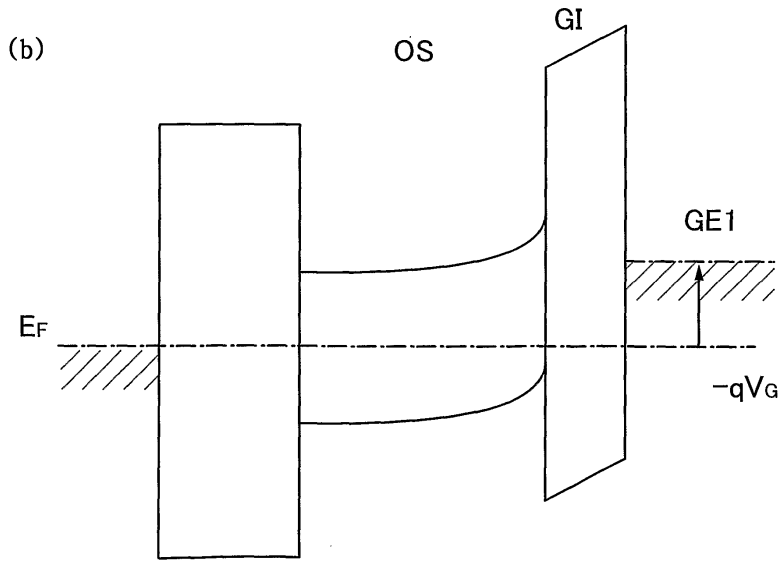
도면5



도면6

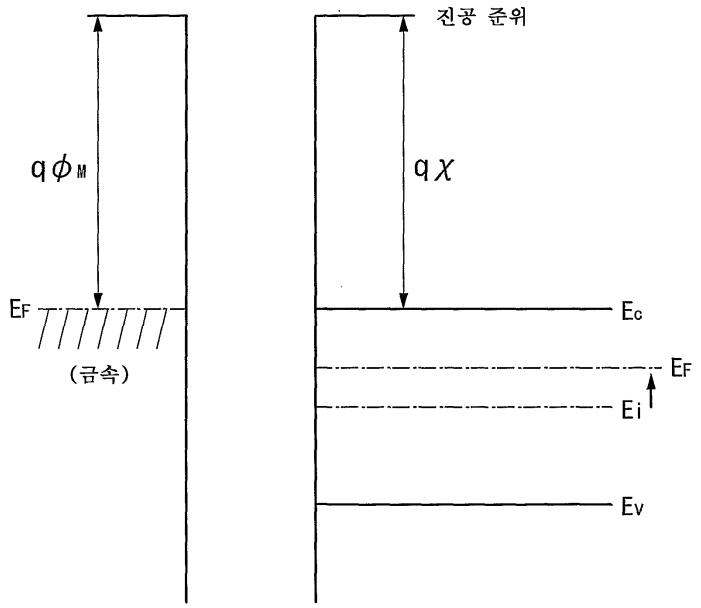


B-B' 단면의 에너지 대역도 (V_G>0)

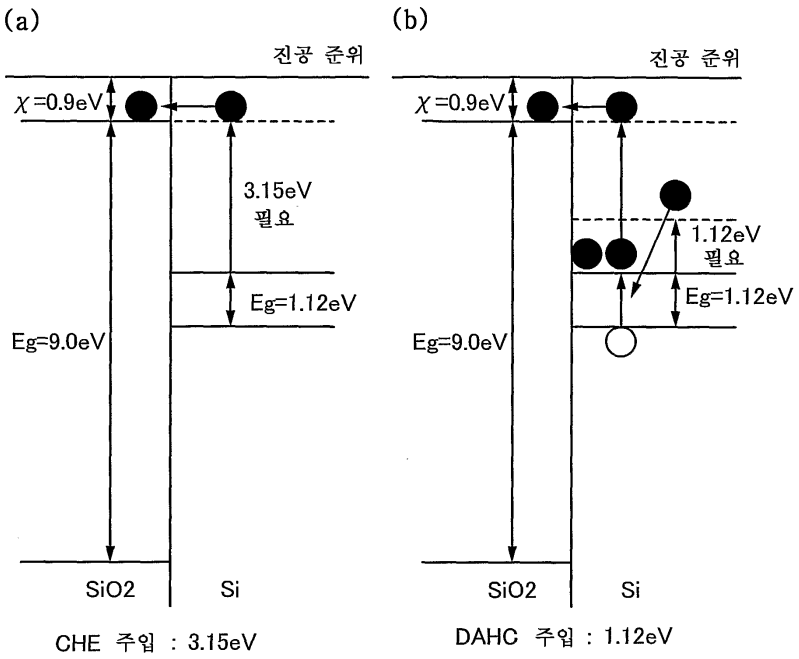


B-B' 단면의 에너지 대역도 (V_G<0)

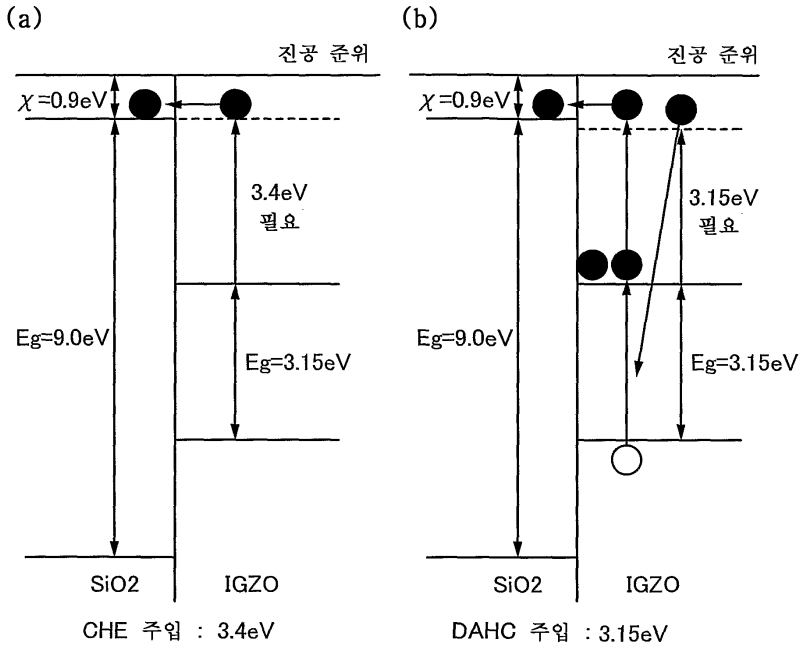
도면7


진공 준위
qϕM
qχ
EF
(금속)
Ec
EF
Ei
Ev

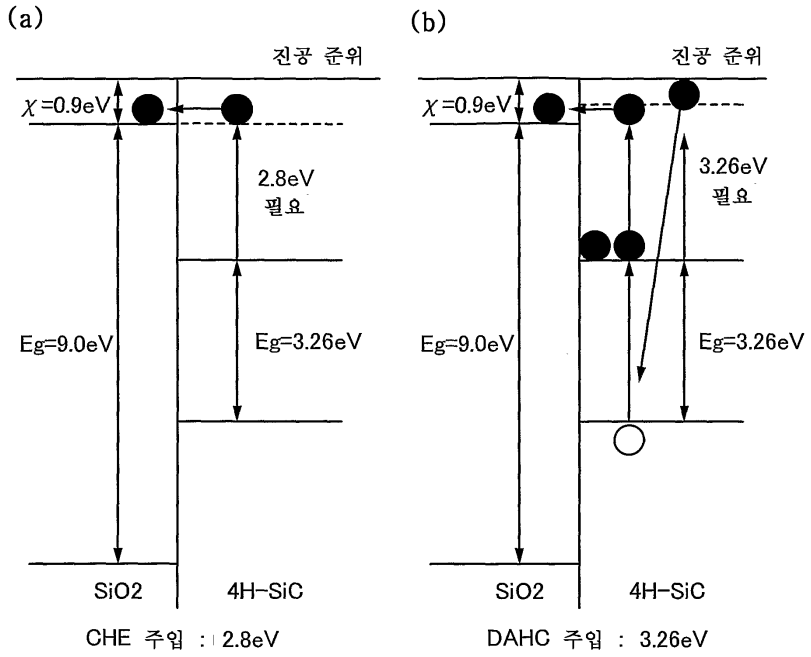
도면8


(a)
진공 준위
χ=0.9eV
3.15eV
필요
Eg=1.12eV
Eg=9.0eV
SiO2
Si
CHE 주입 : 3.15eV
(b)
진공 준위
χ=0.9eV
1.12eV
필요
Eg=1.12eV
Eg=9.0eV
SiO2
Si
DAHC 주입 : 1.12eV

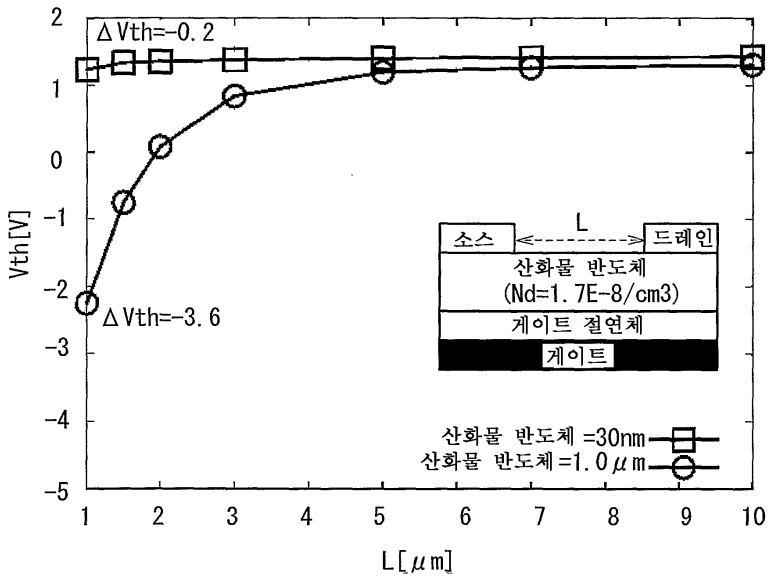
도면9


(a)
진공 준위
χ=0.9eV
3.4eV
필요
Eg=9.0eV
Eg=3.15eV
SiO2
IGZO
CHE 주입 : 3.4eV
(b)
진공 준위
χ=0.9eV
3.15eV
필요
Eg=9.0eV
Eg=3.15eV
SiO2
IGZO
DAHC 주입 : 3.15eV

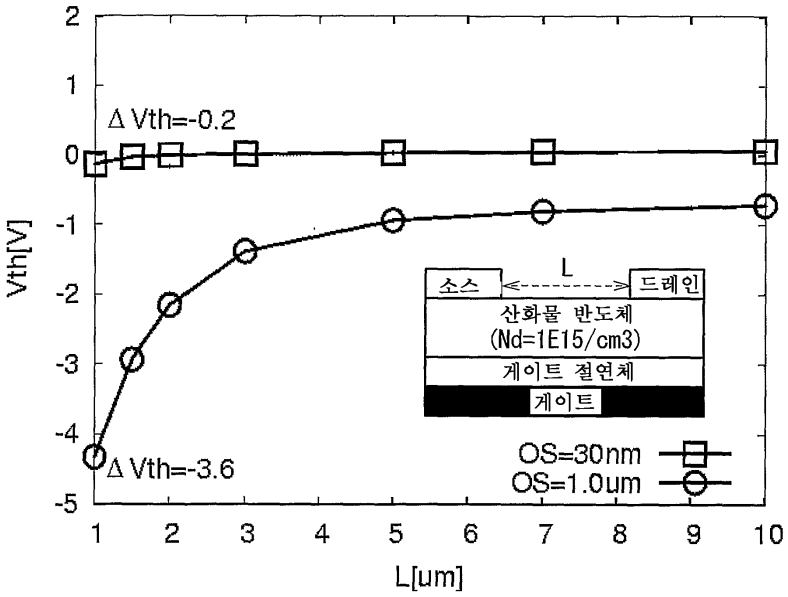
도면10


(a)
진공 준위
χ=0.9eV
2.8eV
필요
Eg=9.0eV
Eg=3.26eV
SiO2
4H-SiC
CHE 주입 : 2.8eV
(b)
진공 준위
χ=0.9eV
3.26eV
필요
Eg=9.0eV
Eg=3.26eV
SiO2
4H-SiC
DAHC 주입 : 3.26eV

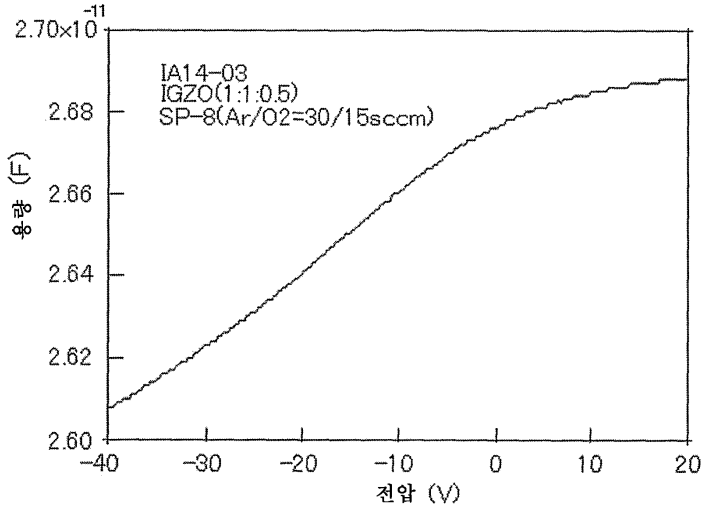
도면11


ΔVth=-0.2
ΔVth=-3.6
Vth[V]
L[μm]
소스
L
드레인
산화물 반도체
(Nd=1.7E-8/cm3)
게이트 절연체
게이트
산화물 반도체 =30nm
산화물 반도체 =1.0μm

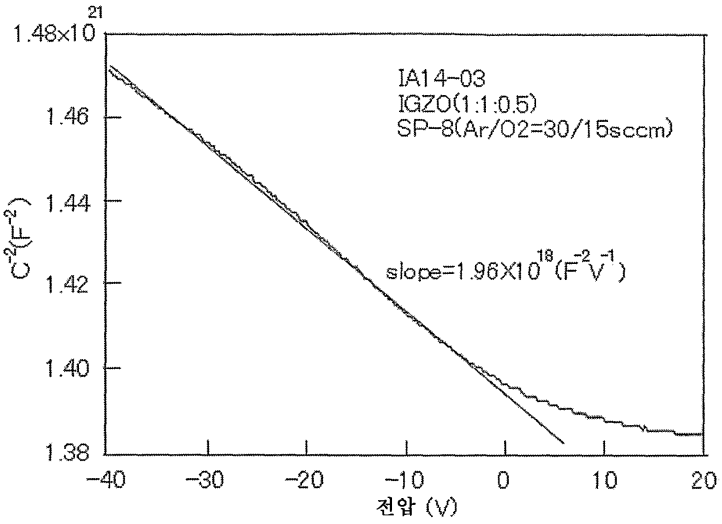
도면12


ΔVth=-0.2
ΔVth=-3.6
Vth[V]
L[um]
소스
L
드레인
산화물 반도체
(Nd=1E15/cm3)
게이트 절연체
게이트
OS=30nm
OS=1.0um

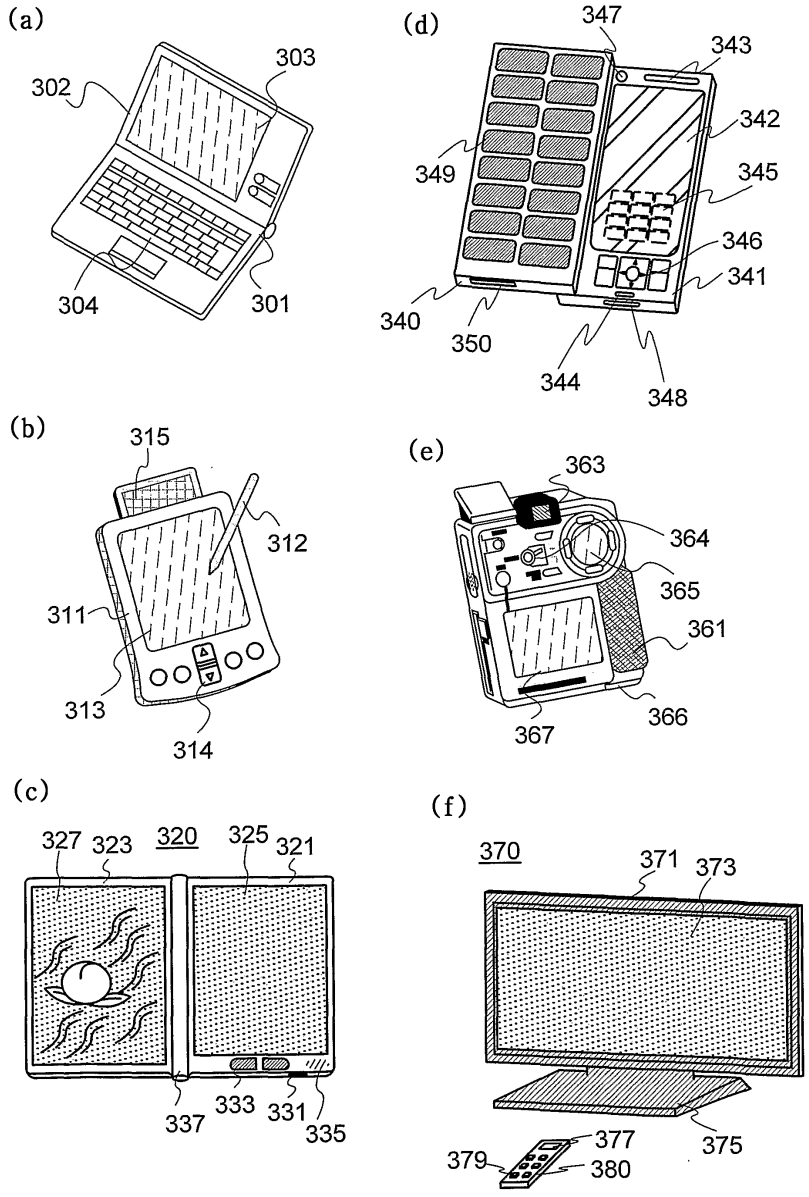
도면13


2.70x10^-11
2.68
2.66
2.64
2.62
2.60
용량 (F)
IA14-03
IGZO(1:1:0.5)
SP-8(Ar/O2=30/15sccm)
-40
-30
-20
-10
0
10
20
전압 (V)

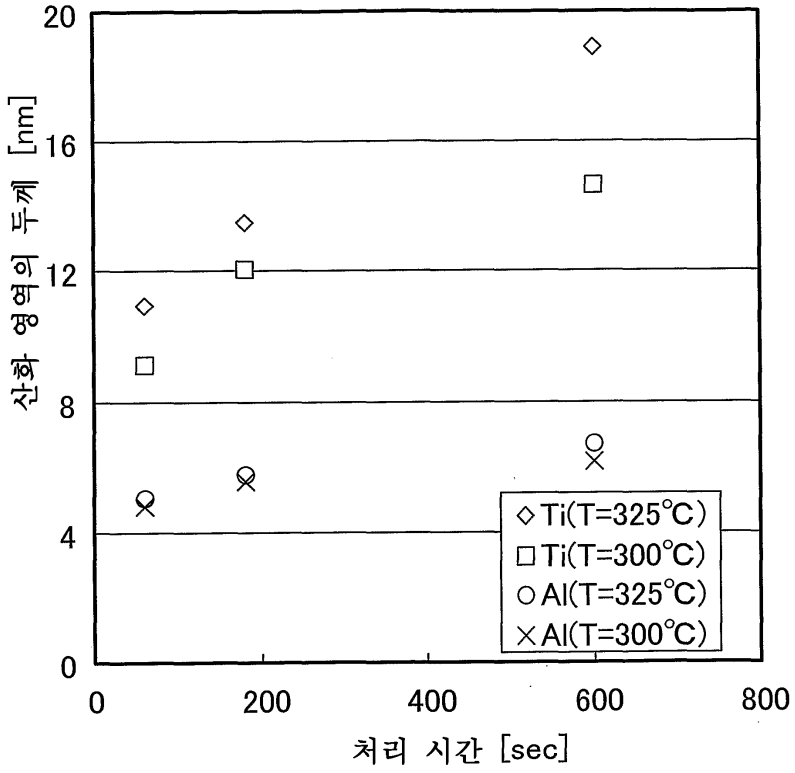
도면14


1.48x10^21
1.46
1.44
1.42
1.40
1.38
C^-2(F^-2)
IA14-03
IGZO(1:1:0.5)
SP-8(Ar/O2=30/15sccm)
slope=1.96X10^18(F^-2V^-1)
-40
-30
-20
-10
0
10
20
전압 (V)

도면15


(a)
303
302
304
301
(d)
347
343
342
349
345
346
341
340
350
344
348
(b)
315
312
311
313
314
(e)
363
364
365
361
366
367
(c)
327
323
320
325
321
337
333
331
335
(f)
370
371
373
377
375
379
380

도면16


20
16
12
8
4
0
산화 영역의 두께 [nm]
0
200
400
600
800
처리 시간 [sec]
◇Ti(T=325℃)
□Ti(T=300℃)
○Al(T=325℃)
×Al(T=300℃)