



(12) Wirtschaftspatent

Erteilt gemäß § 17 Absatz 1 Patentgesetz

(19) DD (11) 228 668 A1

4(51) G 06 K 19/06

AMT FÜR ERFINDUNGS- UND PATENTWESEN

In der vom Anmelder eingereichten Fassung veröffentlicht

(21) WP G 06 K / 269 556 8

(22) 16.11.84

(44) 16.10.85

(71) VEB Robotron-Buchungsmaschinenwerk Karl-Marx-Stadt, 9010 Karl-Marx-Stadt, Annaberger Straße 93, DD
(72) Junghanns, Günter, Dipl.-Ing.; Ullrich, Wolfram, Dipl.-Ing., DD

(54) Tragbare Karte mit integrierten Schaltkreisen

(57) Die Erfindung betrifft einen tragbaren kartenförmigen Datenträger, eine sogenannte Chip- oder IC-Karte in der Anwendung u. a. als Geld- oder Identifikationskarte. Ziel der Erfindung ist es, eine Chipkarte mit erhöhter Fälschungssicherheit zu schaffen. Die daraus resultierende Aufgabenstellung, in einer Chipkarte mindestens zwei Halbleiterchips so anzuordnen, daß ohne Zerstörung der Karte auf bestimmte Informationen von außen nicht zugegriffen werden kann, wird dadurch gelöst, daß die Halbleiterchips mit ihren aktiven Strukturen derart zueinander gerichtet mit dem Leiternetz der Trägerschicht kontaktiert sind, daß die gegen Antastung zu schützenden Bondbereiche und Verbindungen zwischen den Chips von einem jeweils gegenüberliegenden Chip flächenmäßig abgedeckt werden. Fig. 3

Tragbare Karte mit integrierten Schaltkreisen

Anwendungsgebiet

Die Erfindung bezieht sich auf einen tragbaren kartenförmigen Datenträger mit eingearbeiteten integrierten Schaltkreisen. Dieser als Chip- oder IC-Karte bzw. einfach als Plastkarte bezeichnete Datenträger findet Anwendung als Geld- oder Identifikationskarte sowie als anderweitiger personen- oder sachbezogener Informationsträger.

Bekannte technische Lösungen

Bereits bekannt gewordene Chipkarten besitzen im allgemeinen einen mehrschichtigen Aufbau, in dem sowohl Raum für die Unterbringung eines Halbleiterchips vorgesehen ist als auch elektrische Verbindungen zwischen Halbleiterchips und äußeren Anschlußkontakten untergebracht sind. Als günstigstes Verfahren hat sich dabei die sogenannte Trägerfilmtechnik herausgestellt, bei der der IC-Baustein vor seiner Einbringung in die Karte an einem mit den elektrischen Verbindungsleitern ausgerüsteten Filmträger befestigt wurde (z. B. DE-OS 31 51 408).

Ein Nachteil aller auf diese oder ähnliche Art mit einem oder - wie bereits auch vorgeschlagen - zwei oder mehreren IC-Bausteinen ausgerüsteten Chipkarten besteht darin, daß es prinzipiell möglich ist, sämtliche Bondinseln der Chips oder die Verbindungsleitungen zwischen den Chips von außerhalb der Karte zerstörungsfrei abzutasten und damit Speicherbereiche, welche beispielsweise Sicherheitsschlüssel, Ge-

heimcodes, Scheck- und Münzbereiche u. dgl. beinhalten, zum Zwecke der Manipulation zu lesen und zu ändern.

Ziel der Erfindung

Ziel der Erfindung ist es, eine Chipkarte mit erhöhter Fälschungssicherheit zu schaffen.

Wesen der Erfindung

Der Erfindung liegt die Aufgabe zugrunde, in einer Chipkarte mindestens zwei Halbleiterchips, die sowohl untereinander als auch über ein inneres Leiternetz mit äußeren Anschlußkontakten elektrisch verbunden sind, so anzuordnen, daß ohne Chipzerstörung von außen auf bestimmte zu schützende Bondinseln oder Verbindungsleitungen nicht zugegriffen werden kann.

Die Aufgabe wird erfindungsgemäß dadurch gelöst, daß die Halbleiterchips mit ihren aktiven Strukturen derart zueinander gerichtet mit dem Leiternetz der Trägerschicht kontaktiert sind, daß die gegen Antastung zu schützenden Bondbereiche und Verbindungen zwischen den Halbleiterchips von einem jeweils gegenüberliegenden Halbleiterchip flächenmäßig abgedeckt werden. Die Verbindungen zwischen den Halbleiterchips können dabei sowohl mittels Durchkontaktierungen in der Trägerschicht oder in einem Zwischenträger mit separatem Leiternetz vorgenommen werden, als auch durch unmittelbar untereinander verlötete kongruent angeordnete Bondinseln erfolgen.

Ausführungsbeispiel

Die Erfindung wird im folgenden anhand dreier Ausführungsbeispiele näher erläutert.

Es wird dargestellt in

Fig. 1: eine Außenansicht einer Chipkarte,

Fig. 2: ein Schnitt durch einen Teil einer Chipkarte,

Fig. 3, 4 und 5:

Verbindungsvarianten der IC-Bausteine mit Träger-
elementen,

Fig. 6 und 7:

Draufsicht auf die Trägerelemente von Fig. 3 und
4 ohne IC-Baustein.

In Fig. 1 ist eine Chipkarte in einer Ansicht von oben dargestellt, wobei ein Kartenkörper 1 und äußere Kontakte 2 erkennbar sind. Die gestrichelte Linie weist auf eine Aussparung 4 in der oberen Deckschicht 3 zum Durchtritt des Blocks mit den Kontakten 2 hin, wie dies in der Schnittdarstellung von Fig. 2 noch anschaulicher gemacht ist. In Fig. 2 sind neben dem Karteninlay 8 und einer darin befindlichen Aussparung 9 zur Aufnahme eines Chipverbundes 6 weiterhin eine untere Deckschicht 5 und übrigen freien Hohlraum ausfüllende Vergußmasse 7 zu sehen.

In den folgenden Ausführungsbeispielen, bei denen jeweils ein Mikrorechnerchip 10 und ein Speicherchip 11 in die Plastkarte zu implantieren sind, wird von unterschiedlichen Abmessungen beider Chips ausgegangen und davon, daß verschiedene Bondinseln des Speicherchips 11, über welche beispielsweise Speicherdaten und -adressen übertragen werden, mit den entsprechenden Bondinseln des Mikrorechnerchips 10 galvanisch zu verbinden sind und daß beide Chips (10, 11) dabei jeweils mit ihren aktiven Strukturen gegeneinandergerichtet (face to face) zu dem Chipverbund 6 zusammengefügt werden.

In einem in Fig. 3 dargestellten ersten Ausführungsbeispiel eines Chipverbunds 6 geschieht dies mittels einer Trägerschicht 16, die auf ihrer Oberseite (siehe dazu auch Fig. 6) Kontaktierungsflächen 14, die in ihrer Größe und Lage den Bondinseln 12 des Mikrorechnerchips 10 entsprechen, sowie

ein Leiternetz 15 trägt, welches sowohl der elektrischen Verbindung der Bondinseln 14 untereinander als auch dem Anschluß an die äußeren Kontakte 2 dient, während sich auf ihrer Unterseite ausschließlich Kontaktierungsflächen 18 befinden, die in Größe und Lage den Bondinseln 13 des Speicherchips 11 kongruent und diesem zur Kontaktierung zugeordnet sind.

Die Kontaktierungsflächen 18 sind außerdem über Durchkontaktierungen 17 mit dem Leiternetz 15 verbunden. Die Verbindung von Mikrorechnerchip 10 und Speicherchip 11 mit der Trägerschicht 16 zu dem prüfbaren Chipverbund 6, d.h. das Kontaktieren der Bondinseln 12 mit den Kontaktierungsflächen 14 und der Bondinseln 13 mit den Kontaktierungsflächen 18 kann in einem ein- oder zweistufigen Lötprozeß mittels Lotmaterial 21, 22 gleichzeitig bzw. nacheinander erfolgen.

Der zweistufige Lötvorgang mit unterschiedlichem Lotmaterial bringt dabei weitere prüftechnische Vorteile mit sich. Sowohl in diesem wie auch in den nachfolgenden Ausführungsbeispielen bestehen die nach außen führenden Kontakte 2 aus einer Metalleinlage 29, welche mit einer Edelmetallschicht 30 überzogen und mittels Lot 28 mit dem zugehörigen Leiterzug des Leiternetzes 15 verbunden ist.

In einem zweiten Ausführungsbeispiel eines Chipverbundes 6 (Fig. 4) werden die in die Plastkarte einzubringenden Chips 10, 11 nicht unmittelbar mit der Trägerschicht 16 verbunden, sondern vorher auf einem Zwischenträger 24 angebracht. Der Zwischenträger 24 besitzt - analog zum ersten Ausführungsbeispiel - den Bondinseln 13 des Chips 11 kongruente Kontaktierungsflächen 33, den Bondinseln 12 des Mikrorechnerchips 10 kongruente Kontaktierungsflächen 32, ein entsprechendes Leiternetz 19, Durchkontaktierungen 26 zwischen den Kontaktierungsflächen 33 und dem Leiternetz 19 sowie äußere Kontaktierungsflächen 31 (Fig. 7).

Nachdem die Chips 10, 11 in Flip-Chip-Technologie mit dem

Zwischenträger 24 vereinigt sind und prüftechnisch ein einwandfreier Verbund festgestellt ist, können die äußeren Kontaktierungsflächen 31 des Zwischenträgers 24 mittels Trägerfilmtechnologie mit den in eine Aussparung 27 der Trägerschicht 16 hineinragenden Leiterenden 20 des Leiternetzes 15 mittels Lot 23 ebenfalls galvanisch kontaktiert werden.

Ein drittes Ausführungsbeispiel (Fig. 5) setzt unbedingt aufeinander abgestimmte Chips 10, 11 voraus, d.h. Chips, deren Bondinseln direkt zueinander kongruent sind. Dadurch kann die face-to-face-Anordnung der Chips 10, 11 - abgesehen von notwendigem Lötmaterial 21, 22 und 25 ohne jegliches Zwischenmedium erfolgen. Nachdem der Speicherchip 11 mittels Trägerfilmtechnologie mit dem Leiternetz 15 kontaktiert ist, wird anschließend der Mikrorechnerchip 10 einesteils in Trägerfilmtechnik ebenfalls mit dem Leiternetz 15 der Trägerschicht 16 und anderenteils in Flip-Chip-Technologie mit dem Speicherchip 11 verlötet.

Bei allen drei Ausführungsbeispielen entsteht als Zwischenstufe jeweils ein die äußeren Kontakte 2 integrierender Chipverbund 6, welcher mit Vergußmasse 7 starr vergossen wird. Der Chipverbund 6 kann, falls erforderlich, noch beidseitig abgedünnt werden, gelangt nach seiner Funktionsprüfung in die Aussparung 9 des Inlays 8 der Plastkarte und wird anschließend mit oberer und unterer Abdeckschicht (3, 5) verschlossen. Schließlich werden die verschiedenen Teile mittels bekannter Laminiertechnologie untrennbar vereinigt.

Erfindungsanspruch

1. Tragbare Karte mit zwei oder mehreren Halbleiterchips, welche sowohl untereinander als auch über ein inneres Leiternetz mit äußeren Anschlußkontakten elektrisch verbunden sind, dadurch gekennzeichnet, daß die Halbleiterchips (10, 11) mit ihren aktiven Strukturen derart zueinander gerichtet mit dem Leiternetz (15) der Trägerschicht (16) kontaktiert sind, daß gegen Antastung zu schützende Bondbereiche (13) und Verbindungen (17, 25, 26) zwischen den Halbleiterchips (10, 11) von einem jeweils gegenüberliegenden Halbleiterchip (10) flächenmäßig abgedeckt werden.
2. Tragbare Karte nach Anspruch 1, dadurch gekennzeichnet, daß die Halbleiterchips (10, 11) mittels durchkontaktierter Trägerschicht (16) untereinander verbunden sind.
3. Tragbare Karte nach Anspruch 1, dadurch gekennzeichnet, daß die Halbleiterchips (10, 11) über einen durchkontaktierten Zwischenträger (24) mit einem separaten Leiternetz (19) untereinander verbunden sind.
4. Tragbare Karte nach Anspruch 1, dadurch gekennzeichnet, daß die Halbleiterchips (10, 11) mit kongruent angeordneten Bondinseln (12, 13) unmittelbar miteinander und mit dem Leiternetz (15) der Trägerschicht verbunden sind.

Hierzu 2 Blatt Zeichnungen

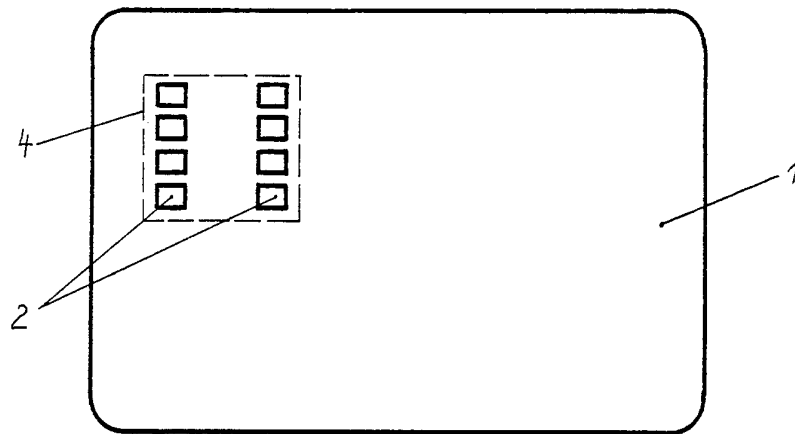


Fig. 1

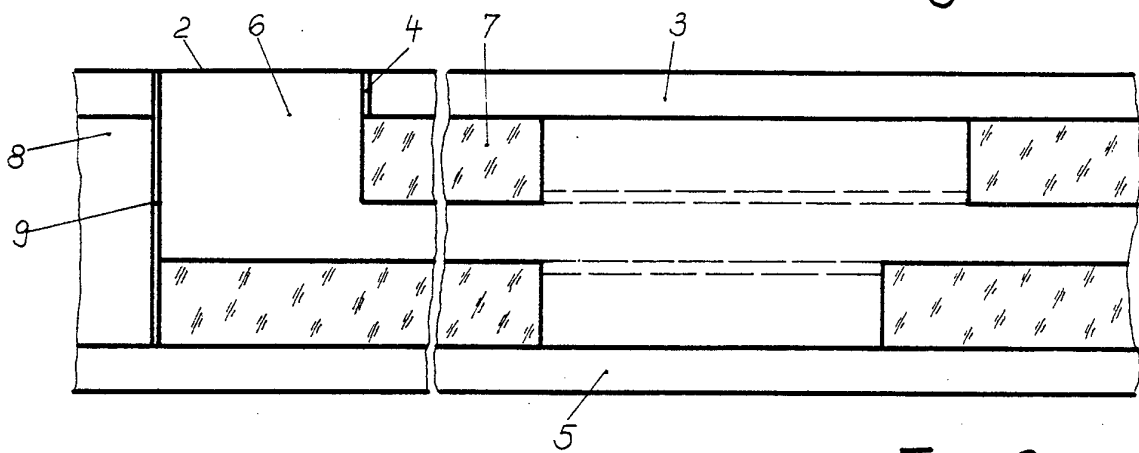


Fig. 2

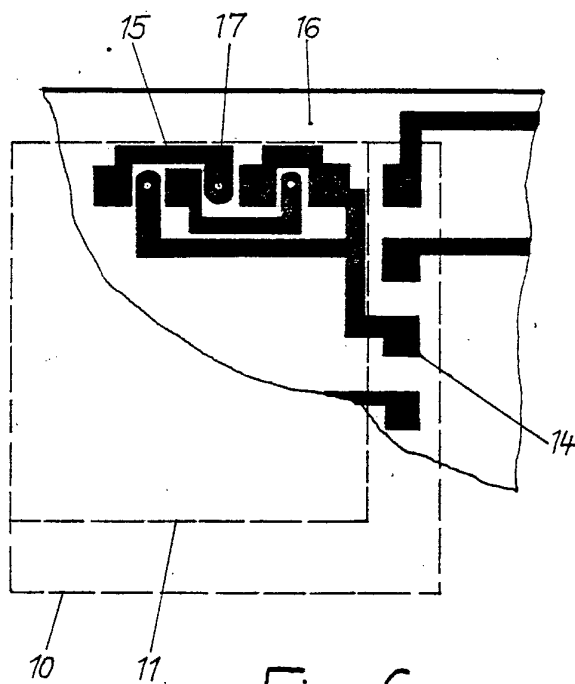


Fig. 6

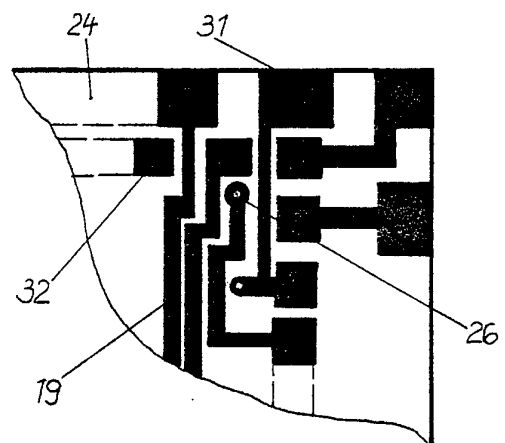


Fig. 7