(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年3月21日(21.03.2024)

WIPO | PCT

(10) 国際公開番号
WO 2024/057763 A1

(51) 国際特許分類:
H01L 27/04 (2006.01) *H01L 21/8234* (2006.01)
H01L 21/822 (2006.01) *H01L 27/06* (2006.01)

(21) 国際出願番号： PCT/JP2023/028414

(22) 国際出願日： 2023年8月3日(03.08.2023)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2022-145941 2022年9月14日(14.09.2022) JP

(71) 出願人: ローム株式会社 (**ROHM CO., LTD.**) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町２１番地 Kyoto (JP).

(72) 発明者: 山岡 俊太 (**YAMAOKA Shunta**); 〒6158585 京都府京都市右京区西院溝崎町２１番地 ローム株式会社内 Kyoto (JP).

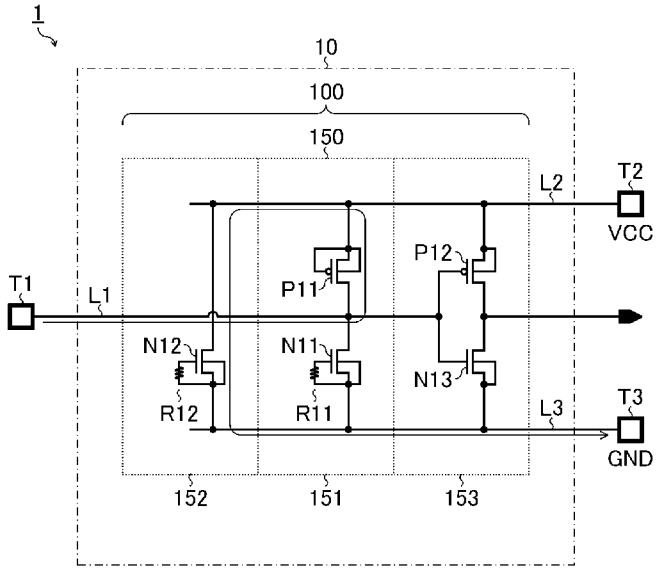
(74) 代理人: 弁理士法人 佐野特許事務所 (**SANO PATENT OFFICE**); 〒5400032 大阪府大阪市中央区天満橋京町２－６天満橋八千代ビル別館５Ｆ Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,

WO 2024/057763 A1

(54) **Title:** I/O CIRCUIT, SEMICONDUCTOR DEVICE, CELL LIBRARY, AND METHOD FOR DESIGNING CIRCUIT OF SEMICONDUCTOR DEVICE

(54) 発明の名称： Ｉ／Ｏ回路、半導体装置、セルライブラリ、半導体装置の回路設計方法



(57) **Abstract:** This I/O circuit 10 is formed by discretionarily combining a plurality of types of standard cells included in a cell library 100. A standard cell 150 included in the plurality of types of standard cells includes: a first element formation region 151 configured such that a first protection element P11 connected between a signal line and a power supply line and a second protection element N11 connected between the signal line and a ground line are formed; and a second element formation region 152 configured such that a third protection element N12 connected between the power supply line and the ground line is formed. Both the second protection element N11 and the third protection element N12 are formed in a common well.

［続葉有］

MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能):ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一　国際調査報告（条約第21条(3)）

(57) 要約：Ｉ／Ｏ回路１０は、セルライブラリ１００に含まれる複数種類の標準セルを任意に組み合わせることにより形成される。複数種類の標準セルに含まれる標準セル１５０は、信号線と電源線との間に接続される第１保護素子Ｐ１１及び信号線と接地線との間に接続される第２保護素子Ｎ１１が形成されるように構成された第１素子形成領域１５１と、電源線と接地線との間に接続される第３保護素子Ｎ１２が形成されるように構成された第２素子形成領域１５２と、を含む。第２保護素子Ｎ１１及び第３保護素子Ｎ１２は、いずれも共通のウェルに形成されている。

明　細　書

発明の名称 ：

Ｉ／Ｏ回路、半導体装置、セルライブラリ、半導体装置の回路設計方法

技術分野

[0001]　本明細書中に開示されている発明は、Ｉ／Ｏ［input/output］回路、半導体装置、セルライブラリ、及び、半導体装置の回路設計方法に関する。

背景技術

[0002]　従来、セルライブラリに含まれる複数種類の標準セルを任意に組み合わせることにより半導体装置の回路設計を行う手法が知られている。

[0003]　なお、上記に関連する従来技術としては、特許文献１及び２を挙げることができる。

先行技術文献

特許文献

[0004] 特許文献1：特開２０１０－２８１２６号公報

特許文献2：特開２０１０－１９２９３２号公報

発明の概要

発明が解決しようとする課題

[0005]　しかしながら、従来のＩ／Ｏ回路では、信号端子と電源端子又は接地端子との距離が遠いほど信号端子に印加されるＥＳＤ［electro static discharge］パルスを逃がし難くなってＥＳＤ耐性の低下を招くおそれがあった。

課題を解決するための手段

[0006]　例えば、本明細書中に開示されているＩ／Ｏ回路は、セルライブラリに含まれる複数種類の標準セルを任意に組み合わせることにより形成されるものであって、前記複数種類の標準セルに含まれるＩ／Ｏセルは、信号線と電源線との間に接続される第１保護素子及び前記信号線と接地線との間に接続される第２保護素子が形成されるように構成された第１素子形成領域と、前記

電源線と前記接地線との間に接続される第３保護素子が形成されるように構成された第２素子形成領域と、を含み、前記第２保護素子及び第３保護素子は、いずれも共通のウェルに形成されている。

[0007] なお、その他の特徴、要素、ステップ、利点、及び、特性については、以下に続く発明を実施するための形態及びこれに関する添付の図面によって、さらに明らかとなる。

発明の効果

[0008] 本開示によれば、ＥＳＤ耐性の高いＩ／Ｏ回路を提供することが可能となる。

図面の簡単な説明

[0009] [図1]図１は、半導体装置の一構成例を示す図である。

[図2]図２は、Ｉ／Ｏ回路の第１比較例を示す図である。

[図3]図３は、Ｉ／Ｏ回路の第２比較例を示す図である。

[図4]図４は、第２比較例におけるＩ／Ｏ回路の平面レイアウトを示す図である。

[図5]図５は、第２比較例におけるＩ／Ｏ回路の縦断面を示す図である。

[図6]図６は、Ｉ／Ｏ回路の新規な実施形態を示す図である。

[図7]図７は、実施形態におけるＩ／Ｏ回路の平面レイアウトを示す図である。

[図8]図８は、実施形態におけるＩ／Ｏ回路の縦断面を示す図である。

発明を実施するための形態

[0010] ＜半導体装置＞

図１は、半導体装置の一構成例を示す図である。本構成例の半導体装置１は、主に５Ｖ以下で駆動するＣＭＯＳ［complementary metal oxide semiconductor］回路（ロジック／アナログ混載回路）を集積化したＬＳＩ［large scale integrated circuit］である。半導体装置１の最外周部には、ＥＳＤ保護機能及び信号入出力機能を担うＩ／Ｏ回路１０が配置されている。

[0011] 半導体装置１には、Ｉ／Ｏ回路１０以外にも、種々の内部回路が集積化さ

れている。本図に即して述べると、半導体装置１には、種々の内部回路として、ロジック回路ＬＯＧＩＣと、アナログ回路ＡＮＡＬＯＧと、インタフェイス回路Ｉ／Ｆと、不揮発性メモリＮＶＭと、揮発性メモリＳＲＡＭと、デジタル／アナログ変換器ＤＡＣと、アナログ／デジタル変換器ＡＤＣと、レギュレータＬＤＯが集積化されている。

[0012] Ｉ／Ｏ回路１０は、半導体装置１の平面視において、上記の内部回路を取り囲むように半導体装置１の四辺に沿って配置してもよい。

[0013] 半導体装置１としては、例えば、車載ネットワーク経由で指令を受けて各種の末端装置（ＬＥＤ［light emitting diode］ランプ、モータ又はスイッチなど）に搭載されたコントローラ（ＥＣＵ［electronic control unit］など）を制御する車載向けの統合通信ＩＣ［integrated circuit］を挙げることができる。この場合、インタフェイス回路Ｉ／Ｆは、任意の車載ネットワーク（例えばＬＩＮ［local interconnect network］、ＣＸＰＩ［clock extension peripheral interface］及びＣＡＮ［controller area network］）に準拠してもよい。

[0014] ＜Ｉ／Ｏ回路（第１比較例）＞

図２は、Ｉ／Ｏ回路の第１比較例（＝後出の実施形態と対比される一般的な構成例）を示す図である。第１比較例のＩ／Ｏ回路１０は、Ｉ／Ｏセルライブラリ１００に含まれる複数種類の標準セルを任意に組み合わせることにより形成されている。Ｉ／Ｏセルライブラリ１００は、コンピュータで実行される回路設計プログラムから読み出されるものであり、回路設計用データベースの一種として理解することができる。

[0015] なお、上記複数種類の標準セルは、それぞれ、装置外部とのインタフェイス機能（ＥＳＤ保護機能及び信号入出力機能）を備えている。また、上記複数種類の標準セルは、いずれかの標準セルを別の標準セルに置換しても、その周囲に配置された標準セルに一切修正を加える必要がないように、それぞれの形状及びレイアウトが規格化されている。

[0016] Ｉ／Ｏセルライブラリ１００を用いた半導体装置１（特にＩ／Ｏ回路１０

）の回路設計方法について簡単に説明しておく。まず、Ｉ／Ｏセルライブラリ１００に含まれる複数種類の標準セルを選択及び配置して任意に組み合わせるステップを実施する。次に、任意に組み合わされた複数種類の標準セルとその他の回路ブロックとを接続するように電源線及び信号線などを敷設するステップを実施する。最後に、設計済み回路が所望の条件（電気的特性など）を満足しているか否かを検証するステップを実施する。

[0017] このようなＩ／Ｏセルライブラリ１００を用いて半導体装置１（特にＩ／Ｏ回路１０）の回路設計を行うことにより、ＥＳＤ耐性、ラッチアップ耐性及び電気的特性などを端子毎に設計する必要がなくなる。従って、回路設計者の負担を減らすとともに設計ミスを減らすことができる。

[0018] なお、本図に即して述べると、本比較例のＩ／Ｏ回路１０は、上記した複数種類の標準セルとしてＩ／Ｏセル１１０、ＶＣＣセル１２０及びＧＮＤセル１３０を組み合わせることにより形成されている。

[0019] Ｉ／Ｏセル１１０は、信号線Ｌ１に接続される信号端子Ｔ１の直近に配置される標準セルの一つである。本図に即して述べると、Ｉ／Ｏセル１１０は、トランジスタＰ１（例えばＰＭＯＳＦＥＴ［P-channel type MOS field effect transistor］）と、トランジスタＮ１（例えばＮＭＯＳＦＥＴ［N-channel type MOSFET］）と、ダイオードＤ１及びＤ２と、を含む。

[0020] トランジスタＰ１のソースとバックゲートは、いずれも電源線Ｌ２に接続されている。トランジスタＮ１のソースとバックゲートは、いずれも接地線Ｌ３に接続されている。トランジスタＰ１及びＮ１それぞれのドレインは、いずれも不図示の内部回路に接続されている。トランジスタＰ１及びＮ１それぞれのゲートは、いずれも信号線Ｌ１を介して信号端子Ｔ１に接続されている。このように接続されたトランジスタＰ１及びＮ１は、ＣＭＯＳインバータ（いわゆる入力バッファ）を形成する。なお、Ｉ／Ｏセル１１０には、入力バッファに代えて出力バッファ又は入出力バッファが形成されてもよい。

[0021] ダイオードＤ１のアノードとダイオードＤ２のカソードは、いずれも信号

線Ｌ１に接続されている。ダイオードＤ１のカソードは、電源線Ｌ２に接続されている。ダイオードＤ２のアノードは、接地線Ｌ３に接続されている。このように接続されたダイオードＤ１及びＤ２は、それぞれ、信号端子Ｔ１と導通するゲートを備えた被保護素子（本図ではトランジスタＰ１及びＮ１）を保護するためのＥＳＤ保護素子として機能する。なお、ダイオードＤ１及びＤ２は、それぞれ、ゲート・ソース間がショートされたトランジスタのボディダイオードであってもよい。

[0022] ＶＣＣセル１２０は、電源線Ｌ２に接続される電源端子Ｔ２（＝電源電圧ＶＣＣの印加端）の直近に配置される標準セルの一つ（いわゆる電源保護セル）である。本図に即して述べると、ＶＣＣセル１２０は、トランジスタＮ２（例えばＮＭＯＳＦＥＴ）と、抵抗Ｒ２と、を含む。

[0023] トランジスタＮ２のドレインは、電源線Ｌ２に接続されている。トランジスタＮ２のゲートは、抵抗Ｒ２の第１端に接続されている。トランジスタＮ２のソース及びバックゲートと抵抗Ｒ２の第２端は、いずれも接地線Ｌ３に接続されている。なお、トランジスタＮ２のゲートをプルダウンするための抵抗Ｒ２は、省略され得る。このように接続されたトランジスタＮ２は、電源／接地間のＥＳＤ保護素子として機能する。

[0024] ＧＮＤセル１３０は、接地線Ｌ３に接続される接地端子Ｔ３（＝接地電圧ＧＮＤの印加端）の直近に配置される標準セルの一つ（いわゆるＧＮＤ保護セル）である。本図に即して述べると、ＧＮＤセル１３０は、トランジスタＮ３（例えばＮＭＯＳＦＥＴ）と、抵抗Ｒ３と、を含む。

[0025] トランジスタＮ３のドレインは、電源線Ｌ２に接続されている。トランジスタＮ３のゲートは、抵抗Ｒ３の第１端に接続されている。トランジスタＮ３のソース及びバックゲートと抵抗Ｒ３の第２端は、いずれも接地線Ｌ３に接続されている。なお、トランジスタＮ３のゲートをプルダウンするための抵抗Ｒ３は、省略され得る。このように接続されたトランジスタＮ３は、先出のトランジスタＮ２と同じく、電源／接地間のＥＳＤ保護素子として機能する。

[0026] 例えば、信号端子Ｔ１に印加されるＥＳＤパルスを接地端子Ｔ３に逃がしてＥＳＤ保護を掛ける場合を考える。この場合、図示の細い矢印で示したように、信号端子Ｔ１から信号線Ｌ１、ダイオードＤ１、電源線Ｌ２、トランジスタＮ２又はＮ３、及び、接地線Ｌ３を介して接地端子Ｔ３に至る電流経路に電流が流れ得る。

[0027] しかし、第１比較例のＩ／Ｏ回路１０では、信号端子Ｔ１と電源端子Ｔ２又は接地端子Ｔ３との距離が遠い場合、Ｉ／Ｏセル１１０からＶＣＣセル１２０及びＧＮＤセル１３０に至る電流経路の配線インピーダンスが大きくなる。その結果、Ｉ／Ｏセル１１０のＥＳＤ保護機能が成立しなくなるおそれがある。

[0028] ＜Ｉ／Ｏ回路（第２比較例）＞

図３は、Ｉ／Ｏ回路の第２比較例を示す図である。第２比較例のＩ／Ｏ回路１０は、先出の第１比較例（図２）を基本としつつ、先出のＩ／Ｏセル１１０、ＶＣＣセル１２０、及び、ＧＮＤセル１３０に加えて、ＮＣ［non-connected］セル１４０をさらに含む。

[0029] ＮＣセル１４０は、その名の通り、半導体装置１に設けられるいずれの端子にも直接繋がることのない標準セルの一つである。ＮＣセル１４０は、主に複数の標準セルの間を埋めるように配置される。本図に即して述べると、ＮＣセル１４０は、Ｉ／Ｏセル１１０の直近（具体的にはＩ／Ｏセル１１０とＶＣＣセル１２０との間）に配置されている。ＮＣセル１４０は、トランジスタＮ４（例えばＮＭＯＳＦＥＴ）と、抵抗Ｒ４と、を含む。

[0030] トランジスタＮ４のドレインは、電源線Ｌ２に接続されている。トランジスタＮ４のゲートは、抵抗Ｒ４の第１端に接続されている。トランジスタＮ４のソース及びバックゲートと抵抗Ｒ４の第２端は、いずれも接地線Ｌ３に接続されている。なお、トランジスタＮ４のゲートをプルダウンするための抵抗Ｒ４は、省略され得る。このように接続されたトランジスタＮ４は、先出のトランジスタＮ２及びＮ３と同様、電源／接地間のＥＳＤ保護素子として機能する。

[0031] このように、第２比較例のＩ／Ｏ回路１０では、Ｉ／Ｏセル１１０の直近（又は近傍）にＮＣセル１４０が配置されている。

[0032] 例えば、信号端子Ｔ１に印加されるＥＳＤパルスを接地端子Ｔ３に逃がしてＥＳＤ保護を掛ける場合を考える。この場合、図示の細い矢印で示したように、信号端子Ｔ１から信号線Ｌ１、ダイオードＤ１、電源線Ｌ２、トランジスタＮ４及び接地線Ｌ３を介して接地端子Ｔ３に至る電流経路に電流が流れ得る。

[0033] 従って、第２比較例のＩ／Ｏ回路１０であれば、信号端子Ｔ１と電源端子Ｔ２又は接地端子Ｔ３との距離が遠くても、配線インピーダンスの影響を小さく抑えることができる。その結果、Ｉ／Ｏセル１１０のＥＳＤ保護機能に支障を来し難くなる。

[0034] ただし、端子間の距離は機種毎に異なるので、ＮＣセル１４０が配置される場所も機種毎に異なる。そのため、ＥＳＤパルスを逃がすための電流経路に多少の配線インピーダンスが付随することは避けられない。そのため、配線インピーダンスを考慮した保護素子サイズの設計及びセル配置が必要となる。

[0035] また、ＮＣセル１４０をＩ／Ｏセル１１０の直近（又は近傍）に配置することができない場合には、上記した電流経路の配線インピーダンスが増大し得る。その結果、Ｉ／Ｏセル１１０のＥＳＤ保護機能が成立しなくなるおそれがある。

[0036] また、半導体装置１の回路設計者がＮＣセル１４０を配置し忘れるおそれもある。

[0037] 図４は、第２比較例におけるＩ／Ｏ回路１０の平面レイアウトを示す図である。第２比較例におけるＩ／Ｏ回路１０では、Ｉ／Ｏセル１１０とＮＣセル１４０がそれぞれ独立した標準セルとして個別に配置される。本図に即して述べると、Ｉ／Ｏセル１１０とＮＣセル１４０は、半導体装置１の平面視において、紙面左右方向に並べて配置されている。

[0038] 図５は、第２比較例におけるＩ／Ｏ回路１０の縦断面（＝図４のＸ１－Ｘ

２断面）を示す図である。先にも述べたように、Ｉ／Ｏセル１１０とＮＣセル１４０は、それぞれ独立した標準セルである。

[0039] そのため、Ｉ／Ｏセル１１０に含まれるダイオードＤ２（例えばゲート・ソース間がショートされたＮＭＯＳＦＥＴのボディダイオード）と、ＮＣセル１４０に含まれるトランジスタＮ４は、それぞれ、電位的に分離された個別のＰ型ウェル（ＰＷ）に形成される。すなわち、ダイオードＤ２（＝ゲート・ソース間がショートされたＮＭＯＳＦＥＴのボディダイオード）とトランジスタＮ４それぞれのバックゲートは、互いに分離されている。

[0040] 従って、ダイオードＤ２とトランジスタＮ４との間を隔てる素子間距離が長くなり、Ｉ／Ｏ回路１０（延いては半導体装置１）の小面積化が阻害され得る。

[0041] そこで、以下では、ＥＳＤ耐圧向上と小面積化を両立することのできる新規な実施形態を提案する。

[0042] ＜Ｉ／Ｏ回路（実施形態）＞

図６はＩ／Ｏ回路の新規な実施形態を示す図である。本実施形態のＩ／Ｏ回路１０は、Ｉ／Ｏセルライブラリ１００に含まれる複数種類の標準セルを組み合わせることにより形成されている。特に、本実施形態のＩ／Ｏ回路１０は、複数種類の標準セルとして、少なくともＩ／Ｏセル１５０を含む。なお、本図では明示されていないが、Ｉ／Ｏ回路１０では、先出のＶＣＣセル１２０及びＧＮＤセル１３０などが組み合わされていてもよい。

[0043] Ｉ／Ｏセル１５０は、第１素子形成領域１５１と、第２素子形成領域１５２と、第３素子形成領域１５３と、を含む。

[0044] 第１素子形成領域１５１は、信号線Ｌ１に接続される信号端子Ｔ１の直近（又は近傍）に配置されている。なお、第１素子形成領域１５１には、トランジスタＰ１１（例えばＰＭＯＳＦＥＴ）と、トランジスタＮ１１（例えばＮＭＯＳＦＥＴ）と、抵抗Ｒ１１が形成されている。

[0045] トランジスタＰ１１及びＮ１１それぞれのドレインは、いずれも信号線Ｌ１に接続されている。トランジスタＰ１１のソース、ゲート及びバックゲー

トは、いずれも電源線Ｌ２に接続されている。トランジスタＮ１１のゲートは、抵抗Ｒ１１の第１端に接続されている。トランジスタＮ１１のソース及びバックゲートと抵抗Ｒ１１の第２端は、いずれも接地線Ｌ３に接続されている。なお、トランジスタＮ１１のゲートをプルダウンするための抵抗Ｒ１１は、省略され得る。

[0046] このように、ゲート・ソース間がショートされたトランジスタＰ１１及びＮ１１は、それぞれ、信号線Ｌ１と電源線Ｌ２との間に接続される第１のＥＳＤ保護素子、及び、信号線Ｌ１と接地線Ｌ３との間に接続される第２のＥＳＤ保護素子として機能する。これら第１及び第２のＥＳＤ保護素子は、それぞれ、信号線Ｌ１に接続される被保護素子（本図では、後出のトランジスタＰ１２及びＮ１３）をＥＳＤパルスから保護する。なお、トランジスタＰ１１及びＮ１１は、それぞれ、第１比較例（図２）及び第２比較例（図３）に倣い、ダイオードに置き換えられてもよい。

[0047] 第２素子形成領域１５２は、第１素子形成領域１５１の直近（又は近傍）に配置されている。好ましくは、第２素子形成領域１５２が第１素子形成領域１５１に隣接して配置されるとよい。本図に即して述べると、第２素子形成領域１５２は、信号端子Ｔ１と第１素子形成領域１５１との間に配置されている。なお、第２素子形成領域１５２には、トランジスタＮ１２（例えばＮＭＯＳＦＥＴ）と、抵抗Ｒ１２が形成されている。

[0048] トランジスタＮ１２のドレインは、電源線Ｌ２に接続されている。トランジスタＮ１２のゲートは、抵抗Ｒ１２の第１端に接続されている。トランジスタＮ１２のソース及びバックゲートと抵抗Ｒ１２の第２端は、いずれも接地線Ｌ３に接続されている。なお、トランジスタＮ１２のゲートをプルダウンするための抵抗Ｒ１２は、省略され得る。

[0049] このように、ゲート・ソース間がショートされたトランジスタＮ１２は、電源線Ｌ２と接地線Ｌ３との接続される第３のＥＳＤ保護素子として機能する。なお、トランジスタＮ１２は、ダイオードに置き換えられてもよい。

[0050] 第３素子形成領域１５３は、例えば、第１素子形成領域１５１及び第２素

子形成領域１５２よりも半導体装置１の内部寄り（＝コア側）に配置されている。本図に即して述べると、半導体装置１の平面視において、信号端子Ｔ１に近い側から順に、第２素子形成領域１５２、第１素子形成領域１５１及び第３素子形成領域１５３が配置されている。なお、第３素子形成領域１５３には、トランジスタＰ１２（例えばＰＭＯＳＦＥＴ）と、トランジスタＮ１３（例えばＮＭＯＳＦＥＴ）が形成されている。

[0051] トランジスタＰ１２のソース及びバックゲートは、いずれも電源線Ｌ２に接続されている。トランジスタＮ１３のソース及びバックゲートは、いずれも接地線Ｌ３に接続されている。トランジスタＰ１２及びＮ１３それぞれのドレインは、いずれも不図示の内部回路に接続されている。トランジスタＰ１２及びＮ１３それぞれのゲートは、いずれも信号線Ｌ１を介して信号端子Ｔ１に接続されている。このように接続されたトランジスタＰ１２及びＮ１３は、ＣＭＯＳインバータ（いわゆる入力バッファ）を形成する。なお、第３素子形成領域１５３には、入力バッファに代えて出力バッファ又は入出力バッファが形成されてもよい。

[0052] 例えば、信号端子Ｔ１に印加されるＥＳＤパルスを接地端子Ｔ３に逃がしてＥＳＤ保護を掛ける場合を考える。この場合、図示の細い矢印で示したように、信号端子Ｔ１から信号線Ｌ１、トランジスタＰ１１、電源線Ｌ２、トランジスタＮ１２及び接地線Ｌ３を介して接地端子Ｔ３に至る電流経路に電流が流れ得る。

[0053] 従って、本実施形態のＩ／Ｏ回路１０であれば、信号端子Ｔ１と電源端子Ｔ２又は接地端子Ｔ３との距離が遠くても、配線インピーダンスの影響を小さく抑えることができる。

[0054] また、Ｉ／Ｏセル１５０は、第２比較例（図３）のＩ／Ｏセル１１０及びＮＣセル１４０を一つの標準セルに集約したものとして理解され得る。従って、配線インピーダンスを考慮した保護素子サイズの設計及びセル配置が不要となる。また、半導体装置１の回路設計者がＮＣセル１４０を配置し忘れてＥＳＤ保護機能が不成立となる心配もなくなる。

[0055] 図７は、本実施形態におけるＩ／Ｏ回路１０の平面レイアウトを示す図である。本図で示したように、トランジスタＰ１１、Ｎ１１及びＮ１２（それぞれ第１～第３のＥＳＤ保護素子に相当）は、それぞれ、単一のＩ／Ｏセル１５０を形成する構成要素の一つとして配置される。

[0056] 特に、先出の第２比較例（図４）と対比すると、トランジスタＮ１１（＝第２のＥＳＤ保護素子）とトランジスタＮ１２（＝第３のＥＳＤ保護素子）とを隔てる素子分離領域が存在しないことが分かる。

[0057] 図８は、本実施形態におけるＩ／Ｏ回路１０の縦断面（＝図７のＹ１－Ｙ２断面）を示す図である。先にも述べたように、Ｉ／Ｏセル１５０は、第２比較例（図３）のＩ／Ｏセル１１０及びＮＣセル１４０を一つの標準セルに集約したものとして理解され得る。

[0058] そのため、トランジスタＮ１１（＝第２のＥＳＤ保護素子）とトランジスタＮ１２（＝第３のＥＳＤ保護素子）は、それぞれ、共通のＰ型ウェル（ＰＷ）に形成される。すなわち、トランジスタＮ１１及びＮ１２それぞれのバックゲートは、共通化されている。

[0059] 従って、トランジスタＮ１１とトランジスタＮ１２との間を隔てる素子間距離が短くなるので、Ｉ／Ｏ回路１０（延いては半導体装置１）の小面積化を実現することができる。

[0060] なお、Ｉ／Ｏセル１５０は、第１比較例（図２）及び第２比較例（図３）のＩ／Ｏセル１１０と比べて、トランジスタＮ１２（＝第３のＥＳＤ保護素子）を含む分だけ面積が大きくなる。ただし、このような面積の増大を考慮しても、Ｉ／Ｏセル１５０は、信号端子Ｔ１に接続されるパッドと同程度のサイズに収まる。従って、Ｉ／Ｏセル１５０は、上記パッドの直下領域に配置されるとよい。このようなレイアウトによれば、Ｉ／Ｏセル１５０の面積が増大してもインパクトは小さくなる。

[0061] ＜総括＞

以下では、上記で説明した種々の実施形態について総括的に述べる。

[0062] 例えば、本明細書中に開示されているＩ／Ｏ回路は、セルライブラリに含

まれる複数種類の標準セルを任意に組み合わせることにより形成されるものであって、前記複数種類の標準セルに含まれるＩ／Ｏセルは、信号線と電源線との間に接続される第１保護素子及び前記信号線と接地線との間に接続される第２保護素子が形成されるように構成された第１素子形成領域と、前記電源線と前記接地線との間に接続される第３保護素子が形成されるように構成された第２素子形成領域と、を含み、前記第２保護素子及び第３保護素子は、いずれも共通のウェルに形成されている構成（第１の構成）とされている。

[0063] 上記第１の構成によるＩ／Ｏ回路は、前記信号線に接続される被保護素子が形成されるように構成された第３素子形成領域をさらに含む構成（第２の構成）にしてもよい。

[0064] 上記第２の構成によるＩ／Ｏ回路において、前記被保護素子は、入力バッファ、出力バッファ又は入出力バッファを形成する構成（第３の構成）にしてもよい。

[0065] 上記第１～第３いずれかの構成によるＩ／Ｏ回路において、前記第１保護素子は、Ｐチャネル型の第１トランジスタであり、前記第１トランジスタのソース、ゲート及びバックゲートがいずれも前記電源線に接続されており、前記第１トランジスタのドレインが前記信号線に接続されている構成（第４の構成）にしてもよい。

[0066] 上記第１～第４いずれかの構成によるＩ／Ｏ回路において、前記第２保護素子は、Ｎチャネル型の第２トランジスタであり、前記第２トランジスタのソース、ゲート及びバックゲートがいずれも直接的又は間接的に前記接地線に接続されており、前記第２トランジスタのドレインが前記信号線に接続されている構成（第５の構成）にしてもよい。

[0067] 上記第１～第５いずれかの構成によるＩ／Ｏ回路において、前記第３保護素子は、Ｎチャネル型の第３トランジスタであり、前記第３トランジスタのソース、ゲート及びバックゲートがいずれも直接的又は間接的に前記接地線に接続されており、前記第３トランジスタのドレインが前記電源線に接続さ

れている構成（第６の構成）にしてもよい。

[0068] また、例えば、本明細書中に開示されている半導体装置は、上記第１～第６いずれかの構成によるＩ／Ｏ回路と、前記信号線に接続されるように構成された外部端子と、を備える構成（第７の構成）とされている。

[0069] 上記第７の構成による半導体装置において、前記Ｉ／Ｏセルは、前記外部端子に接続されるパッドの直下領域に配置される構成（第８の構成）にしてもよい。

[0070] また、例えば、本明細書中に開示されているセルライブラリは、コンピュータで実行される回路設計プログラムから読み出されて半導体装置のＩ／Ｏ回路を形成するために任意に組み合わせることのできる複数種類の標準セルを含むものであって、前記複数種類の標準セルに含まれるＩ／Ｏセルは、信号線と電源線との間に接続される第１保護素子及び前記信号線と接地線との間に接続される第２保護素子が形成されるように構成された第１素子形成領域と、前記電源線と前記接地線との間に接続される第３保護素子が形成されるように構成された第２素子形成領域と、を含み、前記第２保護素子及び第３保護素子は、いずれも共通のウェルに形成されている構成（第９の構成）とされている。

[0071] また、例えば、本明細書中に開示されている半導体装置の回路設計方法は、上記第９のセルライブラリを用いるものであって、前記セルライブラリに含まれる前記複数種類の標準セルを選択及び配置して任意に組み合わせるステップと、任意に組み合わされた前記複数種類の標準セルとその他の回路ブロックとを接続するように前記電源線、前記接地線及び前記信号線を敷設するステップと、を備える構成（第１０の構成）とされている。

[0072] ＜その他の変形例＞

なお、本明細書中に開示されている種々の技術的特徴は、上記実施形態のほか、その技術的創作の主旨を逸脱しない範囲で種々の変更を加えることが可能である。すなわち、上記実施形態は、全ての点で例示であって制限的なものではないと考えられるべきであり、本開示の技術的範囲は、特許請求の

範囲により規定されるものであって、特許請求の範囲と均等の意味及び範囲内に属する全ての変更が含まれると理解されるべきである。

符号の説明

[0073]

１　半導体装置

１０　Ｉ／Ｏ回路

１００　セルライブラリ

１１０　Ｉ／Ｏセル

１２０　ＶＣＣセル

１３０　ＧＮＤセル

１４０　ＮＣセル

１５０　Ｉ／Ｏセル

１５１　第１素子形成領域

１５２　第２素子形成領域

１５３　第３素子形成領域

ＡＤＣ　アナログ／デジタル変換器

ＡＮＡＬＯＧ　アナログ回路

Ｄ１、Ｄ２　ダイオード

ＤＡＣ　デジタル／アナログ変換器

Ｉ／Ｆ　インタフェイス回路

Ｌ１　信号線

Ｌ２　電源線

Ｌ３　接地線

ＬＤＯ　レギュレータ

ＬＯＧＩＣ　ロジック回路

Ｎ１～Ｎ４、Ｎ１１～Ｎ１３　トランジスタ（ＮＭＯＳＦＥＴ）

ＮＶＭ　不揮発性メモリ

Ｐ１、Ｐ１１、Ｐ１２　トランジスタ（ＰＭＯＳＦＥＴ）

Ｒ２～Ｒ４、Ｒ１１、Ｒ１２　抵抗

ＳＲＡＭ　　揮発性メモリ

Ｔ１　　信号端子

Ｔ２　　電源端子

Ｔ３　　接地端子

請求の範囲

[請求項1] セルライブラリに含まれる複数種類の標準セルを任意に組み合わせることにより形成されたＩ／Ｏ回路であって、

前記複数種類の標準セルに含まれるＩ／Ｏセルは、

信号線と電源線との間に接続される第１保護素子及び前記信号線と接地線との間に接続される第２保護素子が形成されるように構成された第１素子形成領域と、

前記電源線と前記接地線との間に接続される第３保護素子が形成されるように構成された第２素子形成領域と、

を含み、

前記第２保護素子及び前記第３保護素子は、いずれも共通のウェルに形成されている、Ｉ／Ｏ回路。

[請求項2] 前記信号線に接続される被保護素子が形成されるように構成された第３素子形成領域をさらに含む、請求項１に記載のＩ／Ｏ回路。

[請求項3] 前記被保護素子は、入力バッファ、出力バッファ又は入出力バッファを形成する、請求項２に記載のＩ／Ｏ回路。

[請求項4] 前記第１保護素子は、Ｐチャネル型の第１トランジスタであり、前記第１トランジスタのソース、ゲート及びバックゲートがいずれも前記電源線に接続されており、前記第１トランジスタのドレインが前記信号線に接続されている、請求項１～３のいずれか一項に記載のＩ／Ｏ回路。

[請求項5] 前記第２保護素子は、Ｎチャネル型の第２トランジスタであり、前記第２トランジスタのソース、ゲート及びバックゲートがいずれも直接的又は間接的に前記接地線に接続されており、前記第２トランジスタのドレインが前記信号線に接続されている、請求項１～４のいずれか一項に記載のＩ／Ｏ回路。

[請求項6] 前記第３保護素子は、Ｎチャネル型の第３トランジスタであり、前記第３トランジスタのソース、ゲート及びバックゲートがいずれも直

接的又は間接的に前記接地線に接続されており、前記第３トランジスタのドレインが前記電源線に接続されている、請求項１～５のいずれか一項に記載のＩ／Ｏ回路。

[請求項7] 請求項１～６のいずれか一項に記載のＩ／Ｏ回路と、

前記信号線に接続されるように構成された外部端子と、

を備える、半導体装置。

[請求項8] 前記Ｉ／Ｏセルは、前記外部端子に接続されるパッドの直下領域に配置される、請求項７に記載の半導体装置。

[請求項9] コンピュータで実行される回路設計プログラムから読み出されて半導体装置のＩ／Ｏ回路を形成するために任意に組み合わせることのできる複数種類の標準セルを含むセルライブラリであって、

前記複数種類の標準セルに含まれるＩ／Ｏセルは、

信号線と電源線との間に接続される第１保護素子及び前記信号線と接地線との間に接続される第２保護素子が形成されるように構成された第１素子形成領域と、

前記電源線と前記接地線との間に接続される第３保護素子が形成されるように構成された第２素子形成領域と、

を含み、

前記第２保護素子及び前記第３保護素子は、いずれも共通のウェルに形成されている、セルライブラリ。

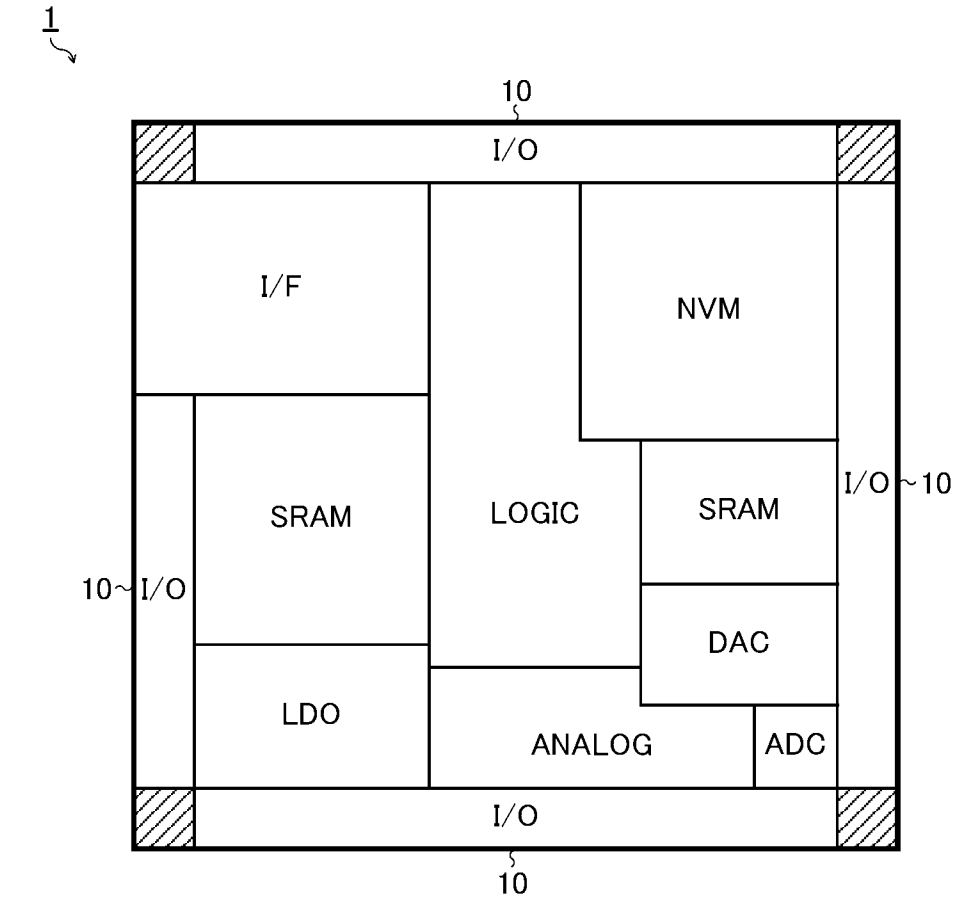
[請求項10] 請求項９のセルライブラリを用いた半導体装置の回路設計方法であって、

前記セルライブラリに含まれる前記複数種類の標準セルを選択及び配置して任意に組み合わせるステップと、

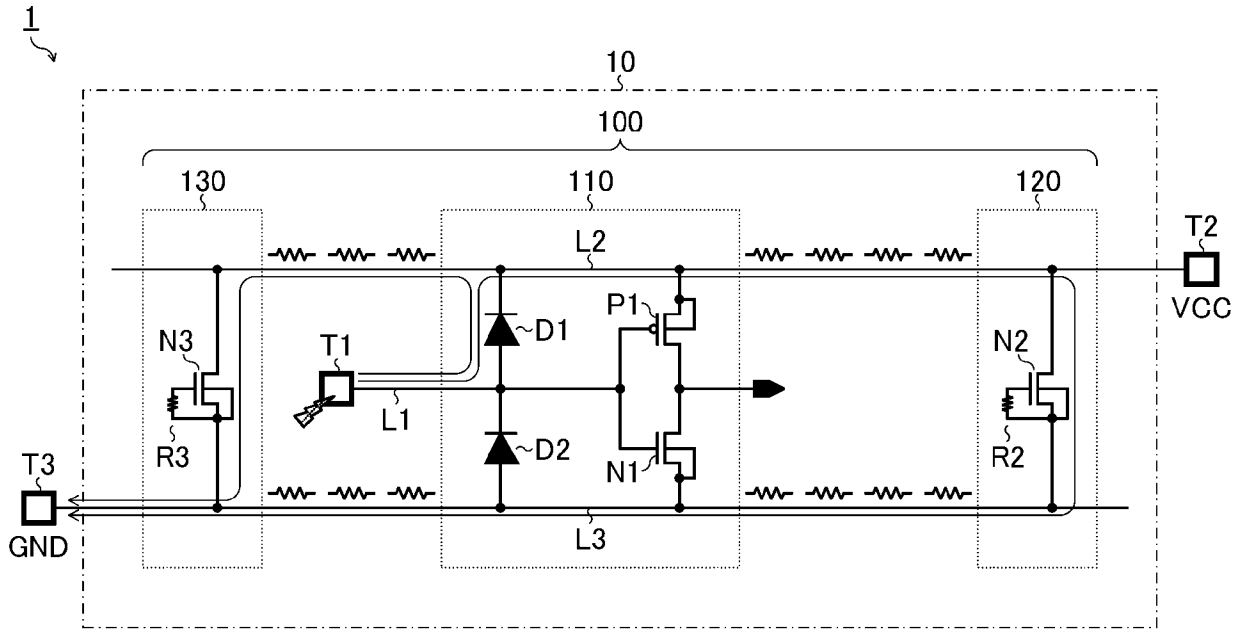
任意に組み合わされた前記複数種類の標準セルとその他の回路ブロックとを接続するように前記電源線、前記接地線及び前記信号線を敷設するステップと、

を備える、半導体装置の回路設計方法。

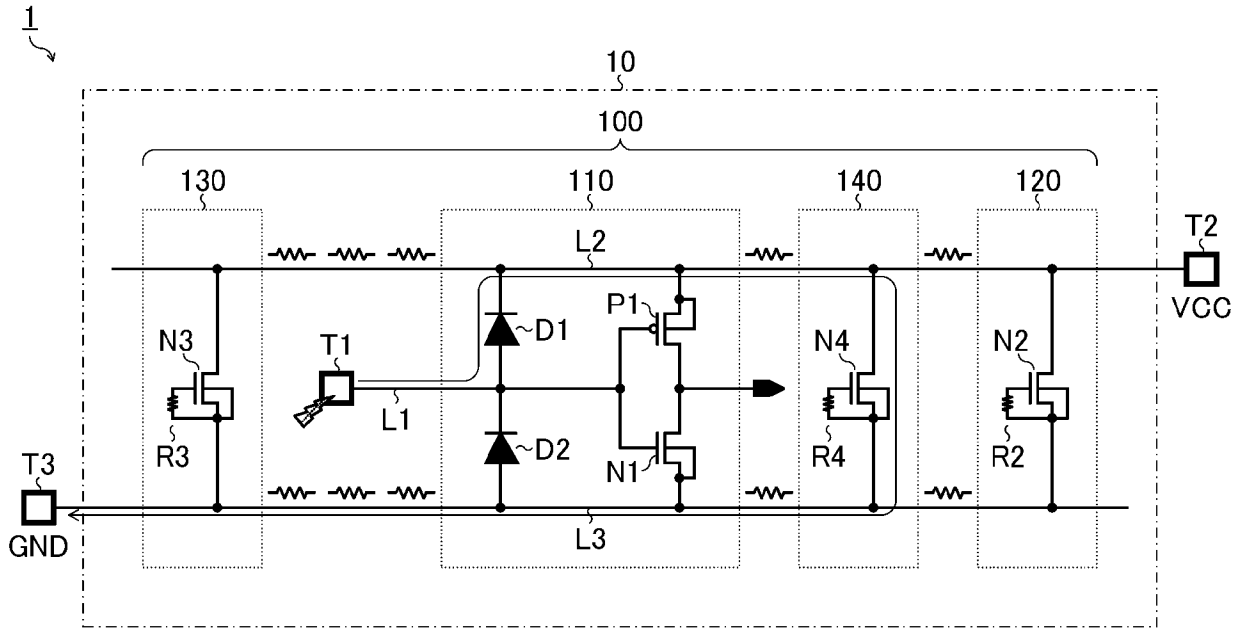
[図1]


1
10
I/O
I/F
NVM
SRAM
LOGIC
SRAM
I/O
10
10
I/O
DAC
LDO
ANALOG
ADC
I/O
10

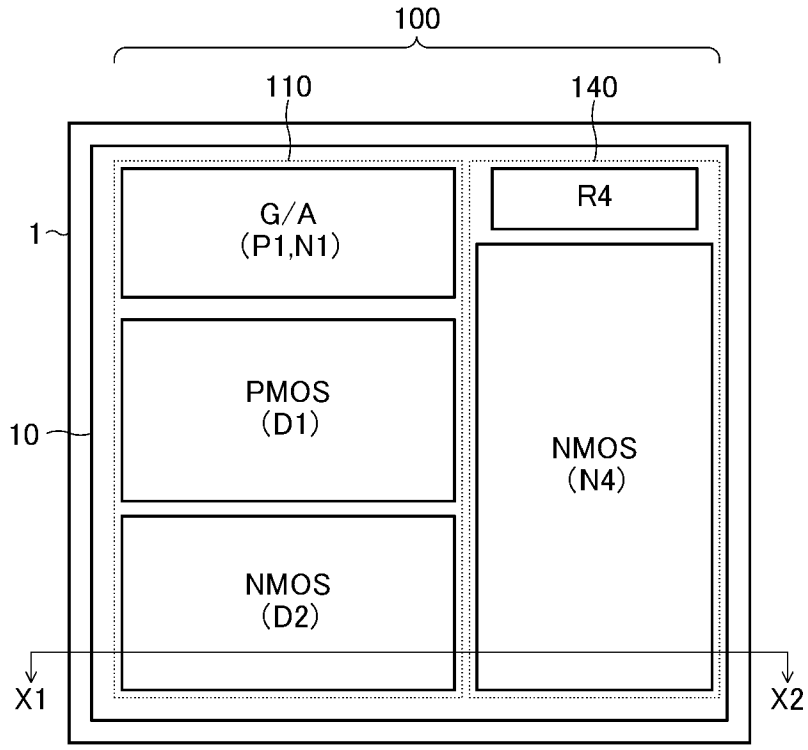
[図2]


1
10
100
130
110
120
L2
T2
VCC
P1
D1
N3
T1
N2
L1
D2
R3
N1
R2
T3
GND
L3

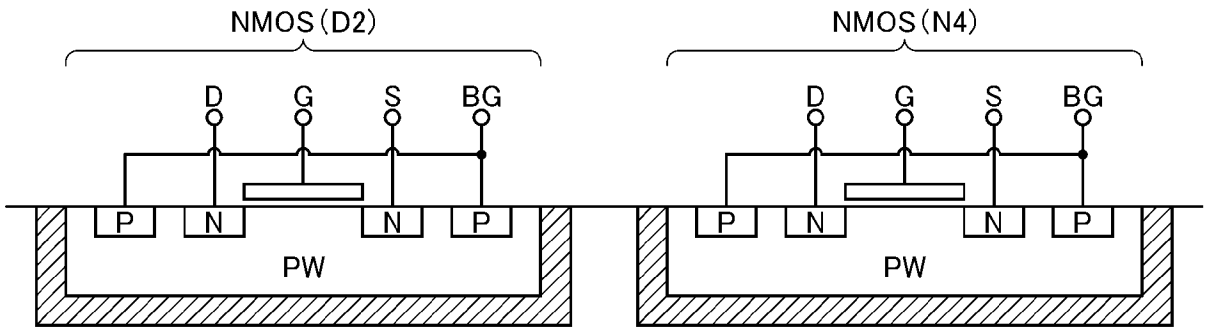
[図3]


1
10
100
130
110
140
120
L2
T2
VCC
N3
T1
D1
P1
N4
N2
R3
L1
D2
N1
R4
R2
T3
GND
L3

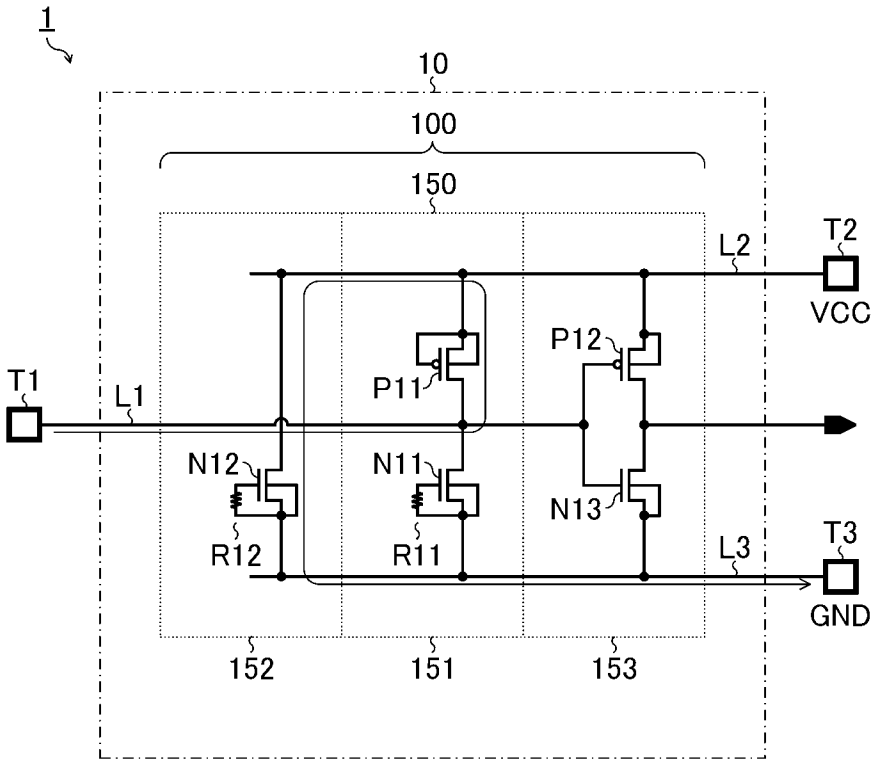
[図4]


100
110
140
1
G/A
(P1,N1)
R4
10
PMOS
(D1)
NMOS
(N4)
NMOS
(D2)
X1
X2

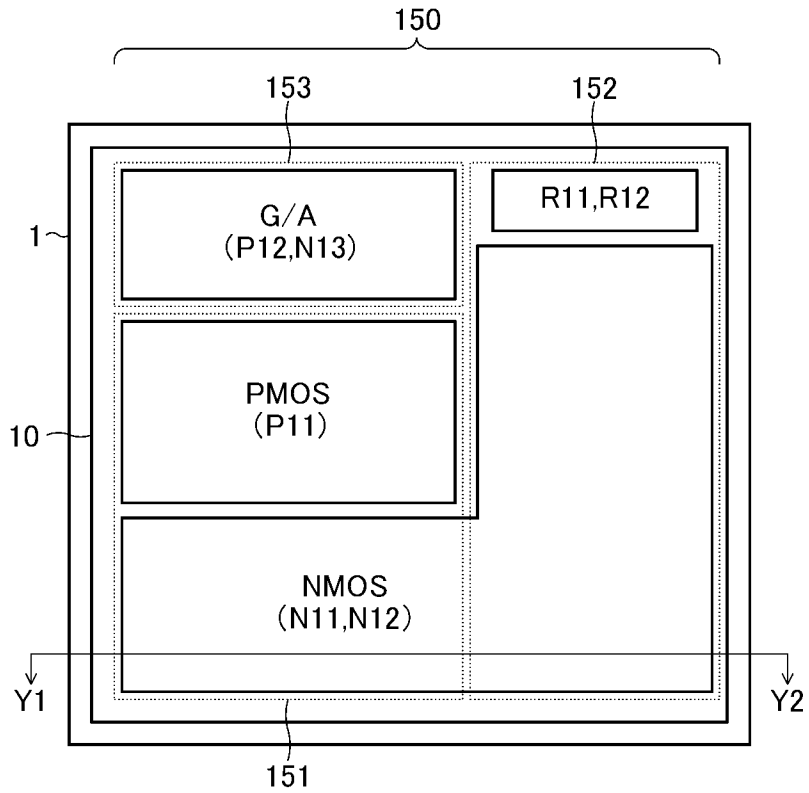
[図5]


NMOS(D2)
D
G
S
BG
P
N
N
P
PW
NMOS(N4)
D
G
S
BG
P
N
N
P
PW

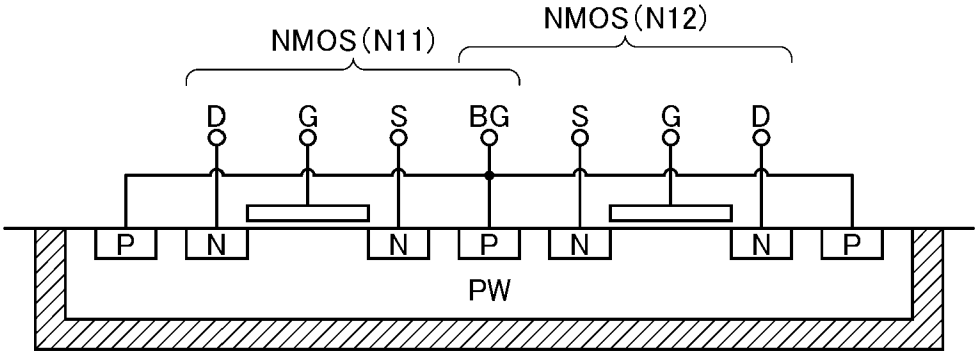
[図6]


1
10
100
150
T2
L2
VCC
P12
T1
L1
P11
N12
N11
N13
R12
R11
L3
T3
GND
152
151
153

[図7]


150
153
152
G/A
(P12,N13)
R11,R12
1
PMOS
(P11)
10
NMOS
(N11,N12)
Y1
Y2
151

[図8]


NMOS(N11)
NMOS(N12)
D
G
S
BG
S
G
D
P
N
N
P
N
N
P
PW

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2023/028414

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/04(2006.01)i; ***H01L 21/822***(2006.01)i; ***H01L 21/8234***(2006.01)i; ***H01L 27/06***(2006.01)i
FI: H01L27/04 H; H01L27/06 311B; H01L27/06 102A

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/04; H01L21/822; H01L21/8234; H01L27/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2023
Registered utility model specifications of Japan 1996-2023
Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2009-206402 A (FUJITSU MICROELECTRONICS LTD) 10 September 2009 (2009-09-10) paragraphs [0034]-[0040], fig. 1-3, 10	1-4, 7-10
A		5-6
Y	JP 2022-105405 A (ROHM CO LTD) 14 July 2022 (2022-07-14) paragraphs [0010]-[0043], fig. 1-3	1-4, 7-10
A		5, 6
Y	JP 2009-164195 A (PANASONIC CORP) 23 July 2009 (2009-07-23) paragraph [0026], fig. 3	8
A	JP 2010-80622 A (PANASONIC CORP) 08 April 2010 (2010-04-08)	1-10
A	JP 2002-50698 A (NEC CORP) 15 February 2002 (2002-02-15)	1-10
A	JP 11-251453 A (SEIKO EPSON CORP) 17 September 1999 (1999-09-17)	1-10

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
10 October 2023	**17 October 2023**
Name and mailing address of the ISA/JP **Japan Patent Office (ISA/JP)** **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2023/028414

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2009-206402 A	10 September 2009	(Family: none)	
JP 2022-105405 A	14 July 2022	(Family: none)	
JP 2009-164195 A	23 July 2009	(Family: none)	
JP 2010-80622 A	08 April 2010	US 2010/0148267 A1 WO 2010/035374 A1	
JP 2002-50698 A	15 February 2002	US 2002/0014904 A1 TW 501264 B KR 10-2002-0011894 A	
JP 11-251453 A	17 September 1999	(Family: none)	

国際調査報告

国際出願番号
PCT/JP2023/028414

A.　発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 27/04(2006.01)i; H01L 21/822(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/06(2006.01)i
FI: H01L27/04 H; H01L27/06 311B; H01L27/06 102A

B.　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L27/04; H01L21/822; H01L21/8234; H01L27/06

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２３年
日本国実用新案登録公報	１９９６－２０２３年
日本国登録実用新案公報	１９９４－２０２３年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C.　関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2009-206402 A (富士通マイクロエレクトロニクス株式会社) 10.09.2009 (2009-09-10) 段落0034-0040、図1-3, 10	1-4, 7-10
A		5-6
Y	JP 2022-105405 A (ローム株式会社) 14.07.2022 (2022-07-14) 段落0010-0043、図1-3	1-4, 7-10
A		5, 6
Y	JP 2009-164195 A (パナソニック株式会社) 23.07.2009 (2009-07-23) 段落0026、図3	8
A	JP 2010-80622 A (パナソニック株式会社) 08.04.2010 (2010-04-08)	1-10
A	JP 2002-50698 A (日本電気株式会社) 15.02.2002 (2002-02-15)	1-10
A	JP 11-251453 A (セイコーエプソン株式会社) 17.09.1999 (1999-09-17)	1-10

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

*　引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
10.10.2023	17.10.2023

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
岩本　勉 5F 9355
電話番号 03-3581-1101 内線 3516

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2023/028414

引用文献	公表日	パテントファミリー文献	公表日
JP 2009-206402 A	10.09.2009	（ファミリーなし）	
JP 2022-105405 A	14.07.2022	（ファミリーなし）	
JP 2009-164195 A	23.07.2009	（ファミリーなし）	
JP 2010-80622 A	08.04.2010	US 2010/0148267 A1 WO 2010/035374 A1	
JP 2002-50698 A	15.02.2002	US 2002/0014904 A1 TW 501264 B KR 10-2002-0011894 A	
JP 11-251453 A	17.09.1999	（ファミリーなし）	