(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
G02F 1/133

(45) 공고일자 2002년04월09일
(11) 등록번호 10-0331773
(24) 등록일자 2002년03월26일

(21) 출원번호 10-1999-0007033
(22) 출원일자 1999년03월03일

(65) 공개번호 특1999-0077568
(43) 공개일자 1999년10월25일

(30) 우선권주장 1998-50699 1998년03월03일 일본(JP)

(73) 특허권자
가부시끼가이샤 히다치 세이사꾸쇼
가나이 쓰도무
일본국 도쿄도 지요다구 간다 스루가다이 4-6
히다찌디바이스엔지니어링 가부시기가이샤
나시모토 류조
일본국 치바켕 모바라시 하야노 3681
가부시기가이샤 히다치초엘에스아이시스템즈
스즈키 진이치로
일본국 도쿄도 고다이라시 죠스이혼쵸5-22-1

(72) 발명자
고토미츠루
일본국치바켕치바시미도리구시이나자키쪼486
카타야나기히로시
일본국치바켕치바시미도리구아스미가오카8-36-9
오데유키히데
일본국치바켕모바라시카미모바라220-22
사이토요시유키
일본국치바켕모바라시야와타이시즈카2-2-39
코테라코이치
일본국토쿄토코쿠분지시히가시코이가쿠보4-14-5

(74) 대리인
신중훈
임옥순

심사관 : 고종욱

(54) 액정표시장치

요약

액정표시장치는 복수의 영상신호선 중 대응하는 하나를 통하여 표시데이터에 대응하는 영상신호전압이 각각 공급되기에 적합한 복수의 화소를 가지는 액정표시소자와, 상기 복수의 영상신호선의 각각에 상기 영상신호전압을 공급하는 영상신호선 구동회로로 구비한다. 영상신호선 구동회로는, 각각 1쌍의 제 1입력단과 제 2입력단을 가지고, 이들의 입력단에 입력된 영산신호를 증폭하고, 영상신호선중에서 대응하는 단일의 영상신호선에 증폭된 영상신호를 공급하는 복수의 차동증폭기와, 각각의 차동증폭기의 각쌍에 대응하는 복수쌍의 반전입력단 및 비반전입력단을 구비한다. 차동증폭기는 각각 제 1상태와 제 2상태사이를 절환하는 전환회로를 가지고, 제 1상태는 제 1입력단이 반전입력단에 접속되고 제 2입력단이 비반전입력단에 접속되는 상태이며, 제 2상태는 제 1입력단이 비반전입력단에 접속되고 제 2입력단이 반전입력단에 접속되는 상태이다. 절환제어회로는 제 1상태와 제 2상태사이의 절환은 특정한 주기로 행해지도록, 절환회로에 절환제어신호를 공급한다.

## 대표도

도 1

## 명세서

### 도면의 간단한 설명

도 1은, 본 발명의 실시의 형태1의 TFT방식의 액정표시모듈의 개략구성을 표시한 블록도.

도 2는, 도 1에 표시한 액정표시패널의 일예의 등가회로를 표시한 도면.

도 3은, 도 1에 표시한 액정표시패널의 다른예의 등가회로를 표시한 도면.

도 4A, 4B는, 액정표시모듈의 구동방법으로서, 도트반전법을 사용했을경우에 있어서, 드레인드라이버로부터 드레인신호선(D)에 출력되는 액정구동전압의 극성을 설명하기 위한 도면이며, 도 4A는 홀수프레임을, 도 4B는 짝수프레임의 예를표시한 도면.

도 5는, 도 1에 표시한 드레인드라이버의 일예의 개략구성표시블록도.

도 6은, 출력회로의 구성을 중심으로, 도 5에 표시한 드레인드라이버의 구성을 설명하기 위한 블록도.

도 7은, 도 6에 표시한 스위치부(2)의 1스위치회로의 회로구성을 표시한 회로도.

도 8은, 도 6에 표시한 고전압용 앰프회로, 및 저전압용 앰프회로로서 사용되는 전압폴로워회로를 표시한 회로도.

도 9는, 도 6에 표시한 저전압용앰프회로에 사용되는 연산증폭기를 구성하는 차동증폭회로의 일예를 표시한 회로도.

도 10은, 도 6에 표시한 고전압용 앰프회로에 사용되는 연산증폭기를 구성하는 차동증폭회로의 일예를 표시한 회로도.

도 11은, 오프셋전압(Voff)을 고려한 연산증폭기의 등가회로를 표시한 도면.

도 12는, 오프셋전압(Voff)이 있는경우, 및 오프셋전압(Voff)이 없는 경우에, 드레인신호선(D)에 인가되는 액정구동전압을 설명하기 위한 도면.

도 13A, 13B는, 오프셋전압(Voff)에 의해 액정표시패널에 세로줄무늬가 생기는 이유를 설명하기 위한 도면이며, 도 13A는 세로줄무늬의 발생하는 경우를 표시하고, 도 13B가 발생하지 않는 경우를 표시함.

도 14는, 본 실시의 형태 1의 저전압용 앰프회로의 회로구성을 표시한 회로도.

도 15는, 본 실시의 형태 1의 고전압용 앰프회로의 회로구성을 표시한 회로도.

도 16A는, 본 실시의 형태 1의 저전압용 앰프회로에 있어서, 제어신호(A)가 H레벨의 경우의 회로구성을 표시한 회로도이며, 도 16B는 그 회로를 OP-amp의 기호로 표시함.

도 17A는 본 실시의 형태 1의 저전압용 앰프회로에 있어서, 제어신호(B)가 H레벨의 경우의 회로구성을 표시한 회로도이며, 도 17B는 그 회로를 OP-amp의 기호로 표시함.

도 18은, 본 실시의 형태 1의 드레인드라이버의 출력단의 구성을 표시한 도면.

도 19는, 본 실시의 형태 1의 드레인드라이버의 동작을 설명하기위한 타이밍도면.

도 20은, 본 실시의 형태 1에 있어서, 오프셋전압(Voff)에 의해 액정표시패널에 생기는 세로줄무늬가 눈에 띄지 않게 되는 이유를 설명하기 위한 도면.

도 21은, 본 실시의 형태 1에 있어서, 오프셋전압(Voff)에 의해 액정표시패널에 생기는 세로줄무늬가 눈에 띄지않게 되는 이유를 설명하기 위한 도면.

도 22는, 본 실시의 형태 1에 있어서, 오프셋전압(Voff)에 의해 액정표시패널에 생기는 세로줄무늬가 눈에 띄지않게되는 이유를 설명하기위한 도면.

도 23은, 본 실시의 형태 1의 드레인드라이버내의 제어회로의 요부회로구성을 표시한 블록도.

도 24는, 도 23에 표시한 제어신호생성회로의 회로구성을 표시한 회로도.

도 25는, 도 24에 표시한 제어신호생성회로의 동작을 설명하기 위한 타이밍도면.

도 26은, 도 23에 표시한 프레임인식신호생성회로의 회로조성을 표시한 회로도.

도 27A, 도 27B는, 도 26에 표시한 프레임인식신호생성회로의 동작을 설명하기위한 타이밍도면이며, 도 27A는 프레임용스타트펄스에 의한 FLMN출력의 발생을, 도 27B는 프레임내 스타트펄스에 의한 FLMN출력의 발생을 설명하는 도면.

도 28은, 본 실시의 형태 1의 제어회로의 동작을 설명하기 위한 타이밍도면.

도 29는, 도 28에 표시한 클록생성회로의 일예를 표시한 회로도.

도 30은, 본 실시의 형태 1의 드레인드라이버를 구성하는 반도체집적회로내의 각부의 배치를 표시한 요부 배치도.

도 31은, 종래의 레벨시프트회로의 회로구성을 표시한 회로도.

도 32는, 본 실시의 형태 1의 레벨시프트회로의 회로구성을 표시한 회로도.

도 33은, 도 32에 표시한 각부의 전압파형을 표시한 도면.

도 34A, 34B는, 본 실시의 형태 1의 드레인드라이버를 구성하는 반도체집적회로내에 있어서, 레벨시프트회로가 점하는 영역을 설명하기 위한 도면이며, 도 34A는 종래의 레벨시프트회로, 도 34B는 본 실시의 형태 1의 레벨시프트회로의 설명도.

도 35는, 도 32에 표시한 PMOS트랜지스터(PSA1, PSA3) 및 NMOS트랜지스터(NSA1,NSA3)의 단면구조를 표시한 요부단면도.

도 36은, 본 실시의 형태 1의 드레인드라이버내의 고전압용 디코더회로 및 저전압용 디코더회로의 회로구성을 표시한 회로도.

도 37은, 본 실시의 형태 2의 드레인드라이버내의 고전압용디코더회로의 일예의 회로구성을 표시한 회로도.

도 38A-38E는 도 37에 표시한 제 2계조전압생성회로의 동작을 설명하기 위한 도면이며, 도 38B-38E는 표시데이터의 하위비트에 대응한 제 2계조전압생성회로의 구성을 표시함.

도 39는, 본 실시의 형태 2의 드레인드라이버의 출력단의 구성을 표시한 도면.

도 41은, 본 실시의 형태 2의 드레인드라이버내의 고전압용디코더회로의 다른예의 회로구성을 표시한 회로도.

도 41은, 본 실시의 형태 2의 드레인드라이버내의 저전압용디코더 회로의 다른예의 회로구성을 표시한 회로도.

도 42는, 도 40에 표시한 고전압용 디코더회로, 또는 도 41에 표시한 저전압용 디코더회로에 있어서 사용되는 제 2계조전압생성회로의 일예를 표시한 도면.

도 43은, 본 실시의 형태 3의 드레인드라이버의 출력단의 구성을 표시한 도면.

도 44는, 도 43에 표시한 고전압용 앰프회로, 또는 저전압용앰프회로의 하나와, 그 입력단에 접속되는 스위치커패시터회로를 표시한 도면.

도 45는, 본 실시의 형태 4의 드레인드라이버의 출력단의 구성을 표시한 도면.

도 46은, 본 실시의 형태 5의 드레인드라이버의 출력단의 구성을 표시한 도면.

도 47은, 출력회로의 구성을 중심으로, 본 실시의 형태 5의 드레인드라이버의 구성을 설명하기 위한 블록도.

도 48은, 도 47에 표시한 앰프회로에 사용되는 차동증폭회로의 일예의 회로구성을 표시한 회로도.

도 49는, 출력회로의 구성을 중심으로, 본 실시의 형태 6의 드레인드라이버(130)의 구성을 설명하기위한 블록도.

도 50은, 도 49에 표시한 프리래치부(160)의 1회로구성을 표시한 도면.

도 51은, 도 49에 표시한 버스라인(161a, 161b)상의 표시데이터와, 클록(CL2)의 동작주파수를 설명하기 위한 도면.

도 52는, 클록(CL2)의 상승시 및 하강시에서 표시데이터를 래치하는 경우에서, 드레인드라이버내에 1계통의 버스라인밖에 없는 경우의, 출력회로의 구성을 중심으로, 드레인드라이버의 구성을 설명하기 위한 블록도.

도 53은, 도 52에 표시한 버스라인상의 표시데이터와, 클록(CL2)의 동작주파수를 설명하기 위한 도면.

도 54는, 도 52에 표시한 드레인드라이버를 구성하는 반도체집적회로내의 버스라인의 배치를 표시한 도면.

도 55는, 가로전계방식의 액정표시패널의 등가회로를 표시한 도면.

< 도면의 주요부분에 대한 부호의 설명

10 : 액정표시패널(TFT-LCD) 20 : P형반도체기판

21 : n웰 22 : P웰

24a, 24b, 24c, 24d : n형반도체영역

25a, 25b, 25c, 25d : P형반도체영역

26a, 26b, 27a, 27b : 게이트전극 100 : 인터페이스부

110 : 표시제어장치 120 : 전원회로

121, 122 : 전압생성회로 123 : 공통전극전압생성회로

124 : 게이트전극전압생성회로 130 : 드레인드라이버

131, 132, 134, 135, 141, 142 : 신호선

133, 161, 161a, 161b : 표시데이터의 버스라인

140 : 게이트드라이버 152a, 151b : 계조전압생성회로

152 : 제어회로 153 : 시프트레지스터회로

154 : 입력레지스터회로 155 : 스트레이지레지스터회로

156 : 레벨시프트회로 157 : 출력회로

158a, 158b : 전압버스라인 160 : 프리래치부

261 : 디코더부 262, 264, 266 : 스위치부

263 : 앰프회로쌍(對) 265 : 데이터래치부

271 : 고전압용앰프회로 272 : 저전압용앰프회로

273 : 고전압·저전압용앰프회로

278, 279, 301, 311, 312 : 디코더회로

302 : 멀티플렉서 303 : 제 2계조전압생성회로

400 : 제어신호생성회로 401 : PORN신호생성회로

402 : 분압회로 403 : 인버터회로군

410 : 프레임인식신호생성회로 420 : 시프트클록개입중단신호생성회로

430 : 시프트용클록생성회로 440 : 펄스생성회로

450 : 펄스선택회로

D : 드레인신호선(영상신호선 또는 수직신호선)

G : 게이트신호선(주사신호선 또는 수평신호선)

ITO1, CX : 화소전극 ITO2 : 공통전극

CT : 대향전극 CL : 대향전극신호선

TFT : 박막트랜지스터 CLC, Cpix : 액정용량

CSTG : 유지용량 CADD : 부가용량

CStg : 축적용량 S, SWA, SWB : 스위치소자

PM, PA, PB, PSB, PSA, PBP, PBB : PMOS트랜지스터

NM, NA, NB, NSB, NSA, NBP, NBB : NMOS트랜지스터

C, Co, CA, CB : 콘덴서 SG1 SG3 : 스위치제어회로

NAND : 부정논리적회로 AND : 놀리적회로

NOR : 부정놀리합회로 INV : 인버터

OP : 연산증폭기 F : 플립ㆍ플롭회로

EXOR : 배타적논리합회로

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 액정표시장치에 관한 것으로서, 특히, 다계조표시가 가능한 액정표시장치의 영상신호선구동수단(드레인드라이버)에 적용해서 유효한 기술에 관한것이다.

화소마다 능동소자(예를들면, 박막트랜지스터)를 가지고, 이 능동소자를 스위칭구동하는 액티브매트릭스형액정표시장치는, 노트북컴퓨터등의 표시장치로서 널리 사용되고 있다.

이 액티브매트릭스형액정표시장치는, 능동소자를 개재해서 화소전극에 영상신호전압(표시데이터에 대응하는 계조전압 : 이하, 계조전압이라칭한다.)을 인가하기 때문에, 각 화소간의 크로스토크가 없고, 단순 매트릭스형 액정표시장치와 같이 크로스토크를 방지하기위한 특수한 구동방법을 사용할 필요가 없이, 다계조표시가 가능한다.

이 액티브매트릭스형액정표시장치의 하나로, TFT(Thin Film Fransistor)방식의 액정표시패널(TFT-LCD)과, 액정표시패널의 위쪽에 배치되는 드레인드라이버와, 액정표시패널의 측면에 배치되는 게이트드라이버 및 인터페이스부를 구비하는 TFT방식의 액정표시모듈이 알려져 있다.

이 TFT방식의 액정표시모듈에 있어서는, 드레인드라이버내에 다계조 전압생성회로와, 이 다계조전압생성회로에서 생성된 다계조전압 중에서, 표시데이터에 대응하는 하나의 계조전압을 선택하는 계조전압 선택회로와, 계조전압선택회로에서 선택된 하나의 계조전압이 입력되는 앰프회로를 구비하고 있다.

이 경우, 상기계조전압선택회로에는, 레벨시프트회로를 개재해서 표시데이터의 각 비트치가 입력된다.

또한, 이와같은 기술은, 예를들면, 일본국특개평9-281930호 공보(일본국 출원번호 평8-86668, 동출원공개 1997년 10월 31일 공개, the, Copending U.S. application of H.Isami, Serial No. 08/826973, filed April9, 1997)에 기재되어 있다.

앰프회로에서 오프셋전압을 제거하는 개념은 다음의 특허출원서 또는 특허에 개새되어 있다.

일본국 특개소55-1702호 공보(출원번호 소 53-72691호, 공개일 1980년 1월 8일); 일본국 특개소59-149408호 공보(출원번호 소59-17278호, 공개일 1984년 8월 27일); 일본국 특개평1-202909호 공보(출원번호 소63-26572호, 공개일 1989년 8월 15일); 일본국 특개평4-38004호 공보(출원번호 평2-145827호, 공개인 1992년 2월 7일); U.S. Pat. No. 4,902,981(Appl. No. 283,149, Date of Patent: Feb. 20, 1990); U.S. Pat. Re. 34,428(Appl. No.846,442, Reissued Date of Patent: Nov.2, 1993); U.S. Pat. 5,334,944(Appl. No.168,399, Date of Patent: Aug.2, 1994)

## 발명이 이루고자 하는 기술적 과제

최근, TFT방식의 액정표시모듈등의 액정표시장치에 있어서는, 64계조표시에서부터 256계조표시로 보다 다계조표시가 진행되고 있으며, 상기다계조전압생성회로에서 생성되는 다계조전압의, 1계조당의 전압폭(즉, 인접하는 계조전압간의 전위차)이 작게되어있다.

한편, 앰프회로는, 앰프회로를 구성하는 능동소자의 특성의 불균일에 의해 오프셋전압이 발생하나, 상기 앰프회로에 오프셋전압이 발생하면, 상기 앰프회로의 출력전압에 오차가 생기고, 상기 앰프회로의 출력전압은 정규의 계조전압과 다른 전압이 된다.

이에의해, 액정표시패널(TFT-LCD)에 표시되는 표시화면중에, 흑 또는 백의 세로줄무늬가 발생하고, 표시품질을 현저하게 손상시킨다고 하는 문제점이 있었다.

한편, TFT방식의 액정표시모듈등의 액정표시장치에 있어서는, 액정표시패널(TFT-LCD)의 대형화, 고해상도화(다화소화)의 경향에 있으며, 그 위에, 쓸데없는 스페이스를 없애고, 표시장치로서의 미관을 야기시키기 위하여, 액정표시패널의 표시영역이외의 영역, 즉, 테두리부분을 조금이라도 작게하는(reduction of the border areas)것이 요망되고 있다.

그리고, 상기계조전압선택회로의 앞단에 형성되는 상기레벨시프트회로는, 소스·드레인간 내압이 고내압의 트랜지스터로 구성된다.

그러나, 상기레벨시프트회로의 트랜지스터로서, 고내압의 트랜지스터를 사용하면, 상기드레인드라이버를 구성하는 반도체집적회로(IC칩)에 있어서의 당해 레벨시프트회로부의 면적이 크게 되고, 그것에 수반해서, 상기 드레인드라이버를 구성하는 반도체집적회로의 칩사이즈가 커지게 되어, 칩단가를 내릴수 없고, 또한, 상기 좁은 테두리화에 대응할 수 없다고하는 문제점이 있었다.

또, 종래부터 액정표시장치에 있어서는, 액정표시패널의 고해상도화가 요구되고 있으며, 액정표시패널의 해상도가, 예를들면, VGA표시모드의 640×680화소에서부터 SVGA표시모드의 800×600화소로 확대되어 오고 있으나, 최근, 액정표시장치에 있어서는, 액정표시패널의 대화면화의 요구에 따라서, 액정표시패널의 해상도로서, XGA표시모드의 1024×768회소, SXGA표시모드의 1280×1024화소, UXGA표시모드의 1600×1200화소로 더한층의 고해상도가 요구되고 있다.

이와같은, 액정표시패널의 고해상도화에 따라, 표시제어장치, 드레인드라이버 및 게이트드라이버도 고속동작을 하게 되어 있으며, 특히, 표시제어장치로부터 드레인드라이버에 출력되는 표시데이터래치용 클록(CL2) 및 표시데이터의 동작주파수의 고속화가 요구되고 있다.

이에의해, 상기드레인드라이버를 구성하는 반도체집적회로내부에서 표시데이터를 래치할 때의 다이밍마진이 감소한다고 하는 문제점이 있었다.

본 발명은, 상기 종래기술의 문제점을 해결하기 위하여 이루어진 것이며, 본 발명의 목적은, 액정표시장치에 있어서, 영상신호선구동수단의 앰프회로의 오프셋전압에 의해, 액정표시소자의 표시화면중에 흑 또는 백의 세로줄무늬가 생기는 것을 방지해서, 액정표시소자에 표시되는 표시화면의 표시품질을 향상시키는 일이 가능하게 되는 기술을 제공하는데 있다.

본 발명의 다른 목적은, 액정표시장치에 있어서, 영상신호선구동수단의 레벨시프트회로에, 소스·드레인간내압이 저내압트랜지스터를 사용해서, 영상신호선구동수단을 구성하는 반도체집적회로의 칩사이즈를 작게하는 것이 가능한 기술을 제공하는데 있다.

본 발명의 다른 목적은, 액정표시장치에 있어서, 표시데이터래치용 클록 및 표시데이터의 동작주파수가 고속화되어서도, 영상신호선구동수단을 구성하는 반도체집적회로내부에서 표시데이터를 래치할 때의 타이밍마진을 확보하는 일이 가능하게 되는 기술을 제공하는데 있다.

## 발명의 구성 및 작용

본 발명의 상기목적과 신규의 특징은, 본 명세서의 기술 및 첨부도면에 의해서 명백하게 될 것이다.

본 발명의 일실시예에 의하면, 복수의 영상신호선 중 대응하는 하나를 통하여 표시데이터에 대응하는 영상신호전압이 각각 공급되기에 적합한 복수의 화소를 가지는 액정표시소자와, 복수의 영상신호선의 각각에 영상신호전압을 공급하는 영상신호선 구동회로를 구비한 액정표시장치로서 영상신호선 구동회로는, 1쌍의 제 1입력단과 제 2입력단을 각각 가지고, 이들의 입력단에 입력된 영상신호를 증폭하고, 복수의 영상신호선중에서 대응하는 단일의 영상신호선에 증폭된 영상신호를 공급하는 복수의 차동증폭기와; 복수의 차동증폭기는 각각 제 1상태와 제 2상태사이를 절환하는 절환회로를 가지고, 제 1상태는 제 1입력단이 반전입력단에 접속되고 제 2입력단이 비반전입력단에 접속되는 상태이며, 제 2상태는 제 1입력단이 비반전입력단에 접속되고 제 2입력단이 반전입력단에 접속되는 상태이고, 복수의 차동증폭기의 각각에 대응하는 복수쌍의 반전입력단 및 비반전입력단과; 제 1상태와 제 2상태사이의 절환을 특정한 주기로 행해지도록, 절환회로에 절환제어신호를 공급하는 절환제어회로를 구비한 것을 특징으로 하는 액정표시장치가 제공된다.

이하, 본 발명실시의 형태를 도면을 참조해서 설명한다.

또한, 발명의 실시형태를 설명하기 위한 모든 도면에 있어서, 동일기능을 가진 것은 동일부호를 부여하고, 그 반복된 설명은 생략한다.

(실시의 형태1)

도 1은, 본 발명의 실시형태 1의 TFT방식의 액정표시모듈의 개략구성을 표시한 블록도이다.

본 실시의 형태의 액정표시모듈(LCM)은, 액정표시패널(TFT-LCD)(10)의 위쪽에 드레인드라이버(130)가 배치되고, 또, 액정표시패널(10)의 측면에, 게이트드라이버(140), 인터페이스부(100)가 배치된다.

인터페이스부(100)는 인터페이스기판에 실장되고, 또, 드레인드라이버(130), 게이트드라이버(140)도, 각각 전용의 TCP(Tape Carrier Package) 또는 직접액정표시패널에 실장된다.

도 2는, 도 1에 표시한 액정표시패널(10)의 일예의 등가회로를 표시한 도면이다. 이 도 2에 표시한 바와 같이, 액정표시패널(10)은, 매트릭스형상으로 형성되는 복수의 화소를 가진다. 각 화소는, 인접하는 2개의 신호선(드레인신호선(D) 또는 게이트신호선(G)과, 이들과 교차하는, 인접하는 2개의 신호선(게이트신호선(G) 또는 드레인신호선(D))에 의해서 둘러싸인 영역내에 배치된다.

각 화소는 박막트랜지스터(TFT1, TFT2)를 가지고, 각 화소의 박막트랜지스터(TFT1, TFT2)의 소스전극은, 화소전극(ITO1)에 접속된다. 또, 화소전극(ITO1)과 공통전극(ITO2)과의 사이에 액정층이 형성됨으로, 화소전극(ITO1)과 공통전극(ITO2)과의 사이에는, 액정용량(CLC)이 등가적으로 접속된다. 또, 박막트랜지스터(TFT1, TFT2)의 소스전극과 앞단의 게이트신호선(G)과의 사이에는, 부가용량(CADD)이 접속된다.

도 3은, 도 1에 표시한 액정표시패널(10)의 다른예의 등가회로를 표시한 도면이다.

도 2에 표시한 예에서는, 앞단의 게이트신호선(G)과 소스전극과의 사이에 부가용량(CADD)이 형성되어 있으나, 도 3에 표시한 예의 등가회로에서는, 공통신호선(COM)과 소스전극과의 사이에 유지용량(CSTG)이 형성되어 있는점이 다른다.

본 발명은, 도 2, 도 3의 방식의 어느것으로도 적용이 가능하나, 전자의 방식에서는, 앞단의 게이트신호선(G) 펄스가 부가용량(CADD)을 개재해서 화소전극(ITO1)에 뛰어들기에 대해, 후자의 방식에서는, 뛰어들기가 없기 때문에, 보다 양호한 표시가 가능하게 된다.

또한, 도 2, 도 3은, 예를 들면 트위스테드네마틱타이프와 같이, 액정층의 두께방향으로 전계가 인가되는 세로전계방식의 액정표시패널의 등가회로를 표시하고 있으며, 도 2, 도 3에 있어서, AR은 표시영역이다.

또, 도 2, 도 3은 회로도이나, 실제의 기하학적배치에 대응해서 묘사되고 있다.

도 2, 도 3에 표시한 액정표시패널(10)에 있어서, 열방향으로 배치된 각화소의 박막트랜지스터(TFT)의 드레인전극은, 각각 드레인신호선(D)에 접속되고, 각 드레인신호선(D)은, 열방향의 각화소의 액정에 계조전압을 인가하는 드레인드라이버(130)에 접속된다.

또, 행방향으로 배치된 각 화소에 있어서의 박막트랜지스터(TFT)의 게이트전극은, 각각 게이트신호선(G)에 접속되고, 각 게이트신호선(G)은, 1수평주사시간, 행방향의 각화소의 박막트랜지스터(TFT)의 게이트전극에 주사구동전압(플러스의 바이어스전압 또는 마이너스이 바이어스전압)을 공급하는 게이트드라이버(140)에 접속된다.

도 1에 표시한 이터페이스부(100)는, 표시제어장치(110)와 전원회로(120)로 구선된다.

표시제어장치(110)는, 1개의 반도체집적회로(LSI)로 구성되고, 컴퓨터본체쪽으로부터 송신되어오는, 클록신호, 디스플레이타이밍신호, 수편동기신호 및 수직동기신호등의 각 표시제어신호, 및 표시용데이터(R,G,B)를 기초로, 드레인드라이버(130) 및 게이트드라이버(140)를 제어, 구동한다.

표시제어장치(110)는, 디스플레이 타이밍신호가 입력되면, 이것을 표시개시위치인것으로 판단하고, 스타트펄스(표시데이터집어넣기개시신호)를 신호선(135)을 개재해서 제 1버째의 드레인드라이버(130)에 출력한다. 표시제어장치(110)는, 1행(行)분의 표시데이터를, 표시데이터의 버스라인(133)을 개재해서 드레인드라이버(130)(복수)에 출력한다.

그때의, 표시제어장치(110)는, 각 드레인드라이버(130)의 데이터래치회로에 표시데이터를 래치하기 위한 표시제어신호인 표시데이터래치용 클록(CL2)(이하, 간단하게, 클록(CL2)이라고 호칭함.)을 신호선(131)을 개재해서 출력한다.

본체 컴류터로 부터의 표시데이터는 6비트이고, 1화소단위, 즉, 적(R), 녹(G), 청(B) 서브픽셀(sub-pixels)을 위한 데이터를 1개의 조로해서 단위시간마다 전송된다.

또, 제 1번째의 드레인드라이버(130)에 입력된 스타트펄스에 의해 제 1번째의 드레인드라이버(130)에 있어서의 데이터래치회로의 래치동작이 제어된다.

이 제 1번째의 드레이드라이버(130)에 있어서의 데이터래치회로의 래치동작이 종료하면, 제 1번째의 드레인드라이버(130)로부터 스타트펄스가, 제 2번째의 드레인드라이버(130)에 입력되고, 제 2번째의 드레인드라이버(130)에 있어서의 데이터래치회로의 래치동작이 제어된다.

이하, 마찬가지로서, 각 드레인드라이버(130)에 있어서의 데이터래치회로의 래치동작이 제어되어, 표시데이터가 순차 데이터래치회로에 기록된다.

표시제어장치(110)는, 디스플레이타이밍신호의 입력이 종료하거나, 또는, 디스플레이타이밍신호가 입력된다음에 소정의 일정시간이 경과하면, 1수평주사분의 표시데이터기 종료한 것으로 판단해서, 각 드레인드라이버(130)의 데이터래치회로에 비축되고 있던 표시데이터를 액정표시패널(10)의 드레인신호선(D)에 출력하도록 표시제어신호인 출력타이밍제어용클록(CL1)(이하, 간단하게 클록(CL1)이라 호칭함.)을, 표시제어장치(110)는, 신호선(132)을 개재해서 각 드레인드라이버(130)에 출력한다.

또, 표시제어장치(110)는, 수직동기신호입력후에, 제 1번째의 디스플레이타이밍신호가 입력되면, 이것을 제 1번째의 표시라인 인것으로 판단해서 신호선(142)을 개재해서 게이트드라이버(140)에 프레임개시지시신호를 출력한다.

또, 표시제어장치(110)는, 수평동기신호에 의거해서, 1수평주사시간마다, 순차적으로 액정표시패널(10)의 각 게이트신호선(G)에 플러스전압을 인가하도록, 신호선(141)을 개재해서 게이트드라이버(140)에 1수편주사시간주기의 시프트클록인 클록(CL3)을 출력한다. 이에의해, 액정표시패널(10)의 각 게이트신호선(G)에 접속된 복수의 박막트랜지스터(TFT)가, 1수평주사시간동안 도통한다.

이상의 동작에 의해, 액정표시패널(10)에 화상이 표시된다.

도 1에 표시한 전원회로(120)는, 플러스전압생선회로(121), 마이너스전압생성회로(122), 공통전극(대향전극)전압생성회로(123), 게이트전극 전압생성회로(124)로 구성된다.

플러스전압생선회로(121), 마이너스전압생선회로(122)는, 각각 직렬저항분압회로로 구성되고, 플러스극성의 5치의 계조기준전압(V'0 V'4)을, 마이너스전압생성회로(122)는 마이너스극성의 5치의계조기준전압(V'5 V'9)을 출력한다. 이 플러스극성의 계조기준전(V'0 V'4), 및 마이너스극성의 계조기준전압(V'5 V'9)은, 각 드레인드라이버(130)에 공급된다.

또, 각 드레인드라이버(130)에는, 표시제어장치(110)로부터의 교류화신호(교류화타이밍신호;M)도, 신호선(134)을 개재해서 공급된다.

공통전극전압생성회로(123)는 공통전극(ITO2)에 인가하는 구동전압을, 게이트전극전압생성회로(124)는 박막트랜지스터(TFT)의 게이트전극에 인가하는 구동전압(플러스의 바이어스전압 및 마이너스의 바이어스전압)을 생성한다.

일반적으로, 액정층은, 장시간 동일한전압(직류전압)이 인가되고 있으면, 액정분자의 기울기가 고정화되어, 결과로서 잔상현상을 야기하고, 액정층의 수명을 단축하게 된다.

이것을 방지하기 위하여, 이 TFT방식의 액정표시모듈에 있어서는, 액정층에 인가하는 전압의 극성을 어느 일정시간마다 반전, 즉, 공통전극에 인가하는 전압을 기준으로 해서, 화소전극에 인가하는 전압을, 일정시간 마다 플러스전압쪽 또는 마이너스전압쪽에 교호로 변화시키도록 하고 있다.

이 액정층에 교류전압을 인가하는 구동방법으로서, 공통전극전압 대칭법과 공통전극전압반전법의 2가지의 방법이 알려져 있다. 공통정극전압반전법이란, 공통전극에 인가되는 전압과 화소전극에 인가하는 전압을, 교호로 플러스, 마이너스로 반전시키는 방법이다. 또, 공통전극전압대칭법이란, 공통전극에 인가되는 전압을 일정하게 하고, 화소전극에 인가하는 전압을, 공통전극에 인가되는 전압을 기준으로해서, 교호로 플러스, 마이너스로 반전시키는 방법이다.

이 공통전극전압대칭법은, 화소전극(ITO1)에 인가되는 전압의 진폭이, 공통전극전압반전법의 경우에 비해 2배가 되고, 임계치전압이 낮은 액정이 개발되지 않는한 저내압의 드라이버를 사용할 수 없다고 하는 결점이 있으나, 저소비전력과 표시품질의 점에서 뛰어나있는 도트반전법 또는 N라인 반전법이 사용가능하다.

본 실시의 형태의 액정표시모듈에서는, 그 구동방법으로서, 상기 도트반전법을 사용하고 있다.

도 4A 및 4B는, 액정표시모듈의 구동방법으로서, 도트반전법을 사용했을경우에 있어서, 드레인드라이버(130)로부터 드레인신호선(D)에 출력되는 액정구동전압(즉, 화소전극(ITO1)(도 2 및 도 3참조)에 인가되는 액정구동전압)의 극성을 설명하기 위한 도면이다.

액정표시모듈의 구동방법으로서, 도트방전법을 사용하는 경우를 이하에 설명한다. 먼저 홀수 프레임의 예를 도 4A에 표시한다. 홀수번재의 수평라인에서는, 드레인드라이버(130)로부터, 홀수번째의 드레인신호선(D)에는, 공통전극(ITO2)에 인가되는 액정구동전압(VCOM)에 대해서, 마이너스극성의 액정구동전압(도4A에서는 ●로 표시함)이,

또, 짝수번째의 드레인신호선(D)에는, 공통전극(ITO2)에 인가되는 액정구동전압(VCOM)에 대해서 플러스극성의 액정구동전압(도 4A에서는 ○으로 표시함)이 인가된다. 짝수번째의 수평라인에서는, 드레인드라이버(130)로부터, 홀수번째의 드레인신호선(D)에 플러스극성의 액정구동전압이, 또, 짝수번째의 드레인신호선(D)에 마이너스극성의 액정구동전압이 인가된다.

다음에 짝수프레임의 예를 도 4B에 표시한다. 각 수평라인의 전압극성을 프레임마다 반전됨으로,

홀수번째의 수평라인에서는, 드레인드라이버(130)로부터, 홀수번째의 드레인신호선(D)에 플러스극성의 액정구동전압이, 또, 짝수번째의 드레인신호선(D)에 마이너스극성의 액정구동전압이 인가된다. 짝수번째의 수평라인에서는, 드레인드라이버(130)로부터, 홀수번째의 드레인신호선(D)에 마이너스극성의 액정구동전압이, 또, 짝수번째의 드레인신호선(D)에 플러스극성의 액정구동전압이 인가된다.

이 도트 반전법을 사용함으로써, 인접하는 드레인신호선(D)에 인가되는 전압이 반대극성으로 되기 때문에, 공통전극(ITO2)이나 박막트랜지스터(TFT)의 게이트전극에 흐르는 전류가 인접끼리서로 상쇄하고, 소비전력을 저감할 수 있다.

또, 공통전극(ITO2)에 흐르는 전류가 적고 전압강하가 크게 되지 않기 때문에, 공통전극(ITO2)의 전압레벨이 안정하고, 표시품질의 저하를 최소한으로 억제할 수 있다.

도 5는, 도 1에 표시한 드레인드라이버(130)의 일예의 개략구성을 표시한 블록도이다. 또한, 드레인드라이버(130)는, 1개의 반도체집적회로(LSI)로 구성된다.

도 5에 있어서, 플러스극성계조전압생성회로(151a)는, 플러스전압 생성회로(121)(도 1참조)로부터 입력되는 플러스극성의 5치의 계조기준전압(V'0 V'4)에 의거해서, 플러스극성의 64계조의 계조전압을 생성하고, 전압버스라인(158a)을 개재해서 출력회로(157)에 출력한다.

마이너스극성계조전압생성회로(151b)는, 마이너스전압생성회로(122)로부터 입력되는 마이너스극성의 5치의 계조기준전압(V'5 V'9)에 의허개서, 마이너스극성의 64계조의 계조전압을 생성하고, 전압버스라인(158b)을 개재해서 출력회로(157)에 출력한다.

또, 드레인드라이버(130)의 제어회로(152)내의 시프트레지스터회로(153)는, 표시제어장치(110)로 부터 입력되는 클록(CL2)에 의거해서, 데이터집어넣기용 신호를 생성하고, 입력레지스터회로(154)에 출력한다.

입력레지스터회로(154)는, 시프트레지스터회로(153)로부터 출력되는 데이터집어넣기용 신호에 의거하여, 표시제어장치(110)로부터 입력되는 클록(CL2)에 동기해서, 각색마다 6비트의 표시데이터를 래치한다.

스트레이지레지스터회로(155)는, 표시제어장치(110)로부터 입력되는 클록(CL1)에 따라서, 입력레지스터회로(154)내의 표시데이터를 래치한다.

이 스트레이지레지스터회로(155)에 도입된 표시데이터는, 레벨시프트회로(156)를 개재해서 출력회로(157)에 입력된다.

출력회로(157)는, 플러스극성의 64계조의 계조전압, 또는 마이너스극성의 64계조의 계조전압의 중에서, 표시데이터에 대응한 1개의 계조전압(64계조의 중의 1개의 계조전압)을 선택해서, 각 드레인신호선(D)에 출력한다.

도 6은, 출력회로(157)의 구성을 중심으로, 도 5에 표시한 드레인드라이버(130)의 구성을 설명하기 위한 블록도이다.

도 6에 있어서, 참조수자(153)는 도 5에 표시한 제어회로(152)내의 시프트레지스터회로, (156)은 도 5에 표시한 레벨시프트회로이며, 또, 데이터래치부(265)는, 도 5에 표시한 입력레지스터회로(154)와 스트레이지레지스터회로(155)를 나타내고, 또, 디코더부(계조전압선택회로)(261), 앰프회로쌍(263), 앰프회로쌍(263)의 출력을 절환하는 스위치부(2)(264)가, 도 5에 표시한 출력회로(157)를 구성한다.

여기서, 스위치부(1)(262) 및 스위치부(2)(264)는, 교류화신호(M)에 의거해서 제어된다.

또, $Y_1$, $Y_2$, $Y_3$, $Y_4$, $Y_5$, $Y_6$은, 각각 제 1번째, 제 2번째, 제 3번째, 제 4번째, 제 5번째, 제 6번째,의 드레인신호선(D)를 표시하고 있다.

도 6에 표시한 드레인드라이버(130)에 있어서는, 동일색을 표시하는 것으로서 인접하는 드레인선의 각각에 입력되는 2개의 신호가, 데이터래치부(265)(보다 상세하게는, 도 5에표시한 입력레지스터(154))의 2개의 래치부의 각각에 교호로 입력되도록, 2개의 래치부의 각각에 입력되는 「데이터집어넣기용신호」것을, 스위치부(1)(262)가 절환한다.

디코더부(261)는, 계조전압생성회로(151a)로부터 전압버스라인(158a)을 개재해서 출력되는 플러스극성의 64계조의 계조전압중에서, 각 데이터래치부(265)(보다상세하게는, 도 5에 표시한 스트레이지레지스터(155))로부터 출력되는 표시용데이터에 대응하는 플러스극성의 계조전압을 선택하는 고전압용디코더회로(278)와, 계조전압생성회로(151b)로 부터 전압버스라인(158b)을 개재해서 출력되는 마이너스극성의 64계조의 계조전압중에서, 각 데이터래치부(265)로부터 출력되는 표시용데이터에 대응하는 마이너스극성의 계조전압을 선택하는 저전압용디코더회로(279)로 구성된다.

1개의 데이터래치부(265)에 대해서, 고전압용디코더회로(278) 또는 저전압용대코더회로(279)가 형성되어 있다.

앰프회로쌍(263)은, 고전압용앰프회로(271)와 저전압용앰프회로(272)에 의해 구성된다.

고전압용앰프회로(271)에는 고전압용디코더회로(278)에서 생성된 플러스극성의 계조전압이 입력되고, 고전압용앰프회로(271)는 플러스극성의 계조전압을 출력한다.

저전압용 앰프회로(272)에는 저전압용디코더회로(279)에서 생성된 마이너스극성의 계조전압이 입력되고, 저전압용앰프회로(272)는 마이너스극성의 계조전압을 출력한다.

도트반전법에서는, 동일색을 표시하는것으로서 인접하는 드레인선(예를들면, $Y_1$, $Y_4$)의 각각에 입력되는 계조전압은 서로 반대극성이 되고,

또, 앰프회로쌍(263)의 고전압용앰프회로(271) 및 저전압용앰프회로(272) 의 배열은, 고전압용앰프회로(271) - 저전압용앰프회로(272) - 고전압용앰프회로(271) - 저전압용앰프회로(272)로 됨으로, 스위치부(1)(262)에 의해, 데이터래치부(265)에 입력되는 데이터집어넣기용 신호를 절환해서,

동일색을 표시하는것으로서 인접하는 드레인선(예를들면, $Y_1$, $Y_4$)의 각각에 입력되는 2개의 표시데이터중의 한쪽, 예를 들면, $Y_1$을 고전압용앰프회로(271)에 접속되는 데이터래치부(265)에 입력하고, 다른쪽, 예를들면, $Y_4$를 저전압용앰프회로(272)에 접속되는 데이터래치부(265)에 입력하고, 이들 데이터래치부(265)로부터 출력되는 출력전압을, 스위치부(2)(264)에 의해 절환하여, 2개의 표시데이터에 대응하는 드레인신호선(D), 제 1번째의 드레인신호선($Y_1$)과 제 4번째의 드레인신호선($Y_4$)에 출력함으로써, 각 드레인신호선(D)에 플러스극성 또는 마이너스극성의 계조전압을 출력하는 것이 가능하게 된다.

도 7은, 도 6에 표시한 스위치부(2)(264)의 1개의 스위치회로의 회로구성을 표시한 회로도이다.

도 7에 표시한바와 같이, 도 6에 표시한 스위치부(2)(264)의 1개의 스위치회로는, 고전압용앰프회로(271)와 n번째의 드레인신호(yn)와의 사이에 접속되는 PMOS트랜지스터(PM1)와, 고전압용앰프회로(271)와 (n+3)번째의 드레인신호(yn+3)와의 사이에 접속되는 PMOS트랜지스터(PM2)와, 저전압용앰프회로(272)와 (n+3)번째의 드레인신호(yn+3)와의 사이에 접속되는 NMOS트랜지스터(NM1)와, 저전압용앰프회로(272)와 n번째의 드레인신호(yn)와의 사이에 접속되는 NMOS트랜지스터(NM2)를 가진다.

PMOS트랜지스터(PM1)의 게이트전극에는, 인버터(INV)에서 반전된 부정논리합회로(NOR1)의 출력이, 또, PMOS트랜지스터(PM2)의 게이트전극에는, 인버터(INV)에서 반전된 부정논리합회로(NOR2)의 출력이, 각각 레벨시프트회로(LS)에서 레벨시프트되어서 출력된다.

마찬가지로, NMOS트랜지스터(NM1)의 게이트전극에는, 인버터(INV)에서 반전된 부정논리적회로(NAND2)의 출력이, 또, NMOS트랜지스터(NM2)의 게이트전극에는, 인버터(INV)에서 반전된 부정놀리적회로(NAND1)의 출력이, 각각 레벨시프트회로(LS)에서 레벨시프트되어서 입력된다.

여기서, 부정논리적회로(NAND1)와 부정논리합회로(NOR1)에는, 교류화신호(M)가, 부정논리적회로(NAND2) 및 부정논리합회로(NOR2)에는, 인버터(INV)에서 반전된 교류화신호(M)가 입력된다. 또, 부정논리적회로(NAND1, NAND2)에는, 출력개입중단신호(ENB)가 부정논리합회로(NOR1, NOR2)에는, 인버터(INV)에서 반전된 출력개입중단신호(ENB)가 입력된다.

표 1에, 부정논리적회로(NAND1, NAND2)와 부정논리합회로(NOR1, NOR2)의 진리치(眞理値)표와, 그 때의 각 MOS트랜지스터(PM1, PM2, NM1, NM2)의 ON · OFF상태를 표시한다.

[표 1]

| ENB | M | NOR1 | PM1 | NAND2 | NM1 | NAND1 | PM2 | NOR2 | NM2 |
|---|---|---|---|---|---|---|---|---|---|
| L | * | L | OFF | H | OFF | H | OFF | L | OFF |
| H | H | L | OFF | H | OFF | L | ON | H | ON |
| | L | H | ON | L | ON | H | OFF | L | OFF |

*는 교류화신호(M)에 관계가 없는 것을 나타냄.

표 1에서 알수 있는바와 같이, 출력개입중단신호(ENB)가 LOW레벨(이하, L레벨)일때에, 부정논리전(NAND1, NAND2)은 High레벨(이한, H레벨), 부정논리합(NOR1, NOR2)은 L레벨이되고, 각 MOS트랜지스터(PM1, PM2, NM1, NM2)는 OFF상태로 된다.

주사라인의 절환시에는, 고전압용앰프회로(271)와 저전압용앰프회로(272)도 불안정한 상태에 있다.

이 출력개입중단신호(ENB)는, 주사라인의 절환기간내에, 각 앰프회로(271, 272)의 출력이, 각 드레인신호선(D)에 출력되는 것을 방지하기 위하여 형성되어 있다.

또한, 본 실시의 형태에서는, 이 출력개입중단신호(ENB)로서, 클록(CL1)의 반전신호를 사용하고 있으나, 클록(CL2)을 카운트하는 등 해서 내부에서 생성하는 것도 가능하다.

또, 표 1에서 알 수 있는 바와 같이, 출력개입중단 신호(ENB)가 H레벨 일때에는, 교류화신호(M)의 H레벨 또는 L레벨에 따라서, 각 부정논리적회로(NAND1, NAND2)가 H레벨 또는 L레벨, 각 부정논리합회로(NOR1)가 H레벨 또는 L레벨이 된다.

이에의해, PMOS트랜지스터(PM1) 및 NMOS트랜지스터(NM1)가 OFF 또는 ON, PMOS트랜지스터(PM2) 및 NMOS트랜지스터(NM2)가 ON 또는 OFF로 되고, 고전압용앰프회로(271)의 출력은 드레인신호선(yn+3)에, 저전압용앰프회로(272)의 출력은 드레인신호선(yn), 또는, 고전압용 앰프회로(271)의 출력은 드레인신호선(yn)에, 저전압용 앰프회로(272)의 출력은 드레인신호선(yn+3)에 출력된다.

여기서, 본 실시의 형태의 액정표시모듈(LCM)에서는, 각 화소의 액정층에 인가된는 계조전압의 전압범위는, 마이너스극성쪽에서 0 5V, 플러스극성쪽에서 5 10V이며, 따라서, 저전압용앰프회로(272)로부터는 0 5V의 마이너스극성의 계조전압이 출력되고, 고전압용앰프회로(271)로부터는 5 10V의 플러스극성의 계조전압이 출력된다.

이 경우, 예를 들면, PMOS트랜지스터(PM1)가 OFF이고, NMOS트랜지스터(NM2)가 ON의 경우에, PMOS트랜지스터(PM1)의 소스·드레인간에는, 최대 10V의 전압이 인가된다.

그 때문에, 각 MOS트랜지스터(PM1, PM2, NM1, NM2)는, 소스·드레인간 내압이 10V의 고내압 MOS트랜지스터가 사용된다.

최근, TFT방식의 액정표시모듈등의 액정표시장치에 있어서는, 액정표시패널(10)이 대형화, 고해상도화가 진행되어, 액정표시패널(10)의 표시화면사이즈가 커지는 경향에 있으며, 또, 64계조표시에서부터 256계조표시로 보다 다계조표시가 진행되고 있다.

이에 수반하여, 드레인드라이버(130)는, 박막트랜지스터(TFT)에 대한 고속의 충전특성이 요구되고, 드레인드라이버(130)에 있어서, 단순히 계조전압을 선택하고, 직접드레인신호(D)를 출력하는 방법으로서는 상기요구를 만족하는것이 곤란하게 되어 있다.

그 때문에, 드레인드라이버(130)의 최종단에 앰프회로를 형성하고, 당해 앰프회로를 개재해서, 계조전압을 드레인신호선(D)에 출력하는 방법이 주류로 되어 있다.

도 6에 표시한 고전압용앰프회로(271), 및 저전압용앰프회로(272)는, 상기한 이유에 의해 형성된것이며, 종래, 이 고전압용앰프회로(271), 및 저전압용앰프회로(272)로서는, 예를들면, 도 8에 표시한 바와 같은, 연산증폭기(OP)의 반전입력단자(-)와 출력단자가 직결되고, 그 비반전입력단자(+)가 입력단자가 되는 전압폴로워회로로 구성된다.

또, 저전압용 앰프회로(272)에 사용되는 연산증폭기(OP)는, 예를들면, 도 9에 표시한바와 같은 차동증폭회로로 구성되고, 또, 고전압용앰프회로(271)에 사용되는 연산증폭기(OP)는, 예를들면, 도 10에 표시한 바와 가타은 차동증폭회로로 구성된다.

그러나, 일반적으로, 상기 연산증폭기(OP)는 오프셋전압(Voff)을 가지고 있다.

상기 연산증폭기(OP)의 기본증폭회로가, 예를들면, 도 9 또는 도 10에 표시한 차동증폭회로에 의해 구성되는 것일 경우에는, 상기 오프셋전압(Voff)은, 도 9 또는 도 10에 표시한 차동증폭회로에 있어서의, 입력단의 PMOS트랜지스터(PM51,52) 또는 NMOS트랜지스터(NM61,62), 또는 능동부하회로를 구성하는 NMOS트랜지스터(NM63,64) 또는 PMOS트랜지스터(PM53,54)의 대칭성의 미묘한 불균형이 원인으로 발생한다.

상기 대칭성의 불균형은, 제조공정에 있어서의 이온이식공정, 또는 사진평판공정의 불균일에 의해, MOS트랜지스터의 임계치전압(Vth), 또는 MOS트랜지스터의 게이트폭 W/게이트길이 L의 비(W/L)등이 변화해버리는 것에 기인하고 있으나, 공정관리를 엄격히 하더라도 상기 오프셋전압(Voff)을 0으로 하는 것은 불가능하다.

연산증폭기(OP)가 오프셋전압(Voff)을 가지지 않는 이상적인 연산증폭기라면, 입력전압(Vin)

과 출력전압(Vout)은 동등해지는(Vin=Vout)데 대해서, 상기 연산증폭기(OP)가 오프셋전압(Voff)을 가지고 있는 경우에는, 입력전압(Vin)과 출력전압(Vout)은 동증하게 되지 않고, 출력전압(Vout)은 입력전압(Vin)에 오프셋전압(Voff)이 가산(Vout=Vin+Voff)된 것이 된다.

도 11은, 오프셋전압(Voff)을 고려한 연산증폭기의 등가회로를 표시한 도면이고, 도 11에 있어서, 참조특성 ROP는 오프셋전압(Voff)을 발생하지 않는 이상적인 연산증폭기, 참조특성 Vos는, 오프셋전압(Voff)과 동등한 전압치를 발생하는 전압원을 표시한다.

따라서, 드레인 드라이버의 출력회로(도 5에 표시한 (157))의 고전압용 앰프회로(도 6에 표시한(271)), 및 저전압용 앰프회로(도 6에 표시한(272))로서, 도 8에 표시한 전압폴로워회로를 사용하는 종래의 액정표시모듈에서는, 전압폴로워회로의 입력전압과 출력전압이 일치하지 않고, 전압폴로워회로로부터 드레인신호선(D)에 출력되는 액정구동전업은, 전압폴로워회로에 입력되는 계조전압에, 연산증폭기의 오프셋전압이 가산된 것이 된다.

이에의해, 종래의 액정표시 모듈에서는, 액정표시패널에 표시되는 표시화면속에, 흑 또는 백의 세로줄무늬가 발생하고, 표시품질을 현저하게 손상시킨다고 하는 문제점이 있었다.

이하, 흑 또는 백의 세로줄무늬가 발생하는 이유에 대해서 상세히 설명한다.

도 12는, 오프셋전압(Voff)이 있는 경우, 및 오프셋전압(Voff)이 없는 겨우에, 드레인신호선(D)(또는 화소전극(ITO 1))에 인가되는 액정구동전압을 설명하기 위한 도면이다.

도 12에 표시한 A의 영역이, 오프셋전압(Voff)이 없는 경우에, 드레인신호선(D)에 인가되는 플러스극성 및 마이너스극성의 액정구동전압을 표시하고, 이 경우에는, 화소의 휘도는 계조전압에 대응하는 규정의 휘도가 된다.

또, 도 12에 표시한 B의 영역은, 고전압용앰프회로의 출력이 이상적 출력보다 마이너스쪽에 있고, 저전압용앰프회로의 출력이 이상적출력보다 플러스쪽에 있는 경우를 표시하고, 이 경우에는, 화소에 인가되는 구동전압은, 오프셋전압(Voff)의 분만큼 낮게 됨으로, 화소의 휘도는, 액정표시패널이 노멀리화이트타입의 액정표시패널이라면, 계조전압에 대응하는 규정휘도보다 밝게된다.

또, 도 12에 표시한 C의 영역은, 고전압용앰프회로의 출력이 이상적출력보다 플러스쪽에 있고, 저전압용앰프회로의 출력이 이상적출력보다 마이너스쪽에 있는 경우를 표시하고, 이 경우에는, 화소에 인가되는 구동전압은, 오프셋전압(Voff)의 분만큼 높게 됨으로, 화소의 휘도는, 액정표시패널이 노멀리화이트타입의 액정표시패널이라면, 계조전압에 대응하는 규정휘도보다 검게 된다.

여기서, 도 6에 표시한 드레인드라이버(130)에 있어서, $Y_1$ 및 $Y_4$의 드레인신호선(D)에 접속되는 고전압용앰프회로(271)가 플러스(+)의 오프셋전압(Vofh), 및 $Y_1$ 및 $Y_4$의 드레인신호선(D)에 접속되는 저전압용앰프회로(272)가 마이너스(-)의 오프셋전압(Vof1)을 가지고, 또, $Y_2$ 및 $Y_5$의 드레인 신호선(D)에 접속되는 고전압용앰프회로(271) 및 저전압용앰프회로(272)와, $Y_3$ 및 $Y_6$의 드레인 신호선(D)에 접속되는 고전압용 앰프회로(271) 및 저전압용앰프회로(272)가, 다같이 오프셋전압(Voff)을 가지지 않는 것이며, 또, $Y_1$ $Y_4$의 드레인신호선(D)에 동일한 계조전압을 인가하는 경우를 가정하면, $Y_1$ $Y_4$ 드레인신호선(D)에 접속되는 화소의 휘도는, 도 13A에 표시한 바와 같이 되고, 액정표시패널이 노멀리 화이트타입의 액정표시패널이라면, 액정표시패널의 표시화상속에 검은 세로줄무늬가 발생한다.

또, 용이하게 이해할 수 있도록, 상기조건하에서, $Y_1$ 및 $Y_4$의 드레인신호선(D)에 접속되는 고전압용앰프회로(271)가 마이너스(-)의 오프셋전압(Vofh), 및 $Y_1$ 및 $Y_4$의 드레인신호선(D)에 접속되는 저전압용앰프회로(272)가 플러스(+)의 오프셋전압(Vof1)을 가진 경우에는, 액정표시패널의 표시화상속에 흰 세로줄무늬가 발생하게 된다.

이경우에, $Y_1$ 및 $Y_4$ 의 드레인신호선(D)에 접속되는 고전압용앰프회로(271) 및 저전압용앰프회로(272) 쌍방이, 동일극성, 동일한 값의 오프셋전압(Vofh, Vof1)을 가진 경우에는, 도 13B에 표시한 바와 같이, $Y_1$ 및 $Y_4$ 의 드레인신호선(D)에 접속되는 화소는, 1프레임째에서는 계조전압에 대응하는 규정휘도보다 검고, 또, 2프레임째에서는 계조전압에 대응하는 규정휘도 보다 희게 된다. 이에의해, $Y_1$ 및 $Y_4$ 의 드레인신호선(D)에 접속되는 화소의 규정휘도로 부터의 어긋남은, 2프레임마다 상쇄됨으로, 액정표시패널의 표시화상속에 흰 또는 검은 세로줄무늬는 눈에 띄지 않게 된다.

그러나, 연산증폭기 의 오프셋전압(Voff)은, 각 연산증폭기마다 램덤으로 발생하는것이며, 2개의 연산증폭기의 오프셋전압(Vofh, Vof1)이 동일하게 되는 일은 극히 희박하며, 2개의 연산증폭기의 오프셋전압(Vofh, Vof1)이 동일하게 되는 일은 통상적으로 있을 수 없다.

이와 같이, 종래의 액정표시모듈에서는, 각 드레인신호선(D)에 접속되는 앰프회로의 오프셋전압(Voff)에 의해, 액정표시패널의 표시화면속에 백색 또는 흑색의 세로줄무늬가 발생한다고 하는 무제점이 있었다.

또, 오프셋제거기회로도 알려져있으나, 이 오프셋제거기회로는 스위치드커패시터회로를 사용하고 있기 때문에, 피이드스루우에 의한 계조전압의 오차발생, 용량부형성에 의한 칩면적증가, 및 용량충전시간의 증가에 따른 고속화의 제한등의 문제점이 있었다.

도 14는, 본 실시의 형태의 드레인드라이버(130)에 있어서의 저전압용 앰프회로(272)의 기본회로구성을 표시한 회로도, 도 15는. 본 실시의 형태의 드레인드라이버(130)에 있어서의 고전압용 앰프회로(271)의 기본회로구성을 표시한 회로도이다.

도 14에 표시한 본 실시의 형태의 저전압용앰프회로(272)는, 도 9에 표시한 차동증폭회로에, 입력단의 PMOS트랜지스터(PM51)의 게이트전극(제어전극)을, (+)입력단자 또는 (-)입력단자에 접속하는 스위칭트랜지스터(NA1, NB1)와, 입력단의 PMOS트랜지스터(PM52)의 게이트 전극을, (+)입력단 또는 (-)입력단자를 접속하는 스위칭트랜지스터(NA2, NB2)와 출력단의 NMOS트랜지스터(NM65)의 게이트전극을 입력단의 PMOS트랜지스터(PM51)의 드레인전극, 또는 입력단의 PMOS트랜지스터(PM52)의 드레인전극에 접속하는 스위칭트랜지스터(NA3, NB3)와, 능동부하회로를 구성하는 NMOS트랜지스터(NM63, NM64)의 게이트전극을, 입력단의 PMOS트랜지스터(PM51)의 드레인전극, 또는 입력단의 PMOS트랜지스터(PM52)의 드레인전극에 접속하는 스위칭트랜지스터(NA4, NB4)를 부가한 것 이다.

도 15에 표시한 본 실시의 형태의 고전압용앰프회로(271)는, 도 14에 표시한 저전압용앰프회로(272)와 마찬가지로, 도 10에 표시한 차동증폭회로에, 스위칭트랜지스터(PA-1 PA4, PB1 PB4)를 부가한 것이다.

여기서, 스위칭트랜지스터(NA1 NA4, PA1 PA4)의 게이트전극에는, 제어신호(A)가 인가되고, 또, 스위칭트랜지스터(NB1 NB4, PB1 PB4)의 게이트전극에는, 제어신호(B)가 인가된다.

도 14에 표시한 본 실시의 형태의 저전압용앰프회로(272)에 있어서, 제어신호(A)가 H레벨, 제어신호(B)가 L레벨의 경우의 회로구성을 도 16A, 16B에, 또, 제어신호(A)가 L레벨, 제어신호 B가 H레벨의 경우의 회로구성을 도 17A, 17B에 표시한다.

또한, 도 16B, 도 17B는, 도 16A, 도 17A에 표시한 앰프회로를, 일반적인 연산증폭기기호를 사용해서 표현했을경우의 회로구성을 도시하고 있다.

이 도 16A, 16B 및 도 17A, 17B에서 이해할 수 있는 바와 같이, 본 실시의 형태의 저전압용 앰프회로(272)에서는, 입력전압(Vin)이 인가되는 입력단의 MOS트랜지스터와, 출력전압(Vout)이 귀환되는 입력단의 MOS트랜지스터를 교호로 절환하도록 한 것이다.

그것에 의해, 도 16A, 16B의 회로구성에서는, 하기(1)식에 표시한 바와 같이, 출력전압(Vout)은, 입력전압(Vin)에 오프셋전압(Voff)이 가산된 것이 된다.

Vout = Vin + Voff …(1)

또, 도 17A, 17B의 회로구성에서는, 하기(2)식에 표시한 바와 같이, 출력전압(Vout)은, 입력전압(Vin)으로부터 오프셋전압(Voff)이 감산된 것이 된다.

Vout = Vin - Voff …(2)

도 18은, 본 실시의 형태의 드레인드라이버(130)의 출력단의 구성을 표시한 도면이며, 도 19는, 본 실시의 형태의 드레인드라이버(130)의 동작을 설명하기 위한 타이밍차트이다.

도 19에 표시한 출려건압은, Vofh의 오프셋전압을 가진 고전압용 앰프회로(271)와, Vof1의 오프셋전압을 가진 저전압용앰프회로(272)에 접속되는 드레인신호선(D)에 대해서, 당해고전압용 앰프회로(271) 및 저전압용 앰프회로(272)로 부터 출력되는 출력전압을 표시한 것이며, 이 출력전압에 있어서, VH는 고전압용 앰프회로(271)가 오프센전압을 가지지 않을 때에, 고전압용 앰프회로(271)로 부터 출력되는 규정의 계조 전압,

VL은 저전압용 앰프회로(272)가 오프셋전압을 가지지 않을때에, 저전압용 앰프회로(272)로 부터 출력되는 규정된 계조전압이다.

또, 도 19의 타임차트에 표시한바와 같이, 도 18에 표시한 제어회로(152)로 부터 출려되는 제어신호(A) 및 제어신호(B)는, 2프레임마다 그 위상이 반전된다.

따라서, 도 19에 표시한 바와 같이, Vofh의 오프셋전압을 가진 고전압용 앰프회로(271)와, Vof1의 오프셋전압을 가진 저전압용 앰프회로(272)에 접속되는 드레인신호선(D)에는, 1프레임째의 1라인째에, 고전압용앰프회로(271)로부터 (VH+Voth)의 전압이 출력되나, 3프레임째의 1라인째에, 고전압용앰프회로(271)로부터 (VH-Vofh)의 전압이 출력됨으로, 대응하는 화소에 있어서, 고전압용앰프회로(271)의 오프셋전압(Voth)에 의해 발생하는 휘도의 상승 및 감소는 상쇄된다.

또, 2프레임째의 1라인째에, 저전압용앰프회로(272)로부터 (VL+Vof1)의 전압이 출력되나, 4프레림째의 1라인째에, 저전압용 앰프회로(272)로 부터 (VL-Vof1)의 전압이 출력됨으로, 대응하는 화소에 있어서, 저전압용 앰프회로(272)의 오프셋전압(Vof1)에 의해 발생하는 휘도의 상승 및 감소는 상쇄된다.

이에의해, 도 20에 표시한바와 같이, 고전압용앰프회로(271) 및 저전압용앰프회로(272)의 오프셋전압(Vofh, Vof1)에 의해 발생하는 휘도의 상승 및 삼소는, 연속하는 4프레임마다 상쇄됨으로, 도 19에 표시한 출력전압이 인가되는 화소의 휘도는, 계조전압에 대응하는 규정 휘도가 된다.

또한, 상기도 19에 표시한 타임차트에서는, 제어신호(A) 및 제어신호(B)의 위상을, 2프레임마다 반전하도록 했으나, 제어신호(A) 및 제어신호(B)의 위상을, 각 프레임내에서 수평주사선 2행마다, 또한 2프레임마다 반전시키도록 해도된다. 이경우의 화소의 휘도를, 도 21, 도 22에 표시한다.

도 21은, 제어신호(A)가 H레벨시에, 고전압용앰프회로(271)가 (+)의 오프셋전압(Vofn)을, 저전압용 앰프회로(272)가 (+)의 오프셋전압(Vof1)을 가진경우이며, 또, 도 22는, 제어신호(A)가 H레벨시에, 고전압용 앰프회로(271)가 (+)의 오프셋전압(Vofh)을, 저전압용 앰프회로(272)가 (-)의 오프셋전압(Vof1)을 가진 경우이다.

어느 경우에 있어서도, 고전압용앰프회로(271) 및 저전압용앰프회로(272)의 오프셋전압(Vofh, Vof1)에 의해 생기는 휘도의 상승 및 감소는, 연속하는 4프레임미다 상해됨으로, 화소의 휘도는, 계조전압에 대응하는 규정휘도가 된다.

제어신호(A) 및 제어신호(B)의 위상을, 각 프레임내에서 2라인마다 반전시킴으로써, 도 21, 도 22에 표시한 바와 같이, 열방향의 화소의 휘도는, 2라인마다, 흑-백(또는 백-흑)으로 변화함으로, 보다 액정표시패널(10)에 표시되는 표시화면속에 세로줄무늬가 눈에 띄지 않게 된다.

또한, 도 21 또는 도 22에서는, 1프레임내에서 수평주사선 2행마다 제어신호(A) 및 제어신호(B)의 위상을 반전시켜서 열방향의 화소의 휘도를 변화시켜, 그에의해 세로줄무늬를 눈에 띄지 않게 하고 있으나, 2수평주사선 2행마다가 아니어도 되는것은 말할 것도 없다.

이하, 본 실시의 형태에 있어서, 제어신호,(A), 및 제어신호(B)를 생성하는 방법을 설명한다.

도 23은, 본 실시의 형태의 드레인드라이버(130)내의 제어회로(152)내의 요부회로구성을 표시한 블록도이다.

도 23에 표시한바와 같이, 본 실시의 형태의 드레인드라이버(130)내의 제어회로(152)내에는, 시프트레지스터(153), 제어신호생성회로(400), 프레임인식신호 생성회로(410), 시프트클록개입중단신호생성회로(420), 시프트용 클록생성회로(430), 펄스생성회로(440), 및 펄스선택회로(450)가 형성되어 있다.

도 24는, 도 23에 표시한 제어신호생성회로(400)의 회로구성을 표시한 회로도이며, 도 25는, 도 24에 표시한 제어신호생성회로(400)의 동작을 설명하기 위한 타임차트이다.

제어신호생성회로(400)에는 클록(CL1)이 입력된다. 이 클록(CL1)은, 도 24에 표시한바와 같이, D형플립플롭회로(F1)에서 2분주(分周)되어서 클록(HCL1)으로되고, 또, 이 클록(HCL1)은 D형플립플롭회로(F2)에서 2분주되어서, 클록(CL1)이 4분주된 클록(QCL1)으로 된다.

또, 이 제어신호생성회로(400)에는, 각 프레임을 인식하기 위한 프레임인식신호(FLMN)가 입력된다. 또한, 이 프레임인식신호(FLMN)의 생성방법에 대해서는 후술한다.

프레임인식신호(FLMN)는, 인버터(INV)에서 반전되어서 신호(FLMIP)로 된다. 이 신호(FLMIP)는, 도 24에 표시한바와 같이, D형 플립·플롭회로(F3)에서 2분주되어서 신호(HCL1)로 되고, 또, 이 신호는(HCL1), D형플립·플롭회로(F4)에서 2분주되어서, 프레임인식신호(FLMN)가 4분주된 신호(QFLM)로 된다.

그리고, 클록(QCL1)과, 신호(QFLM)와는, 배타적놀리합회로(EXOR1)에 입력되어, 배타적놀리합회로(EXOR1)로부터 신호(CHOPA)가 출력되고, 또, 이 신호(CHOPA)를 인버터(INV)에서 반전함으로써 신호(CHOPB)가 생성된다.

이 신호(CHOPA, CHOPB)는 레벨시프트회로에서 레벨시프트되어서 제어신호(A) 및 제어신호(B)로 된다.

이에의해, 제어신호(A) 및 제어신호(B)의 위상을, 각 프레임내에서 2라인마다. 또한 2프레임마다 반전 시킬 수 있다.

또한, 제어신호(A) 및 제어신호(B)의 위상을, 2프레임마다 반전시킬 경우에는, 프레임인식신호(FLMN) 4분주된 신호(QFLM)를, 신호(CHOPA)로 하고, 또, 이 신호(CHOPA)를 인버터(INV)에서 반전해서 신호(CHOPB)로 하면된다.

이 경우에는, 도 24에 표시한 제어신호 생성회로(400)에 있어서, D형 플립·플롭회로(F1, F2), 및 배타적논리합회로(EXOR1)는 필요로하지 않는다.

또, 이 제어신호생선회로(400)에서는, D형 플립·플롭회로(F1, F2)는, 프레임인식신호(FLMN)에서 초기화된다.

한편, D형 플립·플롭회로(F3, F4)는, PORN신호생성회로(401)로부터의 신호(PORN)에서 초기화된다.

이 PORN신호생성회로(401)는, 고전압의 전원전압(VDD)을 분압하는 분압회로(402)와, 이 분압회로(402)의 출력이 입력되는 인버터회로군(403)에 의해 구성된다.

이 전원전압(VDD)은, 도 1에 표시한 전원회로(120)내의 DC/DC 변환기(도시생략)에서 생성되는 전압이며, 이 전원전압(VDD)은, 액정표시모듈에 전원이 투입된 시점에서 부터 잠깐 있다가 상승하다.

따라서, 액정표시모듈의 전원투입후, 이 PORN신호생성회로(401)의 신호(PORN)눈, 잠깐동안 L레벨이 됨으로, D형 플립·플롭회로(F3, F4)는, 액정표시모듈의 전원투입시에 확실하게 초기화되는 것으로 된다.

다음에, 본 실시의 형태에 있어서, 프레임인식신호(FLMN)를 생성하는 방법을 설명한다.

상기 프레임인식신호(FLMN)를 생성하는데는, 프레임의 절환을 인식하기 위한 신호가 필요하다.

그리고, 상기 게이트드라이버(140)에는, 표시제어장치(110)로부터 프레임개시지시신호가 출력됨으로, 이 프레임개시지시신호를 드레인드라이버(130)에도 입력하도록하면, 용이하게 프레임인식신호(FLMN)를 생성하는 것이 가능하게 된다.

그러나, 이 방법에서는, 드레인드라이버(130)를 구성하는 반도체집적회로(반도체칩)의 입력핀수를 증가시킬필요가 있으며, 이에의해, 프린트배선기판의 배선패턴을 변경할 필요가 있다.

그리고, 그린트배선기판의 배선패턴의 변경에 따라, 액정표시모듈이 발하는 고주파노이즈특성이 변화하고, 내 EMI(electro magnetic interference)저하등이 걱정된다.

또, 반도체집적회로의 입력핀수를 증가시키는 것은, 입력핀의 적합성이 없어진다.

그 때문에, 본 실시의 형태에서는, 표시제어장치(110)로부터 드레인드라이버(130)에 출력하는 스타트펄스의 펄스폭을, 각 프레임마다, 프레임내에서 최초의 스타트펄스(이하, 프레임용 스타트펄스라 침함.)와, 그 이외의 스타트펄스(이하, 프레임내 스타트펄스라 칭함.)로 다르게 하고, 그에 의해, 각 프레임의 절환을 인식하고, 프레임인식신호(FLMN)를 생성하도록 하고 있다.

도 26은, 도 23에 표시한 프레임인식신호생성회로(410)의 회로구성을 표시한 회로도이며, 도 27A, 27B는, 도 26에 표시한 프레임인식신호생성회로(410)의 동작을 설명하기 위한 타임차트이며, 도 27A는 프레임용 스타트펄스에의한 FLMN출력의 발생을, 도 27B는 프레임내 스타트펄스에의한 FLMN출력의 발생을 설명하는 것이다.

본 실시의 형태에서는, 프레임용 스타트펄스는, 클록신호(CL2)의 4주기분의 펄스폭, 프레임내스타트펄스는, 클록신호(CL2)의 1주기분의 펄스폭을 가진것으로 한다.

도 26에 있어서, D형 플립·플롭회로(F11　F13)는, 클록신호입력단자에 클록(CL2)이 입력된다.

따라서, 스타트펄스는, 클록(CL2)에 동기해서 D형 플립·플롭회로(F11)에 래치되어, 신호(STEIO)로 된다.

이 신호(STEIO)는, 클록(CL2)에 동기해서 D형플립·플롭회로(F12)에 래치되어, 신호(Q1)로되고, 또, 이 신호(Q1)는, 클록(CL2)에 동기해서 D형플립·플롭회로(F13)에 래치되어, 신호(Q2)로 된다.

이 신호(Q2)는, D형플립·플립회로(F14)의 클록신호입력단자에 입력되고, 또, D형플립·플롭회로(F14)의 데이터입력단자(D)에는, 신호(STEIO)가 입력된다.

따라서, 스타트펄스가 클록신호(CL2)의 4주기분의 펄스폭을 가진 프레임용 스타트펄스이면, 이 D형플립·플롭회로(F14)의 Q출력은 H레벨로 된다.

여기서, D형플립·플롭회로(F14)의 Q출력이, 다음의 드레인드라이버용의 스타트펄스선택신호(FSTENBP)가 됨으로, 스타트펄스선택신호(FSTENBP)는 H레벨이된다.

또, D형플립·플롭회로(F14)의 Q출력과, 신호(STE10)와는, 부정논리적회로(NAND11)에 입력되고, 이 부정논리적회로(NAND11)의 출력이, 프레임인식신호(FLMN)가 됨으로, 프레임인식신호(FLMN)는, 클록(CL2)의 2주기분 만큼 L레벨이 된다.

한편, 스타트펄스가 클록신호(CL2)의 1주기분의 펄스폭을 가진 프레임내 스타트펄스이면, 이 D형플립·플롭회로(F14)의 Q출력은 L레벨이 된다.

이에의해, 스타트펄스선택신호(FSTENBP)는 L레벤이되고, 또, 프레임인식신호(FLMN)는, H레벨을 유지한다.

또한, 각 D형플립·플롭회로(F11 F14)는 신호(RESENTN)에 의해 초기화 된다.

본 실시의 형태에 있어서는, 이 신호(RESETN)로서, 클록(CL1)을 반전한 것을 사용하고 있다.

또, 본 실시의 형태에서는, 프레임용 스타트펄스는, 클록신호(CL2)의 4주기분의 펄스폭을 가진 경우에 대해서 설명했으나, 이에 한정되는 것은 아니고, 프레임용 스타트펄스가 입력되었을 때에만, 소정기간 L레벨이 되는 프레임인식신호(FLMN)가 생성가능하면, 프레임용 스타트펄스의 펄스폭은 임의로 설정가능하다.

본 실시의 형태에 있어서, 제 1번째의 드레인드라이버(130)에는, 표시제어장치(110)로 부터 프레임용 스타트펄스 및 프레임내 스타트펄스가 입력되어, 상기한 동작이 행하여진다.

그러나, 제 2번째 이후의 드레인드라이버(130)에는, 표시제어장치(110)로부터 프레임용 스타트펄스 및 프레임내 스타트펄스가 입력되지 않으므로, 제 2번째 이후의 드레인드라이버(130)에 있어서도, 상기한 동작을 행하게 하기 위해서는, 입력되는 스타트펄스와 동일한 펄스폭을 가진 펄스를 스타트펄스로해서, 다음 드레인드라이버(130)에 출력할 필요가 있다.

그 때문에, 본 실시의 형태에서는, 도 23에 표시한 펄스생성회로(440)에서, 클록신호(CL2)의 4주기분의 펄스폭을 가진 프레임용 스타트펄스를 생성하고, 입력되는 스타트펄스가 프레임용 스타트펄스인 경우에, 당해 펄스생성회로(440)에서 생성된 프레임용 스타트펄스를 다음 드레인드라이버(130)에 송출하도록 하고 있다.

이하, 드레인드라이버(130)내에서, 프레임용 스타트펄스 및 프레임내 스타트펄스를 생성하는 방법에 대해서 설명한다.

도 28은, 도 23에 표시한 본 실시의 형태의 드레인드라이버(130)내의 제어회로(152)의 동작을 설명하기 위한 타임차트이다.

도 28에 표시한 바와 같이, 시프트클록개입중단신호생성회로(420)는, 스타트펄스가입력되면, H레벨의 개입중단신호(EENB)를 시프트용 클록생성회로(430)에 출력한다.

이에 의해, 시프트용 클록생성회로(430)는, 클록(CL2)에 동기한 시프트용 클록을 생성하고, 시프트레지스터회로(153)에 출력한다.

시프트레지스터회로(153)의 각 플립·플롭회로는, 데이터집어넣기용 신호(SFT1 SFTn+3)를 순차적으로 출력하고, 이에 의해, 입력레지스터(154)에 표시데이터가 래치된다.

또, 데이터집어넣기용 신호SFTn은, 클록(CL2)의 1주기분의 펄스폭을 가지고, 다음단의 드레인드라이버(130)의 프레임내스타트펄스가 된다.

여기서, SFT1 SFTn의 데이터집어넣기용 신호는, 입력레지스터(154)에 1번째 n번째의 표시데이터를 래치하기 위하여 사용되나, SFTn+1 SFTn+3의 데이터집어넣기용 신호는, 입력레지스터(154)에 표시데이터를 래치하기 위해서는 사용되지 않는다.

이 SFTn+1 SFTn+3의 데이터집어넣기용 신호는, 다음단의 드레인드라이버 (130)의 프레임용 스타트펄스를 생성하기 위하여 사용된다.

즉, 도 28에 표시한 바와 같이, 클록생성회로(450)에서, SFTn SFTn+3의 데이터집어넣기용 신호에 의거하여, 클록(CL2)의 4주기분의 펄스폭을 가진 프레임용 스타트펄스가 생성한다.

상기한 바와 같이, 스타트펄스가 프레임내 스타트펄스이면, 스타트펄스선택신호(FSTENBP)는 L레벨이 됨으로, 펄스선택회로(450)는, 프레임내스타트펄스(즉, 데이터집어넣기용 신호SFTn)를 선택해서, 다음 드레인드라이버(130)에 출력한다.

한편, 스타트펄스가 프레임용 스타트펄스이면, 스타트펄스선택신호(FSTENBP)는 H레벨이 됨으로, 펄스선택회로(450)는, 프레임용 스타트펄스를 선택해서, 다음 드레인드라이버(130)에 출력한다.

여기서, 클록생성회로(450)로서는, 예를 들면, 도 29에 표시한 바와 같은 것이 사용가능하다.

이 도 29에 표시한 클록생성회로(450)는, SFTn의 데이터집어넣기용 신호에 의거하여, D형 플립·플롭회로(F21)의 Q출력을 반전시키고, 또, 인버터(INV)에서 반전된 SFTn+3의 데이터집어넣기용 신호에 의거하여, D형 플립·플롭회로(F22)의 Q출력을 반전시킨다.

또, F21과 F22의 플립·플롭회로의 Q출력을 배타적논리합회로(EXOR2)에 입력하고, 이 배타적논리합회로(EXOR2)로부터 클록(CL2)의 4주기분의 펄스폭을 가진 프레임용 스타트펄스를 생성하도록 한 것이다.

이와 같이, 본 실시의 형태에서는, 각 드레인드라이버(130)내에 있어서, 프레임용 스타트펄스와, 프레임내 스타트펄스를 생성하도록 한것이고, 이에 의해, 드레인드라이버(130)를 구성하는 반도체집적회로의 입력핀수를 증가시키지 않고, 입력핀의 적합성을 유지한 채로, 각 드레인드라이버(130)에 있어서, 각 프레임의 절환하는 것을 인식하는 일이 가능하게 된다.

도 30은, 본 실시의 형태의 드레인드라이버(130)를 구성하는 반도체집적회로내의 각부의 배치를 표시한 요부배치도이다.

도 30에 표시한 바와 같이, 본 실시의 형태의 드레인드라이버(130)를 구성하는 반도체집적회로는, 반도체집적회로의 긴쪽방향으로 드레인신호선(D)과 접속되는 단자부가 형성되고, 반도체집적회로의 짧은쪽 방향으로, 데이터래치부(265), 레벨시프트회로(156), 디코더부(261), 및 앰프회로쌍(263)이 형성된다.

이 레벨시프트회로(156)에는, 종래, 도 31에 표시한 바와 같은 회로구성의 것이 사용되어 있었다.

이 경우, 레벨시프트회로(156)에서는, 0V  5V의 입력전압을, 0V  10V의 전압으로 레벨변환해서 출력할 필요가 있으며, 그를 위해, 도 31에 표시한 레벨시프트회로에서는, 소스·드레인간의 내압이 10V의 고내압 MOS트랜지스터(PSB1, PSB2, NSB1, NSB2)를 사용할 필요가 있었다.

이 고내압MOS트랜지스터는, 소스·드레인간 내압이 5V의 저내압MOS트랜지스터에 비해서, 게이트길이가 길게되고, 또한, 전류치도 크게할 필요가 있기 때문에 게이트폭도 크게한다.

따라서, 레벨시프트회로(156)로서, 소스·드레인간의 내압이 10V의 고내압 MOS트랜지스터(PSB1, PSB2, NSB1, NSB2)를 사용하는 레벨시프트회로를 사용하면, 드레인드라이버(130)를 구성하는 반도체집적회로내에서 레벨시프트회로(156)부분의 면적이 크게되고, 그에 수반하여, 드레인드라이버(130)를 구성하는 반도체집적회로의 짧은쪽방향의 칩사이즈가 커지게되어, 칩단자를 내릴 수 없고, 또한, 액정표시패널의 테두리를 좁게하는데 대응할 수 없다고 하는 문제점이 있었다.

도 32는, 본 실시의 형태의 레벨시프트회로(156)에 사용되는 레벨시프트회로의 구성을 표시한 회로도이다.

도 32에 표시한 레벨시프트회로는, PMOS트랜지스터(PSA1)와 NMOS트랜지스터 (NSA1)간에, 전압강하용의 PMOS트랜지스터(PSA3)와 NMOS트랜지스터(NSA3)와의 직렬회로가, 또, PMOS트랜지스터(PSA2)와 NMOS트랜지스터(NSA2)간에, 전압강하용의 PMOS트랜지스터(PSA4)와 NMOS트랜지스터(NSA4)와의 직렬회로가 삽입되고 있는 점에서, 도 31에 표시한 레벨시프트회로와 상위하다.

여기서, PMOS트랜지스터(PSA3, PSA4) 및 NMOS트랜지스터(NSA3, NSA4)의 게이트전극에는, VDD의 전원전위와 기준전위(GND)와의 사이의 중간의 전위바이어스전위 (Vbis)가 인가된다.

도 33은, 도 32에 표시한 레벨시프트회로의 각부의 전압파형을 표시한 도면이며, 도 33은, 전원전위(VDD)가 8V, 바이어스전위(Vbis)가 4V, 입력전압이 0V  4V의 경우의 각부의 파형을 표시한 도면이다.

이하, 도 33을 사용해서, 도 32에 표시한 레벨시프트회로의 동작을 설명한다.

지금, 입력전압이 4V의 H레벨의 경우, NMOS트랜지스터(NSA1)의 게이트전극에는 4V가 인가되고, 또 NMOS트랜지스터(NSA2)의 게이트전극에는, 0V(인버터에서 반전된 입력전압)가 인가됨으로, NMOS트랜지스터(NSA1)는 ON, NMOS트랜지스터(NSA2)는 OFF가 된다.

따라서, 도 32에 표시한 (a)점의 전위는 0V로 되고, 또, NMOS트랜지스터 (NSA3)의 게이트전극에는 4V의 바이어스전위(Vbis)가 인가되어 있음으로, NMOS트랜지스터(NSA3)는 ON으로되고, 도 32에 표시한(C)점의 전위도 0V로 된다.

또, 도 32에 표시한 (C)점의 전위가 0V로 되면, PMOS트랜지스터(PSA3)의 게이트전극에도 4V의 바이어스전위(Vbis)가 인가되어 있음으로, PMOS트랜지스터 (PSA3)의 소스전극의 소스전위가 강하한다.

이 PMOS트랜지스터(PSA3)의 소스전위는, PMOS트랜지스터(PSA2)의 게이트전극에 인가됨으로, 그에 의해, PMOS트랜지스터(PSA2)가 ON으로 되고, 도 32에 표시한 (b')점의 전위는 8V로 된다.

도 32에 표시한 (b')점의 전위가 8V로되면, 이 (b')점의 전위가 게이트전극에 인가되는 PMOS트랜지스터(PSA1)가 OFF로 된다.

그리고, PMOS트랜지스터(PSA1)가 OFF로 되면, PMOS트랜지스터(PSA1, PSA3)와 NMOS트랜지스터(NSA1, NSA3)로 이루어진 트랜지스터의 직렬회로에는 전류가 흐르지 않으므로, PMOS트랜지스터(PSA3)의 소스전극의 소스전위(VPS)는, 하기(3)식과 같이 나타낸다.

$$VPGS+VPth=0$$

$$VPG-VPS+VPth=0$$

$$VPS=VPG+VPth \cdots(3)$$

단, VPGS는 PMOS트랜지스터(PSA3)의 게이트·소스간전압, VPG는 PMOS트랜지스터(PSA3)의 게이트전위, VPth는 임계치전압이다.

따라서, 도 32에 표시한 (b)점의 전위, 즉, PMOS트랜지스터(PSA3)의 소스전위(VPS)는, 그 게이트전위(VPG)에 임계치전압(VPth)을 가산한 전압으로 되고, PMOS트랜지스터(PSA3)의 소스전위(VPS)는, 그게이트전위(VPG)(=4V)에 대략 동등하게 된다.

이 PMOS트랜지스터(PSA3)의 소스전압(VPS)은, PMOS트랜지스터(PSA1)의 드레인전극의 드레인전압(VPD)에 동등함으로, PMOS트랜지스터(PSA1) 및 PMOS트랜지스터 (PSA3)로서, 소스·드레인간내압이 5V의 저내압PMOS트랜지스터를 사용하는 일이 가능하게 된다.

또, PMOS트랜지스터(PSA2)가 ON이 됨으로써, PMOS트랜지스터(PSA4)가 ON되고, 도 32에 표시한 (C')점의 전위는 8V로 된다.

또, NMOS트랜지스터(NSA2)가 OFF이며, PMOS트랜지스터(PSA2, PSA4)와 NMOS트랜지스터(NSA2, NSA4)로 이루어진 트랜지스터의 직렬회로에는 전류가 흐르지 않음으로, NMOS트랜지스터(NSA4)의 소스전극의 소스전위(VNS)는, 하기(4)식과 같이 나타낸다.

VNGS - VNth=0

VNG - VNS - VNth=0

VNS - VNG - VNth …(4)

단, VNGS는 NMOS트랜지스터(NSA4)의 게이트·소스간전압, VNG는 NMOS트랜지스터(NSA4)의 게이트전위, VNth는 임계치전압이다.

따라서, 도 32에 표시한 (a')점의 전위, 즉, NMOS트랜지스터(NSA4)의 소스전위(VNS)는, 그 게이트전위(VNG)로부터 임계치전압(VNth)을 뺀 전압이되고, NMOS트랜지스터(NSA4)의 소스전위(VNS)는, 그 게이트전위(VNG)(=4V)에 대략 동등하게 된다.

이 NMOS트랜지스터(NSA4)의 소스전압(VNS)은, NMOS트랜지스터(NSAV2)의 드레인전극의 드레인전압(VND)에 동등함으로, NMOS트랜지스터(NSA2) 및 NMOS트랜지스터(NSA4)로서, 소스·드레인간 내압이 5V의 저내압 NMOS트랜지스터를 사용하는 일이 가능하게 된다.

또, 도 32에 표시한 (a)점이 0V와, (b)점이 4V일때, 인버터회로(1NUP)의 PMOS트랜지스터(PBP1)가 ON, NMOS트랜지스터(NBP1)가 OFF로 된다.

또, 인버터회로(INVP)의 PMOS트랜지스터(PBP1)와 NMOS트랜지스터(NMP1)간에는, PMOS트랜지스터(PBP2)와 NMOS트랜지스터(NBP2)와의 직렬회로가 삽입되고, 이 MOS트랜지스터(PBP2, NBP2)의 게이트전극에는, 4V의 바이어스전위(Vbis)가 인가되어 있음으로, 출력(Q)는 8V로 된다.

이 경우에, 상기한 바와 같이, NMOS트랜지스터(NBP2)의 소스전위는, 그 게이트전위에 대략 동등하게 됨으로, NMOS트랜지스터(NBP1) 및 NMOS트랜지스터(NBP2)로서, 소스·드레인간 내압이 5V의 저내압NMOS트랜지스터를 사용하는 것이 가능하게 된다.

마찬가지로, 인버터회로(INVP)의 PMOS트랜지스터(PBP1)가 OFF, NMOS트랜지스터(NBP1)가 ON의 경우에는, PMOS트랜지스터(PBP2)의 소스전위는, 그게이트전위에 대략 동등하게 됨으로, PMOS트랜지스터(PBP1) 및 NMOS트랜지스터(PBP2)로서, 소스·드레인간의 내압이 5V의 저내압PMOS트랜지스터를 사용하는 일이 가능하게 된다.

이에 의해, 본 실시의 형태에서는, 드레인드라이버(130)를 구성하는 반도체집적회로내에 있어서, 레벨시프트회로(156)가 점하는 영역을 작게하는 일이 가능하게 되어, 반도체집적회로의 짧은쪽방향의 길이를 작게하는 일이 가능하게 된다.

도 34A는 종래의 레벨시프트회로를, 도 34B는 본 실시의 형태의 레벨시프트회로를 설명하는 것이다.

도 34B는, 본실시의 형태의 드레인드라이버(130)를 구성하는 반도체집적회로내에 있어서, 시프트레벨회로(156)부가 점하는 영역을 설명하기 위한 모식도이다.

도 34B에 있어서, D(0) D(5)는, 표시데이터의 각 비트값을 래치하는 데이터래치부(265)내의 래치회로, LS(0) LS(5)는, 래치회로(D(0) D(5))마다 형성되는 레벨시프트회로(156)내의 레벨시프트회로이다.

도 34A에 표시한 바와 같이, 종래의 레벨시프트회로를 채용하면, 소스·드레인간 내압이 8V의 고내압MOS트랜지스터를 사용할 필요가 있으며, 레벨시프트회로의 면적이 커지게 되어, 데이터래치부(265)내의 2개의 래치회로마다, 2개의 레벨시프트회로를 겹쳐서 배치할 필요가 있었다.

그러나, 본 실시의 형태의 레벨시프트회로에서는, 소스·드레인간 내압이 5V의 저내압MOS트랜지스터가 사용가능하기 때문에, 레벨시프트회로의 면적을 작게할 수 있고, 이에 의해, 본 실시의 형태에서는, 반도체집적회로내에서 종래의 1개의 레벨시프트회로가 점하는 면적에, 2개의 레벨시프트회로를 배치하는 것이 가능하게 된다.

이 때문에, 도 34B에 표시한 바와 같이, 본 실시의 형태에서는, 데이터래치부(265)내의 각 래치회로마다, 1개의 레벨시프트회로를 배치하는 것이 가능하게 된다.

따라서, 본실시의 형태에서는, 종래예와 비해서, 도 34A에 표시한 (L1)의 길이만큼, 드레인드라이버(130)를 구성하는 반도체집적회로의 짧은쪽 방향의 길이를 짧게하는 것이 가능하게 되어, 테두리를 좁게함에 대응하는 일이 가능하게 된다.

도 35는, 도 32에 표시한 PMOS트랜지스터(PSA1, PSA3) 및 NMOS트랜지스터(NSA1, NSA3)의 단면구조를 표시한 요부단면도이다.

도 35에 표시한 바와 같이, P형 반도체기판(20)에 n웰영역(21)이 형성되고, 이 n웰영역(21)내에 형성된 각 P형 반도체영역(25a, 25b, 25c) 및 게이트전극(27a, 27b)에 의해, PMOS트랜지스터(PSA1, PSA3)가 구성된다.

이 경우, P형 반도체영역(25b)은, PMOS트랜지스터(PSA1)의 드레인영역과, PMOS트랜지스터(PSA3)의 소스영역을 겸용하고 있다.

또, P형 반도체기판(20)에 P웰영역(22)이 형성되고, 이 P웰영역(22)내에 형성된 각 n형 반도체영역(24a, 24b, 24c) 및 게이트전극(26a, 26b)에 의해, NMOS트랜지스터(NSA1, NSA3)가 구성된다.

이 경우에, n형 반도체영역(24b)은, NMOS트랜지스터(NSA1)의 드레인영역과, NMOS트랜지스터(NSA3)의 소스영역을 겸용하고 있다.

여기서, P형반도체기판(20)에는 0V의 전압이, 또, P웰 영역(22)에는 0V의 전압이, 또, n웰영역(21)에는 8V의 전압이 인가된다.

따라서, n형 반도체영역(24c)과 P웰영역(22)와의 사이에, 및 P형 반도체영역(25C)과 n웰 영역(21)과의 사이에는, 최대 8V의 역전압이 인가됨으로, 이 부분의 내압이 충분하지 않는 경우에는, 예를 들면, 2중드레인구조(DDD)등에 의해, 이 부분의 내압을 향상시킬 필요가 있다.

(실시의 형태 2)

본 발명의 실시의 형태 2의 액정표시모듈은, 드레인드라이버(130)내의 고전압용 디코더회로(278) 또는 저전압용 디코더회로(279)를 구성하는 트랜지스터의 수를 적게하도록 한 점에서, 상기 실시의 형태 1의 액정표시모듈과 상위하다.

이하, 본실시의 형태의 드레인드라이버(130)에 대해서, 상기 실시의 형태 1과의 상위점을 중심으로 설명한다.

도 36은, 상기 실시의 형태 1의 드레인드라이버(130)내의 고전압용 디코더회로(278) 및 저전압용 디코더회로(279)의 회로구성을 표시한 회로도이다.

또한, 도 36에는, 플러스극성계조전압생성회로(151a), 및 마이너스극성계조전압생성회로(151b)의 개략회로구성도 합해서 도시하고 있다.

고전압용 디코더회로(278)는, 6개의 고내압PMOS트랜지스터와 6개의 고내압공핍타이프PMOS트랜지스터가 직렬 접속되어서 구성되고, 출력단자에 접속되는 64개의 트랜지스터열(TRP2)을 가지고, 상기 각 트랜지스터열(TRP2)의 출력단자와 반대의 단자에는, 계조전압생성회로(151a)로부터 전압버스라인(158a)(도 5참조)을 개재해서 출력되는 플러스극성의 64계조분의 계조전압이 입력된다.

또, 상기 각 트랜지스터열(TRP2)을 구성하는 6개의 고내압PMOS트랜지스터와 6개의 고내압공핍PMOS트랜지스터의 각각의 게이트전극에는, 레벨시프트회로(156)로부터 출력되는 6비트의 표시용 데이터의 각 비트치(T) 또는 그 반전 비트치(B)가 소정의 조합에 의거해서 선택적으로 인가된다.

저전압용 디코더회로(279)는, 6개의 고내압 NMOS트랜지스터와 6개의 고내압공핍NMOS트랜지스터가 직렬접속되어서 구성되고, 출력단자에 접속되는 64개의 트랜지스터열(TRP3)을 가지고, 상기 각트랜지스터열(TRP3)의 출력단자와 반대의 단자에는, 계조전압생성회로(151b)로부터 전압버스라인(158b)(도 5참조)을 개재해서 출력되는 마이너스극성의 64계조분의 전계전압이 입력된다.

또, 상기각 트랜지스터열(TRP3)을 구성하는 6개의 고내압NMOS트랜지스터와 6개의 고내압공핍NMOS트랜지스터의 각각의 게이트전극에는, 레벨시프트회로(156)로부터 출력되는 6비트의 표시용 데이터의 각 비트치(T) 또는 그 반전 비트치(B)가 소정의 조합에 의거해서 선택적으로 인가된다.

이와 같이, 상기 실시의 형태 1의 고전압용 디코더회로(278)와 저전압용 디코더회로(279)는, 1계조마다, 12개의 MOS트랜지스터가 종속접속되는 구성으로 되어 있다.

따라서, 각 드레인신호선(D)당의 MOS트랜지스터의 총수는 768개(64×12)가 된다.

최근, 액정표시장치에 있어서는, 64계조표시에서부터 256계조표시에로 보다 다계조표시가 진행되고 있다. 그러나, 종래의 고전압용 디코더회로(278)와 저전압용 디코더회로(279)를 사용해서, 256계조표시를 행할 경우에는, 각 드레인신호선(D)당의 MOS트랜지스터의 총수는 4096개(256×16)가 된다.

이 때문에, 디코더부(261)의 점하는 면적이 증가하고, 상기 드레인드라이버(130)를 구성하는 반도체집적회로(IC칩)의 칩사이즈가 크게된다고 하는 문제점이 있었다.

도 37은, 본실시의 형태 2의 드레인드라이버(130)내의 고전압용 디코더회로(278)와, 플러스극성계조전압생성회로(151a)와의 회로구성을 표시한 회로도이다.

도 37에 표시한 바와 같이, 플러스극성계조전압생성회로(151a)는, 실시의 형태 1(도 36참조)과 같이, 64계조의 전압을 생성하지 않고, 플러스전압생성회로 (121)로부터 입력되는 플러스극성의 5치의 계조기준전압(V'0  V'4)에 의거해서, 플러스극성의 17계조의 제 1계조전압을 생성한다.

이 경우에, 플러스극성계조전압생성회로(151a)를 구성하는 저항분압회로의 각저항은, 액정층에 인가하는 전압과 액정층의 광투과율과의 관계에 맞추어서 소정의 웨이팅(weighting)이 이루어져 있다.

고전압용 디코더회로(278)는, 17계조의 제 1계조전압의 중에서, 전압치가 인접하는 2개의 제 1계조전압을 선택하고, VOUTA, VOUTB로서 출력하는 디코더회로(301)와, 디코더회로(301)에서 선택된 제 1계조전압VOUTA를 단자(P1)에 출력하고, 제 1계조전압VOUTB를 단자(P2)에, 또는 제 1계조전압VOUTA를 단자(P2)에 출력하고, 제 1계조전압VOUTB를 단자(P1)에 출력하는 멀티플렉서(302)와, 당해 멀티플렉서(302)로부터 출력되는 2개의 제 1계조전압VOUTA, VOUTB간의 전위차△V를 분압해서, Va, Va+(1/4)△V, Va+(2/4)△V, Va+(3/4)△V의 전압을 생성하는 제 2계조전압생성회로 (303)를 가진다.

디코더회로(301)는, 홀수번째의 제 1계조전압의 중에서, 6비트의 표시데이터의 상위4비트(D2  D5)에 대응하는 제 1계조전압을 선택하는 제 1디코더회로(311)와, 짝수번째의 제 1계조전압의 중에서, 6비트의 표시데이터의 상위 3비트(D3  D5)에 대응하는 제 1계조전압을 선택하는 제 2디코더회로(312)로 구성된다.

제 1디코더회로(311)는, 6비트의 표시데이터의 상위 4비트(D2  D5)에 의해, 제 1번째의 제 1계조전압(V1)과 제 17번째의 제 1계조전압(V17)을 1회, 제 3번째의 제 1계조전압(V3)  제 15번째의 제 1계조전압(V15)을 2회 선택하도록 구성된다.

제 2디코더회로(312)는, 6비트의 표시데이터의 상위 3비트(D3 D5)에 의해, 제 2번째의 제 1계조전압(V2) 제 16번째의 제 1계조전압(V16)을, 1회 선택하도록 구성된다.

또한, 도 37에 있어서, ○은 데이터비트가 L레벨에서 ON이 되는 스위치소자(예를 들면, PMOS트랜지스터)이며, 또, ●은 데이터비트가 H레벨에서 ON이 되는 스위치소자(예를 드면, NMOS트랜지스터)이다.

여기서, V'0<V'1<V'2<V'3<V'4임으로, 표시데이터의 제 3비트(D2)의 비트치가 L레벨의 경우, 계조전압VOUTA로서, VOUTB의 계조전압보다도 저전위의 계조전압이 출력되고, 또, 표시데이터의 제 3비트(D2)의 비트치가 H레벨의 경우, 계조전압VOUTA로서, VOUTB의 계조전압보다도 고전위의 계조전압이 출력된다.

따라서, 이 표시데이터의 제 3비트(D2)의 비트치의 H레벨 및 L레벨에 따라서 멀티플렉서(302)를 절환하여, 표시데이터의 제 3비트(D2)의 비트치가 L레벨시에 단자(P1)에 VOUTA의 계조전압을, 단자(P2)에 VOUTB의 계조전압을 출력하고, 또, 표시데이터의 제 3비트(D2)의 비트치가 H레벨시에 단자(P1)에 VOUTB의 계조전압을, 단자(P2)에 VOUTA의 계조전압을 출력한다.

이에 의해, 단자(P1)의 계조전압을(Va), 단자(P2)의 계조전압을 (Vb)로할때, 항상, Va<Vb로 할 수 있어, 제 2계조전압생성회로(303)의 설계가 간단하게 된다.

제 2계조전압생성회로(303)는, 단자(P1)와 고전압용 앰프회로(271)의 입력단부와의 사이에 접속되는 스위치소자(S1)와, 일단부가 고전압용 앰프회로(271)의 입력단자에 접속되고, 타단부가, 스위치소자(S2)를 개재해서 단자(P1)에, 또, 스위치소자(S5)를 개재해서 단자(P2)에 접속되는 콘덴서(C1)와, 일단부가 고전압용 앰프회로(271)의 입력단자에 접속되고, 타단부가, 스위치소자(S3)를 개재해서 단자(P1)에, 또, 스위치소자(S4)를 개재해서 단자(P2)에 접속되는 콘덴서(C2)와, 단자(P2)와 고전압용 앰프회로(271)의 입력단부와의 사이에 접속되는 콘덴서(C3)로 구성된다.

여기서, 콘덴서(C1)와 콘덴서(C3)와의 용량치는 동일하게, 콘덴서(C2)의 용량치는, 콘덴서(C1) 및 콘덴서(C3)의 용량치의 2배의 용량치로 된다.

또, 각 스위치소자(S1 S5)는, 도 38A에 표시한 바와 같이, 표시데이터의 하위2비트(D0, D1)의 값에 따라서 ON · OFF된다.

도 38A에는, 표시데이터의 하위 2비트(D0, D1)의 비트치에 따라서, 제 2계조전압생성회로(303)로부터 출력되는 계조전압의 값을, 도 38B-38E에는 표시데이터의 하위 2비트(D0, D1)의 비트치에 따른, 제 2계조전압생성회로(303)의 회로구성을 도시하고 있다.

또한, 저전압용 디코더회로(279)도, 상기 고전압용 디코더회로(278)와 마찬가지로 구성할 수 있고, 이 경우에, 저전압용 디코더회로(279)는, 마이너스극성계조전압생성회로(151b)로부터 생성되는 마이너스극성의 17계조의 제 1계조전압을 선택한다.

또, 마이너스극성계조전압생성회로(151b)는, 마이너스전압생성회로(122)로부터 입력되는 마이너스극성의 5치의 계조기준전압(V'5 V'9)에 의거해서, 마이너스극성의 17계조의 제 1계조전압을 생성하고, 또, 마이너스극성계조전압생성회로 (151b)를 구성하는 저항분압회로의 각분압저항은, 액정층에 인가하는 전압과 투과율과의 관계에 맞추어서 소정의 웨이팅이 이루어진다.

이 저전압용디코더회로(279)에서는, V'5>V'6>V'7>V'8>V'9가 됨으로, 단자(P1)의 계조전압을 (Va), 단자(P2)의 계조전압을 (Vb)로할때, 항상, Va>Vb가 된다.

도 39는, 도 37에 표시한 고전압용 디코더회로(278) 및 도 37에 표시한 고전압용 디코더회로(278)와 마찬가지의 회로구성의 저전압용 디코더회로(279)를 사용했을 경우의, 본실시의 형태 2의 액정표시모듈의 드레인드라이버(130)내의 출력단의 개략구성을 표시한 도면이다.

도 39에 있어서, 고전압용 앰프회로(217)에는 도 15에 표시한 회로구성의 앰프회로가, 또, 저전압용 앰프회로(272)에는 도 14에 표시한 회로구성의 앰프회로가 사용된다.

이와 같이, 본 실시의 형태에서는, 디코더회로를 구성하는 스위칭소자는, 제 1디코더회로(311)에서 64(=(9+7)×4), 제 2디코더회로(312)에서 24(=3×8)임으로, 각드레인신호선(D)당의 디코더회로를 구성하는 스위칭소자(MOS트랜지스터)의 총수는 88이되고, 상기 실시의 형태 1의 각드레인신호선(D)당의 MOS트랜지스터의 총수 768개에 비해서 대폭으로 적게하는 것이 가능하게 된다.

또, 스위칭소자를 감소시킴으로써, 드레인드라이버(130)의 내부전류를 저감시킬 수 있음으로, 액정표시모듈(LCM)전체의 소비전력을 저감할 수 있고, 그에 의해, 액저표시모듈(LCM)의 신뢰성을 향상시키는 일이 가능하게 된다.

도 40은, 본실시의 형태의 드레인드라이버(130)중의 고전압용 디코더회로(278)의 다른예의 회로구성을 표시한 회로도이며, 도 40에 있어서, ○은 PMOS트랜지스터를, ●은 NMOS트랜지스터를, 표시하고 있다.

또한, 도 40에서는, 256계조의 계조전압을 생성하는 경우의 회로구성의 일예를 표시하고, 그를 위해, (D0  D1)의 8비트의 표시데이터의 각비트치 및 그 반전치가, 소정의 조합들의 기초로 각PMOS트랜지스터의 게이트전극에 인가되도록 되어 있다.

도 37에 표시한 고전압용 디코더회로(278)에 있어서, 각 디코더행마다 동일한 전압이 게이트전극에 인가되는 MOS트랜지스터는, 표시데이터의 상위비트에 갈수록 연속배열되고 있다.

따라서, 이 각행마다 동일한 전압이 게이트전극에 인가되고, 또한 각 디코더행마다 연속하는 MOS트랜지스터를 1개의 MOS트랜지스로 바꿔놓아도, 기능적으로는 하등 문제는 없다.

도 40에 표시한 고전압용 디코더회로(278)는, 이 각행마다 동일한 전압이 게이트전극에 인가되고, 또한 각 디코더행마다 연속하는 MOS트랜지스터를 1개의 MOS트랜지스터로 바꿔놓은 것이다.

또, 도 40에 표시한 고전압용 디코더회로(278)에서는, 최소사이즈의 MOS트랜지스터의 게이트전극의 게이트폭을 W로 할때, 그 최소사이즈의 MOS트랜지스터보다 상위의 행의 제 2의 MOS트랜지스터의 게이트전극의 게이트폭을 2W, 또 그상위의 행의 제 3의 MOS트랜지스터의 게이트전극의 게이트폭을 4W로한 것같이, 표시데이터의 상위 비트에 대응하는 MOS트랜지스터의 게이트전극의 게이트폭을 최소사이즈의 MOS트랜지스터의 게이트전극의 게이트폭의 2의(m-j)승배(乘倍)로 하고 있다.

여기서, m은 표시데이터의 비트수, j는 최소사이즈의 MOS트랜지스터로 구성되는 비트의 중에서 최상위비트의 비트번호이다.

도 40에 표시한 고전압용 디코더회로(278)에 있어서, 최소사이즈의 MOS트랜지스터의 저항을 R로 했을때, 각 디코더행의 MOS트랜지스터의 합성저항은, 디코더회로(311)에서 약 2R(  R+R/2+R/4+R/8+R/16), 디코더회로(312)에서 약 2R (  R+R/2+R/4+R/8)로 된다.

또한, 도 40에, 최소사이즈의 MOS트랜지스터의 저항을 R로 했을때의 각행의 MOS트랜지스터의 저항을 합해서 도시하고 있다.

따라서, 도 40에 표시한 고전압용 디코더회로(278)에서는, 각 디코더행의 MOS트랜지스터의 합성저항을 저감할 수 있어, 제 2계조전압생성회로(303)를 구성하는 각콘덴서에 전하를 재배분할때에 대전류의 충방전을 흐르게 할 수 있음으로, 디코더회로를 고속화할 수 있는 동시에, 디코더회로(311)와 디코더회로(312)와의 합성저항치를 동등하게 할 수 있기 때문에, 생성되는 2계조의 속도차를 저감할 수 있다.

또, 일반적으로, MOS트랜지스터에서는, 기판·소스간전압($V_{BS}$)에 의해, 임계치전압(Vth)이 플러스의 방향으로 변화하고, 그에 의해, 드레인전류($I_{DS}$)가 감소한다. 즉, MOS트랜지스터의 저항이 증대한다.

그 때문에, 도 40에 표시한 고전압용 디코더회로(278)에서는, 기판·소스간전압($V_{BS}$)이 동등하게 되는 계조전압(도 40에서는, V16(또는 V18), V15(또는 V17)의 계조전압)을 경계로해서, PMOS트랜지스터영역과, NMOS트랜지스터영역으로 분리하도록 하고 있다.

이에 의해, 도 40에 표시한 고전압용 디코더회로(278)에서는, 디코더회로를 구성하는 MOS트랜지스터에 있어서의, 기판바이어스효과에 의한 저항의 증가를 억제할 수 있다.

도 41은, 본실시의 형태의 드레인드라이버(130)내의 저전압용 디코더회로(279)의 다른예의 회로구성을 표시한 회로도이다.

도 41에 표시한 저전압용 디코더회로(279)는, 도 40에 표시한 고전압용 디코더회로(278)와 마찬가지의 회로구성으로 한 것이다.

그러나, 저전압용 디코더회로(279)에서는, 기판·소스간전압($V_{BS}$)이 동등하게 되는 계조전압(도 40에서는, V16 (또는 V18), V15(또는 V17)의 계조전압)을 경계로해서, PMOS트랜지스터영역과, NMOS트랜지스터영역을 분리할때에, PMOS트랜지스터영역과, NMOS트랜지스터영역이, 고전압용 디코더회로(278)와 반대로 되어 있다.

단, 각전압은, V1＞V2＞V3…＞V32　V33으로 한다.

또한, 상기 각실시의 형태에 있어서, 디코더회로(301)를 구성하는 각 MOS트랜지스터는, 고내압MOS트랜지스터로 구성되거나, 또는, 게이트전극전극부만의 고내압구조로한 MOS트랜지스터로 구성된다.

또, 디코더회로(301)의 저비트쪽의 MOS트랜지스터는, 드레인·소스간내압이 낮은 MOS트랜지스터를 사용할 수 있고, 이 경우에는, 디코더회로(301)부분의 사이를 보다 작게하는 것이 가능하게 된다.

도 42는, 도 40에 표시한 고전압용 디코더회로(278)에 있어서 사용되는 제 2계조전압생성회로(303)의 회로구성의 일예를 표시한 회로도이다.

도 42에 표시한 제 2계조전압생성회로(303)에 있어서, 콘덴서(Co1)와 콘덴서(Co2)와의 용량치는 동일하고, 콘덴서(Co3)의 용량치는, 콘덴서(Co1)의 용량치의 2배의 용량치이고, 콘덴서(Co4)의 용량치는, 콘덴서(Co1)의 용량치의 4배의 용량치로 된다.

또, 각 스위치제어회로(SG1　SG3)는, 부정논리적회로(NAND), 논리적회로(AND) 및 부정논리합회로(NOR)을 구비한다. 표 2에, 이 부정논리적회로(NAND), 논리적회로(AND) 및 부정논리합회로(NOR)의 진리치표를 표시한다.

[표 2]

| /CR | /TCK | /D | NAND | AND | NOR | Sn1 | Sn2 |
|---|---|---|---|---|---|---|---|
| L | H | * | H | L | L | OFF | ON |
| H | H | * | H | L | H | OFF | OFF |
| | L | H | L | L | H | ON | OFF |
| | | L | H | H | L | OFF | ON |

*는, 표시데이터에 관계없음을 나타낸다.

리세트펄스(/CR)가 L레벨이면, 스위치소자(SS1)은 ON, 또, 부정논리합회로 (NOR)의 출력은 L레벨이 되고, 각 스위치소자(So2, S12, S22)는 ON으로 된다.

이 경우에, 타이밍펄스(/TCK)는 H레벨이며, 부정논리적회로(NAND)의 출력은 H레벨이 되고, 각스위치소자(S01, S11, S21)는 OFF로 된다. 이에 의해, 각콘덴서(Co1 Co4)의 양단부는 단자(P2)에 접속됨으로, 각 콘덴서(Co1 Co4)는 충방전되어서, 그 전위차가 0볼트의 상태로 된다.

다음에, 리세트펄스(/CR)가 H레벨에서, 타이밍펄스(/TCK)가 L레벨이 되면, 표시데이터의 하위3비트(D0 D2)의 각각의 비트치에 따라서, 각스위치소자(S01, SO2, SO11, SO12, S21, S22)는, ON 또는 OFF가 된다.

이에 의해, 단자(P1)의 계조전압을 (Va), 단자(P2)의 계조전압을 (Vb)로 하면, 이 제 2계조전압생성회로(302)로부터, Va+(1/8)△, Va+(2/8)△,…Vb{Va+(8/8)△}의 계조전압이 출력된다.

또, 제 2계조전압생성회로(303)는, 콘덴서에 대신해서 저항을 사용하는 것도 가능하나, 이 경우에는, 고저항치의 저항을 사용하고, 또, 각 저항의 저항치의 대소관계는, 콘덴서와 반대로할 필요가 있다.

예를 들면, 도 37에 표시한 제 2계조전압생성회로(303)에 있어서, 콘덴서에 대신해서 저항을 사용할 경우, 콘덴서(C1) 및 콘덴서(C3)와 바꿔놓는 저항의 저항치는, 콘덴서(C2)와 바꿔놓는 저항의 저항치의 2배의 저항치로 할 필요가 있다.

(실시의 형태 3)

본 발명의 실시의 형태 3의 액정표시모듈은, 드레인드라이버(130)내의 고전압용 앰프회로(271) 및 저전압용 앰프회로(272)로서 반전증폭회로를 사용하는 점에서, 상기 실시의 형태 2의 액정표시모듈과 상위하다.

이하, 본 실시의 형태의 드레인드라이버(130)에 대해서, 상기 실시의 형태 2와의 상위점을 중심으로 설명한다.

도 43은, 도 37에 표시한 고전압용 디코더회로(278) 및 도 37에 표시한 고전압용 디코더회로(278)와 마찬가지의 회로구성의 저전압용 디코더회로(279)를 사용한 경우의, 본실시의 형태 3의 액정표시모듈의 드레인드라이버(130)내의 출력단의 개략구성을 표시한 도면이다.

도 43에 있어서, 고전압용 앰프회로(271)에는 도 15에 표시한 차동증폭회로가, 또, 저전압용 앰프회로(272)에는 도 14에 표시한 차동증폭회로가 사용된다.

도 44는, 도 43에 표시한 고전압용 앰프회로(271), 또는 저전압용 앰프회로(272)의 하나와, 그 입력단에 접속되는 스위치드커패시터회로(313)을 표시한 도면이다.

도 44에 표시한 바와 같이, 영상증폭기(OP2)의 반전입력단자(-)와 출력단자와의 사이에는 스위치회로(SWAO1)와 콘덴서(CA1)의 병렬회로가 접속되고, 또, 연산증폭기(OP2)의 반전입력단자(-)에는, 각콘덴서(CA2, CA3, CA4)의 한쪽의 단자가 접속된다.

이 각콘덴서(CA2, CA3, CA4)의 다른쪽의 단자에는, 각스위치회로(SWA11, SWA21, SWA31)를 개재해서, 전압치가 인접하는 2개의 제 1계조전압의 하나, 즉, 도 37에 표시한 단자(P1)에 출력되는 제 1계조전압(Va)이 인가된다. 상기 전압치가 인접하는 2개의 제 1계조전압의 다른쪽, 즉, 도 37에 표시한 단자(P2)에 출력되는 제 1계조전압(Vb)이, 연산증폭기(OP2)의 비반전입력단자(+) 및 상기 각 콘덴서(CA2, CA3, CA4)의 다른쪽의 단자에 각스위치회로(SWA12, SWA22, SWA32)를 개재해서 인가된다.

여기서, 콘덴서(CA2)와 콘덴서(CA4)와의 용량치는 동일하게, 콘덴서(CA3)의 용량치는, 콘덴서(CA2)의 용량치의 2배의 용량치, 콘덴서(CA1)의 용량치는, 콘덴서(CA2)의 용량치의 4배의 용량치로 된다.

이 반전증폭회로에서는, 리세트동작시에, 스위치회로(SWAO1) 및 스위치회로 (SWA11, SWA21, SWA31)가 ON, 스위치회로(SWA12, SWA22, SWA32)가 OFF로 된다.

이 상태에서는, 콘덴서(CA1)가 리세트되고, 또, 연산증폭기(OP2)는 전압폴로워회로를 구성하고, 연산증폭기(OP2)의 출력단자 및 반전입력단자(-)의 전위는 제 1계조전압(Vb)이 됨으로, 각 콘덴서(CA2 CA4)는, (Vb-Va=△V)의 전압에 층전된다.

또, 통상적인 상태에서는, 스위치회로(SWA01)가 OFF로 되고, 또, 스위치회로(SWA11, SWA21, SWA31) 및 스위치회로(SWA12, SWA22, SWA32)는, 소정의 조합에 따라서 ON 또는 OFF로 된다.

이에 의해, Va의 제 1계조전압이 제 1계조전압(Vb)을 기준으로해서 반전증폭되고, 연산증폭기(OP2)의 출력단자로부터, Vb+Va, Vb+Va+(1/4)△V, Vb+Va+(1/2)△V, Vb+Va+(3/4)△V의 전압이 출력된다.

(실시의 의 형태 4)

본 발명의 실시의 형태 4의 액정표시모듈은, 전원회로(120)보다 마이너스극성의 계조기준전압(V'5 V'9)을 드레인드라이버(130)에 출력하고, 또, 드레인드라이버(130)에 있어서, 이 마이너스극성의 계조기준전압(V'5 V'9)으로부터 마이너스극성의 32계조의 계조전압을 생성하고, 또, 고전압용 앰프회로(271)로서 반전증폭회로를 사용하여, 상기 마이너스극성의 계조전압을 반전증폭회로에서 반전증폭해서 플러스극성의 계조전압을 드레인신호선(D)에 인가하도록 한 점에서, 상기 실시의 형태 1의 액정표시모듈과 상위하다.

이하, 본 실시의 형태의 드레인드라이버(130)에 대해서, 상기 실시의 형태 1과의 상위점을 중심으로 설명하다.

도 45는, 본 실시의 형태 4의 액정표시모듈의 드레인드라이버(130)내의 출력단의 개략구성을 표시한 도면이다.

도 45에 있어서, 고전압용 앰프회로(271)에는 도 15에 표시한 차동증폭회로가, 또, 저전압용 앰프회로(272)에는 도 14에 표시한 차동증폭회로가 사용된다.

본 실시의 형태의 고전압용 앰프회로(271)에서는, 연산증폭기(OP3)는 반전증폭회로를 구성한다.

그 때문에, 이 연산증폭기(OP3)의 입력단에는, 도 6에 표시한 고전압용 디코더회로(278)에 대신해서, 도 6에 표시한 저전압용 디코더회로(279)가 접속된다.

즉, 본 실시의 형태에서는, 도 6에 표시한 디코더부(261)는, 모두 저전압용 디코더회로(279)가 사용된다.

그에 수반하여, 도시하고 있지 않으나, 본실시의 형태에서는, 전원회로(120)내의 플러스전압생성회로(121) 및 드레인드라이버(130)내의 플러스극성계조전압생성회로(151a)는 필요하지 않다.

도 45에 표시한 바와 같이, 연산증폭기(OP3)의 반전입력단자(-)와 출력단자와의 사이에는, 스위치회로(SWB1)와 콘덴서(CB1)의 병렬회로가 접속되고, 또, 연산증폭기(OP3)의 반전입력단자(-)에는 콘덴서(CB2)의 한쪽의 단자가 접속된다.

콘덴서(CB2)의 다른쪽의 단자에는, 스위치(SWB3)를 개재해서 저전압용 디코더회로(272)로부터의 계조전압이, 또, 스위치(SWB2)를 개재해서 기준전압(vref)이 인가된다.

또, 연산증폭기(OP3)의 비반전입력단자(+)에는 기준전위(Vref)가 인가된다.

여기서, 이 기준전위(Vref)는, 공통전극(ITO2)에 인가되는 액정구동전압 (Vcom)의 전위이기도하다.

이 반전증폭회로는, 리세트동작시에, 스위치회로(SWB1) 및 스위치회로(SWB2)가 ON, 스위치회로(SWB3)가 OFF로 된다.

이 상태에서는, 연산증폭기(OP3)는 전압폴로워회로를 구성하고, 연산증폭기(OP3)의 출력단자 및 반전입력단자의 전위는 기준전압(Vref)로 되고, 또, 콘덴서(CB2)의 다른쪽의 단자에도, 기준전위(Vref)가 인가됨으로, 콘덴서(CB1) 및 콘덴서(CB2)는 리세트된다.

또, 통상의 상태에서는, 스위치회로(SWB1) 및 스위치회로(SWB2)가 OFF, 스위치회로(SWB3)가 ON이 되고, 콘덴서(CA2)를 개재해서 입력되는 마이너스극성의 계조전압은, 기준전압(Vref)를 기준으로해서 반전증폭되어, 연산증폭기(OP3)의 출력단자로부터 플러스극성의 계조전압이 출력된다.

본 실시의 형태에서는, 도 6에 표시한 고전압용 디코더회로(271)에 대신해서, 도 6에 표시한 저전압용 디코더회로(272)가 사용되고, 또, 전원회로(120)내의 플러스전압생성회로(121) 및 드레인드라이버(130)내의 플러스극성계조전압생성회로 (151a)가 불필요하게 됨으로, 구성이 간략화하는 일이 가능하게 된다.

(실시의 형태 5)

본 발명의 실시의 형태 5의 액정표시모듈은, 고전압용 앰프회로(271) 및 저전압용 앰프회로(272)로서, 단일의 앰프회로(273)를 사용하는 점에서, 상기 실시의 형태 1과 상위하다.

이하, 본실시의 형태의 드레인드라이버(130)에 대해서, 상기 실시의 형태 1과의 상위점을 중심으로 설명한다.

도 46은, 본 실시의 형태 5의 액정표시모듈의 드레인드라이버(130)내의 출력단의 개략구성을 표시한 도면이다.

도 46에 있어서, (273)은 마이너스극성 및 플러스극성의 계조전압을 출력하는 단일의 앰프회로이며, 본실시의 형태에서는, 이 앰프회로(273)로부터 마이너스극성 및 플러스극성의 계조전압을 출력한다.

따라서, 이 앰프회로(273)에는, 고전압용 디코더회로(278)에서 선택된 플러스극성의 계조전압, 또는 마이너스전압용 디코더회로(279)에서 선택된 마이너스극성의 계조전압을 입력할 필요가 있다.

그에 수반하여, 도 47에 표시한 바와 같이, 본실시의 형태에서는, 스위치부(2)(264)는, 디코더부(261)와 앰프회로(273)와의 사이에 형성할 필요가 있다.

도 48은, 도 46에 표시한 앰프회로(273)에 사용되는 차동증폭회로의 일예의 회로구성을 표시한 도면이다.

도 48에 표시한 앰프회로(273)에 있어서, ●은 스위칭트랜지스터를 표시하고, 도면속에서 A와 첨기되어 있는 ●은, 제어신호(A)에서 ON하는 스위칭트랜지스터를, B와 첨기되어 있는 ●은, 제어신호(B)에서 ON하는 스위칭트랜지스터를 표시하고 있다.

도 48에 표시한 앰프회로(273)는, 출력단을 푸시풀구성으로 하고, 그에 의해, 단일의 앰프회로에서, 마이너스극성 및 플러스극성의 계조전압을 출력하는 것을 가능하게 하고 있다.

또, 도 48에 표시한 앰프회로(273)는, 전류(I1, I2)가 OFF일때에서도, 전류(I1', I2')를 흐르게할 수 있음으로, 다이나믹레인지가 넓다고 하는 특성을 가지고 있다.

본실시의 형태에서는, 각드레인신호선(D)마다 단일의 앰프회로로부터 마이너스극성 및 플러스극성의 계조전압을 출력하도록 되어 있고, 각 화소의 휘도는, 공통전극(ITO2)에 인가되는 공통전위(Vcom)로부터의 전위로 결정되기 때문에, 플러스극성의 계조전압(VH)과 공통전극(ITO2)의 전위(Vcom)와의 사이의 전압(｜VH-Vcom｜)과, 마이너스극성의 계조전압(VL)과 공통전극(ITO2)의 전위(Vcom)와의 사이의 전압(｜VL-Vcom｜)이 동등한 (｜VH-Vcom｜=｜VL-Vcom｜)경우라면, 세로줄무늬의 문제는 없으나, 많은 경우에, 액정층의 극성에 의한 비대칭성, 또는 게이트드라이버(140)의 커플링에 의한 플러스극성의 계조전압(VH)과 마이너스극성의 계조전압(VL)의 불일치 등이 있음으로, 본실시의 형태에 있어서도 본 발명은 유용하다.

(실시의 형태 6)

상기한 바와 같이, 액정표시장치에 있어서는, 액정표시패널의 고해상도화가 요구되고 있다.

이와 같은, 액정표시패널의 고해상도화에 따라, 표시제어장치(110), 드레인드라이버(130) 및 게이트드라이버(140)도 고속동작을 하게 되어 있고, 특히, 표시제어장치(110)로부터 드레인드라이버(130)에 출력되는 클록(CL2) 및 표시데이터의 동작주파수는 고속화의 영향을 크게 받는다.

예를 들면, XGA표시모드의 1024×768화소의 액정표시패널에서는, 65㎒의 주파수의 클록(CL2) 및 32.5㎒(65㎒의 절반)의 주파수의 표시데이터가 필요하게 된다.

그 때문에, 예를 들면, XGA표시모드의 경우, 본실시의 형태의 액정표시모듈에서는, 표시제어장치(110)로부터 드레인드라이버(130)에, 클록(CL2)의 주파수를 32.5㎒(65㎒의 절반)로해서, 드레인드라이버(130)에 있어서, 클록(CL2)의 상승시 및 하강시에서 표시데이터를 래치하도록 하고 있다.

도 49는, 출력회로의 구성을 중심으로, 본실시의 형태 6의 드레인드라이버(130)의 구성을 설명하기 위한 블록도이다.

도 49는, 도 6에 대응하는 도면이나, 도 49의 도시내용은, 도 6과 약간 상위하고 있으며, 또, 시프트레지스터회로(도 6의 (156))는 생략하고 있다.

이하, 본실시의 형태의 드라이버(130)에 대해서, 상기 실시의 형태 1과의 상위점을 중심으로 설명한다.

도 49에 표시한 바와 같이, 본실시의 형태의 드라이버(130)에 있어서는, 프리래치부(160)가 형성된다.

도 50은, 도 49에 표시한 프리래치부(160)의 일회로구성을 표시한 도면이다.

도 50에 표시한 바와 같이, 표시제어장치(110)로부터 송출된 표시데이터의 하나는, 클록(CL2)의 상승으로 플립·플롭회로(F31)에 래치되고, 또, 클록(CL2)의 하강으로 플립·플롭회로(F32)에 래치되어, 스위치부(3)(266)에 출력된다.

또, 표시데이터의 다른하나는, 클록(CL2)의 하강으로 플립·플롭회로(F33)에 래치되고, 또, 클록(CL2)의 상승으로 플립·플롭회로(F34)에 래치되어, 스위치부(3)(266)에 출력된다.

프리래치부(160)에서 래치된 표시데이터는, 스위치부(3)에서 선택되어서, 표시데이터의 버스라인(161a) 또는 버스라인(161b)에 번갈아 출력된다.

이 2계통의 버스라인(161a, 161b)위의 표시데이터는, 시프트레지스터(153)로부터의 데이터집어넣기용 신호에 의거하여, 데이터래치부(265)에 도입된다.

이 경우에, 본실시의 형태에서는, 2화소분의 데이터(드레인신호선(D)6개분의 데이터)가 한꺼번에 데이터래치부(265)에 도입된다.

이 데이터래치부(265)에 래치된 표시데이터에 의거하여, 표시데이터에 대응하는 계조전압이, 드레인드라이버(130)의 앰프회로쌍(263)으로부터 각 드레인신호선(D)에 출력된다.

이동작은, 상기 실시의 형태 1과 동일함으로, 그 설명은 생략한다.

도 51은, 도 49에 표시한 버스라인(161a, 161b)상의 표시데이터와, 클록(CL2)의 동작주파수를 설명하기 위한 도면이다.

또한, 도 51에서는, 표시데이터의 주파수는, 데이터 1개로 60㎒(데이터 2개로 30㎒), 클록(CL2)의 주파수는 30㎒의 경우에 대해서 설명한다.

도 50, 51에 표시한 바와 같이, 표시제어장치(110)로부터 60㎒의 주파수로 송출된 표시데이터는, 플립·플롭회로(F31)와 플립·플롭회로(F32) 및 플립·플롭회로(F33)와 플립·플롭회로(F34)에서 래치되어서, 버스라인(161a, 161b)에 송출됨으로, 버스라인(161a, 161b)상의 표시데이터의 주파수는, 데이터 1개로 30㎒(데이터 2개로 15㎒)가 된다.

도 52는, 클록(CL2)의 상승시 및 하강시에서 표시데이터를 래치하는 경우에, 드레인드라이버내에 1계통의 버스라인(161)밖에 없는 경우의 출력회로의 구성을 중심으로, 드레인드라이버의 구성을 설명하기 위한 블록도이다.

도 53은, 도 52에 표시한 버스라인(161)상의 표시데이터와, 클록(CL2)의 동작주파수를 설명하기 위한 도면이다.

도 53에서 알수 있는 바와 같이, 드레인드라이버내에 1계통의 버스라인(161)밖에 없는 경우에는, 그 1계통의 버스라인(161)상의 표시데이터의 주파수는, 표시제어장치(110)로부터 송출된 표시데이터와 동일한 60㎒가 된다.

도 54는, 도 52에 표시한 드레인드라이버를 구성하는 반도체집적회로내의 버스라인(161)의 배치를 표시한 도면이다.

도 54에 표시한 바와 같이, 버스라인(161)은, 드레인드라이버를 구성하는 반도체집적회로내의 긴쪽방향으로 그 양끝까지 형성되고 있음으로, 프리래치부(160)에서부터 떨어질수록 지연시간이 증대한다.

그 때문에, 1계통의 버스라인(161)상의 표시데이터의 주파수가, 표시제어장치(110)로부터 송출된 표시데이터와 동일 주파수(예를 들면, (60㎒)이면, 프리래치부(160)에서부터 떨어진 먼쪽끝에서 데이터를 래치할때의 타이밍마진이 감소한다.

그러나, 본실시의 형태에서는, 2계통의 버스라인(161a,161b)을 형성하고, 당해 2계통의 버스라인(161a,161b)상의 표시데이터의 주파수를, 표시제어장치(110)로부터 송출된 표시데이터의 주파수(예를 들면, 60㎒)의 절반(예를 들면, 30㎒)으로 가능함으로, 도 52에 표시한 드레인드라이버의 경우에 비해서, 프리래치부(160)에서부터 떨어진 먼쪽끝에서 표시데이터를 래치할 때의 타이밍마진을 2배로 할 수 있다.

이에 의해, 본실시의 형태에 의하면, 드레인드라이버(130)의 고속화를 도모하는 일이 가능하게 된다.

또, 도 52에 표시한 드레인드라이버에서는, 시프트레지스터(153)의 플립·플롭회로는, 3개의 드레인신호선(D)마다 1개(예를 들면, 드레인신호선(D)의 총수가 258개라면 86개)필요하게 된다.

그러나, 본실시의 형태의 드레인드라이버(130)에서는, 2화소분의 데이터(드레인신호선(D) 6개분의 데이터)가 한꺼번에 데이터래치부(265)에 도입됨으로, 시프트레지스터(153)의 플립·플롭회로는, 6개의 드레인신호선(D)마다 1개(예를 들면, 드레인신호선(D)의 총수가 258개라면, 43개)로서되고, 시프트레지스터(153)의 플립·플롭회로의 개수를, 도 52에 표시한 드레인드라이버(130)의 절반으로 할 수 있다.

또, 본 실시의 형태의 드레인드라이버(130)에서는, 프리래치부(160)로부터 출력되는 표시데이터를, 스위치부(3)(266)에서 절환해서, 2계통의 버스라인(161a, 161b)에 교호로 출력하도록 했음으로, 도 52에 표시한 스위치부(1)(262)가 필요지않다.

이 스위치부(1)(262)는, 6개의 드레인신호선(D)마다 1개(예를 들면, 드레인신호선(D)의 총수가 258개라면, 43개) 필요하게 된다.

그러나, 본실시의 형태의 드레인드라이버(130)의 스위치부(3)(266)는, 표시데이터의 비트수(도 49에서는, 표시데이터는 6비트임으로, 18개)만으로 된다.

이와 같이, 본실시의 형태의 드레인드라이버(130)에서는, 도 52에 표시한 드레인드라이버에 비해서, 시프트레지스터(53)의 플립·플롭회로 및 스위치부의 개수를 대폭적으로 적게할 수 있어, 드레인드라이버(130)의 내부회로의 구성을 간략화하는 일이 가능하게 된다.

또한, 상기 각 실시의 형태에서는, 세로전계방식의 액정표시패널에 본 발명을 적용한 실시의 형태에 대해서 설명했으나, 이에 한정되지 않고, 본 발명은, 도 49에 표시한, 통상적인 in-plane switching type liquid crystal display panel라 호칭되는, 액정층의 표면에 평행으로 전계가 인가되는 가로전계방식의 액정표시패널에도 적용가능하다.

도 55는, 가로전계방식의 액정표시패널의 등가회로를 표시한 도면이ㄷ.

도 2 또는 도 3에 표시한 세로전계방식의 액정표시패널에서는, 컬러필터기판에 공통전극(ITO2)이 형성되는데 대해서, 가로전계방식의 액정표시패널에서는, TFT기판에 대향전극(CT) 및 대향전극(CT)에 구동전압(VCOM)을 인가하기 위한 대향전극신호선(CL)이 형성된다.

그 때문에, 액정용량(cpix)은, 화소전극(Px)과 대향전극(CT)과의 사이에 등가적으로 접속된다. 또, 화소전극(Px)과 대향전극(CT)과의 사이에는 축적용량 (Cstg)도 형성된다.

또, 상기 각 실시의 형태에서는, 구동방법으로서 도트반전방식이 적용되는 실시의 형태에 대해서 설명하였으나, 이에 한정되지 않고, 본 발명은, 1라인마다, 또는 1프레임마다, 화소전극(ITO1) 및 공통전극(ITO2)에 인가하는 구동전압을 반전하는 공통전극전압반전법에도 적용가능하다.

이상, 본 발명자에 의해서 이루어진 발명을, 상기 발명의 실시의 형태에 의거하여 구체적으로 설명하였으나, 본 발명은, 상기 발명의 실시의 형태에 한정되는 것은 아니고, 그 요지를 벗어나지 않는 범위에 있어서 여러 가지 변경가능한 것은 물론이다.

## 발명의 효과

본 발명중의 대표적인 것에 의해서 얻게되는효과를 간단히 설명하면, 하기와 같다.

(1) 본 발명에 의하면, 영상신호선구동수단의 앰프회로의 오프셋전압에 의해, 액정표시소자의 표시화면속에 흑 또는 백의 세로줄무늬가 생기는 것을 방지해서, 액정표시소자에 표시되는 표시화면의 표시품질을 향상시키는 일이 가능하게 된다.

(2) 본 발명에 의하면, 영상신호선구동수단의 레벨시프트회로에, 소스·드레인간 내압이 저내압의 트랜지스터를 사용해서, 소스·드레인간 내압이, 저내압트랜지스터의 소스·드레인간내압보다 높은 고내압트랜지스터를 사용하는 경우에 비해서, 영상신호선구동수단의 칩속에 점하는 레벨시프트회로의 면적을 작게하는 것이 가능하게 된다.

(3) 본 발명에 의하면, 영상신호선구동수단의 칩사이즈를 작게하는 것이 가능하게 되고, 그에 의해, 테두리를 좁게함에 용이하게 대응가능하게 되고, 또한, 액정표시장치의 코스트를 저감하고, 신뢰성을 향상시키는 일이 가능하게 된다.

(4) 본 발명에 의하면, 표시데이터래치용 클록 및 표시데이터의 동작주파수가 고속화되어서도, 영상신호선구동수단을 구성하는 반도체집적회로내부에서 표시데이터를 래치할때의 타이밍마진을 확보하는 일이 가능하게 된다.

## (57) 청구의 범위

### 청구항 1.

복수의 영상신호선중에서 대응하는 단일의 영상신호선을 통하여 표시데이터에 대응하는 영상신호전압이 각각 공급되는 복수의 화소를 가지는 액정표시소자와, 상기 복수의 영상신호선의 각각에 상기 영상신호전압을 공급하는 영상신호선구동회로로 구비한 액정표시장치로서,

상기 영상신호선 구동회로는,

각각 1쌍의 제 1입력단과 제 2입력단을 가지고, 이들의 입력단에 입력된 영상신호를 증폭하고, 상기 복수의 영상신호선 중에서 대응하는 단일의 영상신호선에 상기 증폭된 영상신호를 공급하는 복수의 차동증폭기와;

상기 복수의 차동증폭기는 각각 제 1상태와 제 2상태사이를 절환하는 절환회로를 가지고, 상기 제 1상태는 상기 제 1입력단이 반전입력단에 접속되고 상기 제 2입력단이 비반전입력단에 접속되는 상태이며, 상기 제 2상태는 상기 제 1입력단이상기 비반전입력단에 접속되고 상기 제 2입력단이 상기 반전입력단에 접속되는 상태이고, 상기 복수의 차동증폭기의 각각에 대응하는 복수쌍의 반전입력단 및 비반전입력단과;

상기 제 1상태와 상기 제 2상태사이의 절환은 특정한 주기로 행해지도록, 상기 절환회로에 절환제어신호를 공급하는 절환제어회로를 구비한 것을 특징으로 하는 액정표시장치.

청구항 2.

제 1항에 있어서, 상기 제 1상태는, 상기 영상신호가 상기 제 2입력단에 입력되고 상기 증폭된 영상신호가 상기 제 1입력단에 피드백되는 상태이고, 상기 제 2상태는, 상기 영상신호가 상기 제 1입력단에 입력되고 상기 증폭된 영상신호가 상기 제 2입력단에 피드백되는 상태인 것을 특징으로 하는 액정표시장치.

청구항 3.

제 1항에 있어서, 상기 복수의 차동증폭기의 각각은 한쌍의 입력단 3단트랜지스터와, 출력단 트랜지스터와, 한쌍의 능동부하형성트랜지스터를 구비하고,

상기 한쌍의 입력단 3단 트랜지스터의 제 1전극은 전류원에 접속되고,

상기 한쌍의 입력단 3단 트랜지스터중에서 한쪽의 트랜지스터의 제어전극은 상기 제 1입력단에 접속되고,

상기 한쌍의 입력단 3단 트랜지스터중에서 다른쪽의 트랜지스터의 제어전극은 상기 제 2입력단에 접속되고,

상기 제 1입력단은, 제 1절환소자를 통하여 상기 비반전입력단에 접속되고, 제 2절환소자를 통하여 상기 반전입력단에 접속되고,

상기 제 2입력단은, 제 3절환소자를 통하여 상기 반전입력단에 접속되고, 제 4절환소자를 통하여 상기 비반전입력단에 접속되고,

상기 출력단 트랜지스터의 제어전극은 제 5절환소자를 통하여 상기 한쌍의 입력단 3단 트랜지스터중에서 다른쪽의 트랜지스터의 제 2전극에 접속되고, 제 6절환소자를 통하여 상기 한쌍의 입력단 3단 트랜지스터중에서 상기 한쪽의 트랜지스터의 제 2전극에 접속되고,

상기 한쌍의 능동부하형성 트랜지스터의 제어전극은 제 7절환소자를 통하여 상기 한쌍의 입력단 3단 트랜지스터중에서 상기 한쪽의 트랜지스터의 상기 제 2전극에 접속되고, 제 8절환소자를 통하여 상기 한쌍의 입력단 3단 트랜지스터중에서 상기 다른쪽의 트랜지스터의 상기 제 2전극에 접속되고;

상기 제 1, 제 3, 제 6 및 제 8스위치의 제 1군과 상기 제 2, 제 4, 제 5 및 제 7스위치의 제 2군은 상기 절환제어신호에 의거하여 교대로 절환되는 것을 특징으로 하는 액정표시장치.

청구항 4.

제 1항에 있어서, 상기 제 1상태와 상기 제 2상태사이의 상기 절환은 상기 액정표시장치의 복수의 프레임주기로 행해지는 것을 특징으로 하는 액정표시장치.

청구항 5.

제 1항에 있어서, 상기 제 1상태와 상기 제 2상태사이의 상기 절환은 상기 액정표시장치의 복수의 수평표시선주기의 간격으로 행해지는 것을 특징으로 하는 액정표시장치.

청구항 6.

제 1항에 있어서, 상기 제 1상태와 상기 제 2상태사이의 상기 절환은 상기 액정표시장치의 복수의 수평표시선 주기와 복수의 프레임주기의 간격으로 행해지는 것을 특징으로 하는 액정표시소자.

청구항 7.

제 2항에 있어서, 상기 제 1상태와 상기 제 2상태사이의 상기 절환은 상기 액정표시장치의 복수의 프레임주기로 행해지는 것을 특징으로 하는 액정표시장치.

청구항 8.

영상신호전압이 각각 공급되는 복수의 화소와, 입력된 데이터를 증폭하고 출력전압을 상기 영상신호전압으로서 상기 복수의 화소의 각각에 공급하는 복수의 영상신호 구동회로를 구비한 액정표시장치로서,

상기 복수의 영상신호구동회로는 각각,

제 1입력단 및 제 2입력단과,

출력단과,

상기 출력단으로부터의 출력전압을 기준전압으로서 상기 제 1입력단에 공급하기 위해, 상기 제 1입력단과 출력단 사이에 제 1절환스위치를 포함하는 제 1접속부와,

상기 출력전압을 기준전압으로서 상기 제 2입력단에 공급하기 위해 상기 제 2입력단과 상기 출력단 사이에 제 2절환스위치를 포함하는 제 2접속부와,

상기 출력전압을 기준전압으로서 상기 제 1입력단에 공급되어 상기 복수의 화소 중 한 화소에 공급되는 제 1상태와 상기 출력전압을 기준전압으로서 상기 제 2입력단에 공급되어 상기 복수의 화소 중 한 화소에 공급되는 제 2상태 사이를 절환회로에 의해 절환하도록 상기 제 1절환스위치와 제 2절환스위치를 제어함으로써, 상기 제 1 및 제 2접속부사이를 절환하는 절환회로를 구비한 것을 특징으로 하는 액정표시장치.

청구항 9.

삭제

청구항 10.

삭제

청구항 11.

영상신호전압이 각각 공급되는 복수의 화소와, 입력된 그레이스케일데이터에 대응하는 그레이스케일전압을 상기 영상신호전압으로서 상기 복수의 화소 중 해당 화소에 각각 공급하는 복수의 영상신호구동회로를 구비한 액정표시장치로서,

상기 복수의 영상신호구동회로는 제 1상태와 제 2상태사이를 절환하고, 이 절환을 위해 개시신호를 수신하는 입력단을 각각 포함하는 절환회로를 각각 구비하고,

상기 제 1상태는, 상기 복수의 화소중 하나에 공급되는 상기 영상신호전압이 상기 복수의 영상신호구동회로에서 발생된 제 1오프셋전압을 포함하는 상태이고, 상기 제 2상태는, 상기 복수의 화소중 상기 하나에 공급되는 상기 영상신호전압이 상기 복수의 영상신호구동회로에서 발생된 제 2오프셋전압을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 12.

삭제

청구항 13.

삭제

청구항 14.

영상신호전압이 각각 공급되는 복수의 화소와, 입력된 데이터를 증폭하고 그 출력전압을 상기 영상신호전압으로서 상기 복수의 화소의 각각에 공급하는 복수의 영상신호구동회로를 구비한 액정표시장치로서,

상기 복수의 영상신호구동회로는 각각, 상기 영상신호전압을 상기 복수의 화소중 하나에 공급하는 1쌍의 제 1증폭회로와 제 2증폭회로를 구비하고,

상기 제 1증폭회로는 제 1출력단, 제 1입력단 및 제 2입력단을 가지고,

상기 제 2증폭회로는 제 2출력단, 제 3입력단 및 제 4입력단을 가지고,

제 1접속부는, 상기 제 1출력단으로부터의 상기 출력전압을 기준전압으로서 상기 제 1입력단에 공급하기 위한 접속부와, 상기 제 1출력단으로부터의 상기 출력전압을 기준전압으로서 상기 제 2입력단에 공급하기 위한 접속부 사이를 절환할 수있고,

제 2접속부는, 상기 제 2출력단으로부터의 상기 출력전압을 기준전압으로서 상기 제 3입력단에 공급하기 위한 접속부와, 상기 제 2출력단으로부터의 상기 출력전압을 기준전압으로서 상기 제 4입력단에 공급하기 위한 접속부 사이를 절환할 수있는 것을 특징으로 하는 액정표시장치.

청구항 15.

제 14항에 있어서, 상기 액정표시장치는, 출력전압을 상기 제 1증폭회로에 공급하기 위한 제 1전압발생회로와, 출력전압을 상기 제 2증폭회로에 공급하기 위한 제 2전압발생회로를 부가하여 구비한 것을 특징으로 하는 액정표시장치.

청구항 16.

제 14항에 있어서, 상기 액정표시장치는, 제 1전압발생회로와, 제 2전압발생회로와, 상기 제 1전압발생회로의 출력전압을 상기 제 1 및 제 2입력단중 하나에 선택적으로 공급하기 위한 제 1절환회로와, 상기 제 2전압발생회로의 출력전압을 상기 제 3 및 제 4입력단중 하나에 선택적으로 공급하기 위한 제 2절환회로를 부가하여 구비한 것을 특징으로하는 액정표시장치.

청구항 17.

제 14항에 있어서, 상기 액정표시장치는, 제 1전압발생회로와, 제 2전압발생회로와,

상기 제 1전압발생회로로부터의 출력전압이 상기 제 1및 제 2입력단중 하나에 선택적으로 입력되도록, 상기 제 1전압발생회로와 상기 제 1입력단 사이를 절환하는 제 1절환소자 및 상기 제 1전압발생회로와 상기 제 2입력단 사이를 절환하는 제 2절환소자와,

상기 제 2전압발생회로로부터의 출력전압이 상기 제 3 및 제 4입력단중 하나에 선택적으로 입력되도록, 상기 제 2전압발생회로와 상기 제 3입력단 사이를 절환하는 제 3절환소자 및 상기 제 2전압발생회로와 상기 제 4입력단 사이를 절환하는 제 4절환소자를 부가하여 구비한 것을 특징으로 하는 액정표시장치.

청구항 18.

제 14항에 있어서, 상기 제 1출력단으로부터의 출력전압이 기준전압으로서 상기 제 1입력단에 공급되는 경우, 상기 제 1증폭기는 제 1오프셋전압을 포함하는 상기 영상신호전압을 상기 복수의 화소중 상기 하나에 공급하고,

상기 제 1출력단으로부터의 출력전압이 기준전압으로서 상기 제 2입력단에 공급되는 경우, 상기 제 1증폭기는 제 2오프셋전압을 포함하는 상기 영상신호전압을 상기 복수의 화소중 상기 하나에 공급하고,

상기 제 2출력단으로부터의 출력전압이 기준전압으로서 상기 제 3입력단에 공급되는 경우, 상기 제 2증폭기는 제 3오프셋전압을 포함하는 상기 영상신호전압을 상기 복수의 화소중 상기 하나에 공급하고,

상기 제 2출력단으로부터의 출력전압이 기준전압으로서 상기 제 4입력단에 공급되는 경우, 상기 제 2증폭기는 제 4오프셋전압을 포함하는 상기 영상신호전압을 상기 복수의 화소중 상기 하나에 공급하는 것을 특징으로 하는 액정표시장치.

청구항 19.

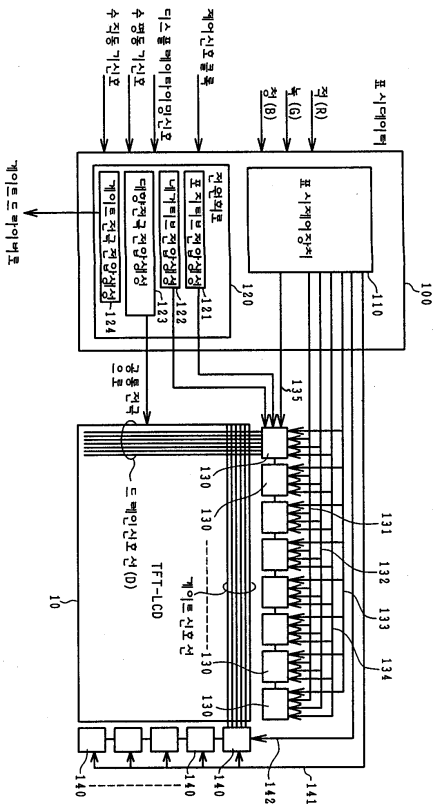
제 14항에 있어서, 상기 액정표시장치는, 제 1오프셋전압을 포함하는 상기 제 1증폭회로로부터의 상기 영상신호전압과 제 2오프셋전압을 포함하는 상기 제 1증폭회로로부터의 상기 영상신호사이를 절환하는 제 1제어신호를 위한 입력단과, 제 3오프셋전압을 포함하는 상기 제 2증폭회로로부터의 상기 영상신호전압과 제 4오프셋전압을 포함하는 상기 제 2증폭회로로부터의 상기 영상신호 사이를 절환하기 위한 제 2제어신호의 입력단을 부가하여 구비한 것을 특징으로 하는 액정표시장치.

청구항 20.

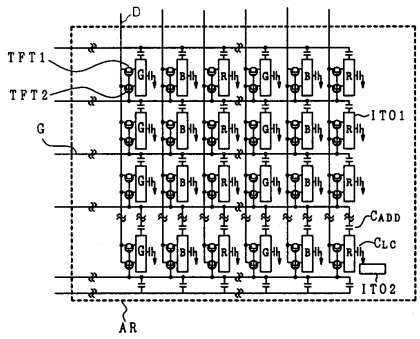
제 14항에 있어서, 상기 액정표시장치는, 제 1오프셋전압을 포함하는 상기 제 1증폭회로로부터의 상기 영상신호전압과 제 2오프셋전압을 포함하는 상기 제 1증폭회로로부터의 상기 영상신호 사이를 절환하는 제어신호를 위한 입력단과, 제 3오프셋전압을 포함하는 상기 제 2증폭회로로부터의 상기 영상신호전압과 제 4오프셋전압을 포함하는 상기 제 2증폭회로로부터의 상기 영상신호 사이를 절환하기 위한 제어신호의 입력단을 부가하여 구비한 것을 특징으로 하는 액정표시장치.

## 도면

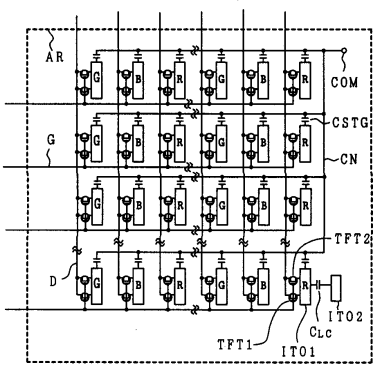
### 도면 1


표시데이터
적(R)
녹(G)
청(B)
제어신호 콜록
디스플레이타이밍신호
수평동기신호
수직동기신호
게이트드라이버로
표시제어장치
전원회로
표지티브전압생성
네거티브전압생성
대향전극전압생성
게이트전극전압생성
100
110
120
121
122
123
124
공통전극으로
135
130
131
132
133
134
TFT-LCD
게이트신호선
드레인신호선(D)
10
140
141
142

### 도면 2


D
TFT1
TFT2
G
ITO1
CADD
CLC
ITO2
AR

## 도면 3




## 도면 4

(A)

홀수프레임

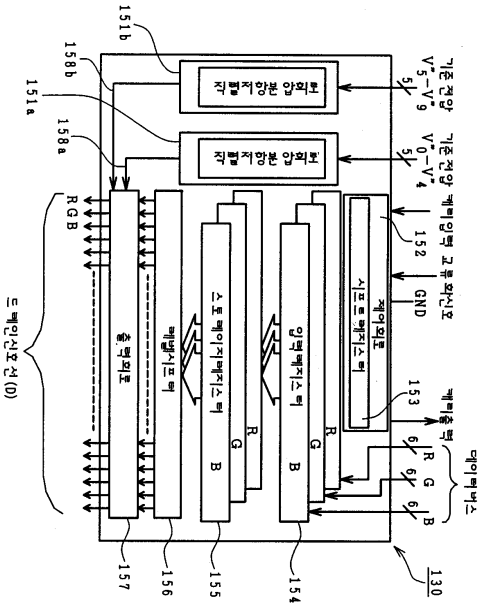
Line 1 ●○●○●○●○●○●○ -------
Line 2 ○●○●○●○●○●○● -------
Line 3 ●○●○●○●○●○●○ -------
Line 4 ○●○●○●○●○●○● -------
Line 5 ●○●○●○●○●○●○ -------
Line 6 ○●○●○●○●○●○● -------

(B)

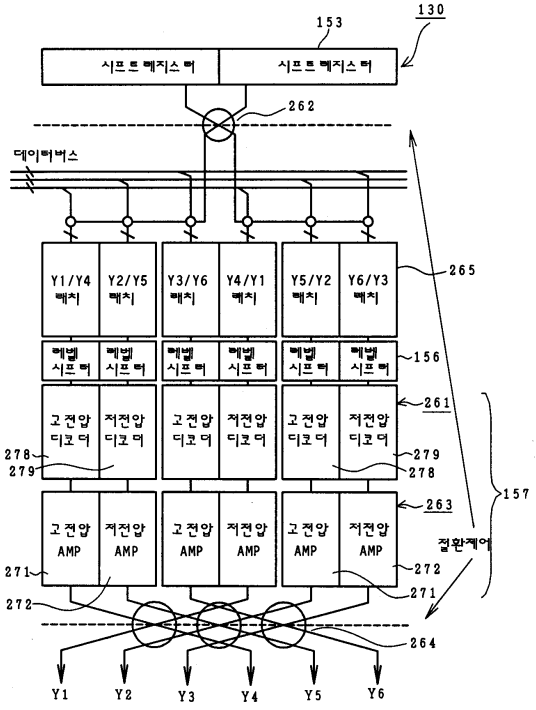
짝수프레임

Line 1 ○●○●○●○●○●○● -------
Line 2 ●○●○●○●○●○●○ -------
Line 3 ○●○●○●○●○●○● -------
Line 4 ●○●○●○●○●○●○ -------
Line 5 ○●○●○●○●○●○● -------
Line 6 ●○●○●○●○●○●○ -------

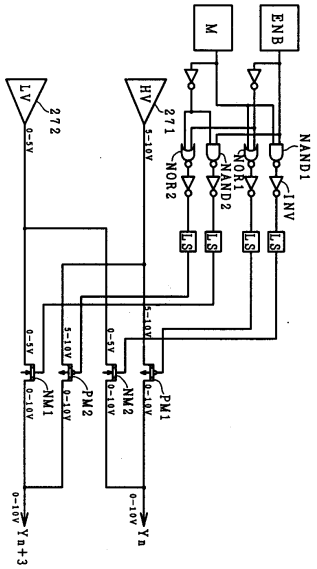
도면 5


151b
158b
151a
158a
기준 전압 V'5-V'9
기준 전압 V'0-V'4
5
5
직렬저항분 압회로
직렬저항분 압회로
제어회로
시프트 레지스터
152
GND
제어회로 교류 화신호
제어회로 시프트 레지스터
153
6
6
6
R
G
B
데이터버스
출력회로
레벨시프터
스토레이지레지스터
입력레지스터
R
G
B
R
G
B
R G B
드레인신호 선(D)
157
156
155
154
130

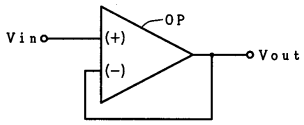
## 도면 6


130
153
시프트레지스터
시프트레지스터
262
데이터버스
Y1/Y4 매치
Y2/Y5 매치
Y3/Y6 매치
Y4/Y1 매치
Y5/Y2 매치
Y6/Y3 매치
265
레벨 시프터
156
261
고전압 디코더
저전압 디코더
278
279
157
263
고전압 AMP
저전압 AMP
271
272
절환제어
264
Y1
Y2
Y3
Y4
Y5
Y6

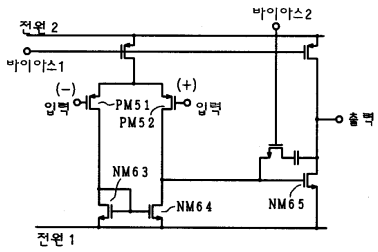
## 도면 7


M
ENB
LV
HV
272
271
0-5V
5-10V
NOR2
NAND2
NOR1
NAND1
INV
L.S
NM1
PM2
NM2
PM1
0-10V
Yn+3
Yn

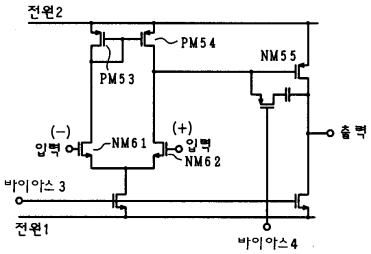
## 도면 8


Vin
(+)
(-)
OP
Vout

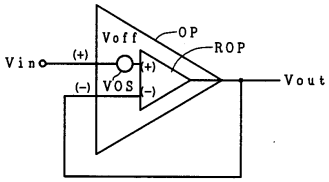
## 도면 9


전원 2
바이아스1
바이아스2
(-)
입력
PM51
PM52
(+)
입력
출력
NM63
NM64
NM65
전원 1

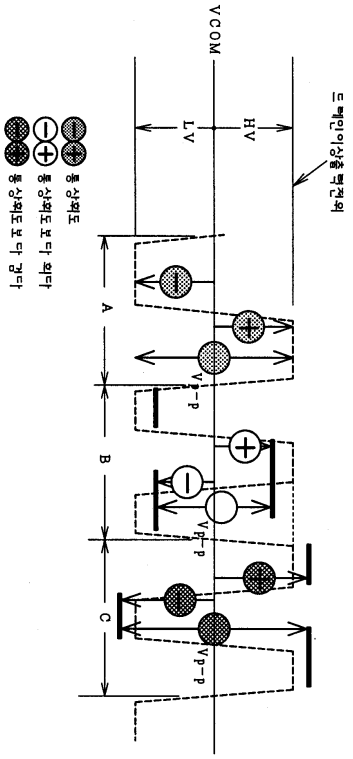
## 도면 10



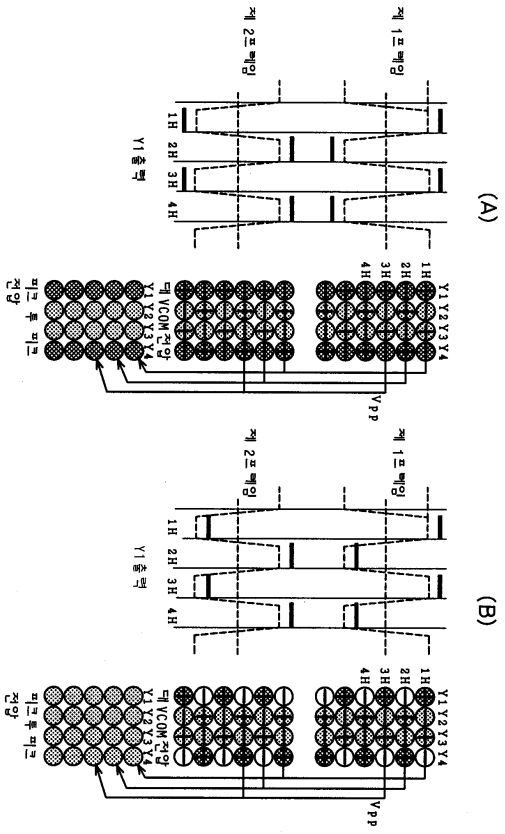

## 도면 11



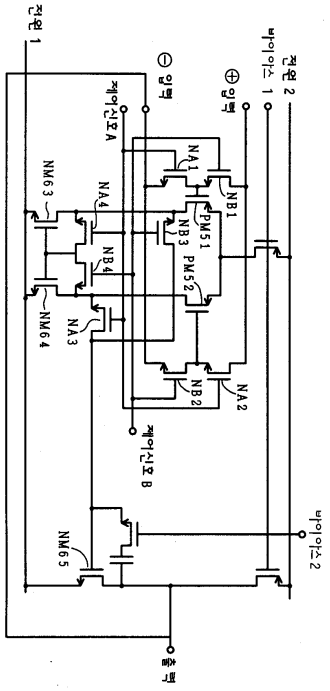

## 도면 12



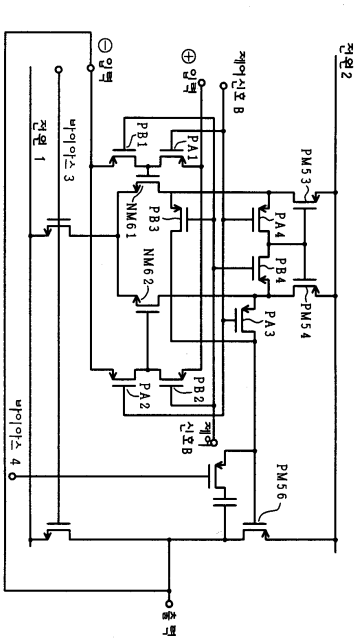
도면 13


(A)
제 1 프레임
제 2 프레임
Y1 출력
1H
2H
3H
4H
Y1 Y2 Y3 Y4
Vpp
(B)
제 1 프레임
제 2 프레임
Y1 출력
1H
2H
3H
4H
Y1 Y2 Y3 Y4
Vpp

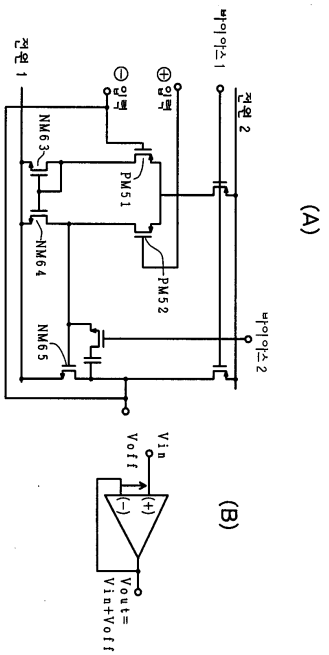
도면 14


전원 1
⊖ 입력
제어신호 A
⊕ 입력
전원 2
바이어스 1
NA1
NB1
PM51
NB3
PM52
NA4
NB4
NM63
NM64
NA3
NB2
NA2
제어신호 B
바이어스 2
NM65
출력

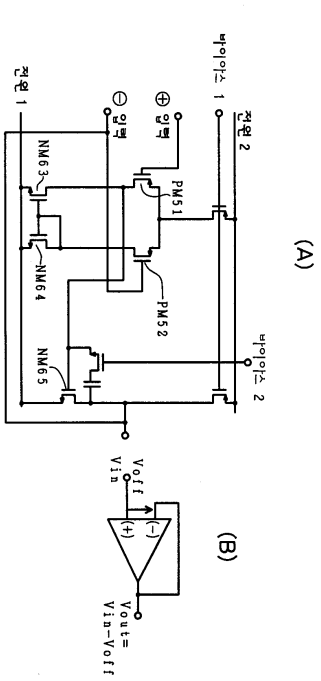
도면 15


전원2
⊖입력
⊕입력
제어신호 B
PB1
PA1
PM53
NM61
PB3
PA4
NM62
PB4
PM54
PA3
PB2
PA2
제어신호 B
바이어스 3
전원 1
바이어스 4
PM56
출력

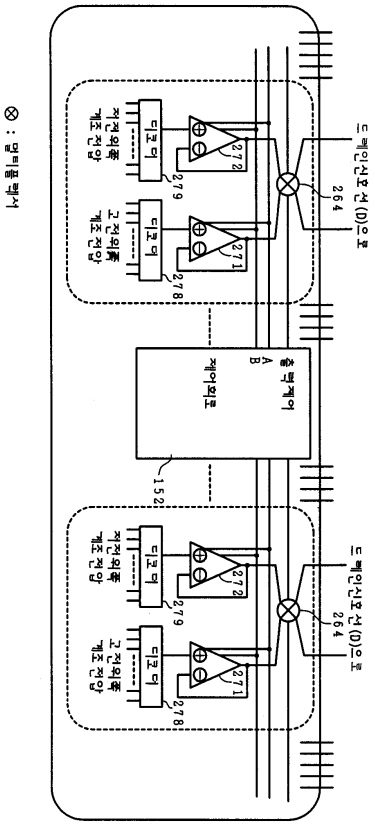
도면 16


바이어스 1
전원 2
전원 1
⊖입력
⊕입력
NM63
PM51
NM64
PM52
NM65
바이어스 2
(A)
Vin
Voff
(+)
(-)
Vout=
Vin+Voff
(B)

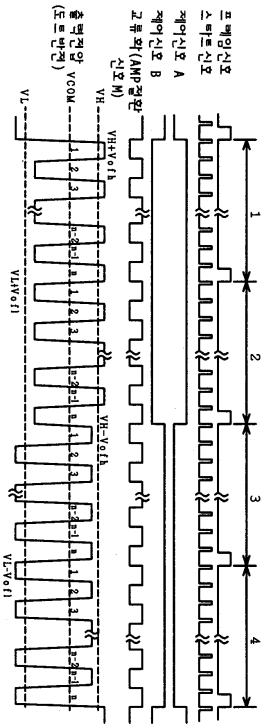
도면 17


바이어스 1
전원 2
입력
입력
전원 1
PM51
PM52
NM63
NM64
NM65
바이어스 2
(A)
Voff
Vin
(+)
(-)
Vout=
Vin-Voff
(B)

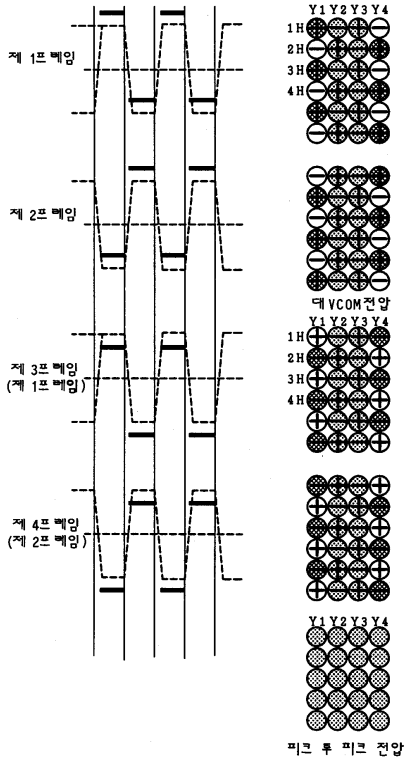
도면 18


⊗ : 멀티플렉서
드레인신호선(D)으로
264
272
271
279
278
디코더
저전위폭 게조정압
고전위폭 게조정압
출력제어
A
B
제어회로
152

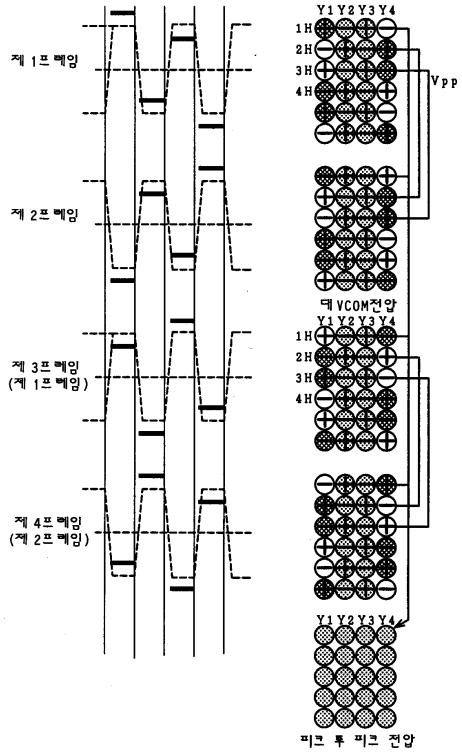
도면 19


프레임신호
스타트신호
제어신호 A
제어신호 B
교류화(AMP정환신호 M)
VH
VH+Vofl
VH-Vofl
VL
VL+Vofl
VL-Vofl
출력전압 (도트반전)
VCOM
1
2
3
4

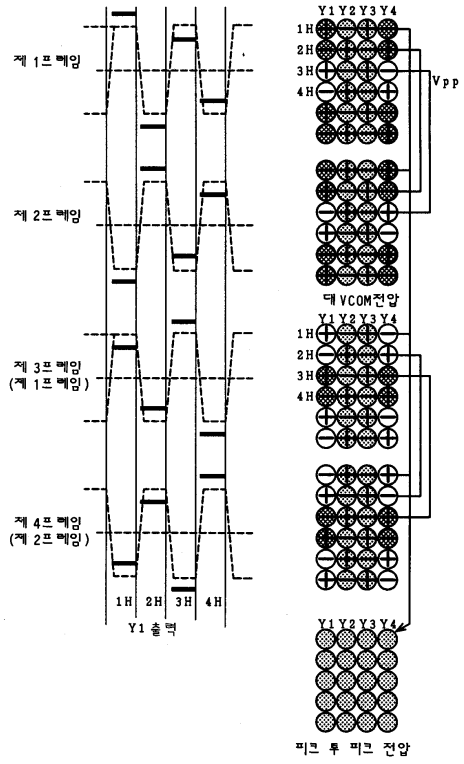
도면 20


제 1프레임
제 2프레임
제 3프레임
(제 1프레임)
제 4프레임
(제 2프레임)
Y1 Y2 Y3 Y4
1H
2H
3H
4H
대 VCOM전압
Y1 Y2 Y3 Y4
1H
2H
3H
4H
Y1 Y2 Y3 Y4
피크 투 피크 전압

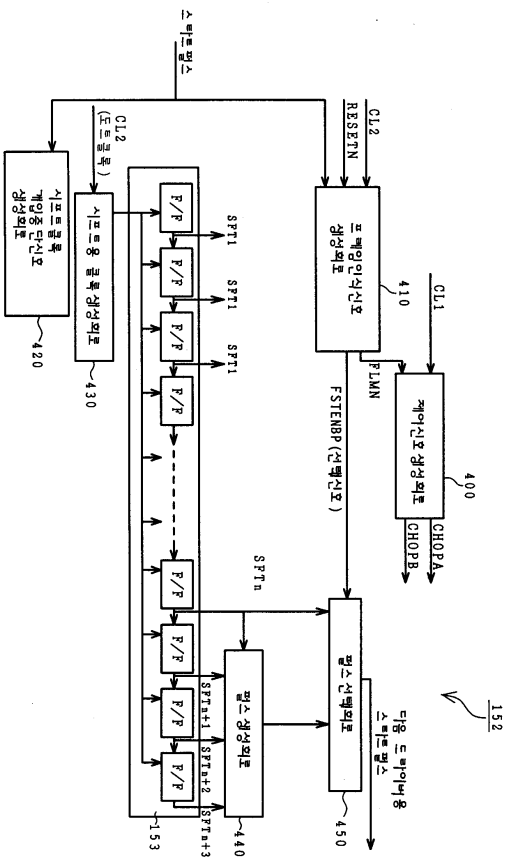
도면 21


제 1프레임
제 2프레임
제 3프레임
(제 1프레임)
제 4프레임
(제 2프레임)
Y1 Y2 Y3 Y4
1H
2H
3H
4H
Vpp
대 VCOM전압
피크 투 피크 전압

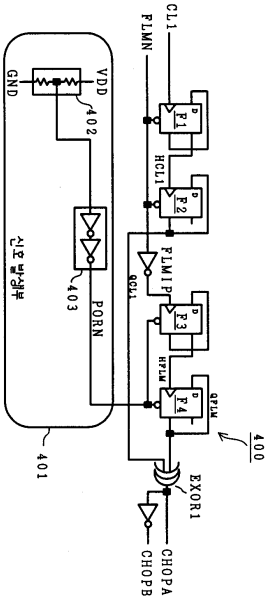
도면 22


제 1프레임
제 2프레임
제 3프레임
(제 1프레임)
제 4프레임
(제 2프레임)
1H
2H
3H
4H
Y1 출력
Y1 Y2 Y3 Y4
1H
2H
3H
4H
Vpp
대 VCOM전압
Y1 Y2 Y3 Y4
1H
2H
3H
4H
Y1 Y2 Y3 Y4
피크 투 피크 전압

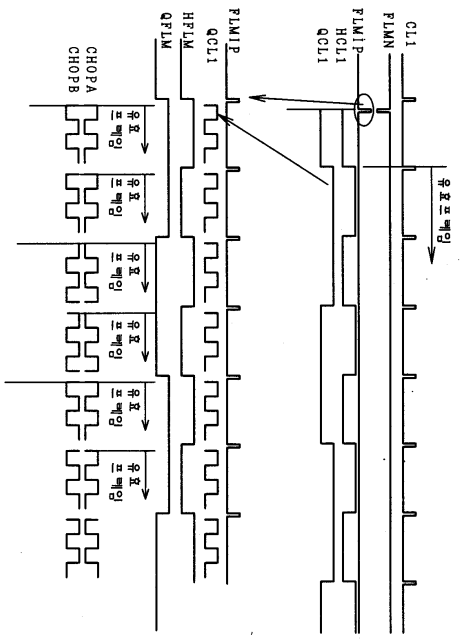
도면 23


스타트펄스
CL2
RESETN
CL2
(도트클록)
시프트클록 개입중 단신호 생성회로
420
시프트용 클록 생성회로
430
F/F
SFT1
SFTn
SFTn+1
SFTn+2
SFTn+3
153
펄스 생성회로
440
프레임인식신호 생성회로
410
CL1
FLMN
FSTENBP(선택신호)
제어신호 생성회로
400
CHOPA
CHOPB
펄스 선택회로
450
다음 드라이버용 스타트펄스
152

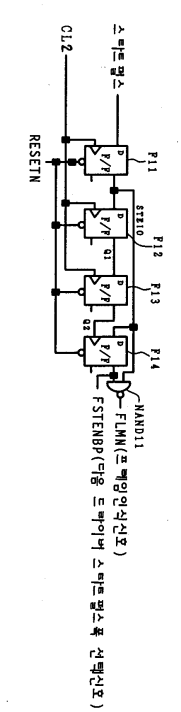
도면 24


CL1
FLMN
VDD
GND
402
HCL1
FLMIP
QCL1
PORN
403
HFLM
QFLM
400
401
EXOR1
CHOPA
CHOPB

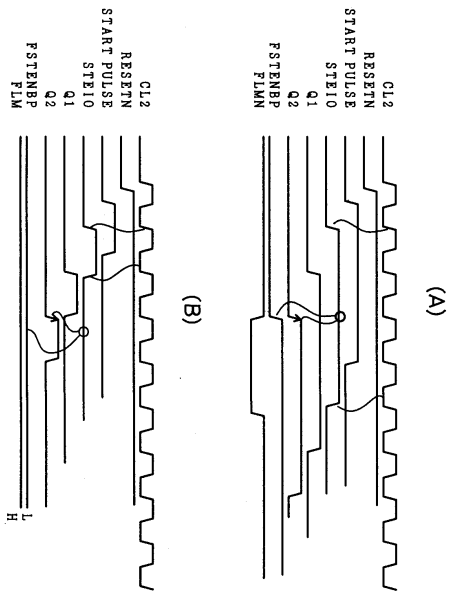
도면 25


CL1
FLMN
FLMIP
HCL1
QCL1
FLMIP
QCL1
HFLM
QFLM
CHOPA
CHOPB

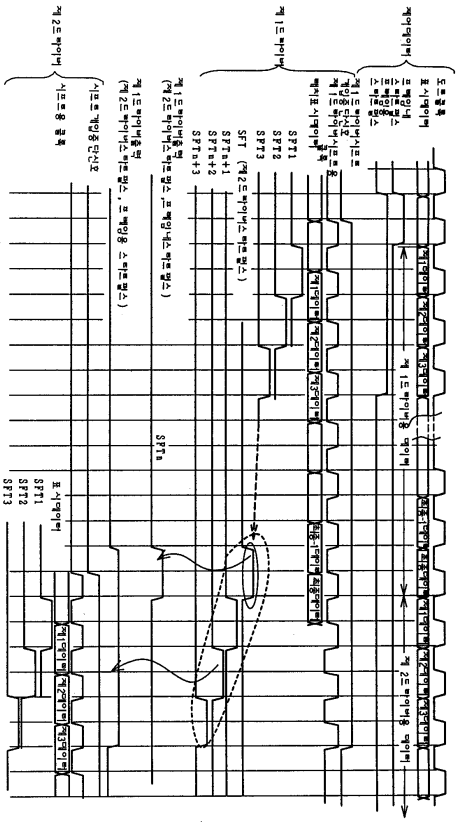
도면 26


CL2
스타트_펄스
RESETN
F11
F12
F13
F14
STRIG
NAND11
FLMN(프레임인식신호)
FSTENDP(Flag 드라이버 스타트펄스폭 신호)

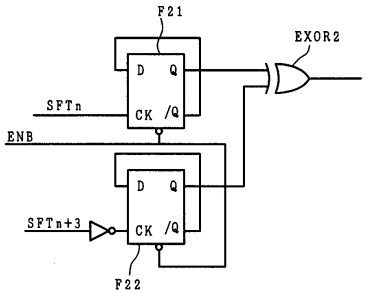
도면 27


CL2
RESETN
START PULSE
STE10
Q1
Q2
FSTENBP
FLMN
(A)
CL2
RESETN
START PULSE
STE10
Q1
Q2
FSTENBP
FLM
L
H
(B)

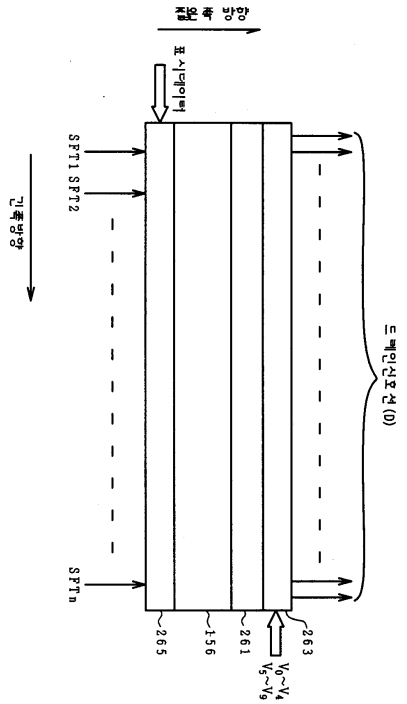
도면 28



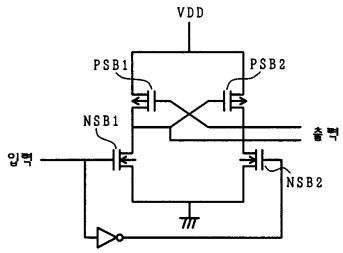
도면 29



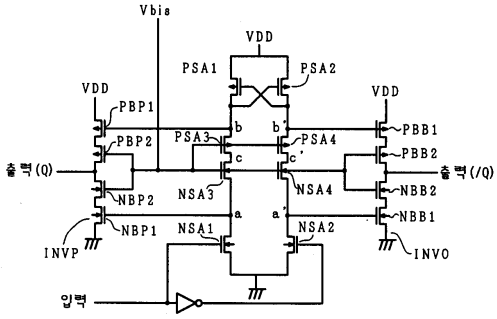
도면 30


접근 속 방향
표시데이터
SFT1 SFT2
SFTn
긴 족방향
드레인신호선(D)
265
156
261
263
V0~V4
V5~V9

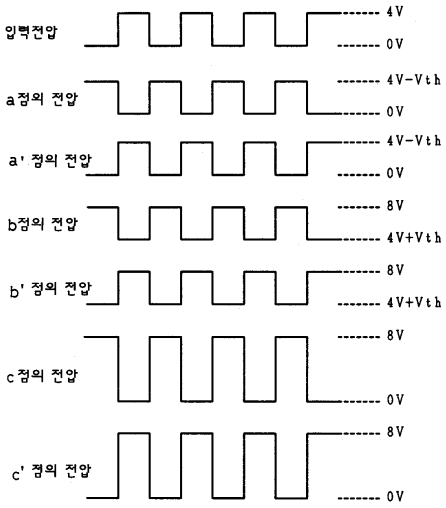
도면 31


VDD
PSB1
PSB2
NSB1
NSB2
출력
입력

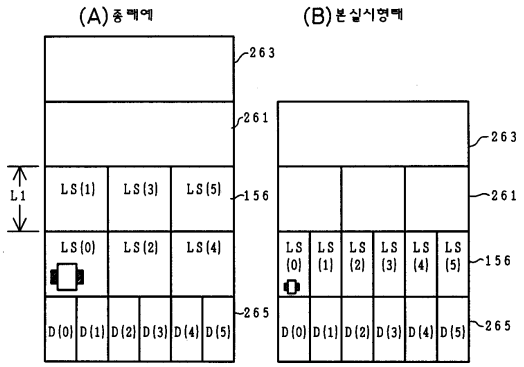
## 도면 32


Vbis
VDD
PSA1
PSA2
VDD
VDD
PBP1
PBB1
PSA3
b
b'
PSA4
PBP2
PBB2
출력(Q)
c
c'
출력(/Q)
NSA3
NSA4
NBP2
NBB2
a
a'
NBP1
NSA1
NSA2
NBB1
INVP
INVO
입력

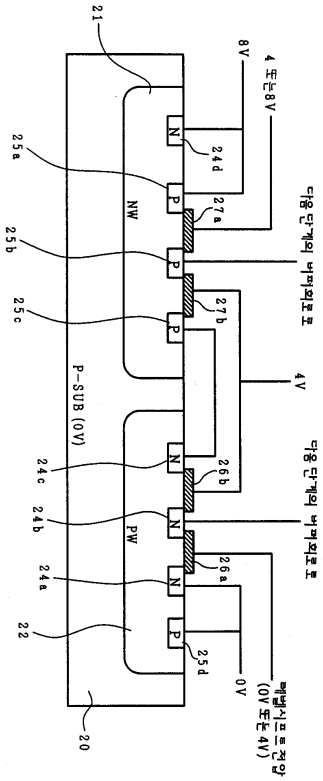
## 도면 33


입력전압
4V
0V
a점의 전압
4V-Vth
0V
a' 점의 전압
4V-Vth
0V
b점의 전압
8V
4V+Vth
b' 점의 전압
8V
4V+Vth
c점의 전압
8V
0V
c' 점의 전압
8V
0V

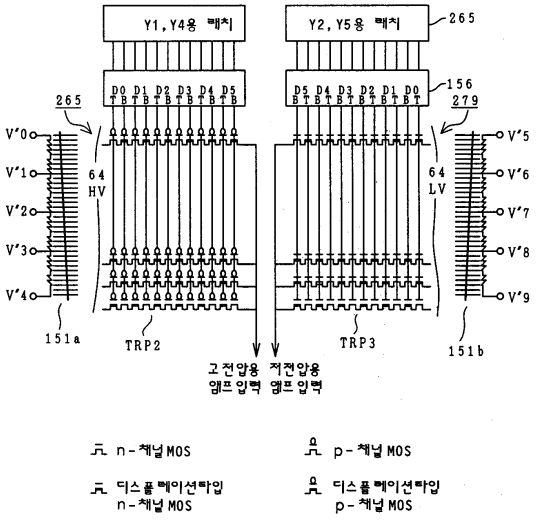
도면 34


(A) 종래예
(B) 본실시형태
263
261
156
265
L1
LS(1)
LS(3)
LS(5)
LS(0)
LS(2)
LS(4)
D(0)
D(1)
D(2)
D(3)
D(4)
D(5)

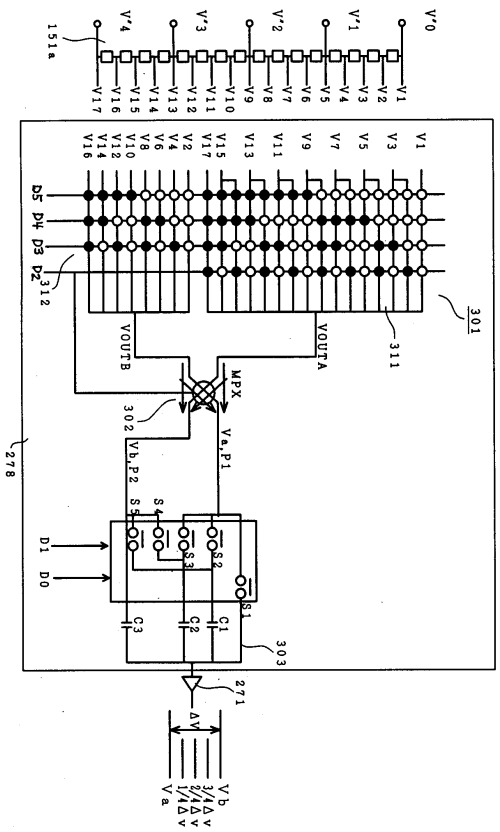
도면 35


21
8V
4 또는 8V
25a
25b
25c
24d
27a
27b
NW
P-SUB (0V)
4V
24c
24b
24a
22
26b
26a
25d
PW
0V
20

## 도면 36


Y1, Y4용 래치
Y2, Y5용 래치
265
156
279
D0 D1 D2 D3 D4 D5
D5 D4 D3 D2 D1 D0
V'0
V'1
V'2
V'3
V'4
V'5
V'6
V'7
V'8
V'9
64
HV
64
LV
151a
151b
TRP2
TRP3
고전압용 앰프입력
저전압용 앰프입력
n-채널 MOS
p-채널 MOS
디스플레이션타입 n-채널 MOS
디스플레이션타입 p-채널 MOS

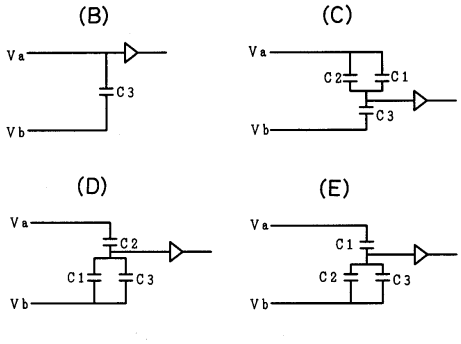
도면 37


V'0
V'1
V'2
V'3
V'4
151a
V1
V2
V3
V4
V5
V6
V7
V8
V9
V10
V11
V12
V13
V14
V15
V16
V17
D5
D4
D3
D2
312
301
311
VOUTB
VOUTA
MPX
302
Va,P1
Vb,P2
278
S4
S5
S1
S2
S3
D1
D0
C1
C2
C3
303
271
ΔV
Va
1/4ΔV
2/4ΔV
3/4ΔV
Vb

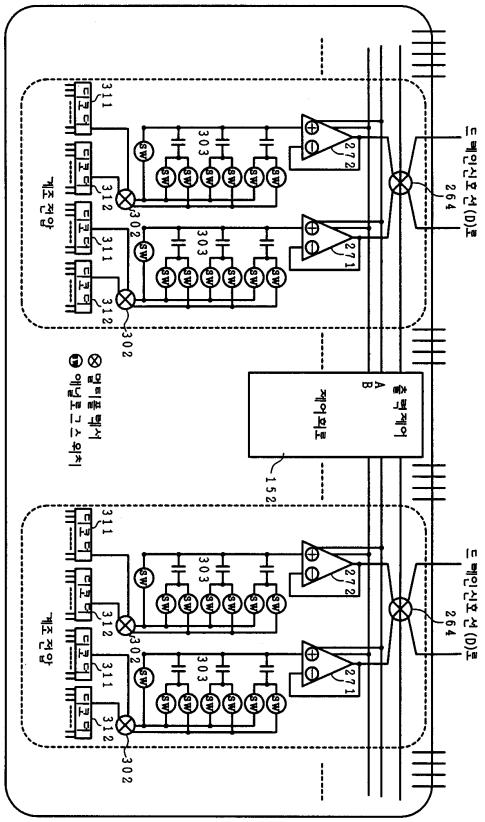
## 도면 38

(A)

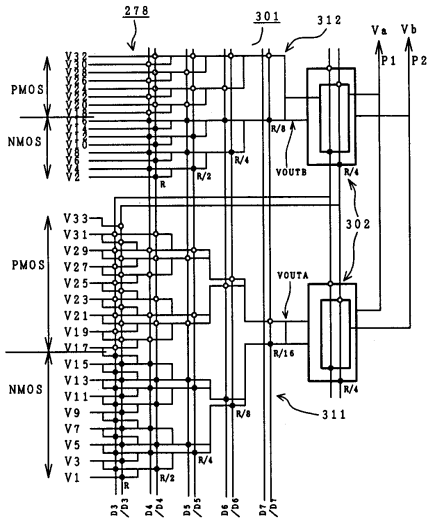
| D1 | D0 | CLOSED SW | 출력 | 도 |
|---|---|---|---|---|
| 0 | 0 | S1 | Va | 38B |
| 0 | 1 | S2, S3 | Va+1/4ΔV | 38C |
| 1 | 0 | S3, S5 | Va+2/4ΔV | 38D |
| 1 | 1 | S2, S4 | Va+3/4ΔV | 38E |



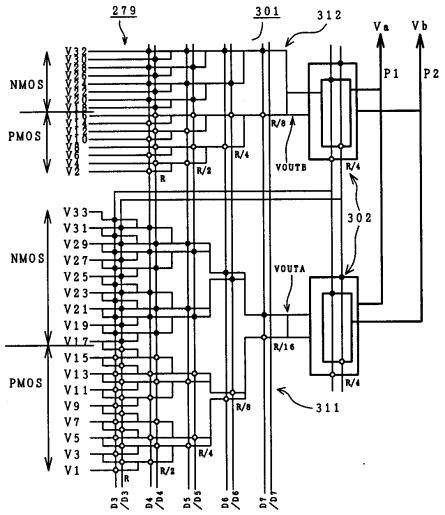
도면 39


드레인신호선(D)로
264
272
271
303
302
311
312
디코더
게조전압
출력제어
A
B
제어회로
152
멀티플렉서
앤널로그스위치

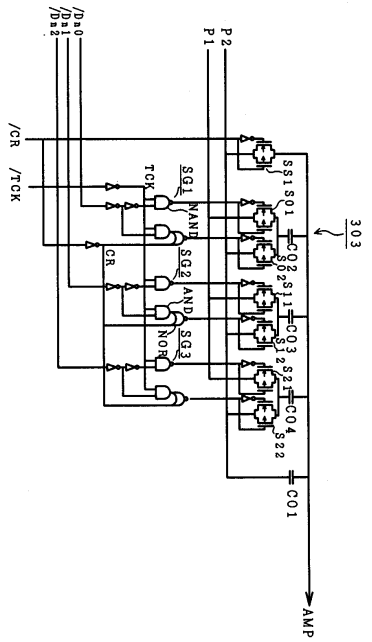
## 도면 40


278
301
312
Va
Vb
P1
P2
PMOS
NMOS
R/8
VOUTB
R/4
302
VOUTA
R/16
311
R/2
R
D3/D3
D4/D4
D5/D5
D6/D6
D7/D7

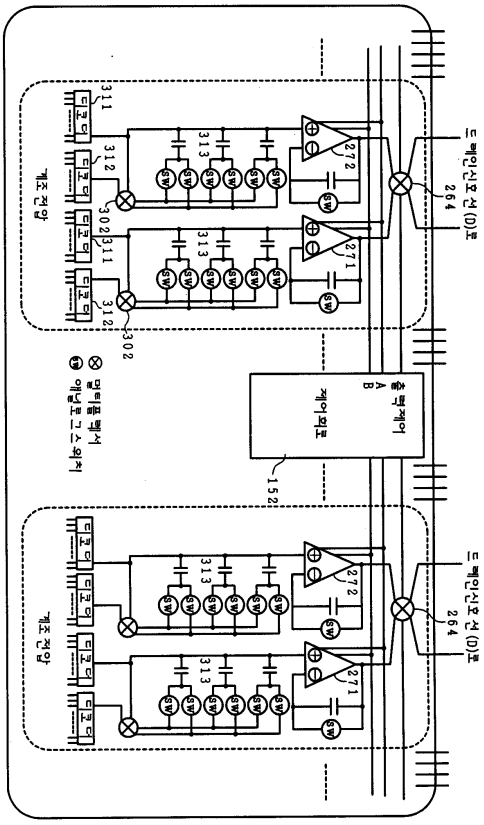
## 도면 41


279
301
312
Va
Vb
P1
P2
NMOS
PMOS
R/8
VOUTB
R/4
302
VOUTA
R/16
311
R/2
R
D3/D3
D4/D4
D5/D5
D6/D6
D7/D7

도면 42

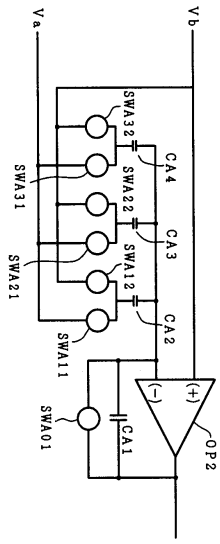

/Dn0
/Dn1
/Dn2
P2
P1
/CR
/TCK
TCK
SG1
NAND
SG2
AND
SG3
NOR
CR
SS1
SO1
CO2
SO2
SI1
CO3
SI2
S21
CO4
S22
CO1
303
AMP

도면 43

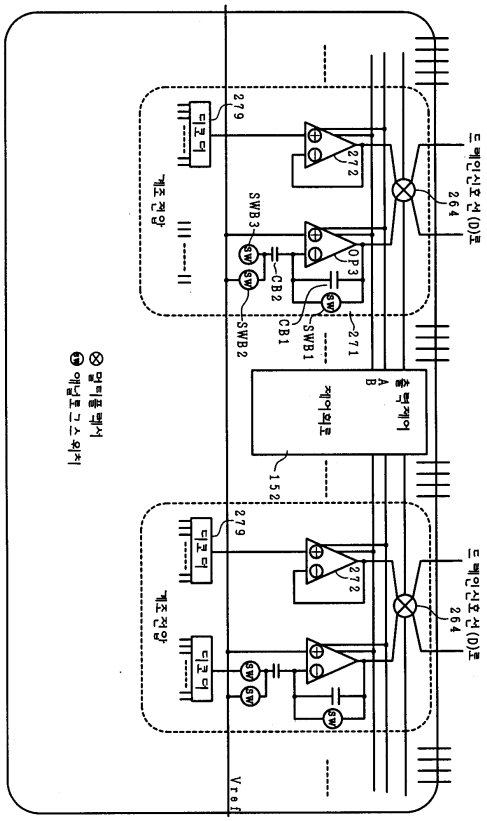


드레인신호 선(D)로
264
272
271
313
311
312
302
디코더
게조 전압
출력제어
A
B
제어회로
152
멀티플 렉서
애널로그스위치

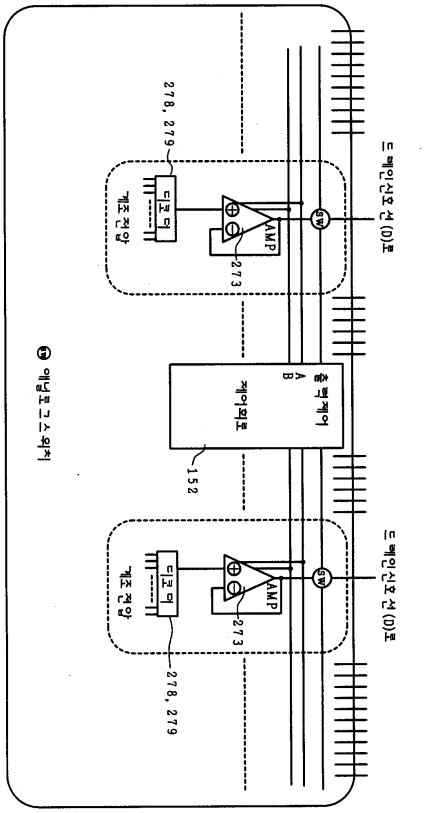
도면 44


Va
Vb
SWA32
SWA31
SWA22
SWA21
SWA12
SWA11
SWA01
CA4
CA3
CA2
CA1
(−)
(+)
OP2

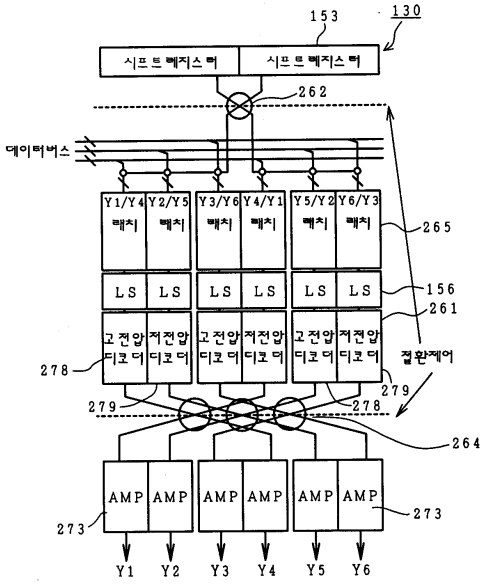
도면 45


드 레인신호 선(D)로
264
272
279
디코더
게조 정 앞
SWB3
CB2
OP3
SWB2
CB1
SWB1
271
출력제어
A
B
제어회로
152
Vref
멀티플 레서
애널로그스 위치

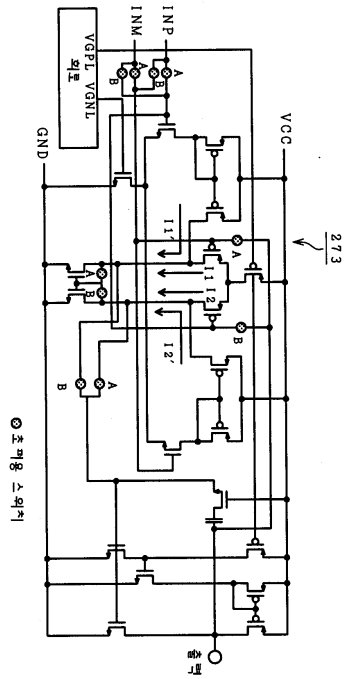
도면 46


드레인신호선(D)로
SW
AMP
273
디코더
게조전압
278, 279
출력제어
A
B
제어회로
152
드레인신호선(D)로
SW
AMP
273
디코더
게조전압
278, 279
에넘로그스위치

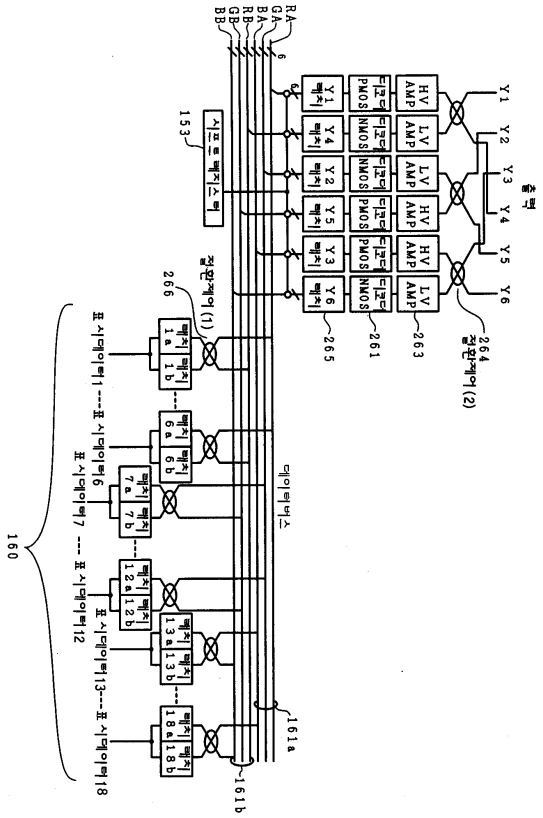
## 도면 47


153
130
시프트레지스터
시프트레지스터
262
데이터버스
Y1/Y4 래치
Y2/Y5 래치
Y3/Y6 래치
Y4/Y1 래치
Y5/Y2 래치
Y6/Y3 래치
265
LS
156
261
고전압 디코더
저전압 디코더
278
279
제어
264
AMP
273
Y1
Y2
Y3
Y4
Y5
Y6

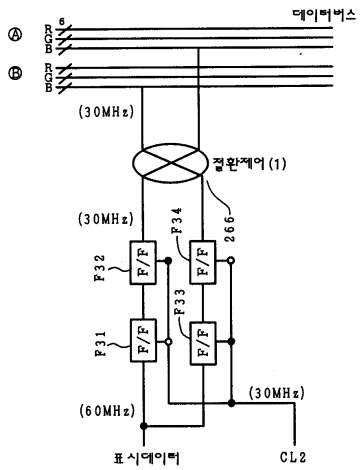
## 도면 48


VGP1
VGN1
INM
INP
GND
VCC
273
I11
I11'
I12
I12'
A
B
⊗ 초퍼용 스위치

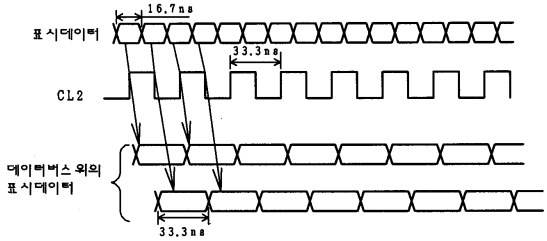
도면 49


RA
GA
BA
RB
GB
BB
6
Y1
Y2
Y3
Y4
Y5
Y6
HV AMP
LV AMP
PMOS
NMOS
출력
264
절환제어(2)
263
261
265
153
시프트 레지스터
절환제어(1)
266
160
161a
161b
데이터버스
표시데이터1---표시데이터6
표시데이터7 --- 표시데이터12
표시데이터13---표시데이터18

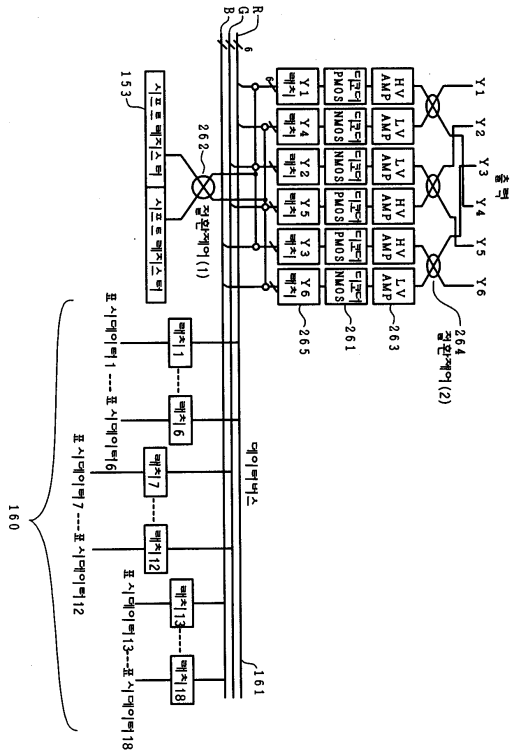
도면 50


데이터버스
Ⓐ
Ⓑ
6
RGB
(30MHz)
절환제어(1)
266
F34
F32
F33
F31
F/F
(60MHz)
표시데이터
CL2

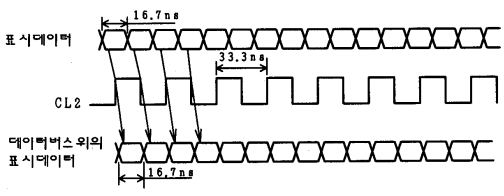
## 도면 51



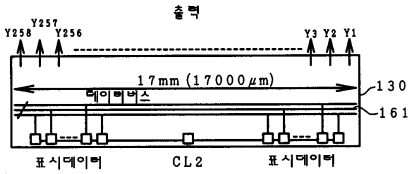

## 도면 52



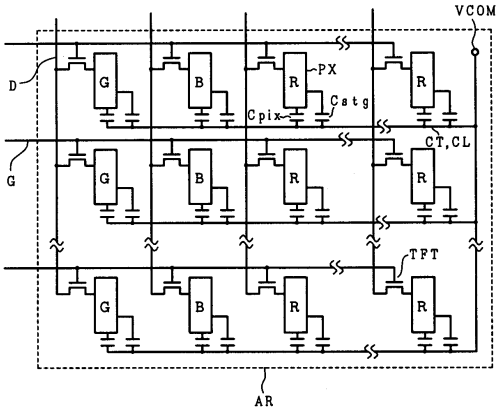

## 도면 53



## 도면 54


출력
Y257
Y258
Y256
Y3 Y2 Y1
17mm (17000㎛)
데이터버스
130
161
표시데이터
CL2
표시데이터

## 도면 55


VCOM
D
G
B
R
PX
Cpix
Csig
CT,CL
TFT
AR