



ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

(57) 要約：高周波モジュール（１）の増幅回路部（４０）は、第１の外部端子（４１）を介して基板（１０）に実装され、スイッチ回路部（２０）は、第２の外部端子（２２）を介して基板（１０）に実装され、整合回路部（３０）は、第１端子（３１）および第２端子（３２）を介して基板（１０）に実装されている。第１端子（３１）は、スイッチ回路部（２０）の第２の外部端子（２２）に電氣的に接続され、第２端子（３２）は、増幅回路部（４０）の第１の外部端子（４１）に電氣的に接続されている。基板（１０）の一方主面（１０a）に垂直な方向から見た場合に、第１端子（３１）とスイッチ回路部（２０）の第２の外部端子（２２）とが重なっており、また、第２端子（３２）と増幅回路部（４０）の第１の外部端子（４１）とが重なっている。

明 細 書

発明の名称：高周波モジュール

技術分野

[0001] 本発明は、高周波信号を増幅して伝送する高周波モジュールに関する。

背景技術

[0002] 近年、高周波モジュールを構成する部品であるスイッチ回路部品および増幅回路部品などの高集積化が進んでいる。これらの部品の高集積化に伴い、各部品を繋ぐ配線および各部品と整合素子とを繋ぐ配線が複雑化している。

[0003] この種の高周波モジュールの一例として、特許文献1には、基板に内蔵された集積回路素子と、基板の一方主面に実装されたインダクタ素子とを備える高周波モジュールが記載されている。この高周波モジュールでは、集積回路素子に含まれる信号処理回路を用いて、入力された高周波信号の信号処理を行っている。

先行技術文献

特許文献

[0004] 特許文献1：特開2012-238799号公報

発明の概要

発明が解決しようとする課題

[0005] しかしながら、特許文献1に記載された高周波モジュールでは、集積回路素子とインダクタ素子との配線の引き回し方によっては、当該配線と他の配線との間に寄生容量が発生し、高周波信号の信号処理に支障をきたす場合がある。特に、集積回路素子の中に増幅回路が含まれている場合は、寄生容量が発生することによって増幅回路の特性が劣化するという問題がある。

[0006] 本発明は、上記問題を解決するためになされたものであり、高周波モジュールにおいて、寄生容量の発生を起因とする増幅回路の特性の劣化を抑制することを目的とする。

課題を解決するための手段

[0007] 上記目的を達成するために、本発明の一態様に係る高周波モジュールは、基板と、前記基板の一方主面に実装された整合回路部と、前記基板の他方主面または内部に実装された、スイッチ回路部および増幅回路部とを備え、前記増幅回路部は、第1の外部端子を有し、前記第1の外部端子を介して前記基板に実装され、前記スイッチ回路部は、第2の外部端子を有し、前記第2の外部端子を介して前記基板に実装され、前記整合回路部は、互いに異なる第1端子および第2端子を有し、前記第1端子および前記第2端子を介して前記基板に実装され、前記第1端子は、前記スイッチ回路部の前記第2の外部端子に電氣的に接続され、前記第2端子は、前記増幅回路部の前記第1の外部端子に電氣的に接続され、前記基板の前記一方主面に垂直な方向から見た場合に、前記第1端子と前記スイッチ回路部の前記第2の外部端子とが重なっている状態、および、前記第2端子と前記増幅回路部の前記第1の外部端子とが重なっている状態のうち少なくとも一方の状態を有している。

[0008] これによれば、整合回路部の第1端子とスイッチ回路部の第2の外部端子とを最短距離の配線で接続することができる。そのため、第1端子および第2の外部端子を繋ぐ配線と、他の配線との間に寄生容量が発生しにくい。また、整合回路部の第2端子と増幅回路部の第1の外部端子とを最短距離の配線で接続することができる。そのため、第2端子および第1の外部端子を繋ぐ配線と、他の配線との間に寄生容量が発生しにくい。これにより、寄生容量の発生を起因とする増幅回路部の特性の劣化を抑制することができる。

[0009] また、前記基板の前記一方主面に垂直な方向から見た場合に、少なくとも前記第2端子と前記増幅回路部の前記第1の外部端子とが重なっていてもよい。

[0010] これによれば、整合回路部の第2端子と増幅回路部の第1の外部端子とを最短距離の配線で接続することができる。そのため、増幅回路部の近くに位置する第1の外部端子と第2端子とを繋ぐ配線において、寄生容量が発生することを抑制することができる。これにより、寄生容量の発生を起因とする増幅回路部の特性の劣化を抑制することができる。

- [0011] 前記整合回路部を覆うように、前記基板の一方主面上に形成された第1樹脂封止部と、前記基板の側面および前記第1樹脂封止部の側面を覆うように形成された第1シールド膜とをさらに備え、前記基板の前記一方主面に垂直な方向から見た場合に、前記整合回路部は、前記基板の中央領域に配置されているとしてもよい。
- [0012] このように、整合回路部を基板の中央領域に配置することで、整合回路部と第1シールド膜との距離が大きくなり、シールドによって整合回路部の電気特性が低下することを抑制することができる。これにより、整合回路部の電気特性を維持することができ、増幅回路部のNF（雑音指数）特性の劣化を抑制することができる。
- [0013] また、前記整合回路部は、チップインダクタであり、前記スイッチ回路部と前記整合回路部と前記増幅回路部とが直列接続するように、前記スイッチ回路部と前記増幅回路部との間に挿入されているとしてもよい。
- [0014] このように、整合回路部としてチップインダクタを用いることで、品質係数が高いインダクタによってスイッチ回路部と増幅回路部とのインピーダンス整合をとることが可能となる。また、高周波モジュールに第1シールド膜が形成され、整合回路部であるチップインダクタが基板の中央領域に配置されている場合は、チップインダクタと第1シールド膜との距離が遠ざかるので、チップインダクタの磁束が遮られる要因が減り、品質係数の劣化が抑えられ、増幅回路部のNF特性を改善することができる。
- [0015] また、前記チップインダクタは、コイル軸が前記基板の前記一方主面と平行となるように、前記基板に実装されているとしてもよい。
- [0016] 例えば、インダクタが基板の一方主面と交差するように配置されていると、インダクタによって形成される磁界が他の回路部品へ影響を及ぼす場合もある。それに対し、本発明のように、コイル軸が一方主面と平行となるようにインダクタが配置されることで、他の回路部品への磁界の影響を抑制することができる。
- [0017] また、高周波モジュールは、複数の前記チップインダクタを有し、複数の

前記チップインダクタのうち、少なくとも2つの前記チップインダクタは、一方の前記チップインダクタのコイル軸と他方の前記チップインダクタのコイル軸とが交差するように、前記基板に実装されていてもよい。

[0018] このように各チップインダクタが、他のチップインダクタの磁束を遮断しにくい向きに配置されているので、他のチップインダクタと干渉したり磁界結合したりすることを抑えることができる。これにより、高周波信号経路の信号の漏れによる減衰特性の劣化を抑えることができる。

[0019] また、一方の前記チップインダクタのコイル軸は、他方の前記チップインダクタのコイル軸に対して直交していてもよい。

[0020] このように一方のチップインダクタが他方のチップインダクタに対して直交する向きに配置されているので、他のチップインダクタと干渉したり磁界結合したりすることを抑えることができ、高周波信号経路の信号の漏れによる減衰特性の劣化を抑えることができる。

[0021] 前記スイッチ回路部に接続されるバンドパスフィルタをさらに備え、前記バンドパスフィルタは、前記基板の前記他方主面または前記内部に実装されていてもよい。

[0022] この高周波モジュールによれば、複数の周波数帯域における信号の送受信を行うことができる。

[0023] また、前記スイッチ回路部および前記増幅回路部は、前記基板の他方主面に実装され、さらに、前記基板の他方主面から突出する突起電極と、前記スイッチ回路部の側面および前記増幅回路部の側面、ならびに、前記突起電極の側面を覆うように、前記基板の前記他方主面上に形成された第2樹脂封止部と、前記第2樹脂封止部の側面を覆うように形成された第2シールド膜とを備えていてもよい。

[0024] これによれば、突起電極を用いて、高周波信号の入出力またはグランドへの接続を行うことができる。

[0025] また、前記突起電極は、前記他方主面に接する根元部と、前記根元部の反対に位置する先端部とを有し、前記先端部は、前記第2樹脂封止部の表面か

ら露出し、前記根元部の一部は、前記基板の前記他方主面に沿って前記第2樹脂封止部の前記側面から露出し、前記第2シールド膜に接続されていてもよい。

[0026] このように、突起電極を第2シールド膜に接続することで、シールド膜に接続される電極の接地面積を増やし、抵抗値を下げてシールド性能を向上することができる。また、高周波モジュールをマザーボードに実装する場合において、マザーボードから近い位置にて、突起電極をシールド膜に接続することができ、シールド性能を向上することができる。

[0027] また、前記突起電極は、前記他方主面に接する根元部と、前記根元部の反対に位置する先端部とを有し、前記先端部は、前記根元部よりも断面積が大きく、前記第2樹脂封止部の表面から露出してもよい。

[0028] このように、突起電極の先端部の断面積を大きくすることで、高周波モジュールをマザーボードに実装する場合において、マザーボードに対する接続面積を大きくすることができ、実装強度を向上することができる。

発明の効果

[0029] 高周波モジュールにおいて、寄生容量の発生を起因とする増幅回路の特性の劣化を抑制する。

図面の簡単な説明

[0030] [図1]図1は、実施の形態1に係る高周波モジュールの回路構成を示す図である。

[図2A]図2Aは、実施の形態1に係る高周波モジュールを正面から見た場合の断面図である。

[図2B]図2Bは、実施の形態1に係る高周波モジュールを平面視した場合の断面図である。

[図3]図3は、実施の形態2に係る高周波モジュールの回路構成を示す図である。

[図4]図4は、実施の形態2に係る高周波モジュールを平面視した場合の断面図である。

[図5]図5は、実施の形態3に係る高周波モジュールを正面から見た場合の断面図である。

[図6]図6は、実施の形態4に係る高周波モジュールを正面から見た場合の断面図である。

発明を実施するための形態

[0031] 以下、図面を参照しながら、本発明の実施の形態に係る高周波モジュールについて説明する。なお、以下で説明する実施の形態は、いずれも本発明の好ましい一具体例を示すものである。以下の実施の形態で示される数値、形状、材料、構成要素、構成要素の配置位置及び接続形態、製造工程、及び、製造工程の順序などは、一例であり、本発明を限定する主旨ではない。また、以下の実施の形態における構成要素のうち、最上位概念を示す独立請求項に記載されていない構成要素については、任意の構成要素として説明される。また、図面に示される構成要素の大きさまたは大きさの比は、必ずしも厳密ではない。また、各図において、実質的に同一の構成に対しては同一の符号を付しており、重複する説明は省略または簡略化する。

[0032] (実施の形態1)

[1-1. 高周波モジュールの構成]

まず、実施の形態1に係る高周波モジュール1の回路構成について説明する。

[0033] 図1は、高周波モジュール1の回路構成を示す図である。

[0034] 高周波モジュール1は、高周波信号を増幅して伝送する回路モジュールである。高周波モジュール1のアンテナ端子1aにはアンテナ素子2が接続され、入出力端子1bにはRFIC(RF信号処理回路)7が接続される。なお、図1では、高周波モジュール1とRFIC7とからなる通信装置9が示されている。本実施の形態では、受信回路である高周波モジュール1を例に挙げて説明する。

[0035] 高周波モジュール1は、アンテナ端子1aと入出力端子1bとを結ぶ経路において、アンテナ端子1aから順に、マッチング素子(MN)3a、バン

ドパスフィルタ 70、マッチング素子 (MN) 3b、スイッチ回路部 20、整合回路部 30、増幅回路部 40 および入出力端子 1b が配置されている。マッチング素子 3a は、アンテナ素子 2 とバンドパスフィルタ 70 とのインピーダンス整合をとる素子である。マッチング素子 3b は、バンドパスフィルタ 70 とスイッチ回路部 20 とのインピーダンス整合をとる素子である。

[0036] スイッチ回路部 20 は、第 1 の外部端子 21 と第 2 の外部端子 22 とを有している。整合回路部 30 は、第 1 端子 31 と第 2 端子 32 とを有している。増幅回路部 40 は、第 1 の外部端子 41 と第 2 の外部端子 42 とを有している。

[0037] スイッチ回路部 20 の第 1 の外部端子 21 は、例えば、入力端子であり、マッチング素子 3b に接続されている。第 2 の外部端子 22 は、例えば、出力端子であり、整合回路部 30 の第 1 端子 31 に接続されている。スイッチ回路部 20 は、例えばスイッチ IC (SW) である。

[0038] 整合回路部 30 の第 1 端子 31 は、例えば、入力端子であり、スイッチ回路部 20 の第 2 の外部端子 22 に接続されている。第 2 端子 32 は、例えば、出力端子であり、増幅回路部 40 の第 1 の外部端子 41 に接続されている。整合回路部 30 は、スイッチ回路部 20 と増幅回路部 40 とのインピーダンス整合をとる回路である。整合回路部 30 は、例えばインダクタ (L1) であり、スイッチ回路部 20 と整合回路部 30 と増幅回路部 40 とが直列接続するように、スイッチ回路部 20 と増幅回路部 40 との間に挿入されている。

[0039] 増幅回路部 40 の第 1 の外部端子 41 は、例えば、入力端子であり、整合回路部 30 の第 2 端子 32 に接続されている。第 2 の外部端子 42 は、例えば、出力端子であり、高周波モジュール 1 の入出力端子 1b に接続されている。増幅回路部 40 は、例えばローノイズアンプ (LNA) である。本実施の形態では、スイッチ回路部 20 および増幅回路部 40 は、一体の素子からなる集積回路素子 IC1 によって構成されている。

[0040] 次に、高周波モジュール 1 の実装構造について説明する。

- [0041] 図2Aは、高周波モジュール1を正面から見た場合の断面図である。図2Bは、高周波モジュール1を平面視した場合の断面図であって、具体的には、図2AのI-I線における断面図である。
- [0042] 高周波モジュール1は、図2Aおよび図2Bに示すように、基板10と、基板10の一方主面10aに実装された整合回路部30およびバンドパスフィルタ70と、他方主面10bに実装されたスイッチ回路部20および増幅回路部40とを備えている。なお、図2Aおよび図2Bでは、マッチング素子3a、3bの図示を省略している。また、以降において、基板10の一方主面10aに垂直な方向をZ方向、一方主面10aに平行な所定方向をX方向、Z方向およびX方向の両方に平行な方向をY方向と呼ぶ。
- [0043] 基板10の外周領域11には、他方主面10bから垂直に突出する複数の突起電極80が設けられている。複数の突起電極80の一部は、前述したアンテナ端子1a、および入出力端子1bであり、複数の突起電極80の他の一部は、例えば、グランドに接続される端子である。
- [0044] 基板10の一方主面10a上には、整合回路部30とバンドパスフィルタ70とを覆うように、第1樹脂封止部51が設けられている。また、基板10の側面10c、第1樹脂封止部51の側面51cおよび天面51aを覆うように第1シールド膜61が設けられている。
- [0045] 基板10の他方主面10b上には、集積回路素子1C1の側面（スイッチ回路部20の側面20cおよび増幅回路部40の側面40c）および突起電極80の側面80cを覆うように、第2樹脂封止部52が設けられている。また、第2樹脂封止部52の側面52cを覆うように第2シールド膜62が設けられている。
- [0046] 第1樹脂封止部51および第2樹脂封止部52の材料としては、例えば、エポキシ樹脂などの熱硬化性樹脂材料が用いられる。第1シールド膜61および第2シールド膜62の材料としては、例えば、Cu、Ag、Niなどが用いられる。
- [0047] バンドパスフィルタ70は、500MHz以上6GHz以下の周波数帯域

のうち、任意の周波数帯域で使用されるSAW(Surface Acoustic Wave)フィルタである。バンドパスフィルタ70は直方体状であり、底面には複数の信号端子が設けられている(図示省略)。なお、バンドパスフィルタ70は、SAWフィルタに限られず、BAW(Bulk Acoustic Wave)フィルタであってもよい。

[0048] バンドパスフィルタ70がSAWフィルタの場合、基板とIDT(Interdigital transducer)電極とを備えている。

[0049] 基板は、少なくとも表面に圧電性を有する基板である。例えば、表面に圧電薄膜を備え、当該圧電薄膜と音速の異なる膜、および支持基板などの積層体で構成されていてもよい。また、基板は、基板全体に圧電性を有していてもよい。この場合、基板は、圧電体層一層からなる圧電基板である。

[0050] スイッチ回路部20および増幅回路部40は、前述したように集積回路素子IC1に含まれる部分である。集積回路素子IC1は、直方体状であり、底面が基板10の他方主面10bに実装され、天面が第2樹脂封止部52の表面52aから露出している。具体的には、スイッチ回路部20は、第1の外部端子21および第2の外部端子22を介して基板10の他方主面10bに、はんだ接合されている。増幅回路部40は、第1の外部端子41および第2の外部端子42を介して基板10の他方主面10bに、はんだ接合されている。

[0051] 整合回路部30は、例えば、シート積層法、印刷積層法または薄膜形成法を含む方法で製造されるチップインダクタである。整合回路部30は、外形が直方体状であり、両端または底面に、一対の端子である第1端子31および第2端子32が設けられている。整合回路部30は、第1端子31および第2端子32を介して基板10の一方主面10aに、はんだ接合されている。本実施の形態では、整合回路部30として、品質係数Qが高いインダクタが採用されている。

[0052] チップインダクタである整合回路部30は、インダクタのコイル軸a1が基板10の一方主面10aと平行(本実施の形態ではX方向と平行)となる

ように、基板 10 に実装されている。また、整合回路部 30 は、第 1 シールド膜 61 に接近しすぎないように、基板 10 の中央領域 12 に配置されている。また、インダクタである整合回路部 30 は、第 1 シールド膜 61 との距離が離れ、磁束の遮りが少ない構造となっている。

[0053] なお、中央領域 12 は、突起電極 80 が設けられている領域を外周領域 11 とした場合、外周領域 11 の内側に位置する領域である。また、中央領域 12 は、基板 10 の一方主面 10a の中心を含み、一方主面 10a の面積の 50% を占める領域である。また、中央領域 12 は、平面視で集積回路素子 IC1 と重なる領域であってもよい。

[0054] 基板 10 は、複数のセラミック基材が積層されることで形成される基材部 15 と、基板 10 の内部に設けられた第 1 内部導体 16、第 2 内部導体 17 および複数のグランド電極 18 とを有する。第 1 内部導体 16、第 2 内部導体 17 およびグランド電極 18 のそれぞれは、例えば、銅を主成分とする金属材料によって形成されている。第 1 内部導体 16 および第 2 内部導体 17 のそれぞれは、面内導体と層間導体とによって形成されている。グランド電極 18 は、面内導体によって形成され、第 1 シールド膜 61 に接続されている。

[0055] スイッチ回路部 20 の第 2 の外部端子 22 は、第 1 内部導体 16 を介して整合回路部 30 の第 1 端子 31 に接続されている。整合回路部 30 の第 2 端子 32 は、第 2 内部導体 17 を介して増幅回路部 40 の第 1 の外部端子 41 に接続されている。この接続によって、スイッチ回路部 20 と整合回路部 30 と増幅回路部 40 とが順に直列接続されている。

[0056] 本実施の形態の高周波モジュール 1 は、基板 10 の一方主面 10a に垂直な方向（Z 方向）から見た場合に、整合回路部 30 の第 1 端子 31 とスイッチ回路部 20 の第 2 の外部端子 22 とが重なっている。そして、第 1 端子 31 と第 2 の外部端子 22 とが、第 1 内部導体 16 を介して最短距離で接続されている。第 1 端子 31 および第 2 の外部端子 22 を最短距離で繋ぐように配線することで、第 1 端子 31 および第 2 の外部端子 22 を繋ぐ配線と、他

の配線（例えばグラウンド電極 18）との間で寄生容量が発生しにくい構造となっている。

[0057] また、高周波モジュール 1 は、基板 10 の一方主面 10a に垂直な方向から見た場合に、整合回路部 30 の第 2 端子 32 と増幅回路部 40 の第 1 の外部端子 41 とが重なっている。そして、第 2 端子 32 と第 1 の外部端子 41 とが、第 2 内部導体 17 を介して最短距離で接続されている。第 2 端子 32 および第 1 の外部端子 41 を最短距離で繋ぐように配線することで、第 2 端子 32 および第 1 の外部端子 41 を繋ぐ配線と、他の配線（例えばグラウンド電極 18）との間で寄生容量が発生しにくい構造となっている。

[0058] また、高周波モジュール 1 は、基板 10 の一方主面 10a に垂直な方向から見た場合に、整合回路部 30 の第 1 端子 31 および第 2 端子 32 は、グラウンド電極 18 に重ならないように配置されている。この配置によって、第 1 端子 31 または第 2 端子 32 と、グラウンド電極 18 との間に寄生容量が発生しにくい構造となっている。また、基板 10 内の第 1 内部導体 16、第 2 内部導体 17 およびグラウンド電極 18 のそれぞれは、互いに重ならないように配置されている。この配置によって、第 1 内部導体 16 または第 2 内部導体 17 と、グラウンド電極 18 との間に、寄生容量が発生しにくい構造となっている。

[0059] [1-2. 高周波モジュールの製造方法]

次に、高周波モジュール 1 の製造方法について説明する。

[0060] まず、スクリーン印刷などを用いた印刷積層法によって、セラミック材料を含むセラミックパターンおよび導電材料を含む内部導体パターンのそれぞれを所定パターンで印刷し、これらのパターンを多層塗り重ねることでベースとなる積層ブロックを形成する。その後、積層ブロックを焼成して基板 10 を形成する。

[0061] 次に、実装機を用いて、基板 10 の一方主面 10a に整合回路部 30 およびバンドパスフィルタ 70 を実装する。また、基板 10 の他方主面 10b に、スイッチ回路部 20 および増幅回路部 40 からなる集積回路素子 IC1 を

実装する。また、複数の突起電極 80 を形成するため、他方主面 10 b に柱状の銅部材をはんだ接合する。その後、整合回路部 30 およびバンドパスフィルタ 70 を覆うように、基板 10 の一方主面 10 a 上に樹脂を塗布し、第 1 樹脂封止部 51 を形成する。また、集積回路素子 IC1 および突起電極 80 を覆うように、基板 10 の他方主面 10 b 上に樹脂を塗布し、第 2 樹脂封止部 52 を形成する。次に、他方主面 10 b に垂直な方向（Z 方向）において、第 2 樹脂封止部 52 の一部、集積回路素子 IC1 の一部、および、突起電極 80 の一部を除去し、それぞれの高さを揃える。これらの除去加工によって、第 2 樹脂封止部 52 の表面 52 a に、集積回路素子 IC1 および突起電極 80 を露出させる。次に、基板 10 の側面 10 c、第 1 樹脂封止部 51 の側面 51 c、天面 51 a および第 2 樹脂封止部 52 の側面 52 c にシールド膜（第 1 シールド膜 61 および第 2 シールド膜 62）を同時形成する。これらの工程によって、高周波モジュール 1 を作製する。

[0062] [1-3. 効果等]

本実施の形態に係る高周波モジュール 1 は、基板 10 と、基板 10 の一方主面 10 a に実装された整合回路部 30 と、基板 10 の他方主面 10 b に実装された、スイッチ回路部 20 および増幅回路部 40 とを備えている。増幅回路部 40 は、第 1 の外部端子 41 を有し、第 1 の外部端子 41 を介して基板 10 に実装されている。スイッチ回路部 20 は、第 2 の外部端子 22 を有し、第 2 の外部端子 22 を介して基板 10 に実装されている。整合回路部 30 は、互いに異なる第 1 端子 31 および第 2 端子 32 を有し、第 1 端子 31 および第 2 端子 32 を介して基板 10 に実装されている。第 1 端子 31 は、スイッチ回路部 20 の第 2 の外部端子 22 に電氣的に接続され、第 2 端子 32 は、増幅回路部 40 の第 1 の外部端子 41 に電氣的に接続されている。そして、基板 10 の一方主面 10 a に垂直な方向から見た場合に、第 1 端子 31 とスイッチ回路部 20 の第 2 の外部端子 22 とが重なっており、また、第 2 端子 32 と増幅回路部 40 の第 1 の外部端子 41 とが重なっている。

[0063] このような端子の配置により、第 1 端子 31 と第 2 の外部端子 22 とを最

短距離の配線で接続することができる。そのため、第1端子31および第2の外部端子22を繋ぐ配線と、他の配線（例えばグラウンド電極18）との間に寄生容量が発生しにくい。また、第2端子32と第1の外部端子41とを最短距離の配線で接続することができる。そのため、第2端子32および第1の外部端子41を繋ぐ配線と、他の配線（例えばグラウンド電極18）との間に寄生容量が発生しにくい。これにより、寄生容量の発生を起因とする増幅回路部40のゲイン特性の劣化を抑制することができる。

[0064] なお、第1端子31と第2の外部端子22、および、第2端子32と第1の外部端子41は、必ずしも両方が重なっている必要はなく、少なくとも一方が重なっていればよい。すなわち、高周波モジュール1は、基板10の一方主面10aに垂直な方向から見た場合に、第1端子31と第2の外部端子22とが重なっている状態、および、第2端子32と第1の外部端子41とが重なっている状態のうち少なくとも一方の状態を有していればよい。

[0065] また、第2端子32の一部が第1の外部端子41に重なっていてもよいし、第2端子32の全部が第1の外部端子41に重なっていてもよい。図2Bでは、第1の外部端子41が、第2端子32よりも大きな面積となっているが、第2端子32よりも小さな面積であってもよい。第1端子31および第2の外部端子22の関係についても上記と同様である。

[0066] （実施の形態2）

次に、実施の形態2に係る高周波モジュール1Aについて説明する。実施の形態2に係る高周波モジュール1Aは、3つの高周波信号経路を有している。

[0067] 図3は、高周波モジュール1Aの回路構成を示す図である。

[0068] 図3に示すように、高周波モジュール1Aは、アンテナ端子1aと3つの入出力端子1bとを有している。アンテナ端子1aにはアンテナ素子2が接続され、3つの入出力端子1bにはRFIC7が接続されている。

[0069] 高周波モジュール1Aは、アンテナ端子1aと入出力端子1bとを結ぶ経路において、アンテナスイッチ8と、3つの高周波信号経路とを備えている

。アンテナスイッチ 8 は、1 つの共通端子と 3 つの選択端子を有している。各高周波信号経路は、マッチング素子 (MN) 3 a、バンドパスフィルタ 7 0、マッチング素子 (MN) 3 b、スイッチ回路部 2 0、整合回路部 3 0 および増幅回路部 4 0 を備えている。本実施の形態では、各高周波信号経路に対応して集積回路素子 IC 1、IC 2、IC 3 が配置されている。各集積回路素子 IC 1 ~ IC 3 は、スイッチ回路部 2 0 および増幅回路部 4 0 を含んでいる。

[0070] 図 4 は、高周波モジュール 1 A を平面視した場合の断面図である。

[0071] 図 4 に示すように、高周波モジュール 1 A は、基板 1 0 と、基板 1 0 の一方主面 1 0 a に実装された 3 つの整合回路部 3 0 および 3 つのバンドパスフィルタ 7 0 と、他方主面 1 0 b に実装された 3 つの集積回路素子 IC 1 ~ IC 3 とを備えている。また、基板 1 0 の一方主面 1 0 a には、電源回路が設けられている。

[0072] 3 つのバンドパスフィルタ 7 0 のそれぞれは、ミドルバンド、ハイバンド、ウルトラハイバンドの周波数帯域で使用するフィルタである。

[0073] 各集積回路素子 IC 1 ~ IC 3 において、スイッチ回路部 2 0 は、少なくとも第 2 の外部端子 2 2 を介して基板 1 0 の他方主面 1 0 b に、はんだ接合され、増幅回路部 4 0 は、少なくとも第 1 の外部端子 4 1 を介して基板 1 0 の他方主面 1 0 b に、はんだ接合されている。

[0074] 整合回路部 3 0 は、例えば、チップインダクタである。3 つの整合回路部 3 0 のそれぞれは、外形が直方体状であり、両端または底面に、一对の端子である第 1 端子 3 1 および第 2 端子 3 2 が設けられている。整合回路部 3 0 は、第 1 端子 3 1 および第 2 端子 3 2 を介して基板 1 0 の一方主面 1 0 a に、はんだ接合されている。

[0075] 3 つの整合回路部 3 0 のそれぞれは、第 1 シールド膜 6 1 に接近しすぎないように、基板 1 0 の中央領域 1 2 に配置されている。

[0076] 3 つの整合回路部 3 0 のうち、集積回路素子 IC 1 に接続され、ミドルバンドの高周波信号経路に配置される整合回路部 3 0 は、インダクタのコイル

軸 a 1 が X 方向と平行となるように、基板 1 0 に実装されている。3 つの整合回路部 3 0 のうち、集積回路素子 1 C 2 に接続され、ハイバンドの高周波信号経路に配置される整合回路部 3 0 は、インダクタのコイル軸 a 2 が Y 方向と平行となるように、基板 1 0 に実装されている。3 つの整合回路部 3 0 のうち、集積回路素子 1 C 3 に接続され、ウルトラハイバンドの高周波信号経路に配置される整合回路部 3 0 は、インダクタのコイル軸 a 3 が X 方向と平行となるように、基板 1 0 に実装されている。

[0077] すなわち、3 つの整合回路部 3 0 は、各インダクタのコイル軸 a 1、a 3 とコイル軸 a 2 とが交差（具体的には直交）し、他のインダクタの磁束を遮断しにくいように配置されている。また、コイル軸 a 1、a 3 をそれぞれ有する 2 つの整合回路部 3 0 は、インダクタのコイル軸 a 1 とコイル軸 a 3 とが平行となるようにそれぞれ配置されている。具体的には、コイル軸 a 3 を有する整合回路部 3 0 は、コイル軸 a 3 が、コイル軸 a 1 と同一軸上ではなく Y 方向に離れるように配置され、コイル軸 a 1 を有する整合回路部 3 0 の磁束を遮ることを抑制している。また、本実施の形態では、3 つの整合回路部 3 0 のうち隣り合う 2 つの整合回路部 3 0 のコイル軸が直交している。具体的には、コイル軸 a 1 を有する整合回路部 3 0 とコイル軸 a 2 を有する整合回路部 3 0 とが、互いに隣り合い、かつ、コイル軸 a 1 とコイル軸 a 2 とが直交するように配置されている。また、コイル軸 a 2 を有する整合回路部 3 0 とコイル軸 a 3 を有する整合回路部 3 0 とが、互いに隣り合い、かつ、コイル軸 a 2 とコイル軸 a 3 とが直交するように配置されている。

[0078] このように各整合回路部 3 0 が、他の整合回路部 3 0 の磁束を遮断しにくい向きに配置されているので、他の整合回路部 3 0 と干渉したり、磁界結合したりすることを抑えることができる。これにより、各高周波信号経路の信号の漏れによる減衰特性の劣化を抑えることができる。

[0079] また、本実施の形態の高周波モジュール 1 A は、基板 1 0 の一方主面 1 0 a に垂直な方向から見た場合に、各整合回路部 3 0 の第 1 端子 3 1 と、各スイッチ回路部 2 0 の第 2 の外部端子 2 2 とが重なっている。具体的には、3

つの第1端子31と3つの第2の外部端子22とが、それぞれの第1内部導体を介して最短距離で接続されている。このように、第1端子31および第2の外部端子22を最短距離で繋ぐように配線することで、第1端子31および第2の外部端子22を繋ぐ配線と、他の配線（例えばグランド電極18）との間で寄生容量が発生しにくい構造となっている。

[0080] また、高周波モジュール1Aは、基板10の一方主面10aに垂直な方向から見た場合に、各整合回路部30の第2端子32と、各増幅回路部40の第1の外部端子41とが重なっている。具体的には、3つの第2端子32と3つの第1の外部端子41とが、それぞれの第2内部導体を介して最短距離で接続されている。このように、第2端子32および第1の外部端子41を最短距離で繋ぐように配線することで、第2端子32および第1の外部端子41を繋ぐ配線と、他の配線（例えばグランド電極18）との間で寄生容量が発生しにくい構造となっている。

[0081] これらの構造により、高周波モジュール1Aでは、寄生容量の発生を起因とする増幅回路部40のゲイン特性の劣化を抑制することができる。

[0082] （実施の形態3）

次に、実施の形態3に係る高周波モジュール1Bについて説明する。実施の形態3に係る高周波モジュール1Bは、突起電極80の根元部81が太く、かつ、根元部81が第2シールド膜62に接続されている。

[0083] 図5は、高周波モジュール1Bを正面から見た場合の断面図である。

[0084] 高周波モジュール1Bは、図5に示すように、基板10と、基板10の一方主面10aに実装された整合回路部30と、他方主面10bに実装された集積回路素子1C1とを備えている。基板10の一方主面10aには、複数の実装部品75が、はんだ等の接合部材76を用いて接合されている。

[0085] 高周波モジュール1Bは、複数の突起電極80を有し、そのうちの一部の突起電極80はグランドに接続される電極である。グランドに接続される突起電極80は、図5に示すように、基板10の他方主面10bに接する根元部81と、根元部81の反対に位置する先端部82とを有している。先端部

82は、第2樹脂封止部52の表面52aから露出している。根元部81の一部は、基板10の他方主面10bに沿って第2樹脂封止部52の側面52cから露出し、第2シールド膜62に接続されている。

[0086] 本実施の形態に係る高周波モジュール1Bでは、グラウンドに接続される突起電極80を第2シールド膜62に接続している。これにより、シールド膜に接続される電極の接地面積を増やし、抵抗値を下げることができ、シールド性能を向上することができる。例えば、基板10のグラウンド電極のみを用いてシールド膜に接続する場合の接地面積は $10\mu\text{m}^2$ であるのに対し、高周波モジュール1Bのように突起電極80を用いてシールド膜に接続する場合は、接地面積を $100\mu\text{m}^2$ （10倍）にすることができる。

[0087] また、高周波モジュール1Bをマザーボード（他の実装基板）に実装する場合において、マザーボードから近い位置にて、突起電極80を第2シールド膜62に接続することができ、シールド性能を向上することができる。

[0088] 次に、高周波モジュール1Bの製造方法について説明する。

[0089] まず、未焼成の基板10の他方主面10b側に、第1の拘束層と第2の拘束層とを順に積層し、未焼成の複合積層体を形成する。第1および第2の拘束層のそれぞれは、基板10の焼成温度では実質的に焼結しない材料を含む基材と、基板10の焼成温度以下の温度で焼結する金属材料を含む突起電極用パターンとで構成されている。具体的には、第1の拘束層には、根元部81に対応する形状の突起電極パターンが、第1の拘束層の基材を貫通するように形成されている。第2の拘束層には、先端部82に対応する形状の突起電極用パターンが、第2の拘束層の基材を貫通するように形成されている。

[0090] 次に、上記複合積層体を基板10の焼成温度で焼成する。この焼成により、突起電極用パターンが焼結し、突起電極80が形成される。一方、第1および第2拘束層の基材部分は、焼結していない状態となっている。

[0091] 次に、複合積層体から焼結していない上記基材部分を除去する。この除去加工により、基板10の他方主面10bに、根元部81と先端部82とを有する段状の突起電極80が現し出される。

[0092] 次に、実装機を用いて、基板１０の一方主面１０ａに整合回路部３０、バンドパスフィルタ７０を実装する。また、基板１０の他方主面１０ｂにスイッチ回路部２０および増幅回路部４０を含む集積回路素子１Ｃ１を実装する。その後、整合回路部３０およびバンドパスフィルタ７０を覆うように、基板１０の一方主面１０ａ上に樹脂を塗布し、第１樹脂封止部５１を形成する。また、集積回路素子１Ｃ１および突起電極８０を覆うように、基板１０の他方主面１０ｂ上に樹脂を塗布し、第２樹脂封止部５２を形成する。次に、基板１０の側面１０ｃ、第１樹脂封止部５１の側面５１ｃおよび天面５１ａ、第２樹脂封止部５２の側面５２ｃにシールド膜（第１シールド膜６１および第２シールド膜６２）を同時に形成する。

[0093] 以上の工程により、高周波モジュール１Ｂを作製する。この工程によれば、異形状の突起電極８０を容易に多数形成することができる。

[0094] （実施の形態４）

次に、実施の形態４に係る高周波モジュール１Ｃについて説明する。実施の形態４に係る高周波モジュール１Ｃは、突起電極８０の先端部８２が根元部８１よりも太くなっている。

[0095] 図６は、高周波モジュール１Ｃを正面から見た場合の断面図である。

[0096] 高周波モジュール１Ｃは、図６に示すように、基板１０と、基板１０の一方主面１０ａに実装された整合回路部３０と、他方主面１０ｂに実装された集積回路素子１Ｃ１とを備えている。基板１０の一方主面１０ａには、複数の実装部品７５が、はんだ等の接合部材７６を用いて接合されている。

[0097] 高周波モジュール１Ｃは、複数の突起電極８０を有している。突起電極８０は、図６に示すように、基板１０の他方主面１０ｂに接する根元部８１と、根元部８１の反対に位置する先端部８２とを有している。先端部８２は、根元部８１よりも断面積が大きく、第２樹脂封止部５２の表面５２ａから露出している。断面積は、突起電極８０を突出方向（Ｚ方向）に対して垂直な面で切断した場合の面積である。

[0098] なお、突起電極８０の先端部８２の断面積を根元部８１の断面積より大き

くするには、実施の形態３にて説明した高周波モジュールの製造方法において、内部導体パターンを印刷する際に、突起電極８０の先端部８２の面積を根元部８１の面積よりも大きくすればよい。

[0099] 本実施の形態に係る高周波モジュール１Ｃでは、突起電極８０の先端部８２の段面積が大きいので、高周波モジュール１Ｃをマザーボード（他の実装基板）に実装する場合において、マザーボードに対する接続面積を大きくすることができ、実装強度を向上することができる。

[0100] （その他の実施の形態）

以上、本発明の実施の形態１～４に係る高周波モジュールについて説明したが、本発明は、個々の実施の形態１～４には限定されない。本発明の趣旨を逸脱しない限り、当業者が思いつく各種変形を実施の形態１～４に施したものや、異なる実施の形態における構成要素を組み合わせて構築される形態も、本発明の一つ又は複数の態様の範囲内に含まれてもよい。

[0101] 本実施の形態では、スイッチ回路部２０および増幅回路部４０を一体の集積回路素子１Ｃ１で構成したが、それに限られない。例えば、スイッチ回路部２０および増幅回路部４０は、それぞれ別体の回路素子によって構成されていてもよい。

[0102] 本実施の形態では、スイッチ回路部２０および増幅回路部４０を基板１０の他方主面１０ｂに実装したが、それに限られない。例えば、スイッチ回路部２０および増幅回路部４０は、基板１０の内部に埋設され、基板１０に内蔵されていてもよい。バンドパスフィルタ７０も、基板１０の内部に埋設され、基板１０に内蔵されていてもよい。

[0103] 本実施の形態では、整合回路部３０としてチップインダクタを例示したが、それに限られない。整合回路部３０は、インダクタ素子と他の受動素子とを内蔵する複合部品であってもよい。例えば、整合回路部３０は、スイッチ回路部２０と増幅回路部４０との間に直列挿入されたコンデンサと、シャント接続されたインダクタとによって構成されていてもよい。また、整合回路部３０は、積層インダクタに限られず、巻き線インダクタであってもよい。

[0104] 実施の形態 1 では、高周波モジュール 1 を受信回路として説明したが、それに限らず、高周波モジュール 1 は、送信回路であってもよい。その場合、増幅回路部 40 がパワーアンプ (P A) となり、増幅回路部 40 の出力端子である第 1 の外部端子 41 は、整合回路部 30 の第 2 端子 32 に接続され、整合回路部 30 の第 1 端子 31 は、スイッチ回路部 20 の入力端子である第 2 の外部端子 22 に接続される。

[0105] また、高周波モジュールの製造方法において、積層ブロックは、印刷積層法に限らず、シート積層法で形成されてもよい。

産業上の利用可能性

[0106] 本発明の高周波モジュールは、携帯情報端末などの電子機器の構成部品として広く利用できる。

符号の説明

[0107] 1、1 A、1 B、1 C 高周波モジュール

1 a アンテナ端子

1 b 入出力端子

2 アンテナ素子

3 a、3 b マッチング素子 (M N)

7 R F I C

8 アンテナスイッチ

9 通信装置

10 基板

10 a 一方主面

10 b 他方主面

10 c 側面

11 外周領域

12 中央領域

15 基材部

16 第 1 内部導体

- 1 7 第2内部導体
- 1 8 グランド電極
- 2 0 スイッチ回路部 (SW)
- 2 0 c スイッチ回路部の側面
- 2 1 第1の外部端子
- 2 2 第2の外部端子
- 3 0 整合回路部
- 3 1 第1端子
- 3 2 第2端子
- 4 0 増幅回路部 (LNA)
- 4 0 c 増幅回路部の側面
- 4 1 第1の外部端子
- 4 2 第2の外部端子
- 5 1 第1樹脂封止部
- 5 1 a 第1樹脂封止部の天面
- 5 1 c 第1樹脂封止部の側面
- 5 2 第2樹脂封止部
- 5 2 a 第2樹脂封止部の表面
- 5 2 c 第2樹脂封止部の側面
- 6 1 第1シールド膜
- 6 2 第2シールド膜
- 7 0 バンドパスフィルタ
- 7 5 実装部品
- 7 6 接合部材
- 8 0 突起電極
- 8 0 c 突起電極の側面
- 8 1 根元部
- 8 2 先端部

L 1、L 2、L 3 インダクタ

a 1、a 2、a 3 コイル軸

I C 1、I C 2、I C 3 集積回路素子

請求の範囲

- [請求項1] 基板と、
 前記基板の一方主面に実装された整合回路部と、
 前記基板の他方主面または内部に実装された、スイッチ回路部および増幅回路部と
 を備え、
 前記増幅回路部は、第1の外部端子を有し、前記第1の外部端子を介して前記基板に実装され、
 前記スイッチ回路部は、第2の外部端子を有し、前記第2の外部端子を介して前記基板に実装され、
 前記整合回路部は、互いに異なる第1端子および第2端子を有し、前記第1端子および前記第2端子を介して前記基板に実装され、
 前記第1端子は、前記スイッチ回路部の前記第2の外部端子に電氣的に接続され、
 前記第2端子は、前記増幅回路部の前記第1の外部端子に電氣的に接続され、
 前記基板の前記一方主面に垂直な方向から見た場合に、
 前記第1端子と前記スイッチ回路部の前記第2の外部端子とが重なっている状態、および、前記第2端子と前記増幅回路部の前記第1の外部端子とが重なっている状態のうち少なくとも一方の状態を有している
 高周波モジュール。
- [請求項2] 前記基板の前記一方主面に垂直な方向から見た場合に、
 少なくとも前記第2端子と前記増幅回路部の前記第1の外部端子とが重なっている
 請求項1に記載の高周波モジュール。
- [請求項3] 前記整合回路部を覆うように、前記基板の一方主面上に形成された
 第1樹脂封止部と、

前記基板の側面および前記第 1 樹脂封止部の側面を覆うように形成された第 1 シールド膜と

をさらに備え、

前記基板の前記一方主面に垂直な方向から見た場合に、
前記整合回路部は、前記基板の中央領域に配置されている
請求項 1 または 2 に記載の高周波モジュール。

[請求項4] 前記整合回路部は、チップインダクタであり、前記スイッチ回路部と前記整合回路部と前記増幅回路部とが直列接続するように、前記スイッチ回路部と前記増幅回路部との間に挿入されている

請求項 1 ～ 3 のいずれか 1 項に記載の高周波モジュール。

[請求項5] 前記チップインダクタは、コイル軸が前記基板の前記一方主面と平行となるように、前記基板に実装されている

請求項 4 に記載の高周波モジュール。

[請求項6] 複数の前記チップインダクタを有し、
複数の前記チップインダクタのうち、少なくとも 2 つの前記チップインダクタは、一方の前記チップインダクタのコイル軸と他方の前記チップインダクタのコイル軸とが交差するように、前記基板に実装されている

請求項 4 または 5 に記載の高周波モジュール。

[請求項7] 一方の前記チップインダクタのコイル軸は、他方の前記チップインダクタのコイル軸に対して直交している

請求項 6 に記載の高周波モジュール。

[請求項8] 前記スイッチ回路部に接続されるバンドパスフィルタをさらに備え、

前記バンドパスフィルタは、前記基板の前記他方主面または前記内部に実装されている

請求項 6 または 7 に記載の高周波モジュール。

[請求項9] 前記スイッチ回路部および前記増幅回路部は、前記基板の他方主面

に実装され、

さらに、

前記基板の他方主面から突出する突起電極と、

前記スイッチ回路部の側面および前記増幅回路部の側面、ならびに、前記突起電極の側面を覆うように、前記基板の前記他方主面上に形成された第2樹脂封止部と、

前記第2樹脂封止部の側面を覆うように形成された第2シールド膜と

を備える

請求項1～8のいずれか1項に記載の高周波モジュール。

[請求項10]

前記突起電極は、前記他方主面に接する根元部と、前記根元部の反対に位置する先端部とを有し、

前記先端部は、前記第2樹脂封止部の表面から露出し、

前記根元部の一部は、前記基板の前記他方主面に沿って前記第2樹脂封止部の前記側面から露出し、前記第2シールド膜に接続されている

請求項9に記載の高周波モジュール。

[請求項11]

前記突起電極は、前記他方主面に接する根元部と、前記根元部の反対に位置する先端部とを有し、

前記先端部は、前記根元部よりも断面積が大きく、前記第2樹脂封止部の表面から露出している

請求項9に記載の高周波モジュール。

[図1]

図1

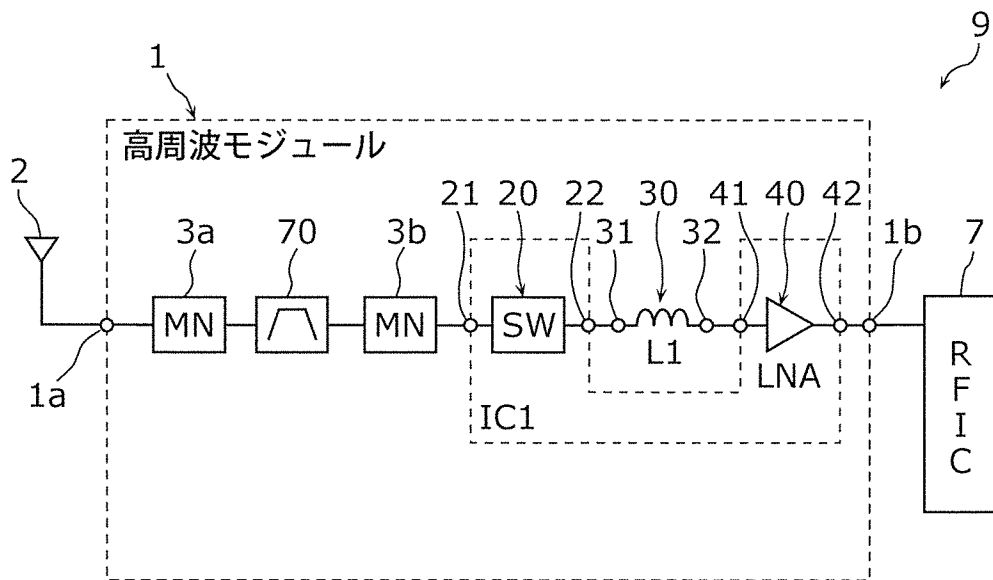
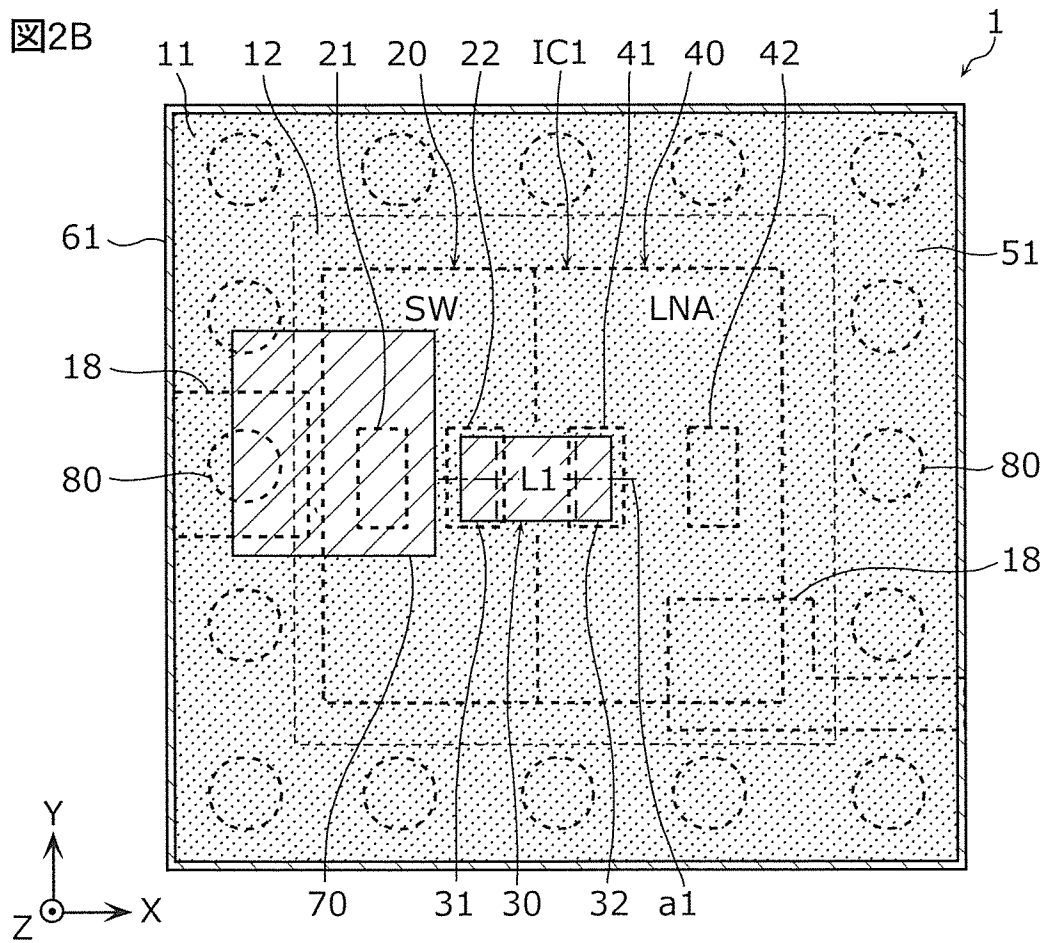
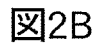


図2A



[図3]

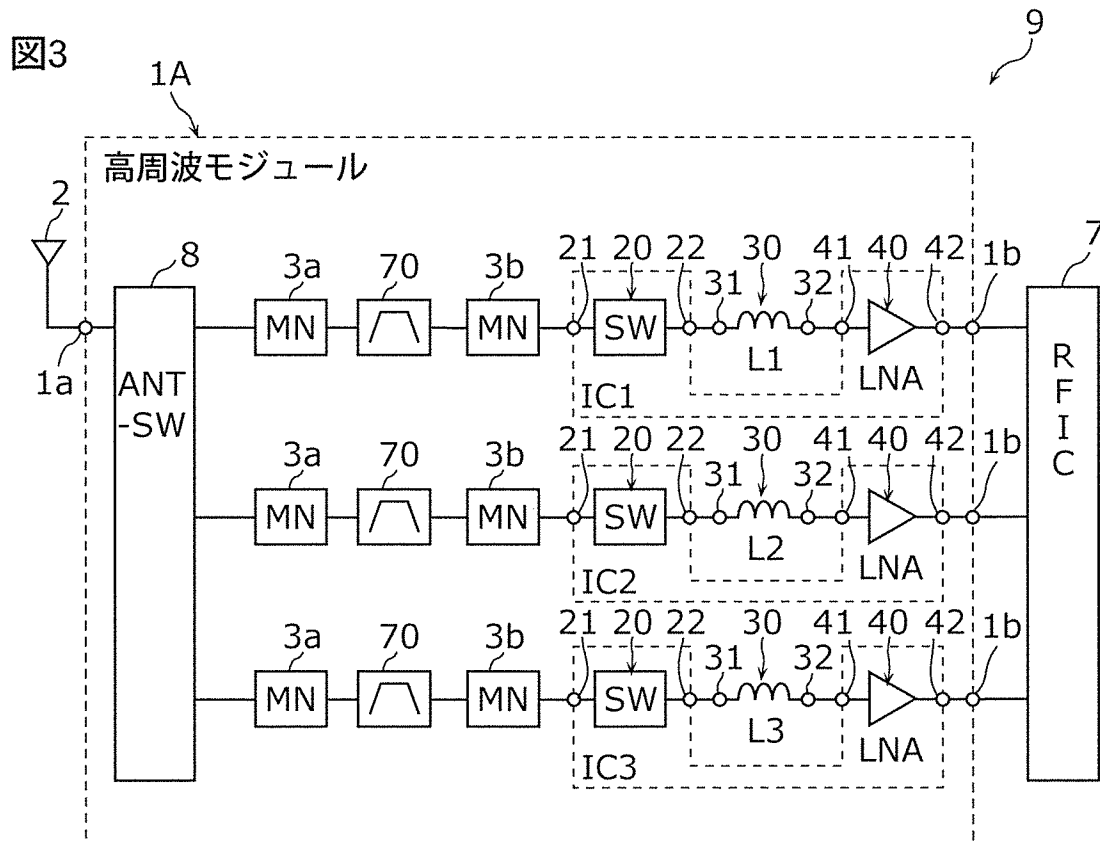
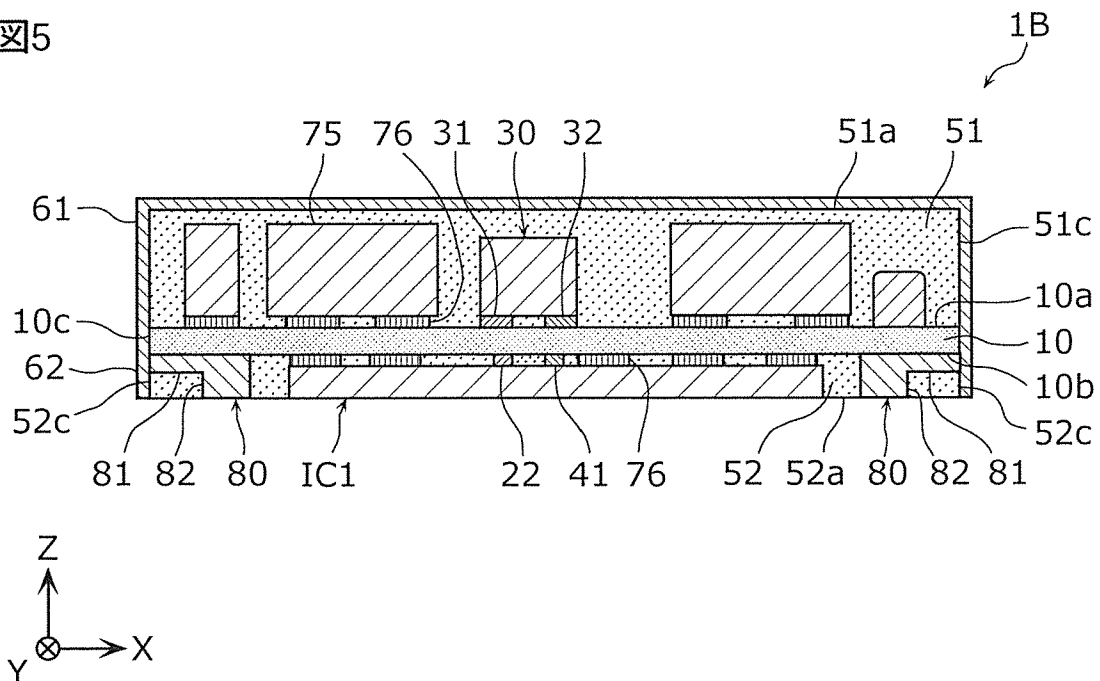
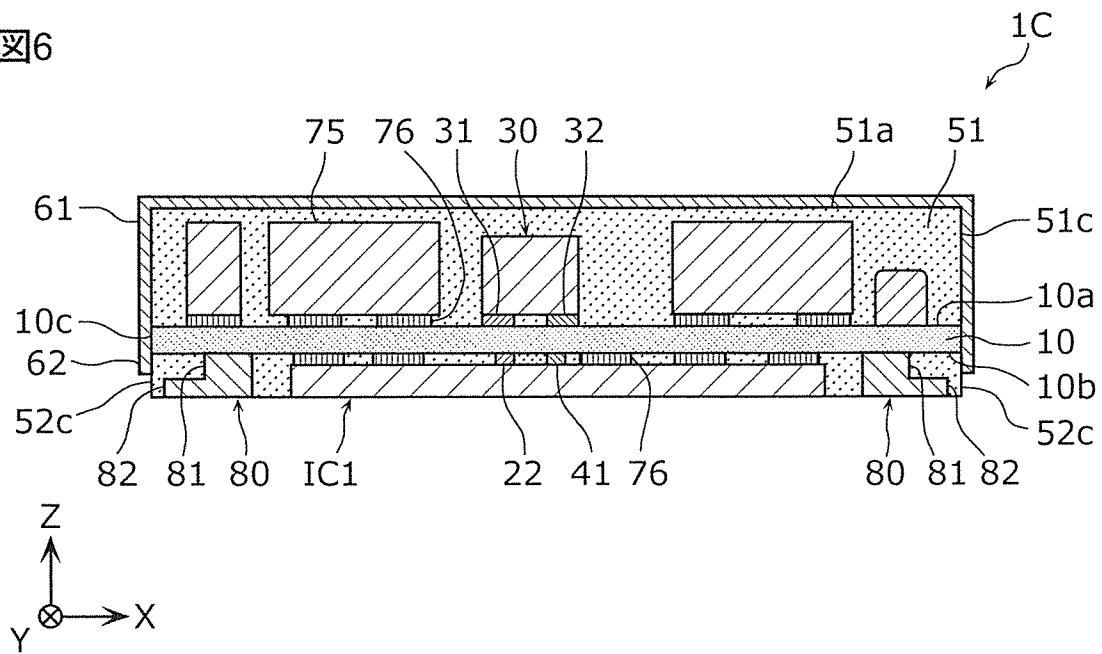


図4



[図6]

图6



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/009052

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L25/00 (2006.01)i, H01L23/12 (2006.01)i, H04B1/40 (2015.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L25/00-25/10, H01L23/12-23/15, H04B1/40

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2018

Registered utility model specifications of Japan 1996-2018

Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-111938 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 08 April 2004, paragraphs [0025], [0029]-[0030], [0071]-[0083], [0089]-[0092], fig. 7, 9 & US 2004/0041256 A1, paragraphs [0037], [0042]-[0043], [0088]-[0102], [0108]-[0112], fig. 7, 9 & EP 1394857 A2 & CN 1489201 A	1-11
A	WO 2014/171225 A1 (MURATA MANUFACTURING CO., LTD.) 23 October 2014, paragraphs [0040]-[0043], fig. 1 & US 2016/0037640 A1, paragraphs [0046]-[0049], fig. 1 & CN 105122443 A	1-11
A	JP 2009-177040 A (FUJI ELECTRIC SYSTEMS CO., LTD.) 06 August 2009, paragraph [0012], fig. 1, 2 (Family: none)	1-11

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
17 April 2018 (17.04.2018)

Date of mailing of the international search report
01 May 2018 (01.05.2018)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L25/00(2006.01)i, H01L23/12(2006.01)i, H04B1/40(2015.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L25/00-25/10, H01L23/12-23/15, H04B1/40

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2004-111938 A（松下電器産業株式会社）2004.04.08, 段落 0025, 0029-0030, 0071-0083, 0089-0092, 図 7, 9 & US 2004/0041256 A1, 段落 0037, 0042-0043, 0088-0102, 0108-0112, 図 7, 9 & EP 1394857 A2 & CN 1489201 A	1-11

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

17.04.2018

国際調査報告の発送日

01.05.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

木下 直哉

5 D

3 8 5 8

電話番号 03-3581-1101 内線 3551

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2014/171225 A1 (株式会社村田製作所) 2014. 10. 23, 段落 0040-0043, 図 1 & US 2016/0037640 A1, 段落 0046-0049, 図 1 & CN 105122443 A	1-11
A	JP 2009-177040 A (富士電機システムズ株式会社) 2009. 08. 06, 段落 0012, 図 1, 2 (ファミリーなし)	1-11