



(12) 发明专利申请

(10) 申请公布号 CN 103280200 A

(43) 申请公布日 2013. 09. 04

(21) 申请号 201310139339. 5

(22) 申请日 2013. 04. 22

(71) 申请人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路 10 号

(72) 发明人 马占洁

(74) 专利代理机构 北京中博世达专利商标代理
有限公司 11274

代理人 申健

(51) Int. Cl.
G09G 3/36 (2006. 01)

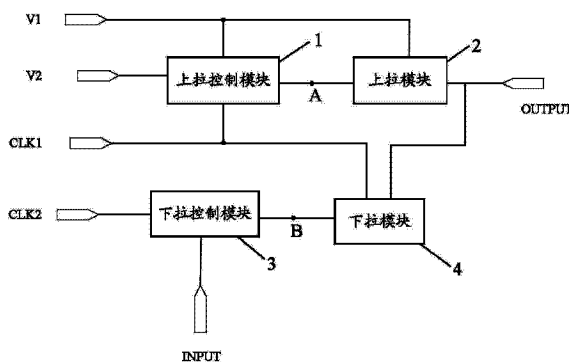
权利要求书1页 说明书5页 附图3页

(54) 发明名称

移位寄存器单元、栅极驱动电路与显示器件

(57) 摘要

本发明实施例提供一种移位寄存器单元、栅极驱动电路与显示器件, 涉及显示驱动电路技术领域, 可以改善移位寄存器单元中节点存在的电位悬浮问题, 从而提高输出信号的稳定性。移位寄存器单元包括上拉控制模块、上拉模块、下拉控制模块和下拉模块。本发明实施例用于实现扫描驱动。



1. 一种移位寄存器单元,其特征在于,包括:上拉控制模块、上拉模块、下拉控制模块和下拉模块;

所述上拉控制模块,连接所述第一时钟信号端、第一电压信号端、第二电压信号端以及上拉控制节点,用于控制所述上拉控制节点的电位;

所述上拉模块,连接所述上拉控制节点、所述第一电压信号端和本级信号输出端,用于当所述上拉控制节点的信号控制所述上拉模块处于开启状态,且所述第一电压信号端的信号为高电平时,将所述本级信号输出端输出的信号上拉为高电位;

所述下拉控制模块,连接第二时钟信号端、信号输入端以及下拉控制节点,用于控制所述下拉控制节点的电位;

所述下拉模块,连接所述下拉控制节点、所述第一时钟信号端和所述本级信号输出端,用于当所述下拉控制节点的信号控制所述下拉模块处于开启状态,且所述第一时钟信号端输出的信号为低电平时,将所述本级信号输出端输出的信号下拉为低电位。

2. 根据权利要求1所述的移位寄存器单元,其特征在于,所述上拉模块包括:

第一晶体管,其栅极连接所述上拉控制节点,第一极连接所述本级信号输出端,第二极连接所述第一电压信号端。

3. 根据权利要求1所述的移位寄存器单元,其特征在于,所述下拉模块包括:

第二晶体管,其栅极连接所述下拉控制节点,第一极连接所述第一时钟信号端,第二极连接所述本级信号输出端;

电容,其并联于所述第二晶体管的栅极和第二极两端。

4. 根据权利要求1所述的移位寄存器单元,其特征在于,所述上拉控制模块包括:

第三晶体管,其栅极和第一极连接所述第二电压信号端,第二极连接所述上拉控制节点;

第四晶体管,其第一极连接所述上拉控制节点,第二极连接所述第一电压信号端;

第五晶体管,其栅极连接所述第一时钟信号端,第一极连接所述下拉控制节点,第二极连接所述第四晶体管的栅极。

5. 根据权利要求1所述的移位寄存器单元,其特征在于,所述下拉控制模块包括:

第六晶体管,其栅极连接所述第二时钟信号端,第一极连接所述下拉控制节点,第二极连接所述信号输入端。

6. 根据权利要求1-5任一所述的移位寄存器单元,其特征在于,所述第一至第六晶体管为P型晶体管或N型晶体管。

7. 一种栅极驱动电路,其特征在于,包括串联的多个如权利要求1-6任一所述的移位寄存器单元;

除最后一级移位寄存器单元外,其余每个移位寄存器单元的本级信号输出端连接与其相邻的下一级移位寄存器单元的信号输入端。

8. 根据权利要求7所述的栅极驱动电路,其特征在于,第一级移位寄存器单元的所述信号输入端输入帧起始信号。

9. 一种显示器件,其特征在于,包括如权利要求7或8所述的栅极驱动电路。

移位寄存器单元、栅极驱动电路与显示器件

技术领域

[0001] 本发明涉及显示驱动电路技术领域，尤其涉及一种移位寄存器单元、栅极驱动电路与显示器件。

背景技术

[0002] 液晶显示器 (Liquid Crystal Display, 简称 LCD) 由于具有低功耗、重量轻、厚度薄、无电磁辐射以及无污染等优点，已广泛地应用于包括手机、平板电脑、电视机、显示器、笔记本电脑、照相机、摄像机、数码相框、导航仪等在内的具有显示功能的产品或部件中。

[0003] 在现有的液晶显示器中，像素阵列可以包括纵横交错的栅极扫描线和数列数据线。其中，为了实现像素阵列的逐行扫描，通常采用栅线驱动电路给像素阵列的栅极扫描线提供扫描信号。

[0004] 现有的栅极驱动电路常采用 GOA (Gate Driver on Array, 阵列基板行驱动) 设计将 TFT (Thin Film Transistor, 薄膜场效应晶体管) 栅极开关电路集成在显示面板的阵列基板上以形成对显示面板的扫描驱动，这种利用 GOA 技术集成在阵列基板上的栅极开关电路也称为 GOA 电路或移位寄存器电路。

[0005] 目前较为常用的一种移位寄存器单元的结构可以如图 1 所示，该移位寄存器单元主要包括 6 个晶体管以及 1 个电容 (6T1C)，以该 6 个晶体管均采用 P 型晶体管为例，这样一种移位寄存器单元可以采用 2 个相位相反的时钟信号 (CLK1、CLK2) 进行控制，时钟信号 CLK1 用于控制晶体管 M1 和 M2 的开启或者关闭，时钟信号 CLK2 用于控制晶体管 M3 的开启或者关闭。当晶体管 M1 处于开启状态时，帧起始信号 STV 可以控制晶体管 M4 和 M5 的开启或者关闭。当晶体管 M2 处于开启状态时，低电压信号 VGL 通过晶体管 M2 打开晶体管 M6，高电压信号 VGH 此时可以通过 M6 输出到移位寄存器单元的输出端 OUTPUT。

[0006] 这样一种移位寄存器单元的不足之处在于，当其工作在不同的阶段时，移位寄存器单元内部的一些关键节点 (如图 1 中的节点 A、B 和 C) 由于上一阶段残留电位的影响将产生电位悬浮现象，从而影响输出端的输出信号，导致输出信号不稳定。

发明内容

[0007] 本发明的实施例提供一种移位寄存器单元、栅极驱动电路与显示器件，可以改善移位寄存器单元中节点存在的电位悬浮问题，从而提高输出信号的稳定性。

[0008] 为达到上述目的，本发明的实施例采用如下技术方案：

[0009] 本发明实施例的一方面，提供一种移位寄存器单元，包括：上拉控制模块、上拉模块、下拉控制模块和下拉模块；

[0010] 所述上拉控制模块，连接所述第一时钟信号端、第一电压信号端、第二电压信号端以及上拉控制节点，用于控制所述上拉控制节点的电位；

[0011] 所述上拉模块，连接所述上拉控制节点、所述第一电压信号端和本级信号输出端，用于当所述上拉控制节点的信号控制所述上拉模块处于开启状态，且所述第一电压信号端

的信号为高电平时,将所述本级信号输出端输出的信号上拉为高电位;

[0012] 所述下拉控制模块,连接第二时钟信号端、信号输入端以及下拉控制节点,用于控制所述下拉控制节点的电位;

[0013] 所述下拉模块,连接所述下拉控制节点、所述第一时钟信号端和所述本级信号输出端,用于当所述下拉控制节点的信号控制所述下拉模块处于开启状态,且所述第一时钟信号端输出的信号为低电平时,将所述本级信号输出端输出的信号下拉为低电位。

[0014] 本发明实施例的又一方面,提供一种栅极驱动电路,所述栅极驱动电路包括串联的多个以上所述的移位寄存器单元;

[0015] 所述的移位寄存器单元除最后一级移位寄存器单元外,其余每个移位寄存器单元的本级信号输出端连接与其相邻的下一级移位寄存器单元的信号输入端。

[0016] 本发明实施例的再一方面,提供一种显示器件,所述显示器件包括以上所述的栅极驱动电路。

[0017] 本发明实施例提供的一种移位寄存器单元、栅极驱动电路与显示器件,可以改善移位寄存器单元中节点存在的电位悬浮问题,从而提高输出信号的稳定性。

附图说明

[0018] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0019] 图1为本发明实施例提供的现有技术的一种移位寄存器单元的电路连接结构示意图;

[0020] 图2为本发明实施例提供的一种移位寄存器单元的结构示意图;

[0021] 图3为本发明实施例提供的一种移位寄存器单元的电路连接结构示意图;

[0022] 图4为本发明实施例提供的一种移位寄存器单元工作时的信号时序;

[0023] 图5为本发明实施例提供的一种栅极驱动电路的结构示意图。

具体实施方式

[0024] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0025] 本发明实施例中采用的晶体管可以为薄膜晶体管或场效应管或其他特性相同的器件,由于这里采用的晶体管的源极、漏极是对称的,所以其源极、漏极是没有区别的。在本发明实施例中,为区分晶体管除栅极之外的两极,将源极称为第一极,漏极称为第二极。按附图中的形态规定晶体管的中间端为栅极、信号输入端为源极、信号输出端为漏极。此外,按照晶体管的特性区分可以将晶体管分为N型和P型,本发明实施例结构中的晶体管均以P型晶体管为例进行说明,它的特点是当栅极电极输入低压时,晶体管开启,可以想到的是在采用N型晶体管实现时是本领域技术人员可在没有做出创造性劳动前提下轻易想到的,因

此也是在本发明的实施例保护范围内的。

[0026] 本发明实施例提供了一种移位寄存器单元,结构如图 2 所示,包括:上拉控制模块 1、上拉模块 2、下拉控制模块 3 和下拉模块 4。

[0027] 其中,上拉控制模块 1,连接第一时钟信号端 CLK1、第一电压信号端 V1、第二电压信号端 V2 以及上拉控制节点 A,用于控制上拉控制节点 A 的电位。

[0028] 上拉模块 2,连接上拉控制节点 A、第一电压信号端 V1 和本级信号输出端 OUTPUT,用于当上拉控制节点 A 的信号控制上拉模块 2 处于开启状态,且第一电压信号端 V1 的信号为高电平时,将本级信号输出端 OUTPUT 输出的信号上拉为高电位。

[0029] 下拉控制模块 3,连接第二时钟信号端 CLK2、信号输入端 INPUT 以及下拉控制节点 B,用于控制下拉控制节点 B 的电位。

[0030] 下拉模块 4,连接下拉控制节点 B、第一时钟信号端 CLK1 和本级信号输出端 OUTPUT,用于当下拉控制节点 B 的信号控制下拉模块 4 处于开启状态,且第一时钟信号端 CLK1 输出的信号为低电平时,将本级信号输出端 OUTPUT 输出的信号下拉为低电位。

[0031] 本发明实施例提供了一种移位寄存器单元,可以改善移位寄存器单元中某些关键节点存在的电位悬浮问题,从而提高输出信号的稳定性。

[0032] 需要说明的是,在本发明实施例中,第一电压信号端 V1 可以输入高电压 VGH,第二电压信号端 V2 可以输入低电压 VGL。

[0033] 进一步地,如图 3 所示,上拉模块 2 可以包括:

[0034] 第一晶体管 M1,其栅极连接上拉控制节点 A,第一极连接本级信号输出端 OUTPUT,第二极连接第一电压信号端 V1,这样可以通过上拉控制节点 A 的电位控制第一晶体管 M1 的开启或者关闭,当上拉控制节点 A 为低电位时,第一晶体管 M1 开启,此时第一电压信号 V1 就可以通过第一晶体管 M1 将本级信号输出端 OUTPUT 的信号上拉为高电位。

[0035] 进一步地,下拉模块 4 可以包括:

[0036] 第二晶体管 M2,其栅极连接下拉控制节点 B,第一极连接第一时钟信号端 CLK1,第二极连接本级信号输出端 OUTPUT。

[0037] 电容 C,其并联于第二晶体管 M2 的栅极和第二极两端。

[0038] 这种结构可以通过控制下拉控制节点 B 的电位来控制第二晶体管 M2 的开启或者关闭,当下拉控制节点 B 为低电位时,第二晶体管 M2 开启,此时第一时钟信号端 CLK1 的信号就可以通过第二晶体管 M2 输入到本级信号输出端 OUTPUT。

[0039] 电容 C 可以储存下拉控制节点 B 的电位,从而控制下一阶段第二晶体管 M2 的开启或者关闭。

[0040] 再进一步地,上拉控制模块 1 可以包括:

[0041] 第三晶体管 M3,其栅极和第一极连接第二电压信号端 V2,第二极连接上拉控制节点 A。

[0042] 第四晶体管 M4,其第一极连接上拉控制节点 A,第二极连接第一电压信号端 V1;

[0043] 第五晶体管 M5,其栅极连接第一时钟信号端 CLK1,第一极连接下拉控制节点 B,第二极连接第四晶体管 M4 的栅极。

[0044] 在这一结构的下拉控制模块 3 中,第一时钟信号端 CLK1 的信号控制第五晶体管 M5 的开启或者关闭,而第五晶体管 M5 的漏极与第四晶体管 M4 的栅极相连接,同时第三晶体管

M3 和第四晶体管 M4 构成反相器,此三个晶体管可以控制上拉控制节点 A 的电位,从而控制第一晶体管 M1 的开启或者关闭,进而控制第一电压信号端 V1 的高压信号输入到输出信号端 OUTPUT。

[0045] 更进一步地,下拉控制模块 3 可以包括:

[0046] 第六晶体管 M6,其栅极连接第二时钟信号端 CLK2,第一极连接下拉控制节点 B,第二极连接信号输入端 INPUT;此种结构可以通过控制第二时钟信号端 CLK2 和信号输入端 INPUT 的信号来控制下拉控制节点 B 的电位,从而控制第二晶体管 M2 的开启或者关闭,进而控制第一时钟信号端 CLK1 的信号输入到信号输出端 OUTPUT。

[0047] 本发明实施例提供的一种移位寄存器单元、栅极驱动电路与显示器件,可以改善移位寄存器单元中某些关键节点存在的电位悬浮问题,从而提高输出信号的稳定性。

[0048] 在如图 3 所示的移位寄存器单元内,包括 6 个 P 型晶体管和 1 个电容 C(6T1C),这样一种结构的移位寄存器单元使用的元器件数量较少,便于设计和制造。这样一种移位寄存器单元工作时的信号时序可以如图 4 所示,其中,第一时钟信号 CLK1 和第二时钟信号 CLK2 的周期相同,相位相反,以下分四个时间段对本发明实施例提供的移位寄存器单元的工作原理进行详细说明。在本发明实施例中,第一电压信号端 V1 可以输入高电平 VGH,第二电压信号端 V2 可以输入低电平 VGL,信号输入端 INPUT 可以输入帧起始信号 STV。

[0049] 第一时间段 t1:第二时钟信号 CLK2 和帧起始信号 STV 为低电平(开启信号),使得第六晶体管 M6 打开,帧起始信号 STV 将通过第六晶体管 M6 输入到下拉控制节点 B,并且通过电容 C 进行保存。此时由于第一时钟信号 CLK1 为高电平(关闭信号),第五晶体管 M5 关闭,第五晶体管 M5 的漏极连接第四晶体管 M4 的栅极,则第四晶体管 M4 关闭。

[0050] 在由第三晶体管 M3 和第四晶体管 M4 构成的反相器中,由于第四晶体管 M4 处于关闭状态,这样反相器输出端上拉控制节点 A 的电位为低电平 $VGL-V_{TH}$ (V_{TH} 是第四晶体管 M4 的阈值电压)的低压开启电位,使得第一晶体管 M1 开启,此时高电平 VGH 就可以通过第一晶体管 M1 向移位寄存器单元的信号输出端 OUTPUT 进行输出。

[0051] 第二时间段 t2:第一时钟信号 CLK1 为低电平(开启信号),第二时钟信号 CLK2 和帧起始信号 STV 均为高电平(关闭信号),此时由于上个时钟存储在 下拉控制节点 B 的开启电位将第二晶体管 M2 打开,使得第一时钟信号 CLK1 输入到信号输出端 OUTPUT;同时第一时钟信号 CLK1 将第五晶体管 M5 打开,则下拉控制节点 B 的电压开启信号可以通过第五晶体管 M5 输入到第四晶体管 M4 的栅极,使得第四晶体管 M4 开启,此时高电平 VGH 就可以通过第四晶体管 M4 到达上拉控制节点 A,使得第一晶体管 M1 关闭,这样可以保证信号输出端 OUTPUT 的信号稳定。

[0052] 第三时间段 t3:第一时钟信号 CLK1 和帧起始信号 STV 均为高电平(关闭信号),第二时钟信号 CLK2 为低电平(开启信号),使得第六晶体管 M6 开启,下拉控制节点 B 的电位此时为高电平的帧起始信号 STV,使得第二晶体管 M2 处于关闭状态,并且下拉控制节点 B 的电位通过电容 C 进行保存。同时由于第一时钟信号 CLK1 也为高电平(关闭信号),使得第五晶体管 M5 关闭,从而使得反相器输出端上拉控制节点 A 的电位为低电平 $VGL-V_{TH}$ 的低压开启信号,使得第一晶体管 M1 再次处于开启状态,此时高电平 VGH 就可以通过第一晶体管 M1 向移位寄存器单元的信号输出端 OUTPUT 进行输出。

[0053] 第四时间段 t4:第二时钟信号 CLK2 和帧起始信号 STV 为高电平,第一时钟信号

CLK1 为低电平,使得第五晶体管 M5 开启,上一阶段保存在下拉控制节点 B 的高电平此时可以通过第五晶体管 M5 输入到第四晶体管 M4 的栅极,使得第四晶体管 M4 关闭,此时反相器输出端上拉控制节点 A 的电位还保持上个阶段的特性,即输出低电平 $V_{GL}-V_{TH}$ 的低压开启信号,从而使得第一晶体管 M1 开启,此时高电平 V_{GH} 就可以通过第一晶体管 M1 向移位寄存器单元信号的输出端 OUTPUT 进行输出。

[0054] 本发明实施例提供的移位寄存器单元通过以上四个阶段的信号反馈并没有出现节点的电位悬浮现象,从而避免了输出信号的不稳定性。

[0055] 需要说明的是,在本发明实施例所提供的移位寄存器单元中,是以第一至第六晶体管均采用 P 型晶体管为例进行的说明。这样一种移位寄存器单元工作时的信号时序可以如图 4 所示,具体的,以第 n 级移位寄存器单元为例,在第一时间段 t1 内,信号输入端 INPUT 输入低电平的帧起始信号 STV,第一时钟信号 CLK1 此时为高电平,第二时钟信号 CLK2 为低电平,本级信号输出端 OUTPUT 输出的信号 G_n 为高电平;在第二时间段 t2 内,STV 信号和 CLK2 信号均为高电平,CLK1 信号为低电平,此时本级信号输出端 OUTPUT 输出的信号 G_n 为低电平,完成对本级移位寄存器单元;在第三时间段 t3 内,STV 信号和 CLK1 信号均为高电平,CLK2 信号为低电平,本级信号输出端 OUTPUT 输出的信号 G_n 在此阶段为高电平,下一级移位寄存器单元的信号输出端 OUTPUT 输出的信号 G_{n+1} 在此阶段为低电平,从而实现了栅极驱动信号的时序扫描;在第三时间段 t4 内,STV 信号和 CLK2 信号均为高电平,CLK1 信号为低电平,本级信号输出端 OUTPUT 输出的信号 G_n 为高电平。

[0056] 当第一至第六晶体管均采用 N 型晶体管时,通过将帧起始信号 STV 以及时钟信号 CLK1 和 CLK2 分别进行反相处理,同样可以实现上述功能,具体的驱动原理可以参照上述各个时间段的描述,此处不再赘述。

[0057] 本发明实施例提供了一种栅极驱动电路,如图 5 所示,包括串联的多个移位寄存器单元,除最后一级移位寄存器单元外,其余每一级的移位寄存器单元 SR_n 的本级信号输出端 OUTPUT 连接与其相邻的下一级移位寄存器单元 SR_{n+1} 的信号输入端 INPUT。

[0058] 在如图 5 所示的栅极驱动电路中,第一级移位寄存器单元 SR_0 的信号输入端 INPUT 输入帧起始信号 STV。

[0059] 本发明实施例提供了一种栅极驱动电路,包括移位寄存器单元,可以改善移位寄存器单元中某些关键节点存在的电位悬浮问题,从而提高输出信号的稳定性。

[0060] 本发明实施例还提供一种显示器件,可以包括如上所述的栅极驱动电路。

[0061] 其中,栅极驱动电路所包括的移位寄存器单元的结构已在前述实施例中做了详细的描述,此处不做赘述。

[0062] 本发明实施例提供的显示器件,包括栅极驱动电路,该栅极驱动电路又包括移位寄存器单元,可以改善移位寄存器单元中某些关键节点存在的电位悬浮问题,从而提高了输出信号的稳定性。

[0063] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应以所述权利要求的保护范围为准。

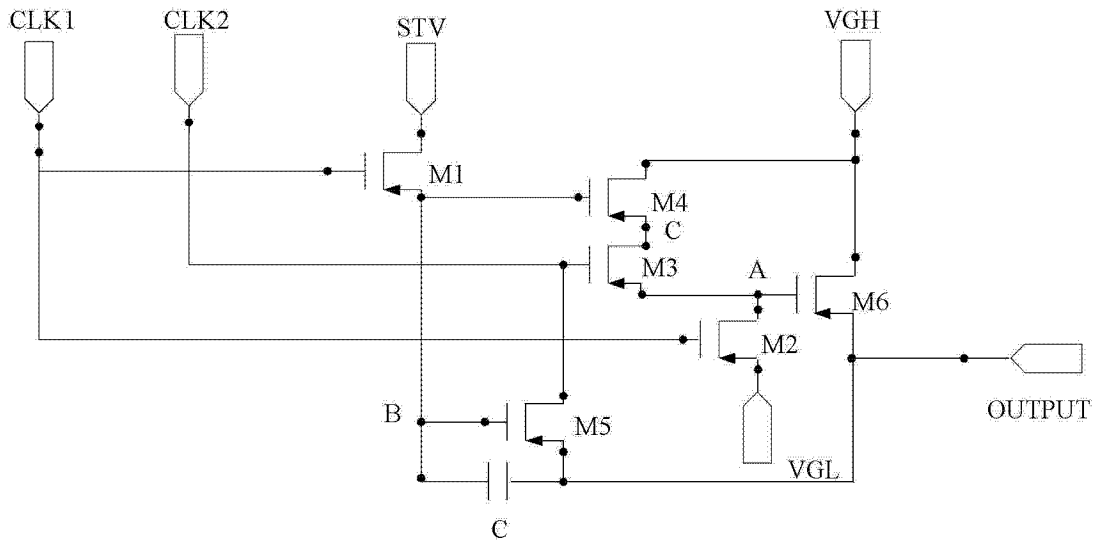


图 1

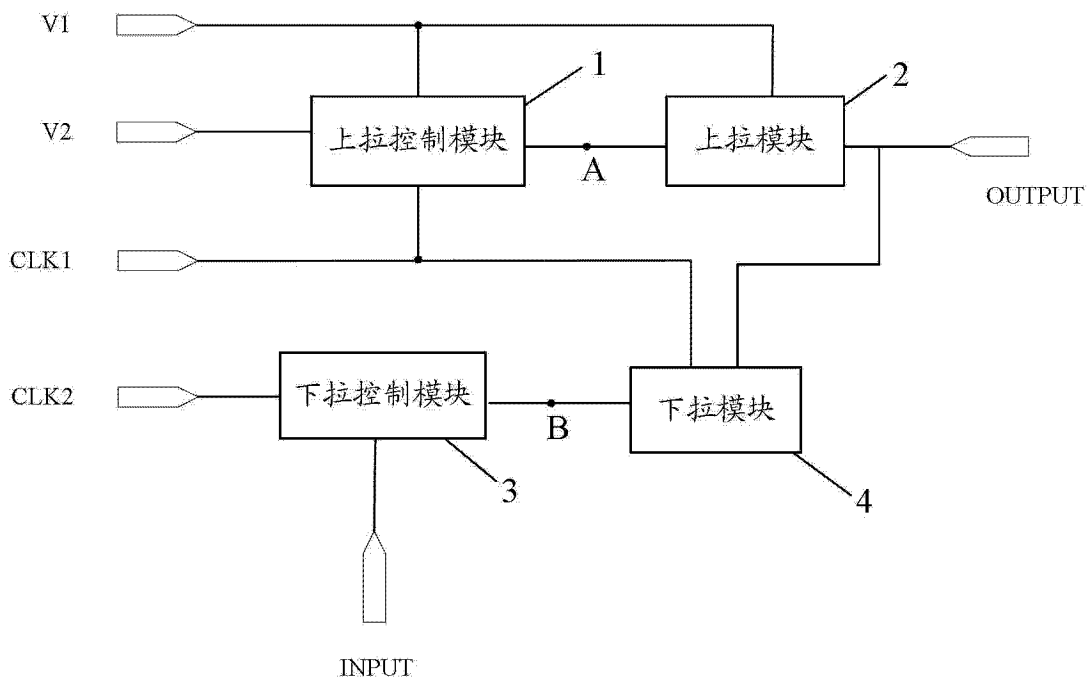


图 2

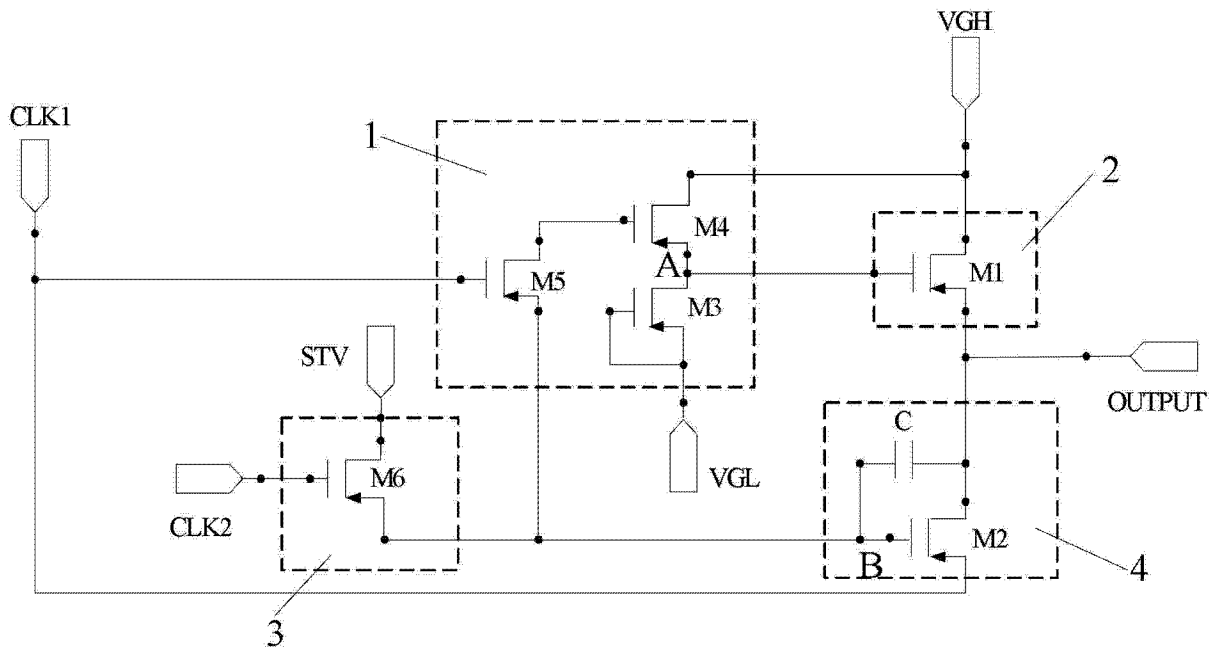


图 3

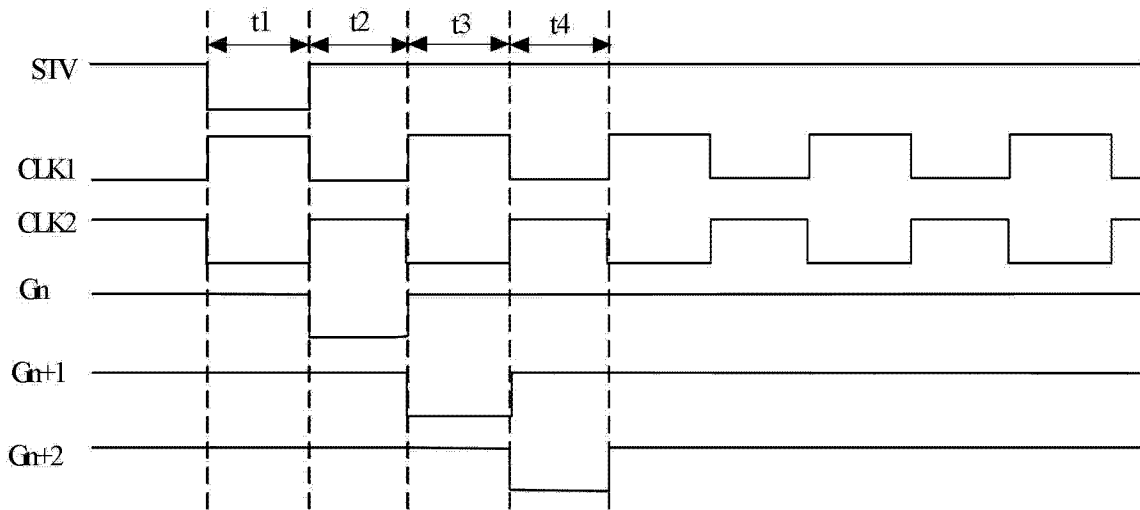


图 4

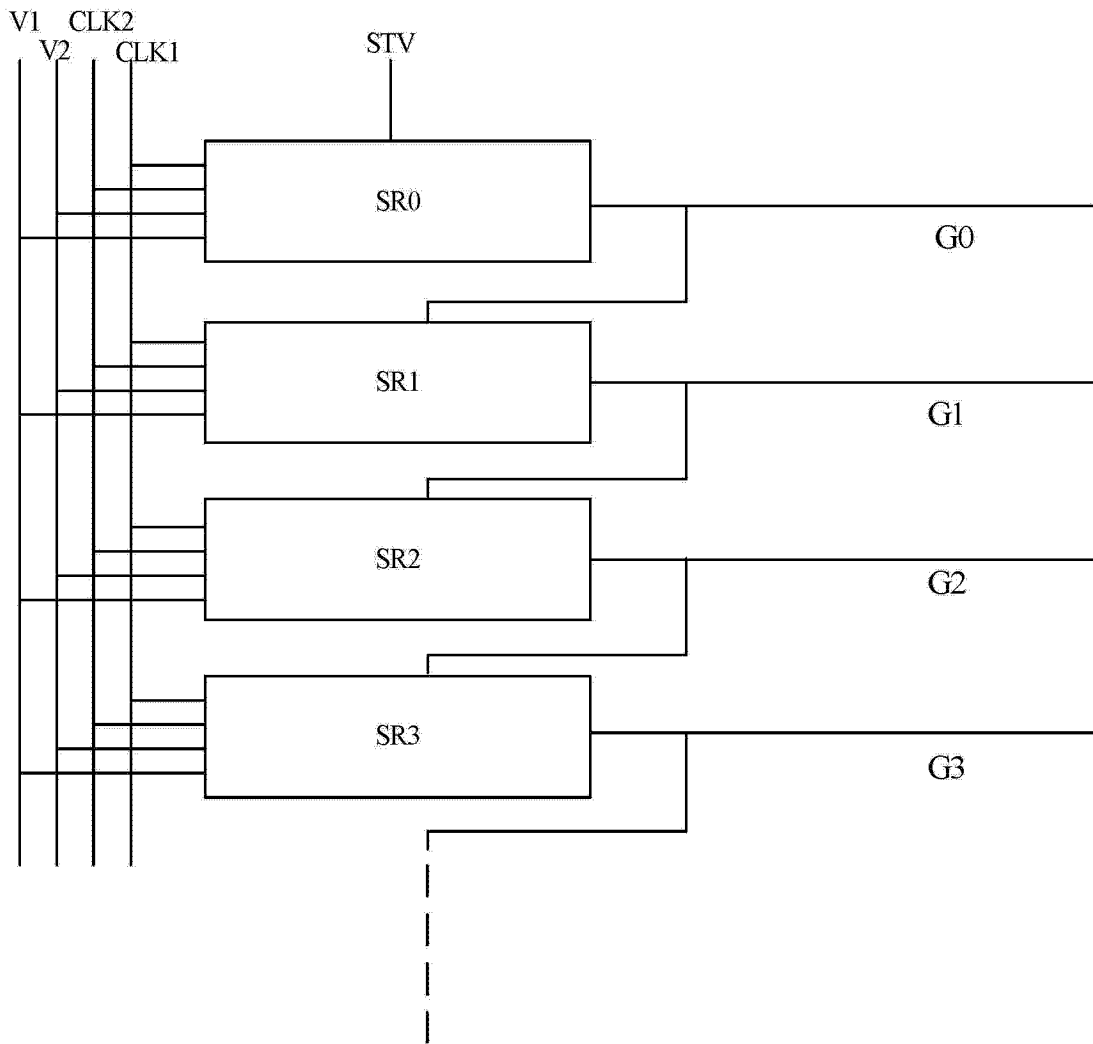


图 5