

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2024 年 12 月 12 日 (12.12.2024)



(10) 国际公布号
WO 2024/251239 A1

(51) 国际专利分类号:
H10B 80/00 (2023.01) **H10B 63/00** (2023.01)
H10B 12/00 (2023.01)

(21) 国际申请号: PCT/CN2024/097972

(22) 国际申请日: 2024 年 6 月 7 日 (07.06.2024)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202310673218.2 2023年6月7日 (07.06.2023) CN

(71) 申请人: 阿里巴巴 (中国) 有限公司 (ALIBABA (CHINA) CO., LTD.) [CN/CN]; 中国浙江省杭州市滨江区长河街道网商路 699 号 4 号楼 5 楼 508 室, Zhejiang 310052 (CN)。

(72) 发明人: 张喆 (ZHANG, Zhe); 中国北京市朝阳区望京东园四区 6 号楼金辉大厦, Beijing 100102 (CN)。李双辰 (LI, Shuangchen); 美国加利福尼亚州阿尔玛诺大道 525 号, California 94085 (US)。许晗 (XU, Han); 中国北京市朝阳区望京东园四区 6 号楼金辉大厦, Beijing 100102 (CN)。卓有为 (ZHUO, Youwei); 中国北京市朝阳区望京东园四区 6 号楼金辉大厦, Beijing 100102 (CN)。魏学超 (WEI, Xuechao); 中国北京市朝阳区望京东园四区 6 号楼金辉大厦, Beijing 100102 (CN)。牛迪民 (NIU, Dimin); 美国加利福尼亚州阿尔玛诺大道 525 号, California 94085 (US)。郑宏忠

(ZHENG, Hongzhong); 美国加利福尼亚州卡尔顿大道 120 号, California 95032 (US)。

(74) 代理人: 北京合智同创知识产权代理有限公司 (BEIJING HEADSTAY INTELLECTUAL PROPERTY AGENCY); 中国北京市朝阳区安慧里四区 15 号楼院 2 号楼中国五矿大厦三层 313 室, Beijing 100101 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

(54) Title: INTEGRATED CIRCUIT ASSEMBLY, PROCESSOR, AND SYSTEM-ON-CHIP

(54) 发明名称: 集成电路组件、处理器和片上系统

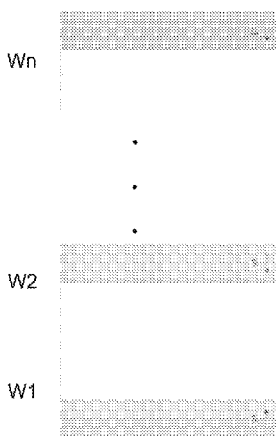


图 2a

(57) Abstract: Embodiments of the present disclosure provide an integrated circuit assembly, a processor, and a system-on-chip. The integrated circuit assembly comprises at least two wafer layers, and each wafer layer comprises a front side and a back side. Among the at least two wafer layers, a first wafer layer and a second wafer layer are stacked in a front side-to-front side manner, the second wafer layer and a third wafer layer are sequentially stacked in a front side-to-back side manner, the second wafer layer undergoes through silicon via processing, redistribution layer processing and hybrid bonding processing, and the at least two wafer layers are connected to each other by means of through silicon via processing, redistribution layer processing and hybrid bonding processing of each layer.

(57) 摘要: 本公开实施例提供一种集成电路组件、处理器和片上系统, 所述集成电路组件包括至少两层晶圆层, 每层晶圆层包括正面与背面, 其中, 在所述至少两层晶圆层中, 第一层晶圆层与第二层晶圆层正面对正面堆叠, 所述第二层晶圆层和所述第三晶圆层依次为正面对背面堆叠, 所述第二层晶圆层经过硅通孔、重布线层以及混合键合处理, 所述至少两层晶圆层通过各层的硅通孔、重布线层以及混合键合进行相互连接。

根据细则4.17的声明:

- 关于申请人有权要求在先申请的优先权(细则4.17(iii))

本国际公布:

- 包括国际检索报告(条约第21条(3))。

集成电路组件、处理器和片上系统

本公开要求于 2023 年 06 月 07 日提交中国专利局、申请号 202310673218.2、申请名称“集成电路组件、处理器和片上系统”的中国专利申请的优先权，其全部内容通过引用结合在本公开中。

技术领域

本公开实施例涉及计算机技术领域，尤其涉及一种集成电路组件、处理器和片上系统。

背景技术

3D 晶圆级封装，是指在不改变封装体尺寸的前提下，在同一个封装体内于垂直方向叠放两层以上晶圆层的封装技术。3D 晶圆级封装的主要特点包括：多功能、高效能、大容量、高密度。因此，3D 晶圆级封装的集成电路组件能够提供更大的片上存储容量以满足基础模型计算的需求，3D 晶圆级封装成为目前技术发展的趋势。

因此，3D 晶圆级封装的集成电路组件如何构建数据流架构成为现有技术中亟待解决的技术问题。

发明内容

有鉴于此，本公开实施例提供一种集成电路组件、处理器和片上系统，以至少部分解决上述问题。

根据本公开实施例的第一方面，提供了一种集成电路组件，包括至少两层晶圆层，每层晶圆层包括正面与背面，其中，在所述至少两层晶圆层中，第一层晶圆层与第二层晶圆层正面对正面堆叠，所述第二层晶圆层和所述第三晶圆层依次为正面对背面堆叠，所述第二层晶圆层经过硅通孔、重布线层以及混合键合处理，所述至少两层晶圆层通过各层的硅通孔、重布线层以及混合键合进行相互连接。

在本公开的另一实现方式中，所述至少两层晶圆层还包括第三层晶圆层，所述第二层晶圆层与所述第三层晶圆层正面对背面堆叠，所述至少三层晶圆层中除所述第二层晶圆层以外的其他晶圆层经过硅通孔、重布线层以及混合键合处理中至少其一。

在本公开的另一实现方式中，所述第二层晶圆层的正面经过混合键合处理，所述第二层晶圆层的背面经过硅通孔、重布线层以及混合键合处理。

在本公开的另一实现方式中，所述组件包括三层晶圆层，所述第一层晶圆层的正面经过混合键合处理，所述第三层晶圆层的正面经过混合键合处理。

在本公开的另一实现方式中，所述第一层晶圆层的背面或所述第三层晶圆层的背面引出管脚。

在本公开的另一实现方式中，所述三层晶圆层均为晶圆片；或者，所述第二层晶圆层为晶圆片，所述第一层晶圆层和所述第三层晶圆层其中之一为芯片，另一个为晶圆片；或者，所述第二层晶圆层为芯片。

在本公开的另一实现方式中，所述三层晶圆层的数据流动包括：所述第一层晶圆层到第二层晶圆层的数据流动经过：数据源点、第一层晶圆层的混合键合金属介质、第二层晶圆层的混合键合金属介质、数据目标点；和/或所述第二层晶圆层到第一层晶圆层的数据流动经过：数据源点、第二层晶圆层的混合键合金属介质、第一层晶圆层的混合键合金属介质、数据目标点；和/或所述第二层晶圆层到第三层晶圆层的数据流动经过：数据源点、第二层晶圆层的硅通孔金属介质、第二层晶圆层的重布线层金属介质、第二层晶圆层的混合键合金属介质、第三层晶圆层的混合键合金属介质、数据目标点；和/或所述第三层晶圆层到第二层晶圆层的数据流动经过：数据源点、第三层晶圆层的混合键合金属介质、第二层晶圆层的混合键合金属介质、第二层晶圆层的重布线层金属介质、第二层晶圆层的硅通孔金属介质、数据目标点；和/或所述第一层晶圆层到第二层晶圆层，再到第三层晶圆层的数据流动经过：数据源点、第一层晶圆层的混合键合金属介质、第二层晶圆层正面的混合键合金属介质、第二层晶圆层背面的硅通孔金属介质、第二层晶圆层背面的重布线层金属介质、第二层晶圆层背面的混合键合金属介质、第三层晶圆层的混合键合金属介质、数据目标点；和/或所述第三层晶圆层到第二层晶圆层，再到第一层晶圆层的数据流动经过：数据源点、第三层晶圆层的混合键合金属介质、第二层晶圆层背面的混合键合金属介质、第二层晶圆层背面的重布线层金属介质、第二层晶圆层背面的硅通孔金属介质、第二层晶圆层正面的混合键合金属介质、第一层晶圆层的混合键合金属介质、数据目标点。

在本公开的另一实现方式中，所述三层晶圆层中至少一层晶圆层为逻辑层，所述逻辑层与所述管脚连接。

在本公开的另一实现方式中，所述三层晶圆层中的处于外侧的晶圆层为逻辑层，其余晶圆层为存储层。

在本公开的另一实现方式中，所述三层晶圆层中两侧的晶圆层均为逻辑层，两侧的逻辑层之间的晶圆层为存储层。

在本公开的另一实现方式中，所述三层晶圆层均为逻辑层。

在本公开的另一实现方式中，所述逻辑层包括：数据流逻辑单元、计算逻辑单元或者存储逻辑单元中至少其一，所述数据流逻辑采用精简指令集流人工智能引擎或者片上网络；所述计算逻辑采用阻变式存储器或者精简指令集；所述存储逻辑采用阻变式存储器或者静态随机存取存储器；所述存储层采用动态随机存取内存。

在本公开的另一实现方式中，若所述逻辑层包括所述数据流逻辑单元，则数据流逻辑单元的配置包括：领域专用架构的类型、存储架构是否需要暂存器；若所述逻辑层包括所述计算逻辑单元，则计算逻辑单元的配置包括：固定精度、混合精度、计算存储阵列的大小与所述存储层的带宽匹配；若所述逻辑层包括所述存储逻辑单元，则存储逻辑单元的配置包括：存储阵列大小和存储阵列种类中的至少一者；所述存储层的配置包括：存储块的数量，对应的混合键合输入输出口的数量以及带宽是否能与所述计算逻辑的计算存储阵列的大小匹配。

在本公开的另一实现方式中，所述三层晶圆层中的任意一层晶圆层为逻辑层时，包

括至少两种类型的逻辑单元。

在本公开的另一实现方式中，所述三层晶圆层中的任意一层晶圆层根据其他晶圆层的良品率，调整所述晶圆层中的各单元与其他晶圆层的各单元的对应关系。

在本公开的另一实现方式中，所述三层晶圆层中的任意一层晶圆层为逻辑层时，所述逻辑层根据需求进行逻辑单元的配置。

在本公开的另一实现方式中，所述三层晶圆层中进行配置的逻辑层复用其他晶圆层。

在本公开的另一实现方式中，所述三层晶圆层上的混合键合金属介质的数量与硅通孔金属介质的数量为独立配置。

根据本公开实施例的第二方面，提供了一种处理器，包括：根据第一方面所述的集成电路组件。

根据本公开实施例的第三方面，提供了一种片上系统，包括：至少一个处理器，所述处理器为第二方面所述的处理器。

在本公开实施例的方案中，集成电路组件包括至少两层晶圆层，每层晶圆层包括正面与背面，其中，在至少两层晶圆层中，第一层晶圆层与第二层晶圆层正面对正面堆叠，第二层晶圆层和第三晶圆层依次为正面对背面堆叠，第二层晶圆层经过硅通孔、重布线层以及混合键合处理，至少两层晶圆层通过各层的硅通孔、重布线层以及混合键合进行相互连接。本公开实施例中的至少两层晶圆层通过各层的硅通孔、重布线层以及混合键合进行相互连接，从而实现多层晶圆层的3D晶圆级封装，本公开实施例的集成电路组件可以提供更大的片上存储容量以满足基础模型计算的需求。

附图说明

为了更清楚地说明本公开实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图是本公开实施例中记载的一些实施例，对于本领域普通技术人员来讲，还可以根据这些附图获得其他的附图。

图1a至图1h为晶圆层进行处理的示意图。

图2a为根据本公开的集成电路组件的一实施例的示意图。

图2b为根据本公开的集成电路组件的另一实施例的示意图。

图3为根据本公开的集成电路组件另一实施例进行封装的过程的示意图。

图4a和图4b为根据本公开的集成电路组件再两个实施例的示意图。

图5a和图5c为根据本公开的集成电路组件再三个实施例的示意图。

图6a为根据本公开的集成电路组件再一实施例的示意图。

图6b为根据本发明的逻辑层中的数据流逻辑单元的示意性框图。

图6c为根据本发明的逻辑层中的存内处理单元的示意性框图。

图6d为根据本发明的存储层的示意性框图。

图7a和图7b为根据本公开的集成电路组件再两个实施例的示意图。

图8为根据本公开的集成电路组件再一实施例的示意图。

图 9a 和图 9b 为根据本公开的集成电路组件再一实施例的示意图。

图 10 为根据本公开的集成电路组件再一实施例的示意图。

图 11 为根据本公开的另一实施例的处理器结构框图。

图 12 为根据本公开的另一实施例的片上系统的结构示意图。

具体实施方式

在下面的描述中阐述了很多具体细节以便于充分理解本说明书。但是本说明书能够以很多不同于在此描述的其它方式来实施，本领域技术人员可以在不违背本说明书内涵的情况下做类似推广，因此本说明书不受下面公开的具体实施的限制。

为了使本领域的人员更好地理解本公开实施例中的技术方案，下面将结合本公开实施例中的附图，对本公开实施例中的技术方案进行清楚、详细地描述，显然，所描述的实施例是本公开实施例一部分实施例，而不是全部的实施例。基于本公开实施例中的实施例，本领域普通技术人员所获得的所有其他实施例，都应当属于本公开实施例保护的范围。

在下面的详细描述中对附图进行参考，这些附图形成详细描述的一部分并且图示了示例性实施例。另外，要理解，可以利用其他实施例，并且可以进行结构和/或逻辑改变，而不脱离要求权利的主题的范围。还应该注意的是，方向和参考（例如上、下、顶、底等）可以用于便于附图中特征的描述。因此，以下详细描述将不在限制意义上被理解，并且要求权利的主题的范围由所附权利要求及其等效物来限定。

在下面的描述中，阐述了众多细节。然而，对于本领域技术人员来说将显而易见的是，可以在没有这些特定细节的情况下实践本文中的实施例。在一些情况下，公知的方法和装置以框图形式示出，而不是详细示出，以避免模糊本文中的实施例。在此说明书通篇对“实施例”或“一个实施例”或“一些实施例”的引用意味着结合该实施例描述的特定特征、结构、功能或特性被包括在本文中的至少一个实施例中。因此，在此说明书通篇各处中出现短语“在实施例中”或“在一个实施例中”或“一些实施例”不一定是指同一实施例。此外，在一个或多个实施例中，特定特征、结构、功能或特性可以以任何合适的方式组合。例如，第一实施例可以在与两个实施例关联的特定特征、结构、功能或特性不相互排斥的任何情况下与第二实施例组合。

如在描述和所附权利要求中所使用的，单数形式“一（a、an）”和“该”意图也包括复数形式，除非上下文另有明确指示。还将理解，如本文中使用的术语“和/或”指的是并且包含关联的列出项中一个或多个的任何和所有可能的组合。

术语“耦合”和“连接”连同它们的派生词在本文中可以用来描述组件之间的功能或结构关系。应该理解，这些术语不意图作为彼此的同义词。相反，在特定实施例中，“连接”可用于指示两个或两个以上元件与彼此直接物理、光或电接触。“耦合”可以用于指示两个或两个以上元件与彼此直接或间接（在它们之间有其他中间元件）物理接触或电接触，和/或两个或两个以上元件与彼此协作或交互（例如，如在因果关系中）。

如本文中所使用的术语“在...上方”、“在...下方”、“在...之间”和“在...上”是指一个组件或材料相对于其他组件或材料的相对位置，其中此类物理关系是值得注意的。例如，在材料的上下文中，设置在另一材料上方或下方的一个材料或材料可以直接接触，或者可以具有一个

或多个中间材料。而且，设置在两个材料或材料之间的一个材料可以与两个层直接接触，或者可以具有一个或多个中间层。相比之下，第二材料或材料“上”的第一材料或材料与该第二材料/材料直接接触。在组件组装的上下文中要进行类似区分。

如在此描述通篇以及在权利要求中所使用的，由术语“中的至少一个”或“中的一个或多个”连接的项目的列表可意味着所列出项目的任何组合。例如，短语“A、B 或 C 中的至少一个”可意味着 A；B；C；A 和 B；A 和 C；B 和 C；或者 A、B 和 C。

术语“电路”或“模块”可以指一个或多个无源和/或有源组件，它们被布置成与彼此协作以提供期望的功能。术语“信号”可以指至少一个电流信号、电压信号或磁信号。术语“基本上”、“靠近”、“近似”、“接近”和“大约”通常指在目标值的 $\pm 10\%$ 内。

下面结合本公开实施例附图进一步说明本公开实施例具体实现。

晶圆层 (Wafer) 由纯硅 (Si) 构成，包括正面与背面。晶圆层的正面是晶圆上进行芯片制作的主要工作表面。正面通常具有特定的取向和晶格结构，被设置为在其上生长或构建晶体管、电路和其他半导体器件，即，正面设置有布线层。晶圆层的背面也称为背面表面或背衬，与正面相对。背面通常是平坦的，没有晶体结构，被设置为提供支撑和处理晶圆的机械稳定性。背面通常没有电路或器件，并且可以进行特殊的处理或涂层以满足特定需求，例如增强粘附性或改善热传导。

3D 晶圆级封装是指两个以上晶圆层封装构成的集成电路组件。

混合键合 (HB, Hybrid bonding)，是一种在相互堆叠的芯片之间获得更密集互连的方法，混合键合工艺允许一晶圆层正面对另一晶圆层的正面堆叠。

具体地，在正面对正面堆叠的情况下，一晶圆层的正面与另一晶圆层的正面之间的层间布线通过混合键合形成，例如，一晶圆层的正面上的若干键合点与另一晶圆层的正面上的键合点通过位置对齐形成键合。

硅通孔 (TSV, Through-Silicon Vias)，主要功能是 Z 轴（垂直于晶圆层所在平面的坐标轴）电气延伸和互联的作用。

重布线层 (RDL, Re-distribution Layer)，起着 XY 平面（晶圆层所在平面）电气延伸和互联的作用。在先进封装的 FIWLP (Fan-In Wafer Level Package)，FOWLP (Fan-Out Wafer Level Package) 中，RDL 是最为关键的技术，通过 RDL 将 IO Pad 进行扇入 Fan-In 或者扇出 Fan-Out，形成不同类型的晶圆级封装。

具体地，在正面对背面堆叠的情况下，一晶圆层的背面与另一晶圆层的正面之间的层间布线通过硅通孔、重新布线、以及混合键合形成。硅通孔能够连接一晶圆层的正面和背面，重新布线用于在一晶圆层的背面基于硅通孔的位置重新形成布线，以便一晶圆层的背面通过重新布线与另一晶圆层的正面进行混合键合。

应理解，第一层晶圆层的层内布线（例如，层内布线中的至少部分布线节点作为键合点）与第二层晶圆层的层内布线（例如，层内布线中的至少部分布线节点作为键合点）通过正面对正面的层间布线连接。

还应理解，第二层晶圆层的层内布线与第三层晶圆层的层内布线通过正面对背面的层间布线连接。

还应理解，第一层晶圆层的层内布线与第三层晶圆层的层内布线通过第一层晶圆层与第二层晶圆层的层间布线以及第二层晶圆层与第三层晶圆层之间的层间布线连接。

参见图 1a 至图 1h，图中箭头表示晶圆层正面的方向；11 表示 Si 介质；12 表示传递电信号的金属介质，包括：金属层、硅通孔、重布线层、混合键合、管脚等；其他部分表示绝缘介质。其中，图 1a 为初始晶圆层，图 1b 为经过混合键合处理的晶圆层。参见图 1c 为初始晶圆层，图 1d 为经过硅通孔处理的晶圆层。参见图 1e 为初始晶圆层，图 1f 为经过重布线层引出管脚处理的晶圆层。图 1g 为背面经过硅通孔、重布线层、混合键合处理，正面经过混合键合处理的晶圆层。图 1h 为背面经过硅通孔、重布线层、混合键合处理的晶圆层。

下面将结合图 2a 和图 2b 来描述两个不同实施例的集成电路组件。

图 2a 示出了一个实施例的集成电路组件，集成电路组件包括至少两层晶圆层，即，W1，W2，W3，.....Wn， $n \geq 2$ 。每层晶圆层包括正面（附图示出的与 Si 所在的基板的外表面相对的外表面）与背面（附图示出的 Si 所在的基板的外表面）。第一层晶圆层 W1 与第二层晶圆层 W2 正面对正面堆叠，第二层晶圆层 W2 和第三晶圆层 W3 依次为正面对背面堆叠，第二层晶圆层 W2 经过硅通孔、重布线层以及混合键合处理，至少两层晶圆层通过各层的硅通孔、重布线层以及混合键合进行相互连接。

在本公开实施例中，至少两层晶圆层通过各层的硅通孔、重布线层以及混合键合进行相互连接，从而实现多层晶圆层的 3D 晶圆级封装。

也就是说，晶圆层的正面为设置有布线层的一侧，在晶圆层的正面通过混合键合实现了更密集且可靠的布线，有利于减小晶圆层的正面布线的数据传输延迟且提高数据传输效率，从而可以提供更大的片上存储容量以满足基础模型计算的需求。

晶圆层的背面为基板的一侧，在晶圆层的背面进行硅通孔工艺处理，将布线引导至晶圆层的背面，并且通过重布线层以及混合键合工艺处理，在兼容了相关工艺的同时充分地利用晶圆层的背面实现更密集且可靠的布线，尤其是在 3D 晶圆封装（集成电路组件的示例）中，处于中间层的晶圆层的背面实现更密集且可靠的布线，在用作 3D 晶圆封装的背面的晶圆层背面通过硅通孔实现了布线从 3D 晶圆封装中引出。此外，还可以采用电极垫（Package Assembly Drawing, PAD）工艺制作 3D 封装的引脚。

图 2b 示出了本公开实施例提供的另一集成电路组件，集成电路组件包括至少三层晶圆层，即 W1，W2，W3，.....Wn， $n \geq 3$ 。其中第一层晶圆层 W1 与第二层晶圆层 W2 正面对正面堆叠，第二层晶圆层 W2 与第三层晶圆层 W3 正面对背面堆叠。第三层晶圆层 W3 与第四层晶圆层 W4 正面对背面堆叠，.....，第 N-1 层晶圆层 Wn-1 与第 N 层晶圆层 Wn 正面对背面堆叠。

第二层晶圆层经过硅通孔、重布线层以及混合键合处理，其他晶圆层经过硅通孔、重布线层以及混合键合处理中至少其一。在本公开实施例中，至少三层晶圆层通过各层的硅通孔、重布线层以及混合键合进行相互连接，从而实现多层晶圆层的 3D 晶圆级封装。晶圆层的正面为设置有布线层的一侧，在晶圆层的正面通过混合键合实现了更密集且可靠的布线，有利于减小晶圆层的正面布线的数据传输延迟且提高数据传输效率，从而可以提供更大的片上存储容量以满足基础模型计算的需求。

在本公开一具体实现中，本公开实施例集成电路组件包括三层晶圆层，即 W1，W2，W3。

图 3a 为初始的第一层晶圆层 W1。图 3b 为第一层晶圆层 W1 的正面经过混合键合处理。图 3c 为第二层晶圆层 W2 的正面经过混合键合处理，并与正面经过混合键合处理的第一层晶圆层 W1 正面对正面堆叠。图 3d 为图 3c 中的第二层晶圆层 W2 的背面经过硅通孔、重布线层以及混合键合处理。图 3e 为正面经过混合键合处理的第三层晶圆层 W3，且第三层晶圆层 W3 的正面与第二层晶圆层 W2 的背面堆叠。

本公开实施例中的第一层晶圆层和第三层晶圆层通过混合键合、第二层晶圆层通过硅通孔、重布线层以及混合键合，实现三层晶圆层之间的相互连接，封装工艺更加简便，降低了封装成本。

也就是说，在晶圆层的正面通过混合键合实现了更密集且可靠的布线，正面对正面堆叠工艺加强了相邻晶圆层之间的数据传输效率，减小了不同晶圆层之间的延迟，这时，相邻晶圆层分别作为逻辑层与存储层是提供了数据的读写效率，在相邻晶圆层分别均作为逻辑层或者均作为存储层也提供了数据传输效率。

相应地，兼容了相关工艺的同时能够保证加工的效率和 3D 晶圆的机械性能，在正面对背面的堆叠工艺充分地利用晶圆层的背面实现更密集且可靠的布线。这时，相邻晶圆层分别作为逻辑层（即，逻辑工艺层）与存储层（即，存储工艺层）提供了数据的读写效率，在相邻晶圆层分别均作为逻辑层或者均作为存储层也提供了数据传输效率。

在本公开一具体实现中，参见图 4a，第一层晶圆层 W1 的背面引出第一引脚 D1；参见图 4b，第三层晶圆层 W3 的背面引出第二引脚 D2。本公开实施例便于实现集成电路组件的引脚设计。

在本公开一具体实现中，三层晶圆层均为晶圆片或者第二层晶圆层为晶圆片，第一层晶圆层和第三层晶圆层其中之一为芯片，另一个为晶圆片。

具体地，参见图 5a，三层晶圆层均为晶圆片；参见图 5b，第一层晶圆层 W1 和第二层晶圆层 W2 为晶圆片，第三层晶圆层 W3 为芯片；参见图 5c，第一层晶圆层 W1 为芯片，第二层晶圆层 W2 和第三层晶圆层 W3 为晶圆片。

本公开实施例集成电路组件三层晶圆层的实现方式多样化，可以第一层晶圆层和第三层晶圆层其中之一可采用芯片，本公开实施例封装方式更加灵活，能够提供更多样化的 3D 集成封装设计选择。

应理解，在一些示例中，三层晶圆层均为晶圆片，减小了三层晶圆层的对齐工艺要求。在这种情况下，对齐工艺要求之外的考量因素（例如，功效指标）进行集成电路组件进行配置，例如，可以考量机械性能、对传统工艺的兼容性、电气性能（例如，数据传输延迟）、散热性能等。

在另一些示例中，第二层晶圆层为晶圆片，第一层晶圆层和第三层晶圆层其中之一为芯片，另一个为晶圆片。也就是说，芯片处于集成电路组件的外侧，相比于芯片处于晶圆片之间的情况，减小了晶圆层之间的对齐工艺要求。由于芯片可以为封装（例如，采用 2D 或 2.5D 封装）完成的晶圆层，使封装方式更加灵活，能够提供更多样化的 3D 集成封装设计选择。

在另一些示例中，第二层晶圆层为芯片。在第一层晶圆层和第三层晶圆层均为晶圆片的情况下，虽然芯片在晶圆层之间对齐工艺相比于芯片在一侧的情况工艺要求较高，但是如果

侧重考量其他因素将芯片设置成中间的晶圆层（例如，将芯片为存储层，会带来更好的散热性能），仍然会保证了其他的功效指标。

在第一层晶圆层和第三层晶圆层中的至少一者为芯片的情况下，充分地利用了封装（例如，采用 2D 或 2.5D 封装）完成的晶圆层，使封装方式更加灵活，能够提供更多样化的 3D 集成封装设计选择。

示例性地，参见图 3e，以三层晶圆层的数据流动进行说明。

第一层晶圆层 W1 到第二层晶圆层 W2 的数据流动经过：数据源点、第一层晶圆层 W1 的混合键合金属介质、第二层晶圆层 W2 的混合键合金属介质、数据目标点。数据流动方向为第一层晶圆层 W1 到第二层晶圆层 W2 时，延时小。

第二层晶圆层 W2 到第一层晶圆层 W1 的数据流动经过：数据源点、第二层晶圆层 W2 的混合键合金属介质、第一层晶圆层 W1 的混合键合金属介质、数据目标点。数据流动方向为第二层晶圆层 W2 到第一层晶圆层 W1 时，延时小。

也就是说，通过正面对正面的堆叠设置采用混合键合，减小了不同晶圆层之间的延迟。

第二层晶圆层 W2 到第三层晶圆层 W3 的数据流动经过：数据源点、第二层晶圆层 W2 的硅通孔金属介质、第二层晶圆层 W2 的重布线层金属介质、第二层晶圆层 W2 的混合键合金属介质、第三层晶圆层 W3 的混合键合金属介质、数据目标点。数据流动方向为第二层晶圆层 W2 到第三层晶圆层 W3 时，延时中。

第三层晶圆层 W3 到第二层晶圆层 W2 的数据流动经过：数据源点、第三层晶圆层 W3 的混合键合金属介质、第二层晶圆层 W2 的混合键合金属介质、第二层晶圆层 W2 的重布线层金属介质、第二层晶圆层 W2 的硅通孔金属介质、数据目标点。数据流动方向为第三层晶圆层 W3 到第二层晶圆层 W2 时，延时中。

也就是说，基于重布线层和硅通孔工艺对晶圆层的背面预处理，然后在通过正面对背面的堆叠设置采用混合键合，减小了不同晶圆层之间的延迟。

由于重布线层和硅通孔工艺的预处理相比于直接采用混合键合，会增大延迟，但是兼容了相关工艺的同时能够保证加工的效率和 3D 晶圆的机械性能。

相应地，对于逻辑层到逻辑层、逻辑层到存储层、以及存储层到存储层，这三者存在不同的组件应用延迟需求，可以匹配相应的延迟需求与上述的不同堆叠方式对于的延迟，优化集成电路组件的应用。

第一层晶圆层 W1 到第二层晶圆层 W2，再到第三层晶圆层 W3 的数据流动经过：数据源点、第一层晶圆层 W1 的混合键合金属介质、第二层晶圆层 W2 正面的混合键合金属介质、第二层晶圆层 W2 背面的硅通孔金属介质、第二层晶圆层 W2 背面的重布线层金属介质、第二层晶圆层 W2 背面的混合键合金属介质、第三层晶圆层 W3 的混合键合金属介质、数据目标点。数据流动方向为第一层晶圆层 W1 到第二层晶圆层 W2，再到第三层晶圆层 W3 时，延时大。

第三层晶圆层 W3 到第二层晶圆层 W2，再到第一层晶圆层 W1 的数据流动经过：数据源点、第三层晶圆层 W3 的混合键合金属介质、第二层晶圆层 W2 背面的混合键合金属介质、第二层晶圆层 W2 背面的重布线层金属介质、第二层晶圆层 W2 背面的硅通孔金属介质、第

二层晶圆层 W2 正面的混合键合金属介质、第一层晶圆层 W1 的混合键合金属介质、数据目标点。数据流动方向为第三层晶圆层 W3 到第二层晶圆层 W2，再到第一层晶圆层 W1 时，延时大。

不失一般性地，非相邻的不同晶圆层之间的延迟会大于相邻的不同晶圆层之间的延迟。

本公开实施例的集成电路组件实现了三层晶圆层之间的数据流动，本公开实施例可以根据需要设计三层晶圆层之间的数据流动，从而令数据流动的延时满足数据传输的需要。

在本公开一具体实现中，三层晶圆层中至少一层晶圆层为逻辑层，其余晶圆层为存储层，逻辑层与引脚连接。

在一个示例中，三层晶圆层中的处于外侧的晶圆层为逻辑层，其余晶圆层为存储层，逻辑层的散热要求高于存储层的散热要求，保证了集成电路组件的散热性能。此外，在这种情况下，逻辑层的比重较大，更适于配置成诸如 CPU 或其他控制流程比较复杂的 DSA。

例如，第一层晶圆层为逻辑层，第二层晶圆层为存储层，第三层晶圆层为存储层。又例如，第一层晶圆层为存储层，第二层晶圆层为存储层，第三层晶圆层为逻辑层。

作为更优选的示例，三层晶圆层中的处于两侧的晶圆层均为逻辑层，两个逻辑层之间的晶圆层为存储层，使集成电路组件的散热性能达到最优。

可替代地，三层晶圆层中的处于外侧的晶圆层为逻辑层，其余晶圆层为存储层和逻辑层，逻辑层的散热要求高于存储层的散热要求，同时存储层的散热能力高于逻辑层的散热能力，存储层能够有利于逻辑层的散热，从而一定程度上保证了集成电路组件的散热性能。此外，这种情况下，存储层的比重较大，更适于配置成诸如 GPU 或 TPU 等并且计算要求较高的 DSA。

又例如，芯片配置成逻辑层，晶圆片配置成存储层，芯片处于集成电路组件的外侧，晶圆片处于组件的中间层，保证了散热性能，且相比于芯片处于集成电路组件的中间层的情况，减小了诸如对齐工艺等的工艺要求。

例如，第一层晶圆层为逻辑层，第二层晶圆层为逻辑层，第三层晶圆层为存储层。又例如，第一层晶圆层为存储层，第二层晶圆层为逻辑层，第三层晶圆层为逻辑层。

可替代地，第一层晶圆层为逻辑层，第二层晶圆层为逻辑层，第三层晶圆层为逻辑层。三层晶圆层均为逻辑层，散热性能相对于上述示例较差，但是极大地提高了逻辑层之间的低延迟互联，实现了比上述示例更优的数据处理能力和流程控制性能。

由于第一层晶圆层 W1 的背面引出第一引脚 D1，第三层晶圆层 W3 的背面引出第二引脚 D2，因此逻辑层连接的引脚（D1 或者 D2）均位于三层晶圆层的外层。

具体地，参见表一，逻辑层与存储层的选择以及散热情况如表一所示。表一给出的六种选项分别对应上述六种实施例，在各个表项对应的实施例中，第 1 种、第 3 种、以及第 6 种散热极优，第 2 种和第 5 种为优，第 4 种为良好。

表一

序号	第一层晶圆层 W1	第二层晶圆层 W2	第三层晶圆层 W3	散热
1	逻辑层 (L)	存储层 (M)	存储层 (M)	极优
2	逻辑层 (L)	逻辑层 (L)	存储层 (M)	优
3	逻辑层 (L)	存储层 (M)	逻辑层 (L)	极优

4	逻辑层 (L)	逻辑层 (L)	逻辑层 (L)	良好
5	存储层 (M)	逻辑层 (L)	逻辑层 (L)	优
6	存储层 (M)	存储层 (M)	逻辑层 (L)	极优

本公开实施例的集成电路组件可以根据散热需要设计三层晶圆层为逻辑层或者存储层，本公开实施例提供了更为灵活的设计方案。

在本公开一具体实现中，逻辑层包括：数据流逻辑单元、计算逻辑单元或者存储逻辑单元中其一，数据流逻辑可以采用 PE 或者片上网络；计算逻辑采用阻变式存储器-存内处理 (Resistive Random Access Memory-Processing-in-Memory, RRAM-PIM) 或者高性能第五代精简指令集 (High performance RISC-V, HP-RV)；存储逻辑采用阻变式存储器 (用作存储器) 或者静态随机存取存储器；存储逻辑采用 RRAM-Memory (Resistive Random Access Memory - Memory, 电阻式随机存取内存-存储器) 或者 SRAM；存储层采用 DRAM 工艺。

应理解，对于文中的数据流逻辑，仅仅示出了 DSA 或片上网络或加速器的示例，也可以替代为其他 DSA 或加速器的数据流逻辑单元。文中的 HP-RV 是 CPU 的示例，其可以替代为各种类型的 CPU 的计算逻辑单元。

存储层采用动态随机存取内存。

在本公开一具体实现中，三层晶圆层中的任意一层晶圆层为逻辑层时，所述逻辑层根据需求进行逻辑单元的配置。

本公开实施例能够更灵活地配置逻辑层的逻辑单元，从而令集成电路组件能够提供更加多样化的内存形式。本公开实施例通过配置逻辑层的逻辑单元，能够为 PE (Processing Element, 处理单元) 提供专用存储器或专用领域专用架构 (DSA) 引擎。

在本公开一具体实现中，三层晶圆层中的任意一层晶圆层根据需求进行配置。因此，本公开实施例可以为高级人工智能模型 (GPT/LLM) 提供各种 3D 集成设计选择。

在另一些示例中，三层晶圆层包括第一逻辑层和第二逻辑层，第一逻辑层和第二逻辑层为数据流逻辑单元、计算逻辑单元、存储逻辑单元中的不同单元。将不同逻辑的逻辑层与存储层集成到集成电路组件中，提高了数据读写效率、计算效率和整体数据处理效率。例如，数据流逻辑单元和计算逻辑单元融合了并行计算与串行计算的优势，数据流逻辑单元和存储计算单元融合了数据读写优势，计算逻辑单元和存储计算单元融合了数据读写优势，等等。

更具体地，参见表二，表二给出四类选项作为三层晶圆层的示例，但本公开实施例并不限于此四类。

表二

范例	第一层晶圆层 W1	第二层晶圆层 W2	第三层晶圆层 W3	类型
1	PE	DRAM	RRAM-PIM/SRAM	L-M-L
2	PE	SRAM/RRAM-PIM	DRAM	L-L-M
3	PE	DRAM	DRAM	L-M-M
4	PE	DRAM	HP-RV (或其他 CPU)	L-M-L

在表二的各个范例中，集成电路组件中的每层晶圆层可以为逻辑层或存储层，并且集成电路组件同时包括逻辑层和存储层。

在本公开一具体实现中，通过范例 1 进行具体说明。

参见图 6a，第一层晶圆层 W1 为 PE，第二层晶圆层 W2 为 DRAM，第三层晶圆层 W3 为 RRAM-PIM（Resistive Random Access Memory-Processing-in-Memory，电阻式随机存取内存-存内处理）/SRAM。不失一般性地，第一层晶圆层 W1 为逻辑层，包括数据流逻辑单元；第二层晶圆层 W2 为存储层，包括内存块；第三层晶圆层 W3 为逻辑层，包括计算逻辑单元。

第一层晶圆层 W1 为 PE，即第一层晶圆层 W1 包括数据流逻辑单元。具体地，如图 6b 所示，领域专用架构（Domain-Specific Architecture, DSA）的类型的数据流逻辑单元包括计算逻辑子单元、以及内存控制器和/或物理层等底层模块。计算逻辑子单元包括但不限于：向量处理单元（VPU）或者通用矩阵的矩阵乘法（GEMM）等。其中，计算逻辑子单元通过内存控制器经由层间布线（例如，3D 互连）对存储层中的内存块进行内存访问。数据流逻辑单元还可以包括暂存器（Scratchpad），暂存器可以为计算逻辑子单元中的本地缓存或共享缓存。

第二层晶圆层 W2 为 DRAM，即第二层晶圆层 W2 包括存储逻辑单元。具体地，如图 6d 所示，存储层的配置包括：内存块（Memory Bank）的数量，对应的混合键合输入输出（HB IO）的数量以及带宽是否能与计算逻辑的计算存储阵列的大小匹配。更具体地，每个内存块配置有解码/控制/缓冲等功能模块。

第三层晶圆层 W3 为 RRAM-PIM/SRAM，即第三层晶圆层 W3 包括计算逻辑单元/存储逻辑单元。示例性地，如图 6c 所示，计算逻辑单元为存内处理单元，存内处理单元的配置包括计算子单元，计算子单元包括整型（Integral, INT）精度子单元和/或浮点型（BF（brain float）/FP（floating point）精度子单元）。其中，计算子单元包括存内计算（Compute In Memory, CIM）单元阵列（Array），计算子单元中还可以配置有外围电路（例如，包括协处理器接口）模块、基于总线的直接内存访问（DMA）模块、以及内存控制器和/或物理层等底层模块。

应理解，在第一层晶圆层 W1 中，各个数据流逻辑单元通过层内布线连接；在第二层晶圆层 W2 中，各个内存块通过层内布线连接；在第三层晶圆层 W3 中，各个计算逻辑单元/存储逻辑单元通过层内布线连接。进一步地，数据流逻辑单元通过第一层晶圆层与第二层晶圆层之间的层间布线直接地或间接地访问第二层晶圆层，进而通过第二层晶圆层的层内布线访问对应的内存块。数据流逻辑单元通过第一层晶圆层与第三层晶圆层之间的层间布线访问第三层晶圆层，进而通过第三层晶圆层的层内布线访问对应的计算逻辑单元/存储逻辑单元，计算逻辑单元/存储逻辑单元用作数据流逻辑单元的缓存。计算逻辑单元/存储逻辑单元通过第三层晶圆层与第二层晶圆层之间的层间布线访问第二层晶圆层，进而通过第二层晶圆层的层内布线访问对应的内存块。

在范例 2 中，第一层晶圆层 W1 为 PE，第二层晶圆层 W2 为 SRAM/RRAM-PIM，第三层晶圆层 W3 为 DRAM。不失一般性地，第一层晶圆层 W1 为逻辑层，包括数据流逻辑单元；第二层晶圆层 W2 为逻辑层，包括存储逻辑单元或计算逻辑单元；第三层晶圆层 W3 为存储层，包括内存块。

应理解，在第一层晶圆层 W1 中，各个数据流逻辑单元通过层内布线连接；在第二层晶圆层 W2 中，各个计算逻辑单元/存储逻辑单元通过层内布线连接；在第三层晶圆层 W3 中，各个内存块通过层内布线连接。进一步地，数据流逻辑单元通过第一层晶圆层与第二层晶圆层之间的层间布线访问第二层晶圆层，进而通过第二层晶圆层的层内布线访问对应的计算逻辑单元/存储逻辑单元，计算逻辑单元/存储逻辑单元用作数据流逻辑单元的缓存。计算逻辑单元/存储逻辑单元通过第二层晶圆层与第三层晶圆层之间的层间布线访问第三层晶圆层，进而通过第三层晶圆层的层内布线访问对应的内存块。

在范例 3 中，第一层晶圆层 W1 为 PE，第二层晶圆层 W2 为 DRAM，第三层晶圆层 W3 为 DRAM。不失一般性地，第一层晶圆层 W1 为逻辑层，包括数据流逻辑单元；第二层晶圆层 W2 为存储层，包括内存块；第三层晶圆层 W3 为存储层，包括内存块。

应理解，在第一层晶圆层 W1 中，各个数据流逻辑单元通过层内布线连接；在第二层晶圆层 W2 中，各个内存块通过层内布线连接；在第三层晶圆层 W3 中，各个内存块通过层内布线连接。进一步地，数据流逻辑单元通过第一层晶圆层与第二层晶圆层之间的层间布线直接地或间接地访问第二层晶圆层，进而通过第二层晶圆层的层内布线访问对应的内存块。数据流逻辑单元通过第一层晶圆层与第三层晶圆层之间的层间布线直接地或间接地访问第三层晶圆层，进而通过第三层晶圆层的层内布线访问对应的内存块。

在范例 4 中，第一层晶圆层 W1 为 PE，第二层晶圆层 W2 为 DRAM，第三层晶圆层 W3 为 HP-RV（或其他 CPU）。不失一般性地，第一层晶圆层 W1 为逻辑层，包括数据流逻辑单元；第二层晶圆层 W2 为存储层，包括内存块；第三层晶圆层 W3 为逻辑层，包括计算逻辑单元。

应理解，在第一层晶圆层 W1 中，各个数据流逻辑单元通过层内布线连接；在第二层晶圆层 W2 中，各个内存块通过层内布线连接；在第三层晶圆层 W3 中，各个计算逻辑单元通过层内布线连接。进一步地，数据流逻辑单元通过第一层晶圆层与第二层晶圆层之间的层间布线直接地或间接地访问第二层晶圆层，进而通过第二层晶圆层的层内布线访问对应的内存块。数据流逻辑单元通过第一层晶圆层与第三层晶圆层之间的层间布线访问第三层晶圆层，进而通过第三层晶圆层的层内布线访问（例如，通过 DMA）对应的计算逻辑单元，计算逻辑单元可以为控制平面的处理单元，数据流逻辑单元可以为数据平面的处理单元，用于辅助控制平面的数据处理。计算逻辑单元通过第三层晶圆层与第二层晶圆层之间的层间布线访问第二层晶圆层，进而通过第二层晶圆层的层内布线访问（例如，通过 DMA）对应的内存块。

不失一般性地，片上网络（Network on Chip, NOC）可以作为第一层晶圆层中的层内布线的示例。

进一步地，三层晶圆层上的混合键合金属介质的数量与硅通孔金属介质的数量为独立配置。因此，第一层晶圆层 W1、第二层晶圆层 W2、第三层晶圆层 W3 之间的关系无需一一对应。参见图 7a 和图 7b，图 7a 为第一层晶圆层 W1、第二层晶圆层 W2、第三层晶圆层 W3 之间的关系一一对应示意图；图 7b 为第一层晶圆层 W1、第二层晶圆层 W2、第三层晶圆层 W3 之间的关系未一一对应示意图。

在本公开一具体实现中，所述三层晶圆层中的任意一层晶圆层为逻辑层时，包括至少两

种类型的逻辑单元。

示例性地，参见图 8，第一层晶圆层 W1、第二层晶圆层 W2、第三层晶圆层 W3 之间的异构示意图，即第一层晶圆层 W1 包括两种类型的逻辑单元，RRAM-PIM 和 SRAM。

在本公开一具体实现中，三层晶圆层中的任意一层晶圆层根据其他晶圆层的良品率，调整晶圆层中的各单元与其他晶圆层的各单元的对应关系。参见图 9a，在示例 1 中，由于第三层晶圆层 W3 的 RRAM-PIM 良率较低，可以存在坏块 1，参见图 9b，在第二层晶圆层 W2 进行重布线层的时候，可以更为灵活地通过重布线层选择第三层晶圆层 W3 的 RRAM-PIM 之间非坏块 2 代替坏块 1 进行对应。也就是说，在这种情况下，第三层晶圆层 W3 的裸片已经制造完成，可以不改变第三层晶圆层 W3 的裸片，对第二层晶圆层 W2 的裸片进行灵活地加工，兼容了第三层晶圆层 W3 的裸片的生产过程，降低了对第三层晶圆层的良率标准，保证了集成电路组件的较低加工成本。

在本公开的集成电路组件的一具体实现中，三层晶圆层中的任意一层晶圆层为逻辑层时，可以基于需求，逻辑层根据需求进行逻辑单元的配置。三层晶圆层中进行配置的逻辑层复用其他晶圆层。示例性地，在第一层晶圆层 W1、第二层晶圆层 W2 已经完成后，根据不同的需要定制不同的第三层晶圆层 W3，即第三层晶圆层 W3 配置自定制领域专用架构 (DSA)。具体参见图 10，定制的第三层晶圆层 W3，可复用已经完成的第一层晶圆层 W1、第二层晶圆层 W2。即，无论第三层晶圆层 W3 定制何种领域专用架构 (DSA)，均可复用已经完成的第一层晶圆层 W1、第二层晶圆层 W2。

本公开实施例为非冯·诺依曼体系结构，从而减少数据移动所带来的存储瓶颈问题。本公开实施例所提供的多层 3D 异构数据流架构，提供了可以 3D 内存，以改进片上系统的内存，并满足基础模型的大内存需求。本公开实施例逻辑层的多样化配置，为高级人工智能模型 (GPT/LLM) 提供各种 3D 集成设计选择。

图 11 为根据本公开的另一实施例的处理器结构框图。本实施例的处理器 1100 包括：处理器核 1101 以及集成电路组件 1102。

图 12 为根据本公开的另一实施例的片上系统的结构示意图。本实施例的片上系统 1200 包括多个处理器 1210。

此外，程序中各步骤的具体实现可以参见上述方法实施例中的相应步骤和单元中对应的描述，在此不赘述。所属领域的技术人员可以清楚地了解到，为描述的方便和简洁，上述描述的设备 and 模块的具体工作过程，可以参考前述方法实施例中的对应过程描述，在此不再赘述。

需要指出，根据实施的需要，可将本公开实施例中描述各个部件/步骤拆分为更多部件/步骤，也可将两个或多个部件/步骤或者部件/步骤的部分操作组合成新的部件/步骤，以实现本公开实施例的目的。

上述根据本公开实施例的方法可在硬件、固件中实现，或者被实现为可存储在记录介质 (诸如 CD ROM、RAM、软盘、硬盘或磁光盘) 中的软件或计算机代码，或者被实现通过网络下载的原始存储在远程记录介质或非暂时机器可读介质中并将被存储在本地记录介质中的计算机代码，从而在此描述的方法可被存储在使用通用计算机、专用处理器或者可编程或专

用硬件（诸如 ASIC 或 FPGA）的记录介质上的这样的软件处理。可以理解，计算机、处理器、微处理器控制器或可编程硬件包括可存储或接收软件或计算机代码的存储组件（例如，RAM、ROM、闪存等），当所述软件或计算机代码被计算机、处理器或硬件访问且执行时，实现在此描述的方法。此外，当通用计算机访问被设置为实现在此示出的方法的代码时，代码的执行将通用计算机转换为被设置为执行在此示出的方法的专用计算机。

本领域普通技术人员可以意识到，结合本文中所公开的实施例描述的各示例的单元及方法步骤，能够以电子硬件、或者计算机软件和电子硬件的结合来实现。这些功能究竟以硬件还是软件方式来执行，取决于技术方案的特定应用和设计约束条件。专业技术人员可以对每个特定的应用来使用不同方法来实现所描述的功能，但是这种实现不应认为超出本公开实施例的范围。

以上实施方式用于说明本公开实施例，而并非对本公开实施例的限制，有关技术领域的普通技术人员，在不脱离本公开实施例的精神和范围的情况下，还可以做出各种变化和变型，因此所有等同的技术方案也属于本公开实施例的范畴，本公开实施例的专利保护范围应由权利要求限定。

工业实用性

本公开实施例所提供的集成电路组件、处理器和片上系统，集成电路组件包括至少两层晶圆层，每层晶圆层包括正面与背面，其中，在至少两层晶圆层中，第一层晶圆层与第二层晶圆层正面对正面堆叠，第二层晶圆层和第三晶圆层依次为正面对背面堆叠，第二层晶圆层经过硅通孔、重布线层以及混合键合处理，至少两层晶圆层通过各层的硅通孔、重布线层以及混合键合进行相互连接。本公开实施例中的至少两层晶圆层通过各层的硅通孔、重布线层以及混合键合进行相互连接，从而实现多层晶圆层的 3D 晶圆级封装，本公开实施例的集成电路组件可以提供更大的片上存储容量以满足基础模型计算的需求。

权利要求书

1、一种集成电路组件，包括至少两层晶圆层，每层晶圆层包括正面与背面，其中，在所述至少两层晶圆层中，第一层晶圆层与第二层晶圆层正面对正面堆叠，所述第二层晶圆层和所述第三晶圆层依次为正面对背面堆叠，所述第二层晶圆层经过硅通孔、重布线层以及混合键合处理，所述至少两层晶圆层通过各层的硅通孔、重布线层以及混合键合进行相互连接。

2. 根据权利要求 1 所述的组件，其中，所述至少两层晶圆层还包括第三层晶圆层，所述第二层晶圆层与所述第三层晶圆层正面对背面堆叠，所述至少三层晶圆层中除所述第二层晶圆层以外的其他晶圆层经过硅通孔、重布线层以及混合键合处理中至少其一。

3. 根据权利要求 2 所述的组件，其中，所述第二层晶圆层的正面经过混合键合处理，所述第二层晶圆层的背面经过硅通孔、重布线层以及混合键合处理。

4. 根据权利要求 3 所述的组件，其中，所述组件包括三层晶圆层，所述第一层晶圆层的正面经过混合键合处理，所述第三层晶圆层的正面经过混合键合处理。

5. 根据权利要求 4 所述的组件，其中，所述第一层晶圆层的背面或所述第三层晶圆层的背面引出管脚。

6. 根据权利要求 5 所述的组件，其中，所述三层晶圆层均为晶圆片；

或者，

所述第二层晶圆层为晶圆片，所述第一层晶圆层和所述第三层晶圆层其中之一为芯片，另一个为晶圆片；

或者，所述第二层晶圆层为芯片。

7. 根据权利要求 6 所述的组件，其中，所述三层晶圆层的数据流动包括：

所述第一层晶圆层到第二层晶圆层的数据流动经过：数据源点、第一层晶圆层的混合键合金属介质、第二层晶圆层的混合键合金属介质、数据目标点；和/或

所述第二层晶圆层到第一层晶圆层的数据流动经过：数据源点、第二层晶圆层的混合键合金属介质、第一层晶圆层的混合键合金属介质、数据目标点；和/或

所述第二层晶圆层到第三层晶圆层的数据流动经过：数据源点、第二层晶圆层的硅通孔金属介质、第二层晶圆层的重布线层金属介质、第二层晶圆层的混合键合金属介质、第三层晶圆层的混合键合金属介质、数据目标点；和/或

所述第三层晶圆层到第二层晶圆层的数据流动经过：数据源点、第三层晶圆层的混合键合金属介质、第二层晶圆层的混合键合金属介质、第二层晶圆层的重布线层金属介质、第二层晶圆层的硅通孔金属介质、数据目标点；和/或

所述第一层晶圆层到第二层晶圆层，再到第三层晶圆层的数据流动经过：数据源点、第一层晶圆层的混合键合金属介质、第二层晶圆层正面的混合键合金属介质、第二层晶圆层背面的硅通孔金属介质、第二层晶圆层背面的重布线层金属介质、第二层晶圆层背面的混合键合金属介质、第三层晶圆层的混合键合金属介质、数据目标点；和/或

所述第三层晶圆层到第二层晶圆层，再到第一层晶圆层的数据流动经过：数据源点、第三层晶圆层的混合键合金属介质、第二层晶圆层背面的混合键合金属介质、第二层晶

圆层背面的重布线层金属介质、第二层晶圆层背面的硅通孔金属介质、第二层晶圆层正面的混合键合金属介质、第一层晶圆层的混合键合金属介质、数据目标点。

8. 根据权利要求7所述的组件,其中,所述三层晶圆层中至少一层晶圆层为逻辑层,所述逻辑层与所述管脚连接。

9. 根据权利要求8所述的组件,其中,所述三层晶圆层中的处于外侧的晶圆层为逻辑层,其余晶圆层为存储层。

10. 根据权利要求8所述的组件,其中,所述三层晶圆层中两侧的晶圆层均为逻辑层,两侧的逻辑层之间的晶圆层为存储层。

11. 根据权利要求8所述的组件,其中,所述三层晶圆层均为逻辑层。

12. 根据权利要求8-11中任一项所述的组件,其中,所述逻辑层包括:数据流逻辑单元、计算逻辑单元或者存储逻辑单元中至少其一,所述数据流逻辑采用精简指令集流人工智能引擎或者片上网络;所述计算逻辑采用阻变式存储器或者精简指令集;所述存储逻辑采用阻变式存储器或者静态随机存取存储器;

所述存储层采用动态随机存取内存。

13. 根据权利要求12所述的组件,其中,若所述逻辑层包括所述数据流逻辑单元,则数据流逻辑单元的配置包括:领域专用架构的类型、存储架构是否需要暂存器;

若所述逻辑层包括所述计算逻辑单元,则计算逻辑单元的配置包括:固定精度、混合精度、计算存储阵列的大小与所述存储层的带宽匹配;

若所述逻辑层包括所述存储逻辑单元,则存储逻辑单元的配置包括:存储阵列大小和存储阵列种类中的至少一者;

所述存储层的配置包括:存储块的数量,对应的混合键合输入输出口的数量以及带宽是否能与所述计算逻辑的计算存储阵列的大小匹配。

14. 根据权利要求12所述的组件,其中,所述三层晶圆层中的任意一层晶圆层为逻辑层时,包括至少两种类型的逻辑单元。

15. 根据权利要求12所述的组件,其中,所述三层晶圆层中的任意一层晶圆层根据其他晶圆层的良品率,调整所述晶圆层中的各单元与其他晶圆层的各单元的对应关系。

16. 根据权利要求12所述的组件,其中,所述三层晶圆层中的任意一层晶圆层为逻辑层时,所述逻辑层根据需求进行逻辑单元的配置。

17. 根据权利要求12所述的组件,其中,所述三层晶圆层中进行配置的逻辑层复用其他晶圆层。

18. 根据权利要求12所述的组件,其中,所述三层晶圆层上的混合键合金属介质的数量与硅通孔金属介质的数量为独立配置。

19. 一种处理器,包括:

根据权利要求1-18任一项所述的集成电路组件。

20. 一种片上系统,包括:

至少一个处理器,所述处理器为根据权利要求19所述的处理器。

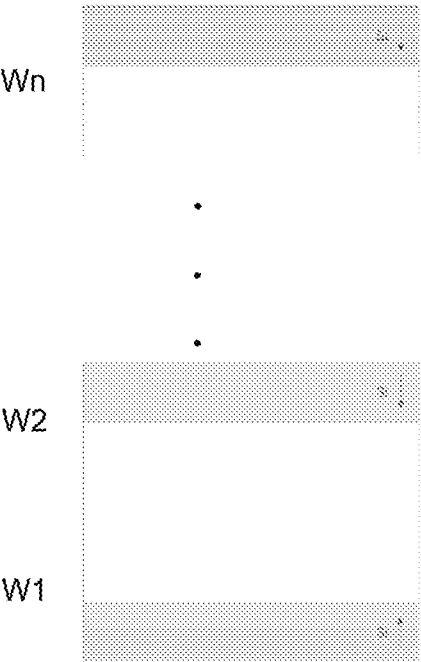
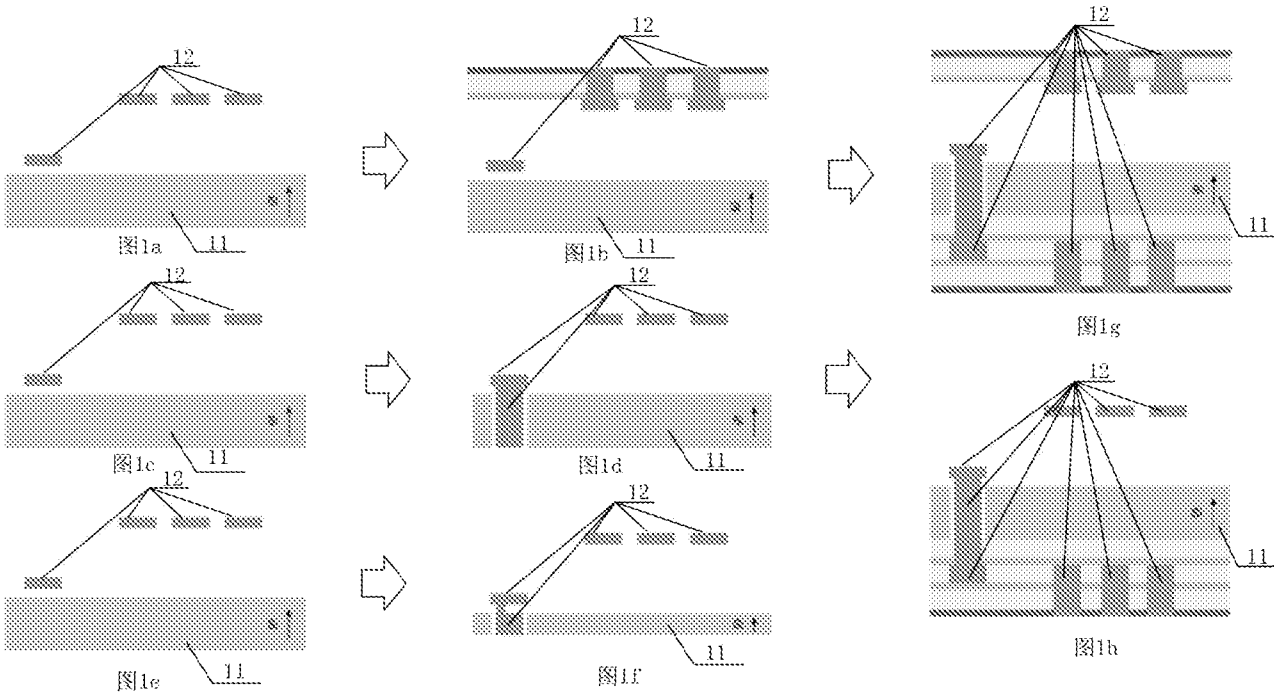


图 2a

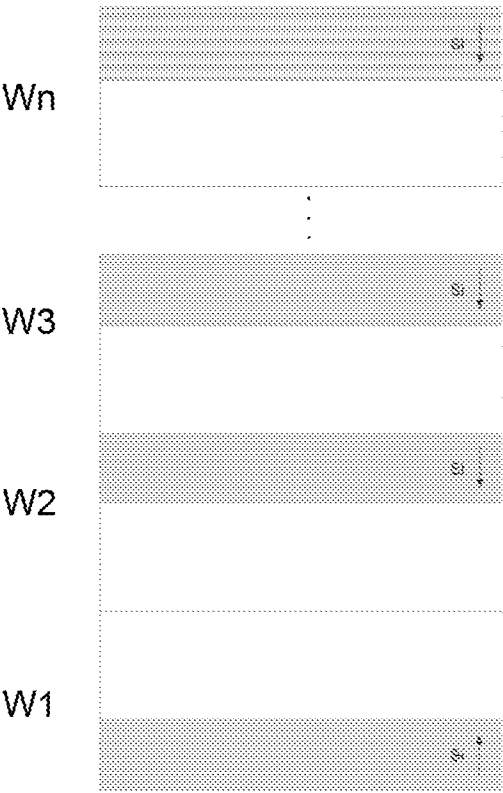
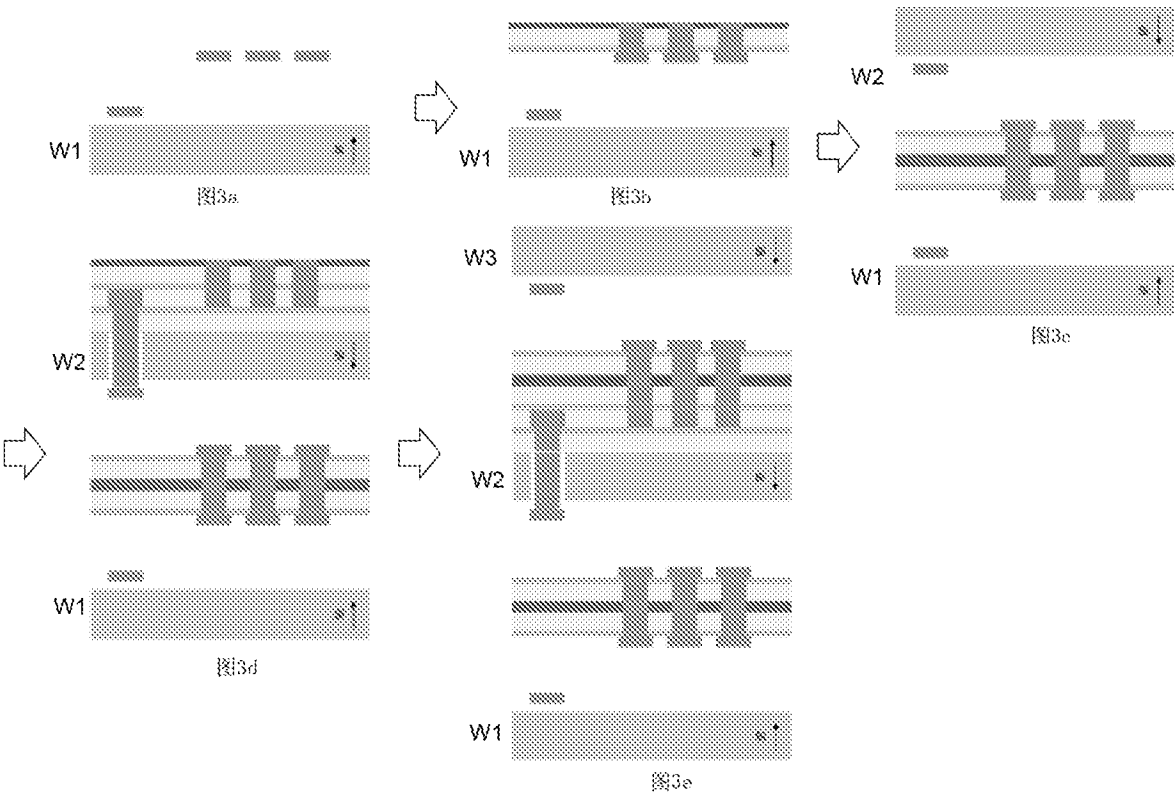


图 2b



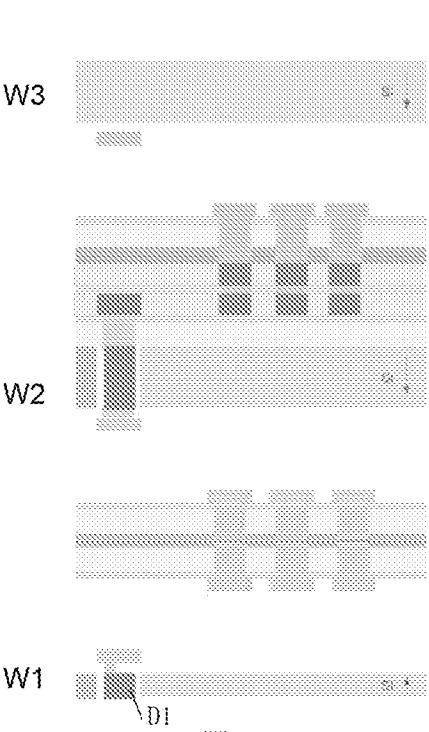


图4a

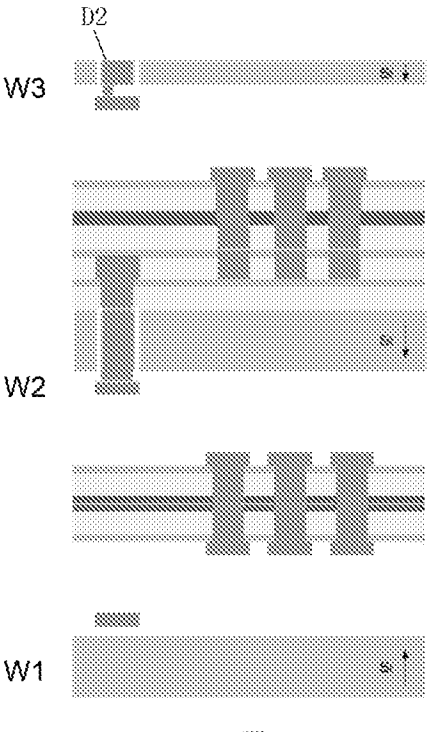


图4b

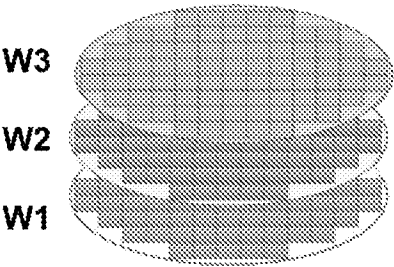


图5a

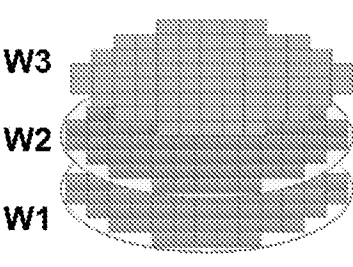


图5b

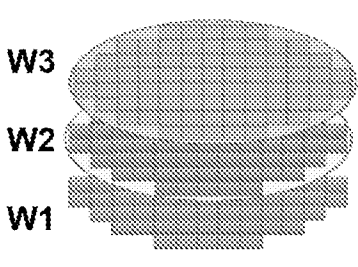


图5c

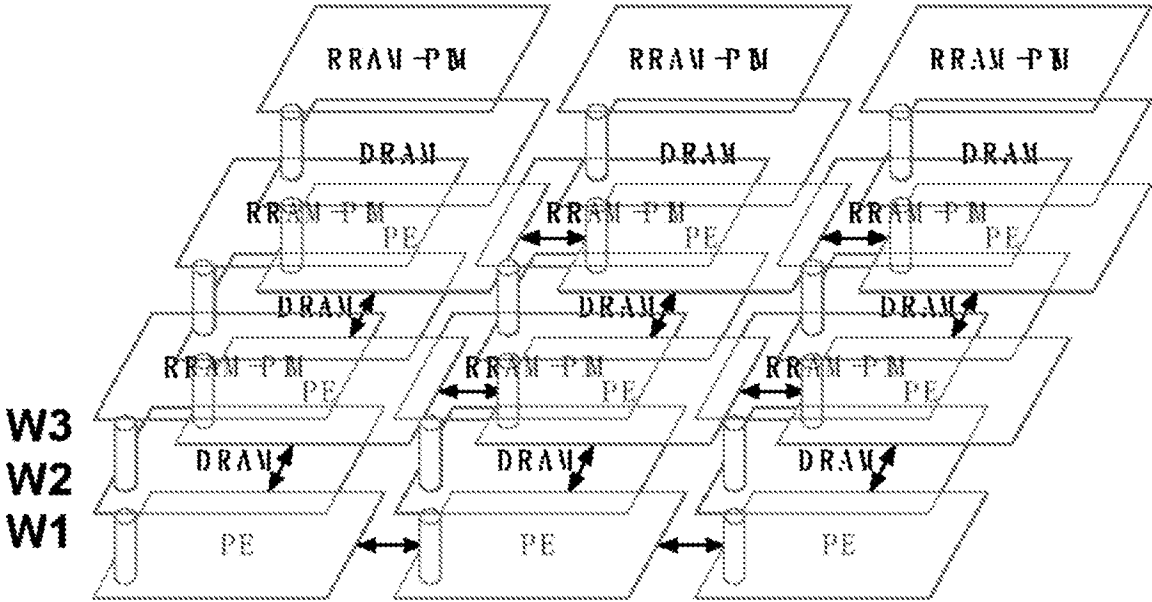


图6a

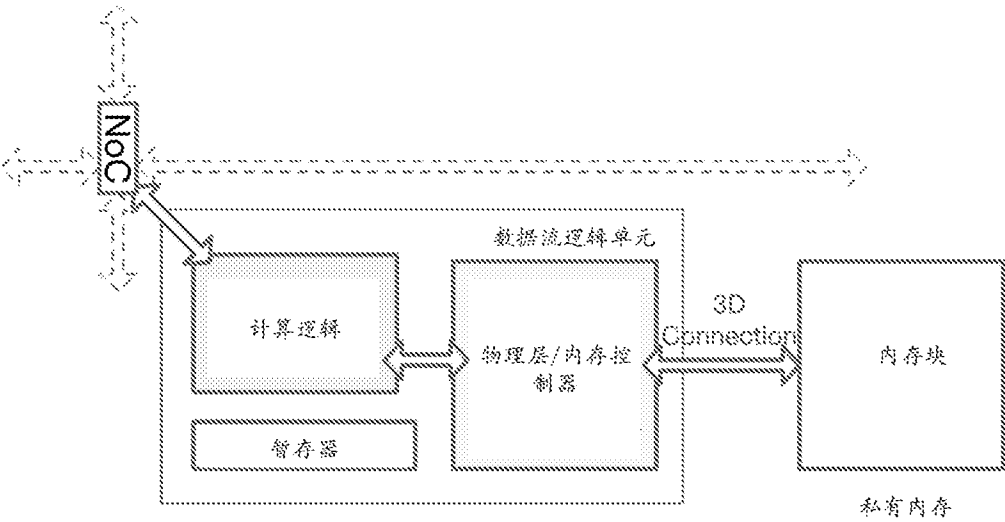


图 6b

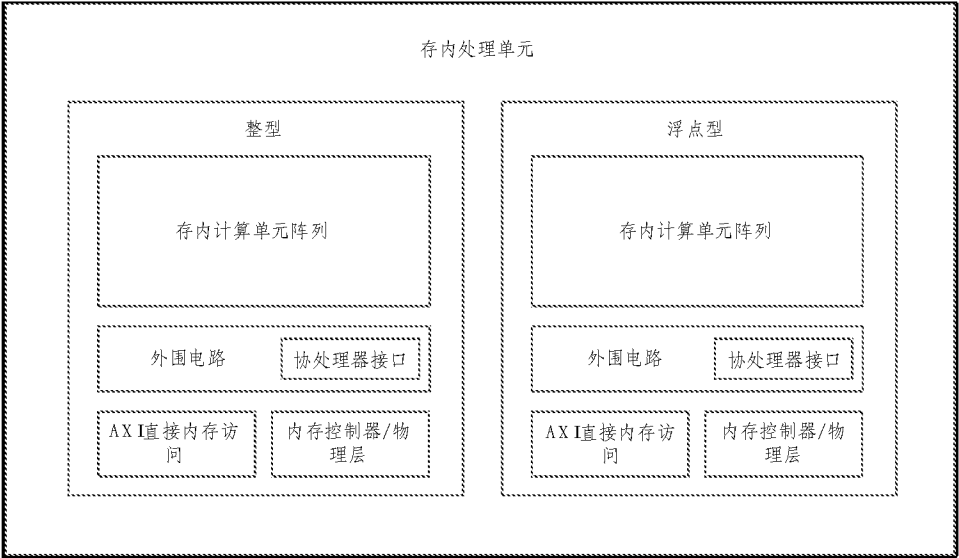


图 6c

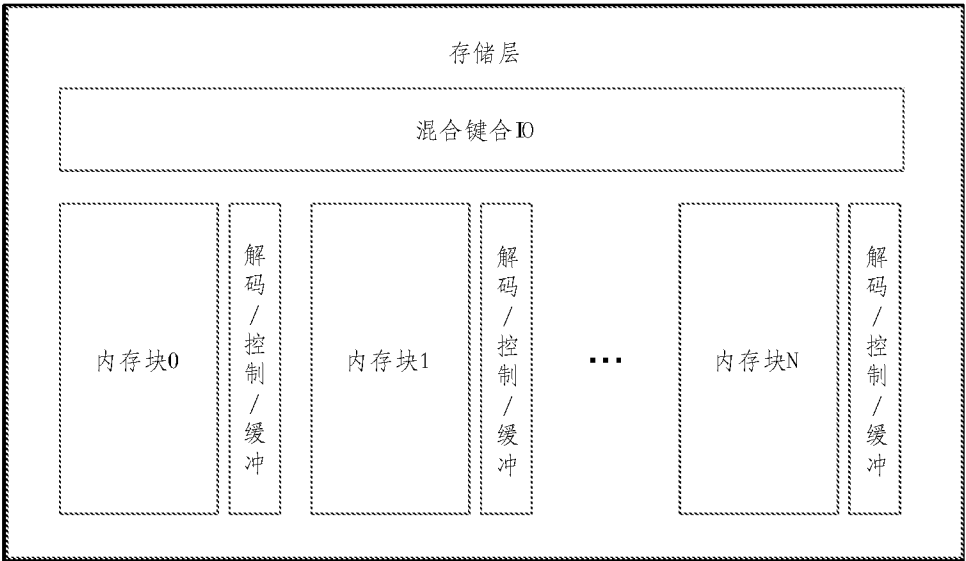


图 6d

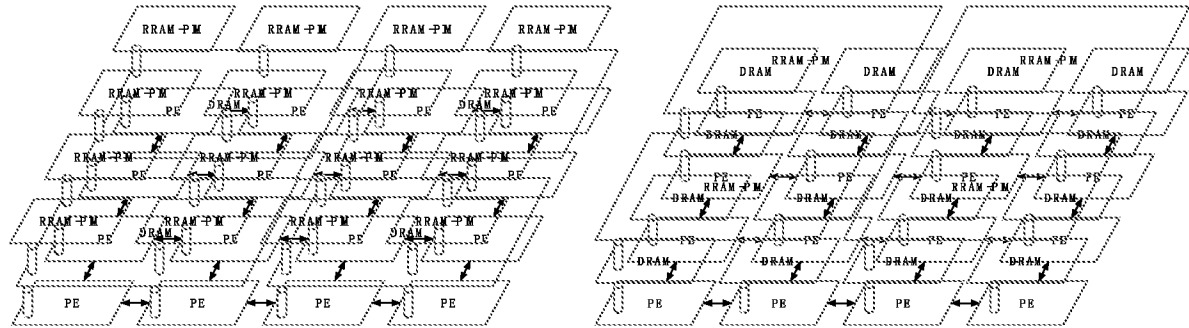


图7a

图7b

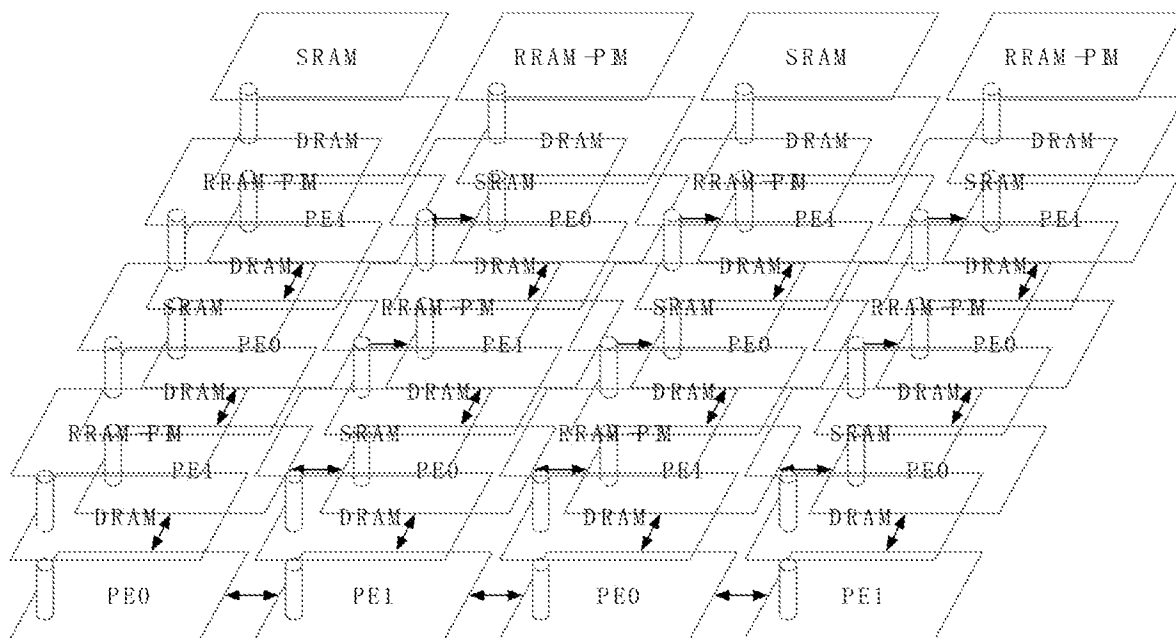


图8

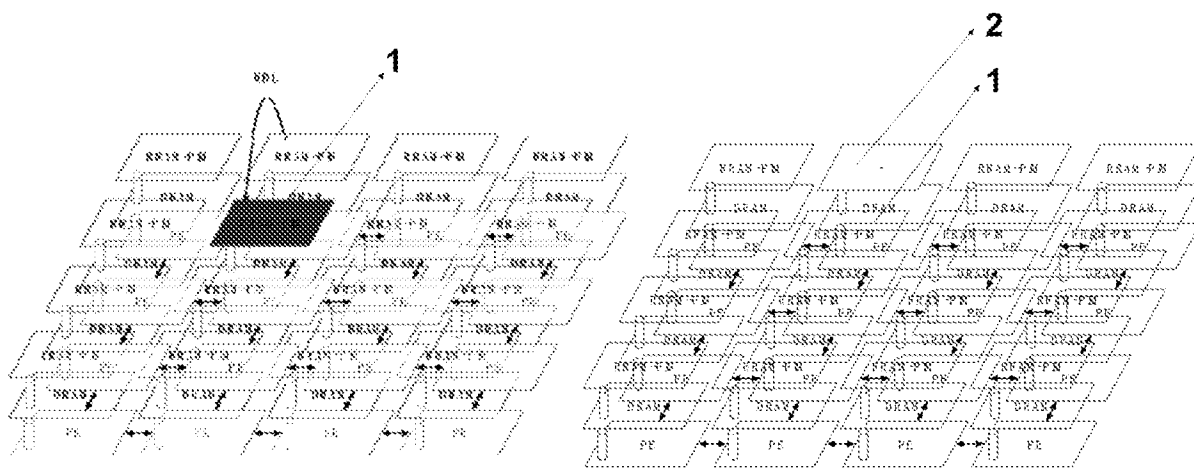


图9a

图9b

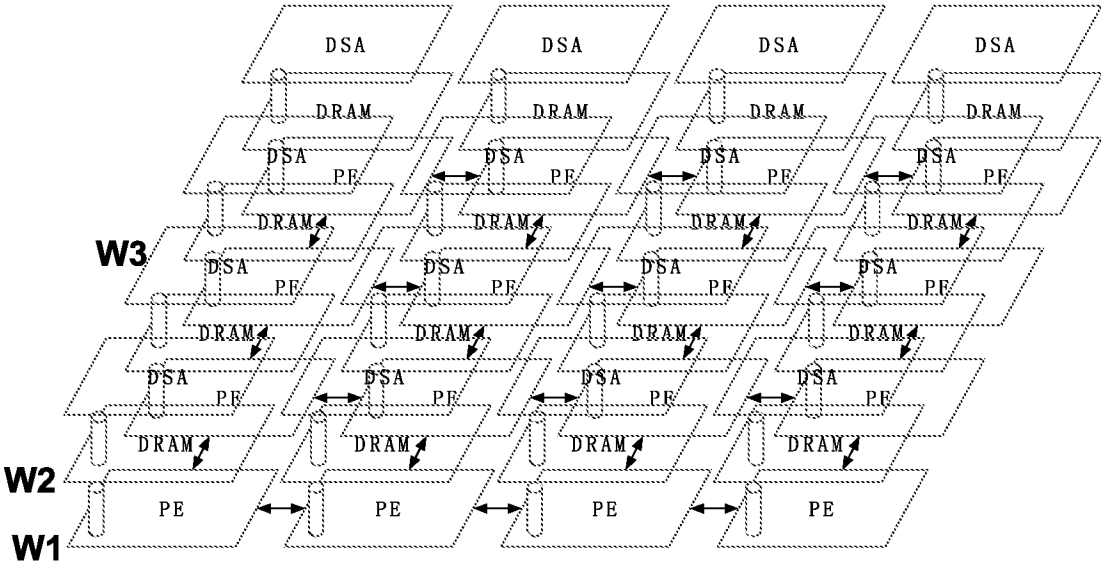


图10

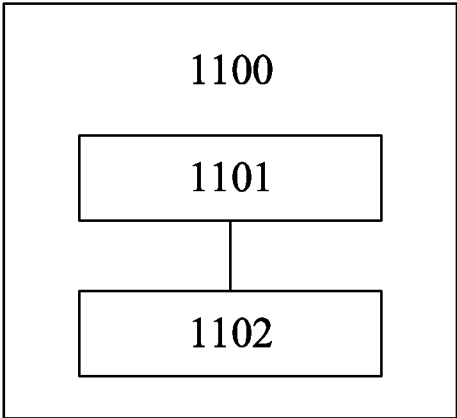


图 11

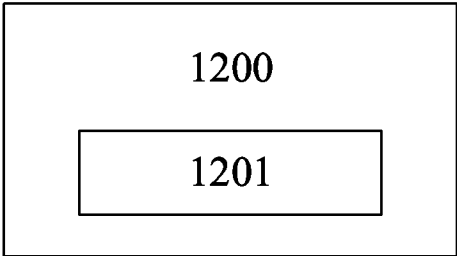


图 12

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2024/097972

A. CLASSIFICATION OF SUBJECT MATTER

H10B80/00(2023.01)i; H10B12/00(2023.01)i; H10B63/00(2023.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H10B

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

VEN; CNABS; CNTXT; USTXT; EPTXT; WOTXT; CNKI: 晶圆, 堆叠, 硅通孔, 重布线, 混合, 键合, 存储器, 逻辑, wafer, stack, through silicon via, TSV, rewiring, bonding

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 116828866 A (ALIBABA DAMO (HANGZHOU) TECHNOLOGY CO., LTD.) 29 September 2023 (2023-09-29) description, paragraphs [0049]-[0125], and figures 1a-12	1-20
X	CN 114050110 A (XI'AN MICROELECTRONICS TECHNOLOGY INSTITUTE) 15 February 2022 (2022-02-15) description, paragraphs [0039]-[0083], and figures 1-7	1-20
X	CN 113643739 A (XI'AN UNIIC SEMICONDUCTORS CO., LTD.) 12 November 2021 (2021-11-12) description, paragraphs [0035]-[0104], and figures 1-10	1-20
A	WO 2023078006 A1 (CAMBRICON (XI'AN) SEMICONDUCTOR CO., LTD.) 11 May 2023 (2023-05-11) entire document	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

10 July 2024

Date of mailing of the international search report

27 July 2024

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
China No. 6, Xitucheng Road, Jimenqiao, Haidian District,
Beijing 100088

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2024/097972

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	116828866	A	29 September 2023	None			
CN	114050110	A	15 February 2022	None			
CN	113643739	A	12 November 2021	CN	216119560	U	22 March 2022
				WO	2023030053	A1	09 March 2023
				US	2024099034	A1	09 March 2023
WO	2023078006	A1	11 May 2023	CN	116108900	A	12 May 2023

A. 主题的分类

H10B80/00(2023.01)i; H10B12/00(2023.01)i; H10B63/00(2023.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H10B

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

VEN;CNABS;CNTXT;USTXT;EPTXT;WOTXT;CNKI: 晶圆, 堆叠, 硅通孔, 重布线, 混合, 键合, 存储器, 逻辑, wafer, stack, through silicon via, TSV, rewiring, bonding

C. 相关文件

类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 116828866 A (阿里巴巴达摩院(杭州)科技有限公司) 2023年9月29日 (2023 - 09 - 29) 说明书第[0049]-[0125]段, 附图1a-12	1-20
X	CN 114050110 A (西安微电子技术研究所) 2022年2月15日 (2022 - 02 - 15) 说明书第[0039]-[0083]段, 附图1-7	1-20
X	CN 113643739 A (西安紫光国芯半导体有限公司) 2021年11月12日 (2021 - 11 - 12) 说明书第[0035]-[0104]段, 附图1-10	1-20
A	WO 2023078006 A1 (CAMBRICON XIAN SEMICONDUCTOR CO LTD) 2023年5月11日 (2023 - 05 - 11) 全文	1-20

☐ 其余文件在C栏的续页中列出。

☒ 见同族专利附件。

★ 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“D” 申请人在国际申请中引证的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“p” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2024年7月10日

国际检索报告邮寄日期

2024年7月27日

ISA/CN的名称和邮寄地址

中国国家知识产权局
中国北京市海淀区蓟门桥西土城路6号 100088

授权官员

张斌

电话号码 (+86) 0512-88995753

PCT/ISA/210 表(第2页) (2022年7月)

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2024/097972

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	116828866	A	2023年9月29日	无	
CN	114050110	A	2022年2月15日	无	
CN	113643739	A	2021年11月12日	CN	216119560 U 2022年3月22日
				WO	2023030053 A1 2023年3月9日
				US	2024099034 A1 2023年3月9日
WO	2023078006	A1	2023年5月11日	CN	116108900 A 2023年5月12日