



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.
H03L 7/00 (2006.01)

(11) 공개번호 10-2007-0071142
(43) 공개일자 2007년07월04일

(21) 출원번호 10-2005-0134338
(22) 출원일자 2005년12월29일
심사청구일자 2007년01월23일

(71) 출원인 고려대학교 산학협력단
서울 성북구 안암동5가1 고려대학교 내

(72) 발명자 김철우
서울특별시 노원구 공릉2동 81번지 태강아파트 1021-1103
정경훈
서울특별시 중랑구 면목4동 1521 두원아파트 101동 305호
안성훈
경기도 남양주시 별내면 청학리 주공아파트 205동 603호

(74) 대리인 현종철

전체 청구항 수 : 총 11 항

(54) 지연 고정 루프 기반의 주파수 체배기

(57) 요약

본 발명은 지연 고정 루프 기반의 주파수 체배기에 대하여 개시된다.

주파수 체배기는 지연 고정 루프, 체배비 제어기, 펄스 생성기, 그리고 펄스 조합기를 포함한다. 지연 고정 루프는 기준 클럭 신호를 입력하는 직렬 연결된 다수개의 제1 지연단들을 포함하고 제1 지연단들 중 첫번째 지연단의 출력 신호와 마지막 지연단의 출력 신호를 비교하여 제1 지연단들의 지연 시간을 조절하고 다중 위상 클럭들을 발생한다. 체배비 제어기는 하는 지연 고정 루프와, 체배비 선택 신호에 응답하여 다중 위상 클럭들을 선택한다. 펄스 생성기는 다중 위상 클럭을 입력으로 받아 체배비 제어기의 출력 클럭쌍의 지연시간에 해당하는 지속 시간을 갖는 출력 펄스들을 발생한다. 펄스 조합기는 출력 펄스들을 입력하여 체배된 클럭 신호를 발생한다.

대표도

도 1

특허청구의 범위

청구항 1.

기준 클럭 신호를 입력하는 직렬 연결된 다수개의 제1 지연단들을 포함하고, 상기 제1 지연단들 중 첫번째 지연단의 출력 신호와 마지막 지연단의 출력 신호를 비교하여 상기 제1 지연단들의 지연 시간을 조절하고, 다중 위상 클럭들을 발생하는 지연 고정 루프;

체배비 선택 신호에 응답하여 상기 다중 위상 클럭들을 선택하는 체배비 제어기;

상기 다중 위상 클럭을 입력으로 받아 상기 체배비 제어기의 출력의 반주기에 해당하는 지속 시간을 갖는 출력 펄스들을 발생하는 펄스 생성기; 및

상기 출력 펄스들을 입력하여 체배된 클럭 신호를 발생하는 펄스 조합기를 구비하는 것을 특징으로 하는 주파수 체배기.

청구항 2.

제1항에 있어서, 상기 주파수 체배기는

상기 체배된 클럭 신호를 입력하여 직렬 연결된 다수개의 제2 지연단들을 포함하고, 상기 기준 클럭 신호와 상기 제2 지연단들 중 마지막 지연단의 출력 신호를 비교하여 상기 제2 지연단들의 지연 시간을 조절하는 위상 보상 전압 제어부를 더 구비하는 것을 특징으로 하는 주파수 체배기.

청구항 3.

제1항에 있어서, 상기 지연 고정 루프는

상기 제1 지연단들의 첫번째 지연단의 출력 신호와 상기 제1 지연단들의 마지막 지연단의 출력 신호의 위상을 비교하여 업 신호 또는 다운 신호를 발생하는 위상 검출부;

상기 업 신호 또는 상기 다운 신호에 응답하여 상기 제어 신호를 변화시키는 전하 펌프;

상기 제어 신호의 노이즈 성분을 제거하는 루프 필터; 및

상기 기준 클럭 신호를 입력하고, 상기 제어 신호에 응답하여 상기 제1 지연단들의 지연 시간을 조절하는 전압 제어 지연선을 구비하는 것을 특징으로 하는 주파수 체배기.

청구항 4.

제1항에 있어서, 상기 체배비 제어기는

상기 다중 위상 클럭들을 입력하고 상기 체배비 선택 신호에 제어되는 믹스부들로 구성되는 것을 특징으로 하는 주파수 체배기.

청구항 5.

제4항에 있어서, 상기 체배비 제어기는

체배비가 4배인 경우, 상기 체배비 선택 신호에 응답하여 상기 다중 위상 클럭들 중 T/8(T는 상기 기준 클럭 신호의 주기) 지속 시간을 갖는 클럭 펄스 4개를 선택하는 것을 특징으로 하는 주파수 체배기.

청구항 6.

제4항에 있어서, 상기 체배비 제어기는

체배비가 2배인 경우, 상기 체배비 선택 신호에 응답하여 상기 다중 위상 클럭들 중 $T/4$ (T 는 상기 기준 클럭 신호의 주기) 지속 시간을 갖는 클럭 펄스 2개를 선택하는 것을 특징으로 하는 주파수 체배기.

청구항 7.

제5항 또는 제6항에 있어서, 상기 주파수 체배기는

상기 2배 또는 상기 4배 체배된 클럭 신호들과 상기 기준 클럭 신호와의 위상 차이를 보상하는 전압 제어 지연선을 더 포함하는 것을 특징으로 하는 주파수 체배기.

청구항 8.

제7항에 있어서, 상기 전압 제어 지연선은

인에이블 신호에 응답하여 상기 2배 또는 상기 4배 체배된 클럭 신호들과 상기 기준 클럭 신호와의 위상 차이를 비교하는 위상 검출부를 구비하고,

상기 위상 검출부는 상기 인에이블 신호의 활성화 동안 상기 2배 또는 상기 4배 체배된 클럭 신호들의 상승 에지가 한번만 설정되는 것을 특징으로 하는 주파수 체배기.

청구항 9.

제1항에 있어서, 상기 펄스 생성기는

상기 주파수 체배비 제어기에서 출력되는 이전 클럭 신호에 리셋되고, 현재 클럭 신호에 응답하여 전원 전압에 연결된 데이터 래치하는 D-플립플롭으로 구성되는 것을 특징으로 하는 주파수 체배기.

청구항 10.

제9항에 있어서, 상기 D-플립플롭은

전원 전압이 그 소스에 연결되고, 상기 이전 클럭 신호가 그 게이트에 연결되는 제1 피모스 트랜지스터;

상기 제1 피모스 트랜지스터의 드레인이 그 소스에 연결되고, 상기 현재 클럭 신호가 그 게이트에 연결되는 제2 피모스 트랜지스터;

상기 제2 피모스 트랜지스터의 드레인이 그 드레인에 연결되고, 상기 이전 클럭 신호가 그 게이트에 연결되고, 접지 전압이 그 소스에 연결되는 제1 엔모스 트랜지스터;

상기 전원 전압이 그 소스에 연결되고, 상기 제1 엔모스 트랜지스터의 드레인이 그 게이트에 연결되는 제3 피모스 트랜지스터;

상기 제3 피모스 트랜지스터의 드레인이 그 소스에 연결되고, 상기 현재 클럭 신호가 그 게이트에 연결되는 제2 엔모스 트랜지스터;

상기 제2 엔모스 트랜지스터의 드레인이 그 드레인에 연결되고, 상기 제1 엔모스 트랜지스터의 드레인이 그 게이트에 연결되고, 상기 접지 전압이 그 소스에 연결되는 제3 엔모스 트랜지스터; 및

상기 제3 피모스 트랜지스터의 드레인을 입력하고 상기 출력 펄스를 출력하는 인버터를 구비하는 것을 특징으로 하는 주파수 체배기.

청구항 11.

제1항에 있어서, 상기 펄스 조합기는

제1 내지 제4 출력 펄스들을 입력하는 제1 내지 제4 인버터들;

상기 제1 인버터 출력 및 상기 제2 인버터 출력을 입력하는 제1 낸드 게이트;

상기 제3 인버터 출력 및 상기 제4 인버터 출력을 입력하는 제2 낸드 게이트;

상기 제1 낸드 게이트의 출력을 입력하는 제5 인버터;

상기 제2 낸드 게이트의 출력을 입력하는 제6 인버터; 및

상기 제5 인버터 출력 및 제6 인버터들 출력을 입력하여 상기 체배된 클럭 신호를 출력하는 제3 낸드 게이트를 구비하는 것을 특징으로 하는 주파수 체배기.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 집적 회로에 관한 것으로, 특히 지연 고정 루프 기반의 주파수 체배기에 관한 것이다.

마이크로프로세서가 고성능으로 발전하면서, 컴퓨터와 디지털 통신의 여러 부품들의 대역폭이 증가하고 있다. 데이터가 전송되거나 이동하는 시간은 더욱 짧아지고 있으며, 이를 판별하여 처리하는 시간 또한 짧아지고 있다.

종래의 수만에서 수십만개의 트랜지스터가 집적될 때와 달리, 수백만이나 1억개 이상의 트랜지스터가 집적되는 시스템 온 칩(SoC)의 환경에서는 잡음과 지터, 스큐의 증가가 예상된다. 왜냐하면, 시스템 온 칩에 아날로그 블록과 디지털 블록이 함께 집적됨에 따라, 디지털 블록에서 발생하는 스위칭 잡음이 전원 전압과 접지 전압에 전달되기 때문이다. 그리고 많은 트랜지스터들의 집적으로 칩의 크기가 증가하는데, 이 때문에 클록 스큐가 증가하게 된다. 따라서 시스템이 점점 더 고속화, 집적화되어감에 따라 저지터의 클록 발생기의 개발은 중요하다.

한편, 저전력의 프로세서를 위해서 빠른 록킹 타임을 갖는 클록 발생기의 개발이 요구되고 있다. 프로세서는 록킹 동작 동안 전력 소모가 커질 수 있다. 저전력의 프로세서를 구현하기 위하여, 동적 전원 전압 제어와 함께 동적 주파수 체배가 제안되고 있다. 이러한 제안은 프로세서의 동작 모드에 따라 전원 전압과 함께 클럭 주파수를 변환하여 필요한 만큼의 전력을 소모한다는 것을 의미한다. 이를 위해서 여러 가지 블록들이 필요하지만, 필수적으로 빠른 록킹 시간을 갖고 주파수가 변화하는 주파수 체배기가 요구된다.

기존의 시스템에서 사용되는 전형적인 주파수 체배기는 위상 고정 루프(Phase Locked Loop : PLL) 기반이다. 위상 고정 루프는 전압 제어 방식의 전압 제어 발진기(Voltage Controlled Oscillator : VCO)의 주파수를 조정함으로 동작하게 된다. 전압 제어 발진기는 페루프로 구성되어, 구조적으로 지터가 누적되는 단점이 있다. 그리고 전압 제어 발진기는 주파수가 변화할 때마다 록킹 시간이 오래 걸려 저전력을 구현하는 데 어려움이 있다.

또한, 위상 고정 루프 기반의 주파수 체배기는 전압 제어 발진기의 출력이 분주기를 거쳐서 기준 신호와 비교되므로, 분주기 위상 만큼의 오차가 발생하며, 전압 제어 발진기의 구조상 체배된 클럭 신호는 듀티비 50%를 유지하기 어렵고 별도의 듀티 보상을 필요로 하는 번거로움이 있다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 지연 고정 루프 기반의 주파수 체배기를 제공하는 데 있다.

발명의 구성

상기 목적을 달성하기 위하여, 본 발명의 일면에 따른 주파수 체배기는 기준 클럭 신호를 입력하는 직렬 연결된 다수개의 제1 지연단들을 포함하고 제1 지연단들 중 첫번째 지연단의 출력 신호와 마지막 지연단의 출력 신호를 비교하여 제1 지연단들의 지연 시간을 조절하고 다중 위상 클럭들을 발생하는 지연 고정 루프와, 체배비 선택 신호에 응답하여 다중 위상 클럭들을 선택하는 체배비 제어기와, 다중 위상 클럭을 입력으로 받아 체배비 제어기의 출력 클럭쌍의 지연시간에 해당하는 지속 시간을 갖는 출력 펄스들을 발생하는 펄스 생성기와, 그리고 출력 펄스들을 입력하여 체배된 클럭 신호를 발생하는 펄스 조합기를 포함한다.

본 발명의 실시예들에 따라, 주파수 체배기는 체배된 클럭 신호를 입력하여 직렬 연결된 다수개의 제2 지연단들을 포함하고, 기준 클럭 신호와 제2 지연단들 중 마지막 지연단의 출력 신호를 비교하여 제2 지연단들의 지연 시간을 조절하는 위상 보상 전압 제어부를 더 포함할 수 있다.

본 발명의 실시예들에 따라, 지연 고정 루프는 제1 지연단들의 첫번째 지연단의 출력 신호와 제1 지연단들의 마지막 지연단의 출력 신호의 위상을 비교하여 업 신호 또는 다운 신호를 발생하는 위상 검출부와, 업 신호 또는 다운 신호에 응답하여 제어 신호를 변화시키는 전하 펌프와, 제어 신호의 노이즈 성분을 제거하는 루프 필터와, 기준 클럭 신호를 입력하고 제어 신호에 응답하여 제1 지연단들의 지연 시간을 조절하는 전압 제어 지연선을 포함할 수 있다.

본 발명의 실시예들에 따라, 체배비 제어기는 다중 위상 클럭들을 입력하고 체배비 선택 신호에 제어되는 맥스부들로 구성되며, 펄스 생성기는 체배비가 4배인 경우 체배비 선택 신호에 응답하여 다중 위상 클럭들 중 T/8(T는 상기 기준 클럭 신호의 주기) 지속 시간을 갖는 클럭 펄스 4개를 출력하고, 체배비가 2배인 경우 체배비 선택 신호에 응답하여 다중 위상 클럭들 중 T/4(T는 상기 기준 클럭 신호의 주기) 지속 시간을 갖는 클럭 펄스 2개를 출력할 수 있다.

본 발명의 실시예들에 따라, 주파수 체배기는 2배 또는 4배 체배된 클럭 신호들과 기준 클럭 신호와의 위상 차이를 보상하는 전압 제어 지연선을 더 포함할 수 있고, 전압 제어 지연선은 인에이블 신호에 응답하여 2배 또는 4배 체배된 클럭 신호들과 기준 클럭 신호와의 위상 차이를 비교하는 위상 검출부를 구비하고, 위상 검출부는 인에이블 신호의 활성화 동안 2배 또는 4배 체배된 클럭 신호들의 상승 에지가 한번만 설정될 수 있다.

본 발명의 실시예들에 따라, 펄스 생성기는 주파수 체배비 제어기에서 출력되는 이전 클럭 신호에 응답하여 저원전압에 연결된 데이터를 래치하고, 현재 클럭 신호에 리셋되는 D-플립플롭으로 구성될 수 있다.

본 발명의 실시예들에 따라, D-플립플롭은 전원 전압이 그 소스에 연결되고 리셋 클럭 신호가 그 게이트에 연결되는 제1 피모스 트랜지스터와, 제1 피모스 트랜지스터의 드레인이 그 소스에 연결되고 현재 클럭 신호가 그 게이트에 연결되는 제2 피모스 트랜지스터와, 제2 피모스 트랜지스터의 드레인이 그 드레인에 연결되고 리셋 클럭 신호가 그 게이트에 연결되고 접지 전압이 그 소스에 연결되는 제1 엔모스 트랜지스터와, 전원 전압이 그 소스에 연결되고 제1 엔모스 트랜지스터의 드레인이 그 게이트에 연결되는 제3 피모스 트랜지스터와, 제3 피모스 트랜지스터의 드레인이 그 소스에 연결되고 현재 클럭 신호가 그 게이트에 연결되는 제2 엔모스 트랜지스터와, 제2 엔모스 트랜지스터의 드레인이 그 드레인에 연결되고 제1 엔모스 트랜지스터의 드레인이 그 게이트에 연결되고 접지 전압이 그 소스에 연결되는 제3 엔모스 트랜지스터와, 그리고 제3 피모스 트랜지스터의 드레인을 입력하고 출력 펄스를 출력하는 인버터를 포함할 수 있다.

본 발명의 실시예들에 따라, 펄스 조합기는 제1 내지 제4 출력 펄스들을 입력하는 제1 내지 제4 인버터들과, 제1 인버터 출력 및 제2 인버터 출력을 입력하는 제1 낸드 게이트와, 제3 인버터 출력 및 제4 인버터 출력을 입력하는 제2 낸드 게이트와, 제1 낸드 게이트의 출력을 입력하는 제5 인버터와, 제2 낸드 게이트의 출력을 입력하는 제6 인버터와, 제5 인버터 출력 및 제6 인버터들 출력을 입력하여 체배된 클럭 신호를 출력하는 제3 낸드 게이트를 포함할 수 있다.

따라서, 본 발명의 주파수 체배기에 의하면, 자연 고정 루프를 기반으로 하여 지터 축적 현상이 나타나지 않고, 1차 특성식을 갖기 때문에 넓은 주파수 범위에 대해 안정적으로 동작하며, 고속 동작 또한 가능하다.

본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시예에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 예시적인 실시예를 설명하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

도 1은 본 발명의 일 실시예에 따른 주파수 체배기를 설명하는 블록 다이어그램이다. 도 1을 참조하면, 주파수 체배기(100)는 자연 고정 루프(110), 위상 보상 전압 제어부(120), 체배비 제어부(130), 펄스 생성기(140), 그리고 펄스 조합기(150)를 포함한다.

자연 고정 루프는(110)는 위상 검출기(112), 전하 펌프부(114), 루프 필터(116), 그리고 전압 제어 지연선(118)을 포함한다.

위상 검출기(112)는 전압 제어 지연선(220)의 첫번째 출력 신호(ref)와 마지막 출력 신호(D8)의 위상을 비교하여 업 신호(UP) 또는 다운 신호(DN)의 펄스를 발생한다. 전하 펌프부(114)는 업 신호(UP) 또는 다운 신호(DN) 펄스에 따라 전하를 공급 또는 방출함으로써 제어 신호(Vc)를 변화시킨다. 루프 필터(260)는 제어 신호(Vc)의 노이즈 성분을 제거한다.

전압 제어 지연선(118)은 기준 클럭 신호(fref)를 입력하여 차동 클럭 신호들(fref_in, frefb_in)을 출력하는 버퍼부(210)와 다수개의 지연단들(221-224)으로 구성된다. 각 지연단들(221-224)은 도 3의 회로 다이어그램으로 나타낸다.

도 3을 참조하면, 각 지연단들(221-224)은 전원 전압(Vcc)과 접지 전압(Vss) 사이에 직렬 연결되는 제3 트랜지스터(M3)와 제1 트랜지스터(M1), 제4 트랜지스터(M4)와 제2 트랜지스터(M2)를 포함한다. 제3 트랜지스터(M3)와 제4 트랜지스터(M4)는 게이트와 드레인이 서로 교차 연결되어 있고, 그 드레인들이 차동 출력 신호들(out, outb)로 출력된다. 제1 및 제2 트랜지스터(M1, M2)의 게이트들은 제1 및 제2 차동 신호(in, inb)에 각각 연결된다. 그리고, 각 지연단들(221-224)은 전원 전압(Vcc)과 제1 및 제2 차동 출력 신호(out, outb) 사이에, 제어 신호(vc)가 그 게이트들에 연결되는 제5 및 제6 트랜지스터들(M5, M6)을 더 포함한다.

각 지연단들(221-224)은 제어 신호(Vc)의 전압 레벨에 따라 제5 및 제6 트랜지스터들(M5, M6)을 통해 제1 및 제2 차동 출력 신호들(out, outb)로 공급되는 전류 양에 따라 그 지연 시간이 달라진다.

자연 고정 루프(110)의 출력(D1-D8)은 도 4에 도시된 바와 같이, T/8(T는 클럭 주기)의 동일한 위상차를 가지고 지연되어 출력된다.

위상 보상 전압 제어부(120)는 도 2의 전압 제어 지연선(120)과 동일한 구성을 갖는다. 설명의 중복을 피하기 위하여 구체적인 설명은 생략된다.

체배비 제어기(130)는 체배비 선택 신호에 응답하여 자연 고정 루프(110)에서 출력되는 8개의 다중 위상 클럭(D1-D8)에서 T/8 또는 T/4의 지연시간을 갖는 클럭 쌍을 선택한다. 체배비 제어기(130)는, 도 5에 도시된 바와 같이, 체배비 선택 신호에 응답하여 전압 제어 지연선(120)의 다중 위상 클럭(Di, Dbi, 1 ≤ i ≤ 8)을 선택 출력하는 믹스부로 구성된다.

예를 들어, 체배비가 4인 경우, 체배된 클럭은 8개의 다중 위상 클럭(D1-D8)의 상승 에지에서 클락을 트리거시켜 얻는다. 즉, 도 6a에 도시된 바와 같이, 8개의 다중 위상 클럭(D1-D8)을 2개씩 짝지어 T/8 지속 시간을 갖는 클럭 펄스 4개를 발생시키고, 이 4개의 펄스를 조합하여 최종적으로 체배된 클럭 신호(fmul_x4)를 얻을 수 있다. 예를 들어, 체배비가 2인 경우, 도 6b에 도시된 바와 같이, 8개의 다중 위상 클럭 중 T/4의 위상차를 갖는 4개의 클럭만을 사용하여, T/4 지속 시간을 갖는 클럭 펄스 2개를 발생시키고, 이 2개의 펄스를 조합하여 2배 체배된 클럭 신호(fmul_x2)를 발생한다.

한편, 2배 또는 4배 체배된 클럭 신호들은 기준 클럭 신호(fref)와 위상 차이가 존재한다. 이 위상 차이를 보상하기 위해, 또 하나의 전압 제어 지연선을 사용할 수 있다. 추가되는 전압 제어 지연선은 일반적인 지연 고정 루프의 제어 방법과 동일한 방법으로 제어 전압을 조절한다. 다만, 위상 검출기의 두 입력 클럭의 주파수가 다르므로, 도 7과 같이, 인에이블 신호(enable)를 위상 검출기에 연결하고 인에이블 신호가 활성화된 경우에만 위상 검출기가 동작하도록 설계할 수 있다. 인에이블 신호(enable)의 지속 시간은 체배비가 4인 경우 $T/4(fmul_x4')$, 체배비가 2인 경우 $T/2(fmul_x2')$ 로 설계하여, 인에이블 신호(enable)가 로직 하이인 동안에 체배된 클럭의 상승 에지가 한 번만 오도록 설계할 수 있다.

도 8은 도 1의 펄스 생성기를 설명하는 블록 다이어그램이다. 도 8을 참조하면, 펄스 생성기(140)는 8개의 다중 위상 클럭(A<n>, n=1~8)을 입력으로 받아 체배된 클럭의 반주기에 해당하는 지속 시간을 갖는 펄스들(Q<m>, m=1~4)을 발생한다. 펄스 생성기(140)는 이전 클럭 신호(A<n>)에 응답하여 전원전압(Vcc)에 연결된 데이터를 래치하고, 현재 클럭 신호(A<n+1>)에 리셋되는 D-플립플롭으로 구성된다.

도 9는 도 8의 D-플립플롭을 구체적으로 설명하는 회로 다이어그램이다. 도 9를 참조하면, D-플립플롭은 전원 전압(Vcc)과 접지 전압(Vss) 사이에 직렬 연결되는 제1 및 제2 피모스 트랜지스터들(P1, P2)과 제1 엔모스 트랜지스터(N1), 그리고 제3 피모스 트랜지스터(P3)와 제2 및 제3 엔모스 트랜지스터들(N2, N3)을 포함한다. 제1 피모스 트랜지스터(P1)와 제1 엔모스 트랜지스터(N1)의 게이트들은 리셋 신호(RST)에 연결되고, 제2 피모스 트랜지스터(P2)와 제2 엔모스 트랜지스터(N2)의 게이트들은 클럭 신호(CLK)에 연결된다. 제3 피모스 트랜지스터(P3)와 제3 엔모스 트랜지스터(N3)의 게이트들은 제2 피모스 트랜지스터(P2)와 제1 엔모스 트랜지스터(N1)의 드레인(A)에 연결된다. 그리고, D-플립플롭은 제3 피모스 트랜지스터(P3)와 제2 엔모스 트랜지스터(N2)의 드레인(B)이 그 입력 단자에 연결되는 인버터(INV)를 더 포함한다.

D-플립플롭의 동작은 도 10에서 설명된다. D-플립플롭은 클럭 신호(CLK)와 리셋 신호(RST)가 로직 로우일 때, 노드 A가 전원 전압(Vcc)으로 프리차지되고, 노드 B는 플로팅 상태이다. 이 후, 클럭 신호(CLK)의 상승 에지에 응답하여 노드 B는 로직 로우가 되고, 출력 신호(Q)는 로직 하이가 된다. 리셋 신호(RST)의 상승 에지에 응답하여 노드 A는 로직 로우가 되고, 노드 B는 전원 전압(Vcc)이 되고 출력 펄스(Q)는 로직 로우로 리셋된다.

도 11은 도 1의 펄스 조합기(150)를 설명하는 회로 다이어그램이다. 도 11을 참조하면, 펄스 조합기(150)는 제1 내지 제4 출력 펄스들(Q<m>, m=1,2,3,4)을 입력하는 제1 내지 제4 인버터들(1101~1104), 제1 및 제2 인버터들(1101, 1102)의 출력을 입력하는 제1 낸드 게이트(1105), 제3 및 제4 인버터들(1103, 1104)의 출력을 입력하는 제2 낸드 게이트(1106), 제1 낸드 게이트(1105)의 출력을 입력하는 제5 인버터(1107), 제2 낸드 게이트(1106)의 출력을 입력하는 제6 인버터(1108), 그리고 제5 및 제6 인버터들(1107, 1108)의 출력을 입력하여 체배된 클럭 신호(fmul)를 출력하는 제3 낸드 게이트(1109)를 포함한다. 체배된 클럭 신호(fmul)는 기준 클럭 신호(fref)와 동기화되고, 듀티비 50%를 갖는다. 그리고 체배된 클럭 신호(fmul)는 전압 제어 지연선(118)에서 N 개의 다중 위상 클럭들을 생성했을 때 최대 체배비가 N/2로 한정된다.

따라서, 주파수 체배기(100)는 지연 고정 루프를 기반으로 하기 때문에, 위상 고정 루프 기반의 주파수 체배기와 비교하였을 때 지터 축적 현상이 나타나지 않는다. 그리고, 주파수 체배기(100)는 1차 특성식을 갖기 때문에 넓은 주파수 범위에 대해 안정적으로 동작하며, 고속 동작이 가능하다.

본 발명은 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

발명의 효과

상술한 본 발명의 주파수 체배기에 의하면, 지연 고정 루프를 기반으로 하여 지터 축적 현상이 나타나지 않고, 1차 특성식을 갖기 때문에 넓은 주파수 범위에 대해 안정적으로 동작하며, 고속 동작 또한 가능하다.

도면의 간단한 설명

도 1은 본 발명의 일 실시예에 따른 주파수 체배기를 설명하는 블록 다이어그램이다.

도 2는 도 1의 전압 제어 지연선을 설명하는 블록 다이어그램이다.

도 3은 도 2의 지연단을 설명하는 회로 다이어그램이다.

도 4는 도 1의 지연 고정 루프의 다중 위상 클럭들의 타이밍 다이어그램이다.

도 5는 도 1의 체배비 제어기를 설명하는 블록 다이어그램이다.

도 6a, 도 6b는 도 1의 펄스 생성기와 펄스 조합기의 동작을 설명하는 타이밍 다이어그램이다.

도 7은 위상 보상 전압 제어부의 인에이블 신호를 설명하는 타이밍 다이어그램이다.

도 8은 도 1의 펄스 생성기를 설명하는 블록 다이어그램이다.

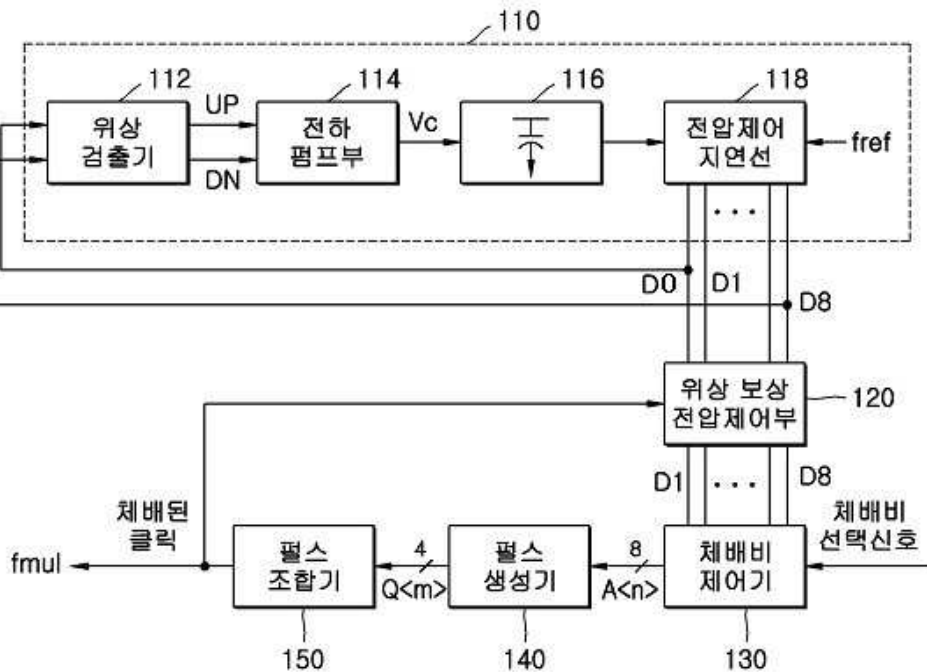
도 9는 도 8의 D-플립플롭을 설명하는 회로 다이어그램이다.

도 10은 도 9의 D-플립플롭의 동작 타이밍 다이어그램이다.

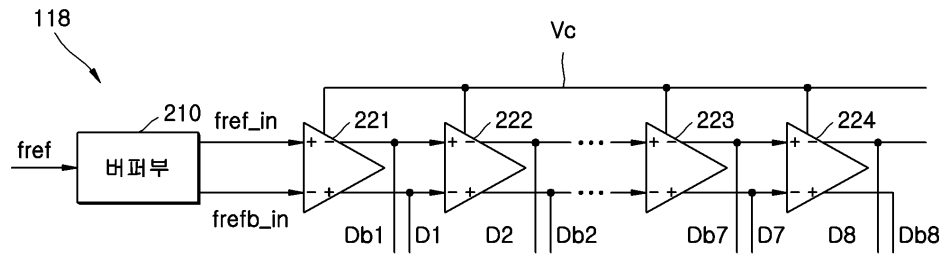
도 11은 도 1의 펄스 조합기를 설명하는 회로 다이어그램이다.

도면

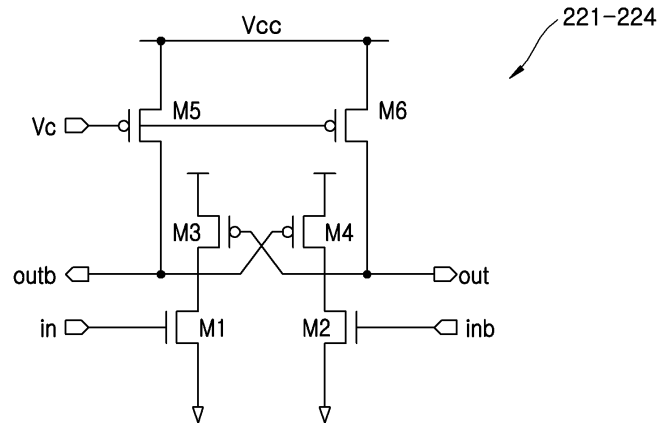
도면1



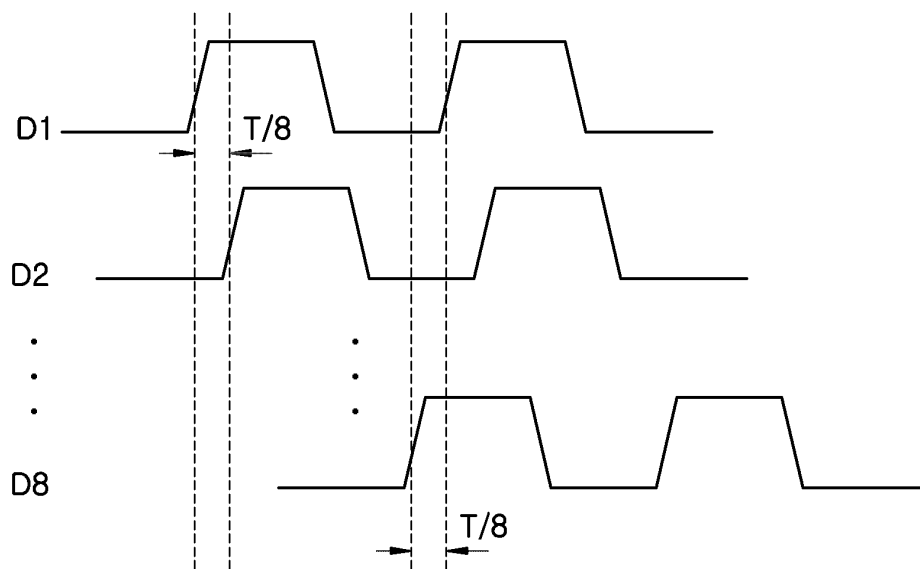
도면2



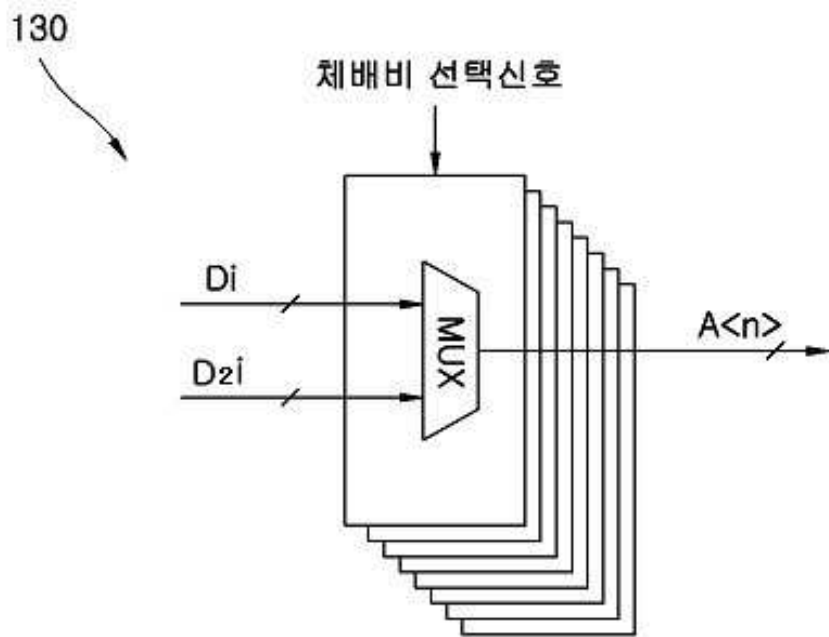
도면3



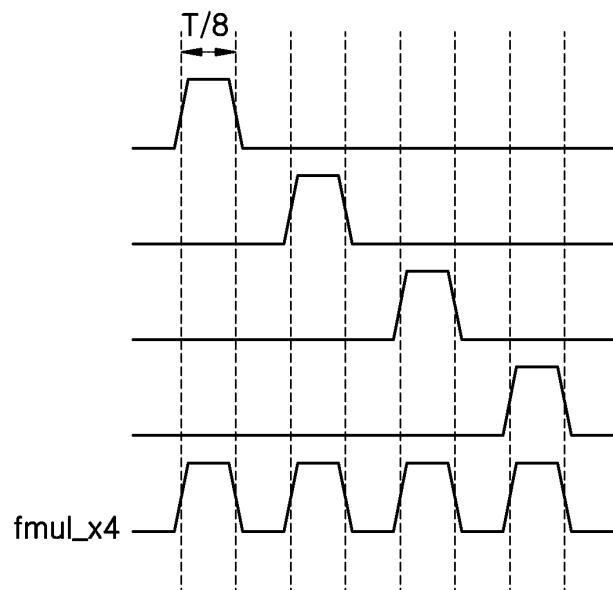
도면4



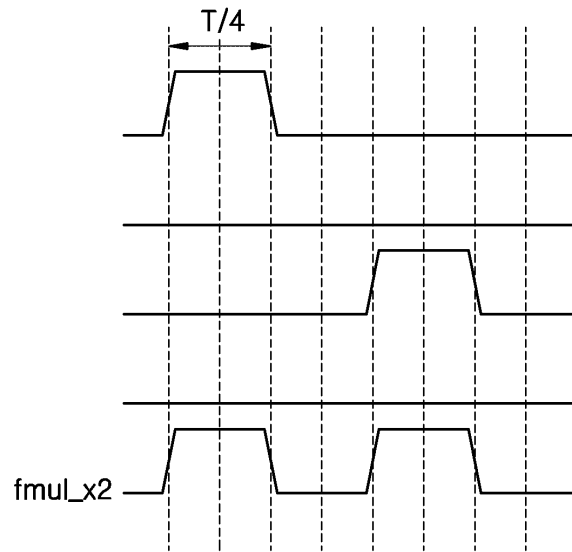
도면5



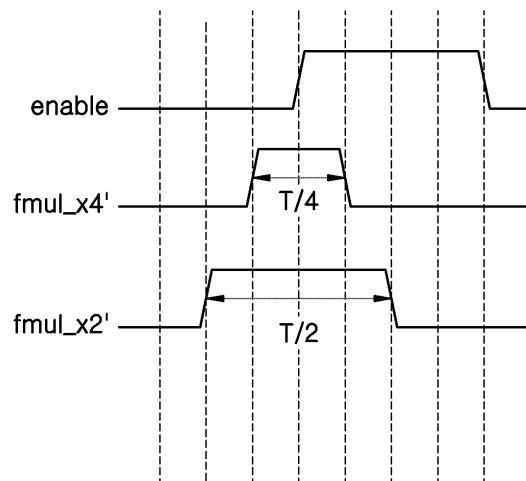
도면6a



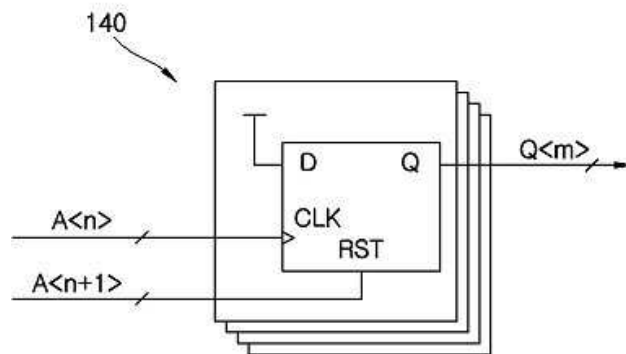
도면6b



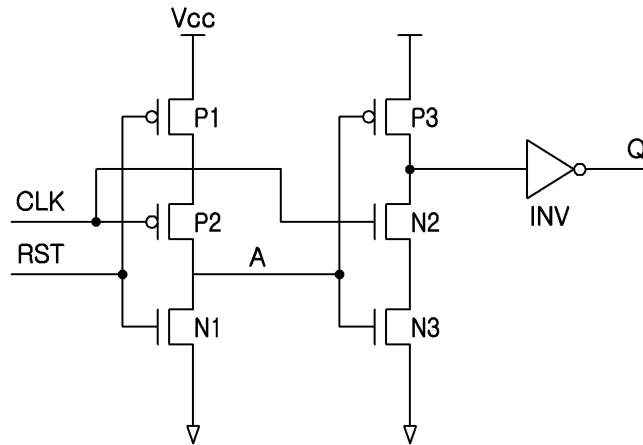
도면7



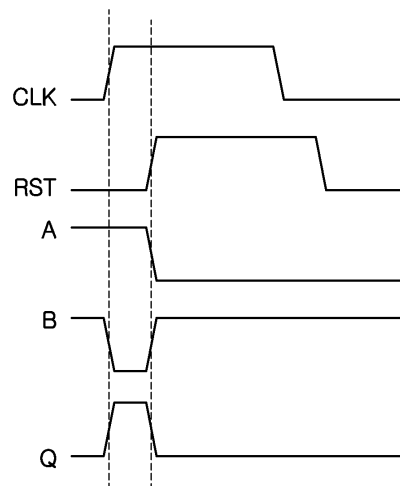
도면8



도면9



도면10



도면11

