

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5805513号
(P5805513)

(45) 発行日 平成27年11月4日(2015.11.4)

(24) 登録日 平成27年9月11日(2015.9.11)

(51) Int.Cl.

F 1

HO1L 25/07	(2006.01)	HO1L 25/04	C
HO1L 25/18	(2006.01)	HO1L 29/78	655A
HO1L 29/739	(2006.01)	HO1L 29/78	652Q
HO1L 29/78	(2006.01)	HO2M 1/08	Z
HO2M 1/08	(2006.01)	HO3K 17/687	Z

請求項の数 10 (全 24 頁) 最終頁に続く

(21) 出願番号

特願2011-272961 (P2011-272961)

(22) 出願日

平成23年12月14日(2011.12.14)

(65) 公開番号

特開2013-125806 (P2013-125806A)

(43) 公開日

平成25年6月24日(2013.6.24)

審査請求日

平成25年12月26日(2013.12.26)

前置審査

(73) 特許権者 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目7番3号

(74) 代理人 100088672

弁理士 吉竹 英俊

(74) 代理人 100088845

弁理士 有田 貴弘

(72) 発明者 田中 智典

東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

(72) 発明者 岩上 敬

東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

審査官 松田 直也

最終頁に続く

(54) 【発明の名称】電力用半導体装置

(57) 【特許請求の範囲】

【請求項 1】

第1の電圧を与える第1の電源ラインと第2の電圧を与える第2の電源ラインとの間に直列に介挿され、相補的に動作する第1および第2のスイッチング部によって構成されるインバータと、

前記第1および第2のスイッチング部のそれぞれのスイッチング動作を制御する第1および第2の制御回路と、を備え、それらがモジュール化された電力用半導体装置であって、

前記第1のスイッチング部は、

前記第1の電源ラインにそれぞれの一方の主電極が接続され、前記インバータの出力ノードにそれぞれの他方の主電極が接続された第1のIGBTおよび第1のMOSFETを有し、

前記第2のスイッチング部は、

前記第2の電源ラインにそれぞれの一方の主電極が接続され、前記インバータの前記出力ノードにそれぞれの他方の主電極が接続された第2のIGBTおよび第2のMOSFETを有し、

前記電力用半導体装置の平面レイアウトにおいて、

前記第1の制御回路は、前記第1のスイッチング部に対向する位置に配置され、前記第1のIGBTおよび前記第1のMOSFETの一方は、前記第1の制御回路の近傍に配置され、他方はそれよりも前記第1の制御回路から遠い位置に配置され、

前記第2の制御回路は、前記第2のスイッチング部に対向する位置に配置され、前記第2のIGBTおよび前記第2のMOSFETの一方は、前記第2の制御回路の近傍に配置され、他方はそれよりも前記第2の制御回路から遠い位置に配置され、

前記第1のIGBTおよび前記第1のMOSFETのうち、前記第1の制御回路の近傍に配置されたトランジスタは、前記第1の制御回路から与えられたゲート制御信号を、そのゲートを介して前記第1の制御回路から遠い位置に配置されたトランジスタのゲートに与え、

前記第2のIGBTおよび前記第2のMOSFETのうち、前記第2の制御回路の近傍に配置されたトランジスタは、前記第2の制御回路から与えられたゲート制御信号を、そのゲートを介して前記第2の制御回路から遠い位置に配置されたトランジスタに与え。10

前記第1のIGBTおよび前記第1のMOSFETは、主電流が半導体基板正面に対して垂直な方向に流れる縦型構造のトランジスタであり、

前記第1のスイッチング部内の、前記第1の制御回路の近傍に配置されたトランジスタは、そのゲートに接続される第1のゲートパッドが、前記他方の主電極側の平面内において前記第1の制御回路側に設けられ、第2のゲートパッドが、前記他方の主電極側の平面内において前記第1の制御回路とは反対側に設けられ、

前記第1のゲートパッドに前記第1の制御回路からの前記ゲート制御信号が与えられ、前記第2のゲートパッドから前記ゲート制御信号が出力されて前記第1の制御回路から遠い位置に配置されたトランジスタのゲートパッドに与えられ、

前記第2のIGBTおよび前記第2のMOSFETは、主電流が半導体基板正面に対して垂直な方向に流れる縦型構造のトランジスタであり。20

前記第2のスイッチング部内の、前記第2の制御回路の近傍に配置されたトランジスタは、そのゲートに接続される第1のゲートパッドが、前記他方の主電極側の平面内において前記第2の制御回路側に設けられ、第2のゲートパッドが、前記他方の主電極側の平面内において前記第2の制御回路とは反対側に設けられ、

前記第1のゲートパッドに前記第2の制御回路からの前記ゲート制御信号が与えられ、前記第2のゲートパッドから前記ゲート制御信号が出力されて前記第2の制御回路から遠い位置に配置されたトランジスタのゲートパッドに与えられる、電力用半導体装置。

【請求項2】

前記第1のスイッチング部において、前記第1のIGBTが、前記第1の制御回路の近傍に配置され。30

前記第2のスイッチング部において、前記第2のIGBTが、前記第2の制御回路の近傍に配置される、請求項1記載の電力用半導体装置。

【請求項3】

前記第1のスイッチング部において、前記第1のMOSFETが、前記第1の制御回路の近傍に配置され、

前記第2のスイッチング部において、前記第2のMOSFETが、前記第2の制御回路の近傍に配置される、請求項1記載の電力用半導体装置。

【請求項4】

前記第1のIGBTの閾値電圧は、前記第1のMOSFETの閾値電圧よりも低く設定され。40

前記第2のIGBTの閾値電圧は、前記第2のMOSFETの閾値電圧よりも低く設定される、請求項1記載の電力用半導体装置。

【請求項5】

前記第1のスイッチング部内の前記第1の制御回路から遠い位置に配置されたトランジスタは、そのゲートパッドとゲートとの間に抵抗素子を有し、

前記第2のスイッチング部内の前記第2の制御回路から遠い位置に配置されたトランジスタは、そのゲートパッドとゲートとの間に抵抗素子を有する、請求項1記載の電力用半導体装置。

【請求項6】

10

30

40

50

第1の電圧を与える第1の電源ラインと第2の電圧を与える第2の電源ラインとの間に直列に介挿され、相補的に動作する第1および第2のスイッチング部によって構成されるインバータと、

前記第1および第2のスイッチング部のそれぞれのスイッチング動作を制御する第1および第2の制御回路と、を備え、それらがモジュール化された電力用半導体装置であって、

前記第1のスイッチング部は、

前記第1の電源ラインにそれぞれの一方の主電極が接続され、前記インバータの出力ノードにそれぞれの他方の主電極が接続された第1のIGBTおよび第1のMOSFETを有し、

10

前記第2のスイッチング部は、

前記第2の電源ラインにそれぞれの一方の主電極が接続され、前記インバータの前記出力ノードにそれぞれの他方の主電極が接続された第2のIGBTおよび第2のMOSFETを有し、

前記第1のIGBTのゲートには、前記第1の制御回路からのゲート制御信号が第1の抵抗素子を介して与えられ、

前記第1のMOSFETには、前記第1の制御回路からの前記ゲート制御信号が第2の抵抗素子を介して与えられ、

前記第2の抵抗素子の抵抗値は前記第1の抵抗素子よりも高く、前記第2の抵抗素子にはダイオードが逆並列に接続され、

20

前記第2のIGBTのゲートには、前記第2の制御回路からのゲート制御信号が第1の抵抗素子を介して与えられ、

前記第2のMOSFETには、前記第2の制御回路からの前記ゲート制御信号が第2の抵抗素子を介して与えられ、

前記第2の抵抗素子の抵抗値は前記第1の抵抗素子よりも高く、前記第2の抵抗素子にはダイオードが逆並列に接続される、電力用半導体装置。

【請求項7】

第1の電圧を与える第1の電源ラインと第2の電圧を与える第2の電源ラインとの間に直列に介挿され、相補的に動作する第1および第2のスイッチング部によって構成されるインバータと、

30

前記第1および第2のスイッチング部のそれぞれのスイッチング動作を制御する第1および第2の制御回路と、を備え、それらがモジュール化された電力用半導体装置であって、

前記第1のスイッチング部は、

前記第1の電源ラインにそれぞれの一方の主電極が接続され、前記インバータの出力ノードにそれぞれの他方の主電極が接続された第1のIGBTおよび第1のMOSFETを有し、

前記第2のスイッチング部は、

前記第2の電源ラインにそれぞれの一方の主電極が接続され、前記インバータの前記出力ノードにそれぞれの他方の主電極が接続された第2のIGBTおよび第2のMOSFETを有し、

40

前記電力用半導体装置の平面レイアウトにおいて、

前記第1の制御回路は、前記第1のスイッチング部に対向する位置に配置され、前記第1のIGBTおよび前記第1のMOSFETの一方は、前記第1の制御回路の近傍に配置され、他方はそれよりも前記第1の制御回路から遠い位置に配置され、

前記第2の制御回路は、前記第2のスイッチング部に対向する位置に配置され、前記第2のIGBTおよび前記第2のMOSFETの一方は、前記第2の制御回路の近傍に配置され、他方はそれよりも前記第2の制御回路から遠い位置に配置され、

前記第1のIGBTおよび前記第1のMOSFETは、主電流が半導体基板正面に対して垂直な方向に流れる縦型構造のトランジスタであり、

50

前記第1のスイッチング部内の、前記第1の制御回路の近傍に配置されたトランジスタは、そのゲートに接続されるゲートパッドが、前記他方の主電極側の平面内において前記第1の制御回路側に設けられ、中継パターンが、前記他方の主電極側の平面内において前記第1の制御回路とは反対側に設けられ、

前記ゲートパッドに前記第1の制御回路からの第1のゲート制御信号が与えられるとともに、前記中継パターンに前記第1の制御回路からの第2のゲート制御信号が与えられ、前記中継パターンを介して前記第2のゲート制御信号が前記第1の制御回路から遠い位置に配置されたトランジスタのゲートパッドに与えられ、

前記第2のIGBTおよび前記第2のMOSFETは、主電流が半導体基板正面に対し10
て垂直な方向に流れる縦型構造のトランジスタであり、

前記第2のスイッチング部内の、前記第2の制御回路の近傍に配置されたトランジスタは、そのゲートに接続されるゲートパッドが、前記他方の主電極側の平面内において前記第2の制御回路側に設けられ、中継パターンが、前記他方の主電極側の平面内において前記第2の制御回路とは反対側に設けられ、

前記ゲートパッドに前記第2の制御回路からの第1のゲート制御信号が与えられるとともに、前記中継パターンに前記第2の制御回路からの第2のゲート制御信号が与えられ、前記中継パターンを介して前記第2のゲート制御信号が前記第2の制御回路から遠い位置に配置されたトランジスタのゲートパッドに与えられる、電力用半導体装置。

【請求項8】

前記第1の制御回路は、
ターンオン時には、前記第1のIGBTの方が先にターンオンし、ターンオフ時には、前記第1のMOSFETの方が先にターンオフするように前記第1および第2のゲート制御信号を与える、

前記第2の制御回路は、
ターンオン時には、前記第2のIGBTの方が先にターンオンし、ターンオフ時には、前記第2のMOSFETの方が先にターンオフするように前記第1および第2のゲート制御信号を与える、請求項7記載の電力用半導体装置。

【請求項9】

第1の電圧を与える第1の電源ラインと第2の電圧を与える第2の電源ラインとの間に直列に介挿され、相補的に動作する第1および第2のスイッチング部によって構成されるインバータと、

前記第1および第2のスイッチング部のそれぞれのスイッチング動作を制御する第1および第2の制御回路と、を備え、それらがモジュール化された電力用半導体装置であって、

前記第1のスイッチング部は、
前記第1の電源ラインにそれぞれの一方の主電極が接続され、前記インバータの出力ノードにそれぞれの他方の主電極が接続された第1のIGBTおよび第1のMOSFETを有し、

前記第2のスイッチング部は、
前記第2の電源ラインにそれぞれの一方の主電極が接続され、前記インバータの前記出力ノードにそれぞれの他方の主電極が接続された第2のIGBTおよび第2のMOSFETを有し、

前記第1の制御回路は、
ターンオン時には、前記第1のIGBTの方が先にターンオンし、ターンオフ時には、前記第1のMOSFETの方が先にターンオフするように前記第1のIGBTおよび前記第1のMOSFETのスイッチング動作を個別に制御し、

前記第2の制御回路は、
ターンオン時には、前記第2のIGBTの方が先にターンオンし、ターンオフ時には、前記第2のMOSFETの方が先にターンオフするように前記第2のIGBTおよび前記第2のMOSFETのスイッチング動作を個別に制御する、電力用半導体装置。

10

20

30

40

50

【請求項 10】

前記第1および第2のMOSFETは、

炭化シリコン基板上に形成される炭化シリコンMOSFETおよび窒化ガリウム系材料で構成される基板上に形成される窒化ガリウムMOSFETの何れかである、請求項1、6、7および9の何れか1項に記載の電力用半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は電力用半導体装置に関し、特に、スイッチングデバイスとしてIGBTとMOSFETとを並列動作させて用いる電力用半導体装置に関する。

10

【背景技術】

【0002】

従来より、IGBT (insulated gate bipolar transistor) などのスイッチング装置では、スイッチング損失を低減させる目的でIGBTにMOSFET (MOS field effect transistor) を並列接続した構成が検討されている。

【0003】

例えは特許文献1の図5には、並列に接続されたIGBTとMOSFETのそれぞれのゲートが共通に接続され、共通のゲート駆動回路で両者を駆動する構成が開示されている。

【0004】

このような構成を採ることで、IGBTとMOSFETのしきい値電圧の差を利用して、ターンオフ時の過渡特性MOSFETのターンオフ特性を反映させ、ターンオフ損失が大きいIGBTのターンオフ特性を吸収してスイッチング損失を低減することができる。

20

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開平4-354156号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

上述の特許文献1の構成では、IGBTのオン閾値電圧をMOSFETのオン閾値電圧より高く設定しているためスイッチング時の過渡状態においては、必ずMOSFETに全電流が流れるため、それに対処するにはMOSFETの電流定格を大きくしなければならず、MOSFETのチップサイズを小さくすることが困難であり、装置全体の小型化が難しいという課題があった。

30

【0007】

本発明は上記のような問題点を解消するためになされたもので、スイッチングデバイスとしてIGBTとMOSFETとを並列動作させて用いる電力用半導体装置において、装置全体を小型化することを目的とする。

【課題を解決するための手段】

40

【0008】

本発明に係る電力用半導体装置の第1の態様は、第1の電圧を与える第1の電源ラインと第2の電圧を与える第2の電源ラインとの間に直列に介挿され、相補的に動作する第1および第2のスイッチング部によって構成されるインバータと、前記第1および第2のスイッチング部のそれぞれのスイッチング動作を制御する第1および第2の制御回路と、を備え、それらがモジュール化された電力用半導体装置であって、前記第1のスイッチング部は、前記第1の電源ラインにそれぞれの一方の主電極が接続され、前記インバータの出力ノードにそれぞれの他方の主電極が接続された第1のIGBTおよび第1のMOSFETを有し、前記第2のスイッチング部は、前記第2の電源ラインにそれぞれの一方の主電極が接続され、前記インバータの前記出力ノードにそれぞれの他方の主電極が接続された

50

第2のIGBTおよび第2のMOSFETを有し、前記電力用半導体装置の平面レイアウトにおいて、前記第1の制御回路は、前記第1のスイッチング部に対向する位置に配置され、前記第1のIGBTおよび前記第1のMOSFETの一方は、前記第1の制御回路の近傍に配置され、他方はそれよりも前記第1の制御回路から遠い位置に配置され、前記第2の制御回路は、前記第2のスイッチング部に対向する位置に配置され、前記第2のIGBTおよび前記第2のMOSFETの一方は、前記第2の制御回路の近傍に配置され、他方はそれよりも前記第2の制御回路から遠い位置に配置され、前記第1のIGBTおよび前記第1のMOSFETのうち、前記第1の制御回路の近傍に配置されたトランジスタは、前記第1の制御回路から与えられたゲート制御信号を、そのゲートを介して前記第1の制御回路から遠い位置に配置されたトランジスタのゲートに与え、前記第2のIGBTおよび前記第2のMOSFETのうち、前記第2の制御回路の近傍に配置されたトランジスタは、前記第2の制御回路から与えられたゲート制御信号を、そのゲートを介して前記第2の制御回路から遠い位置に配置されたトランジスタに与え、前記第1のIGBTおよび前記第1のMOSFETは、主電流が半導体基板正面に対して垂直な方向に流れる縦型構造のトランジスタであり、前記第1のスイッチング部内の、前記第1の制御回路の近傍に配置されたトランジスタは、そのゲートに接続される第1のゲートパッドが、前記他方の主電極側の平面内において前記第1の制御回路側に設けられ、第2のゲートパッドが、前記他方の主電極側の平面内において前記第1の制御回路とは反対側に設けられ、前記第1のゲートパッドに前記第1の制御回路からの前記ゲート制御信号が与えられ、前記第2のゲートパッドから前記ゲート制御信号が出力されて前記第1の制御回路から遠い位置に配置されたトランジスタのゲートパッドに与えられ、前記第2のIGBTおよび前記第2のMOSFETは、主電流が半導体基板正面に対して垂直な方向に流れる縦型構造のトランジスタであり、前記第2のスイッチング部内の、前記第2の制御回路の近傍に配置されたトランジスタは、そのゲートに接続される第1のゲートパッドが、前記他方の主電極側の平面内において前記第2の制御回路側に設けられ、第2のゲートパッドが、前記他方の主電極側の平面内において前記第2の制御回路とは反対側に設けられ、前記第1のゲートパッドに前記第2の制御回路からの前記ゲート制御信号が与えられ、前記第2のゲートパッドから前記ゲート制御信号が出力されて前記第2の制御回路から遠い位置に配置されたトランジスタのゲートパッドに与えられる。

【0009】

10

20

30

本発明に係る電力用半導体装置の第2の態様は、第1の電圧を与える第1の電源ラインと第2の電圧を与える第2の電源ラインとの間に直列に介挿され、相補的に動作する第1および第2のスイッチング部によって構成されるインバータと、前記第1および第2のスイッチング部のそれぞれのスイッチング動作を制御する第1および第2の制御回路と、を備え、それらがモジュール化された電力用半導体装置であって、前記第1のスイッチング部は、前記第1の電源ラインにそれぞれの一方の主電極が接続され、前記インバータの出力ノードにそれぞれの他方の主電極が接続された第1のIGBTおよび第1のMOSFETを有し、前記第2のスイッチング部は、前記第2の電源ラインにそれぞれの一方の主電極が接続され、前記インバータの前記出力ノードにそれぞれの他方の主電極が接続された第2のIGBTおよび第2のMOSFETを有し、前記第1のIGBTのゲートには、前記第1の制御回路からのゲート制御信号が第1の抵抗素子を介して与えられ、前記第1のMOSFETには、前記第1の制御回路からの前記ゲート制御信号が第2の抵抗素子を介して与えられ、前記第2の抵抗素子の抵抗値は前記第1の抵抗素子よりも高く、前記第2の抵抗素子にはダイオードが逆並列に接続され、前記第2のIGBTのゲートには、前記第2の制御回路からのゲート制御信号が第1の抵抗素子を介して与えられ、前記第2のMOSFETには、前記第2の制御回路からの前記ゲート制御信号が第2の抵抗素子を介して与えられ、前記第2の抵抗素子の抵抗値は前記第1の抵抗素子よりも高く、前記第2の抵抗素子にはダイオードが逆並列に接続される。

40

【0010】

本発明に係る電力用半導体装置の第3の態様は、第1の電圧を与える第1の電源ライン

50

と第2の電圧を与える第2の電源ラインとの間に直列に介挿され、相補的に動作する第1および第2のスイッチング部によって構成されるインバータと、前記第1および第2のスイッチング部のそれぞれのスイッチング動作を制御する第1および第2の制御回路と、を備え、それらがモジュール化された電力用半導体装置であって、前記第1のスイッチング部は、前記第1の電源ラインにそれぞれの一方の主電極が接続され、前記インバータの出力ノードにそれぞれの他方の主電極が接続された第1のIGBTおよび第1のMOSFETを有し、前記第2のスイッチング部は、前記第2の電源ラインにそれぞれの一方の主電極が接続され、前記インバータの前記出力ノードにそれぞれの他方の主電極が接続された第2のIGBTおよび第2のMOSFETを有し、前記電力用半導体装置の平面レイアウトにおいて、前記第1の制御回路は、前記第1のスイッチング部に対向する位置に配置され、前記第1のIGBTおよび前記第1のMOSFETの一方は、前記第1の制御回路の近傍に配置され、他方はそれよりも前記第1の制御回路から遠い位置に配置され、前記第2の制御回路は、前記第2のスイッチング部に対向する位置に配置され、前記第2のIGBTおよび前記第2のMOSFETの一方は、前記第2の制御回路の近傍に配置され、他方はそれよりも前記第2の制御回路から遠い位置に配置され、前記第1のIGBTおよび前記第1のMOSFETは、主電流が半導体基板正面に対して垂直な方向に流れる縦型構造のトランジスタであり、前記第1のスイッチング部内の、前記第1の制御回路の近傍に配置されたトランジスタは、そのゲートに接続されるゲートパッドが、前記他方の主電極側の平面内において前記第1の制御回路側に設けられ、中継パターンが、前記他方の主電極側の平面内において前記第1の制御回路とは反対側に設けられ、前記ゲートパッドに前記第1の制御回路からの第1のゲート制御信号が与えられるとともに、前記中継パターンに前記第1の制御回路からの第2のゲート制御信号が与えられ、前記中継パターンを介して前記第2のゲート制御信号が前記第1の制御回路から遠い位置に配置されたトランジスタのゲートパッドに与えられ、前記第2のIGBTおよび前記第2のMOSFETは、主電流が半導体基板正面に対して垂直な方向に流れる縦型構造のトランジスタであり、前記第2のスイッチング部内の、前記第2の制御回路の近傍に配置されたトランジスタは、そのゲートに接続されるゲートパッドが、前記他方の主電極側の平面内において前記第2の制御回路側に設けられ、中継パターンが、前記他方の主電極側の平面内において前記第2の制御回路とは反対側に設けられ、前記ゲートパッドに前記第2の制御回路からの第1のゲート制御信号が与えられるとともに、前記中継パターンに前記第2の制御回路からの第2のゲート制御信号が与えられ、前記中継パターンを介して前記第2のゲート制御信号が前記第2の制御回路から遠い位置に配置されたトランジスタのゲートパッドに与えられる。

【0011】

本発明に係る電力用半導体装置の第4の態様は、第1の電圧を与える第1の電源ラインと第2の電圧を与える第2の電源ラインとの間に直列に介挿され、相補的に動作する第1および第2のスイッチング部によって構成されるインバータと、前記第1および第2のスイッチング部のそれぞれのスイッチング動作を制御する第1および第2の制御回路と、を備え、それらがモジュール化された電力用半導体装置であって、前記第1のスイッチング部は、前記第1の電源ラインにそれぞれの一方の主電極が接続され、前記インバータの出力ノードにそれぞれの他方の主電極が接続された第1のIGBTおよび第1のMOSFETを有し、前記第2のスイッチング部は、前記第2の電源ラインにそれぞれの一方の主電極が接続され、前記インバータの前記出力ノードにそれぞれの他方の主電極が接続された第2のIGBTおよび第2のMOSFETを有し、前記第1の制御回路は、ターンオン時には、前記第1のIGBTの方が先にターンオンし、ターンオフ時には、前記第1のMOSFETの方が先にターンオフするように前記第1のIGBTおよび第1のMOSFETのスイッチング動作を個別に制御し、前記第2の制御回路は、ターンオン時には、前記第2のIGBTの方が先にターンオンし、ターンオフ時には、前記第2のMOSFETの方が先にターンオフするように前記第2のIGBTおよび第2のMOSFETのスイッチング動作を個別に制御する。

10

20

30

40

50

【発明の効果】

【0012】

本発明に係る電力用半導体装置の第1の態様によれば、IGBTとMOSFETとを制御回路に対して並列に配置する必要がなくなり、スイッチングデバイスとしてIGBTとMOSFETとを並列して用いる構成において、装置全体を小型化することができる。

【0013】

本発明に係る電力用半導体装置の第2の態様によれば、第1および第2のMOSFETのゲートに接続された第2の抵抗素子の抵抗値が第1の抵抗素子よりも高く、第2の抵抗素子にはダイオードが逆並列に接続されているので、ターンオン時には、第1および第2のIGBTがターンオンしてから第1および第2のMOSFETがそれぞれターンオンすることとなり、また、ターンオフ時にはダイオードを介して第1および第2のMOSFETの電位が素早く下がるので、第1および第2のMOSFETがターンオフしてからそれぞれ第1および第2のIGBTがターンオフすることとなる。このため、スイッチング時に第1および第2のMOSFETに流れる電流が抑制され、第1および第2のMOSFETに最大電流通電に対応する定格を持たせる必要がなくなるので、第1および第2のMOSFETを小型化でき装置全体を小型化することができる。10

【0014】

本発明に係る電力用半導体装置の第3の態様によれば、中継パターンを介して第1のゲート制御信号が第1の制御回路から遠い位置に配置されたトランジスタのゲートパッドに与えられ、中継パターンを介して第2のゲート制御信号が第2の制御回路から遠い位置に配置されたトランジスタのゲートパッドに与えられるので、第1および第2の制御回路から遠い位置にあるデバイスへの配線作業が容易となる。20

【0015】

本発明に係る電力用半導体装置の第4の態様によれば、ターンオン時には、第1のIGBTの方が先にターンオンし、ターンオフ時には、第1のMOSFETの方が先にターンオフするように第1のIGBTおよび第1のMOSFETのスイッチング動作を個別に制御し、第2の制御回路は、ターンオン時には、第2のIGBTの方が先にターンオンし、ターンオフ時には、第2のMOSFETの方が先にターンオフするように第2のIGBTおよび第2のMOSFETのスイッチング動作を個別に制御する。これにより、スイッチング時の過渡状態においては第1および第2のMOSFETに流れる電流が抑制され、第1および第2のMOSFETに最大電流通電に対応する定格を持たせる必要がなくなるので、第1および第2のMOSFETを小型化でき装置全体を小型化することができる。30

【図面の簡単な説明】

【0016】

【図1】本発明に係る実施の形態の3相インバータモジュールの回路構成を示す図である。。

【図2】本発明に係る実施の形態の3相インバータモジュールの内部構成を示す図である。。

【図3】本発明に係る実施の形態の3相インバータモジュールの内部構成の部分図である。40

【図4】ゲート-エミッタ間電圧の低下の仕組みを説明する図である。

【図5】ゲート-エミッタ間電圧の低下の仕組みを説明する図である。

【図6】本発明に係る実施の形態の変形例2の3相インバータモジュールにおけるインバータ単体の動作を説明する図である。

【図7】IGBTおよびMOSFETのターンオン時の電流、電圧特性を示す図である。

【図8】IGBTおよびMOSFETのターンオフ時の電流、電圧特性を示す図である。

【図9】本発明に係る実施の形態の変形例4におけるIGBTおよびMOSFETの構成を示す回路図である。

【図10】本発明に係る実施の形態の変形例4におけるIGBTおよびMOSFETのレ
50

イアウト図である。

【図11】本発明に係る実施の形態の変形例5におけるIGBTおよびMOSFETの構成を示す回路図である。

【図12】本発明に係る実施の形態の変形例5におけるIGBTおよびMOSFETのレイアウト図である。

【図13】IGBTおよびMOSFETのターンオン時の電流、電圧特性を示す図である。

【図14】IGBTおよびMOSFETのターンオフ時の電流、電圧特性を示す図である。

【図15】本発明に係る実施の形態の変形例6の3相インバータモジュールの回路構成を示す図である。 10

【図16】本発明に係る実施の形態の変形例6の3相インバータモジュールの内部構成を示す図である。

【発明を実施するための形態】

【0017】

<実施の形態>

図1には、本発明に係る電力用半導体装置の実施の形態として、3相インバータモジュール100の回路構成を示している。

【0018】

図1に示す3相インバータモジュール100は、3つのインバータIV1～IV3で構成されている。 20

【0019】

インバータIV1は、電源電圧が与えられる端子T1に接続された電源線Pと、基準電圧が与えられる端子T5に接続された電源線Nとの間に、直列に接続されたMOSFET(MOS field effect transistor)7および10と、MOSFET7および10にそれぞれ並列に接続されたIGBT(insulated gate bipolar transistor)1および4とを備えている。そして、MOSFET7および10のそれぞれのソースおよびドレインは共通して端子T2に接続されている。ここで、IGBT1とMOSFET7は高電位側のスイッチングデバイスであり、両者によって高電位側のスイッチング部が構成され、IGBT4とMOSFET10は低電位側のスイッチングデバイスであり、両者によって低電位側のスイッチング部が構成される。 30

【0020】

ここで、「MOS」という用語は、古くは金属／酸化物／半導体の積層構造に用いられており、Metal-Oxide-Semiconductorの頭文字を採ったものとされている。しかしながら特にMOS構造を有する電界効果トランジスタ(以下、単に「MOSトランジスタ」と称す)においては、近年の集積化や製造プロセスの改善などの観点からゲート絶縁膜やゲート電極の材料が改善されている。

【0021】

例えばMOSトランジスタにおいては、主としてソース・ドレインを自己整合的に形成する観点から、ゲート電極の材料として金属の代わりに多結晶シリコンが採用されてきている。また電気的特性を改善する観点から、ゲート絶縁膜の材料として高誘電率の材料が採用されるが、当該材料は必ずしも酸化物には限定されない。 40

【0022】

従って「MOS」という用語は必ずしも金属／酸化物／半導体の積層構造のみに限定されて採用されているわけではなく、本明細書でもそのような限定を前提としない。すなわち、技術常識に鑑みて、ここでは「MOS」とはその語源に起因した略語としてのみならず、広く導電体／絶縁体／半導体の積層構造をも含む意義を有する。

【0023】

インバータIV2も同様の構成であり、電源線P-N間に直列に接続されたMOSFET8および11と、MOSFET8および11にそれぞれ並列に接続されたIGBT2お 50

および 5 とを備えている。そして、MOSFET 8 および 11 のそれぞれのソースおよびドレインは共通して端子 T 3 に接続されている。ここで、IGBT 2 と MOSFET 8 は高電位側のスイッチングデバイスであり、両者によって高電位側のスイッチング部が構成され、IGBT 5 と MOSFET 11 は低電位側のスイッチングデバイスであり、両者によって低電位側のスイッチング部が構成される。

【0024】

インバータ IV 3 は、電源線 P - N 間に直列に接続された MOSFET 9 および 12 と、MOSFET 9 および 12 にそれぞれ並列に接続された IGBT 3 および 6 とを備えている。そして、MOSFET 9 および 12 のそれぞれのソースおよびドレインは共通して端子 T 4 に接続されている。ここで、IGBT 3 と MOSFET 9 は高電位側のスイッチングデバイスであり、両者によって高電位側のスイッチング部が構成され、IGBT 6 と MOSFET 12 は低電位側のスイッチングデバイスであり、両者によって低電位側のスイッチング部が構成される。

10

【0025】

MOSFET 7 および IGBT 1 のゲートは、共通してゲート制御回路 18 に接続され、MOSFET 7 のソースおよび IGBT 1 のエミッタは、共通してゲート制御回路 18 に接続されている。

【0026】

MOSFET 8 および IGBT 2 のゲートは、共通してゲート制御回路 18 に接続され、MOSFET 8 のソースおよび IGBT 2 のエミッタは、共通してゲート制御回路 18 に接続されている。

20

【0027】

また、MOSFET 9 および IGBT 3 のゲートは、共通してゲート制御回路 18 に接続され、MOSFET 9 のソースおよび IGBT 3 のエミッタは、共通してゲート制御回路 18 に接続されている。

【0028】

ここで、IGBT 1 ~ 3 のそれぞれのゲートとゲート制御回路 18 とを接続する接続線をライン 13 と呼称し、IGBT 1 ~ 3 のそれぞれのゲートと MOSFET 7 ~ 9 のゲートとを接続する接続線をライン 15 呼称し、IGBT 1 ~ 3 のそれぞれのエミッタと MOSFET 7 ~ 9 のソースとを接続する接続線をライン 16 と呼称し、ライン 16 とゲート制御回路 18 とを接続する接続線をライン 14 と呼称する。また、ライン 16 のそれと端子 T 2 ~ T 4 とを接続する接続線をライン 17 と呼称する。

30

【0029】

また、MOSFET 10 および IGBT 4 のゲートは、共通してゲート制御回路 19 に接続され、MOSFET 11 および IGBT 5 のゲートは、共通してゲート制御回路 19 に接続され、MOSFET 12 および IGBT 6 のゲートは、共通してゲート制御回路 19 に接続されている。

【0030】

なお、ゲート制御回路 18 および 19 には端子 T 10 を介して基準電圧が与えられる構成となっている。

40

【0031】

図 2 は、3 相インバータモジュール 100 の内部構成を示す図である。3 相インバータモジュール 100 は樹脂封止されてパッケージをなすが、図 2 においては封止樹脂は省略し、樹脂パッケージ RP の形成領域を破線で示すものとする。

【0032】

図 2 に示すように、3 相インバータモジュール 100 は、矩形の樹脂パッケージ RP の一方の長辺側にゲート制御回路 18 および 19 が配置され、他方の長辺側に IGBT 1 ~ 6 、MOSFET 7 ~ 12 が配置されている。

【0033】

図 2 に示すように 3 相インバータモジュール 100 は、スイッチングデバイスのゲート

50

制御回路 18 および 19 を有しているので、IPM (Intelligent Power Module) と呼称される。

【0034】

ゲート制御回路 18 および 19 が配置される側にはリードフレーム LF1 が配置され、IGBT 1 ~ 6、MOSFET 7 ~ 12 が配置される側にはリードフレーム LF2 が配置されている。

【0035】

リードフレーム LF1 は、複数のリード LT1 と、ゲート制御回路 18 および 19 をそれぞれ搭載するダイパッド P11 および P12 を有している。

【0036】

ダイパッド P11 および P12 は、樹脂パッケージ RP の長辺と平行となるように配列されており、共通して接続されるとともに、それぞれリード LT1 の何れかに接続されている。これらのリード LT1 を介してゲート制御回路 18 および 19 に基準電圧が与えられるので、これらのリード LT1 が、図 1 における端子 T10 となる。

【0037】

リードフレーム LF2 は、5 本のリード LT2 と、ダイパッド P1 ~ P4 とワイヤボンド領域 P5、P21 ~ P23 とを有している。

【0038】

ダイパッド P1 ~ P4 は、樹脂パッケージ RP の長辺と平行となるように配列されており、個々に独立している。また、ダイパッド P2 ~ P4 には、それぞれワイヤボンド領域 P21 ~ P23 が一体をなすように接続され、ワイヤボンド領域 P21 ~ P23 には、それぞれリード LT2 が一体をなすように接続されている。また、ダイパッド P1 およびワイヤボンド領域 P5 には、それぞれリード LT2 が一体をなすように接続されており、ワイヤボンド領域 P21 ~ P23 およびワイヤボンド領域 P5、樹脂パッケージ RP の長辺と平行となるように配列されている。

【0039】

ここで、ダイパッド P1 と一体をなすリード LT2 が、図 1 に示した端子 T1 に相当し、ワイヤボンド領域 P21 ~ P23 とそれぞれ一体をなすリード LT2 が、端子 T2 ~ T4 に相当し、ワイヤボンド領域 P5 と一体をなすリード LT2 が、端子 T5 に相当する。

【0040】

図 2 において、ダイパッド P1 のリードフレーム LF1 側の端縁には、IGBT1 ~ 3 が、ゲート制御回路 18 に対向するように配列され、ダイパッド P2 ~ P4 のリードフレーム LF1 側の端縁には、それぞれ IGBT4 ~ 6 がゲート制御回路 19 に対向するように配置されている。

【0041】

また、ダイパッド P1 上には、IGBT1 ~ 3 のそれぞれに対向するように MOSFET7 ~ 9 が配置され、ダイパッド P2 ~ P4 上には、IGBT4 ~ 6 のそれぞれに対向するように MOSFET10 ~ 12 が配置されている。

【0042】

ここで、図 2 における領域 “A” の詳細図を図 3 に示す。領域 “A” は、ダイパッド P2 と、その上に配置された IGBT4 と MOSFET10 およびその周辺を含む領域であり、この図を用いて IGBT および MOSFET の構成について説明する。

【0043】

図 3 に示すように、IGBT4 はダイパッド P2 の正面と接する側がコレクタとなり、その反対側がエミッタ E となって、主電流が半導体基板正面に対して垂直に流れる縦型構造の IGBT であり、エミッタ E 側の平面内に 2 つのゲートパッド G1 および G2 を有している。

【0044】

すなわち、矩形のエミッタ E 側の一方の短辺側の端縁部にゲートパッド G1 が設けられ、他方の端縁部にゲートパッド G2 が設けられている。ゲートパッド G1 と G2 とは IGBT

10

20

30

40

50

B T 4 内で繋がっており、ゲート制御回路 1 9 からゲートパッド G 1 に与えられたゲート制御信号はゲートパッド G 2 から取り出すことができる。なお、IGBT 4 をダイパッド P 2 上に搭載する際は、ゲートパッド G 1 がゲート制御回路 1 9 側を向くように配置する。

【0045】

また、図 3 に示すように、MOSFET 10 はダイパッド P 2 の正面と接する側がドレンとなり、その反対側がソース S となって、主電流が半導体基板正面に対して垂直に流れる縦型構造のMOSFET であり、ソース S 側の平面内にゲートパッド G 11 を有している。

【0046】

すなわち、矩形のソース S 側の一方の短辺側の端縁部にゲートパッド G 11 が設けられている。なお、MOSFET 10 をダイパッド P 2 上に搭載する際は、ゲートパッド G 11 が、IGBT 4 側を向くように配置する。また、ダイパッド P 2 上に IGBT 4 と MOSFET 10 とを搭載した場合、IGBT 4 のゲートパッド G 2 と、MOSFET 10 のゲートパッド G 11 とが互いに向き合う位置となるようにゲートパッド G 2 および G 11 を設ける方が、ワイヤボンディングの際に都合が良い。なお、IGBT 1 ~ 3、5、6 および MOSFET 7 ~ 9、11、12 の構成も同じである。

【0047】

また、図 2 に示すように、IGBT 1 ~ 3 のそれぞれのゲートパッド G 1 (図 3) および エミッタ E (図 3) は、ゲート制御回路 18 にワイヤボンディングにより接続されるが、ゲート制御回路 18 とゲートパッド G 1 との接続を行う配線がライン 13 であり、ゲート制御回路 18 と エミッタ E との接続を行う配線がライン 14 である。

【0048】

また、IGBT 1 ~ 3 のそれぞれのゲートパッド G 2 (図 3) と、MOSFET 7 ~ 9 のそれぞれのゲートパッド G 11 (図 3) とはワイヤボンディングにより接続されるが、この接続を行う配線がライン 15 である。

【0049】

また、IGBT 1 ~ 3 のそれぞれのエミッタ E (図 3) と、MOSFET 7 ~ 9 のそれぞれのソース S (図 3) とはワイヤボンディングにより接続されるが、この接続を行う配線がライン 16 である。

【0050】

そして、MOSFET 7 ~ 9 のそれぞれのソース S (図 3) と、ワイヤボンド領域 P 2 1 ~ P 2 3 とはワイヤボンディングにより接続されるが、この接続を行う配線がライン 17 である。

【0051】

また、図 2 に示すように、IGBT 4 ~ 6 のそれぞれのゲートパッド G 1 (図 3) およびソース S (図 3) は、ゲート制御回路 19 にワイヤボンディングにより接続され、IGBT 4 ~ 6 のそれぞれのゲートパッド G 2 (図 3) と、MOSFET 10 ~ 12 のそれぞれのゲートパッド G 11 (図 3) とはワイヤボンディングにより接続される。

【0052】

また、IGBT 4 ~ 6 のそれぞれのエミッタ E (図 3) と、MOSFET 10 ~ 12 のそれぞれのソース S (図 3) とはワイヤボンディングにより接続され、MOSFET 10 ~ 12 のそれぞれのソース S (図 3) と、ワイヤボンド領域 P 5 とはワイヤボンディングにより接続される。

【0053】

図 2 に示すように、ゲート制御回路 18 および 19 の近傍に配置する IGBT 1 ~ 6 には、ゲートパッド G 1 および G 2 を設け、それぞれのゲートパッド G 1 とゲート制御回路 18 および 19 との間はワイヤボンディングにより接続し、ゲート制御回路 18 および 19 から遠い位置に配置する MOSFET 7 ~ 12 のそれぞれのゲートパッド G 11 は、IGBT 1 ~ 6 のそれぞれのゲートパッド G 2 にワイヤボンディングで接続することで、ス

10

20

30

40

50

イッティングデバイスとしてIGBTとMOSFETとを並列して用いる構成において、装置全体が大型化することを抑制できる。

【0054】

すなわち、MOSFET7～12をゲート制御回路18および19の近傍に配置する場合には、MOSFET7～12にゲートパッドG1およびG2と同様のゲートパッドを2つずつ設けなければならない。このため、MOSFET7～12の半導体チップとしての有効面積が小さくなる。

【0055】

MOSFETのオン抵抗を低くするにはチップサイズが大きくなり、コストも高くなる。このようなMOSFETにゲートパッドを2つ設けると有効面積が小さくなるので、有効面積を維持するにはチップサイズをさらに大きくしなければならず、MOSFETのチップサイズがさらに大きくなれば装置全体が大型化してしまう。

【0056】

しかし、MOSFET7～12をゲート制御回路18および19から遠い位置に配置することで、ゲートパッドは1つで済み、有効面積が小さくなることを抑制して、チップサイズを大きくする必要がなくなる。このため、装置全体が大型化することを抑制できる。

【0057】

<変形例1>

なお、以上の説明においては、ゲート制御回路18および19の近傍にIGBT1～6を配置し、ゲート制御回路18および19から遠い位置にMOSFET7～12を配置する構成を示したが、このような構成を探る場合、主回路電流が流れる経路がゲート充電ループとオーバーラップし、IGBT1～6のゲート-エミッタ間電圧が低下する可能性がある。

【0058】

その仕組みについて、図4を用いて説明する。図4は、基準電位をモジュール内のゲート制御回路19の基準電位から取る構成を示している。

【0059】

図4においては、簡略化のためMOSFET10とIGBT4との組についてのみ示しており、IGBT4のゲート充電ループIGL、MOSFET10のゲート充電ループMGLと、主回路電流（過負荷時には大半がIGBTに流れる）経路MCとを模式的に示している。

【0060】

図4に示すように、主回路電流経路MCは、IGBT1のゲート充電ループIGLおよびMOSFET10のゲート充電ループMGLとオーバーラップして流れる部分を含んでおり、過負荷時にはIGBT4のゲート-エミッタ間電圧が低下する可能性がある。

【0061】

一方、図5に示すようにMOSFET10をゲート制御回路19の近傍に配置すると、IGBT7のゲート充電ループIGLと、主回路電流経路MCとがオーバーラップする割合が減少し、IGBT4のゲート-エミッタ間電圧が低下する割合を小さくできる。

【0062】

すなわち、ゲート制御回路18および19の近傍にMOSFET7～12を配置し、ゲート制御回路18および19から遠い位置にIGBT1～6を配置することで、ゲート電圧が低下する割合を小さくできる。ただし、この場合は、MOSFET7～12にゲートパッドG1およびG2を設け、IGBT1～6に設けたゲートパッドG11とゲートパッドG2とをワイヤボンディングにより接続することとなる。

【0063】

このように、MOSFET7～12をゲート制御回路18および19の近傍に配置することで過負荷時の主回路電流によるIGBTのゲート-エミッタ間電圧低下を抑制し、過負荷時の損失を小さくすることができる。

10

20

30

40

50

【0064】

<変形例2>

以上説明した3相インバータモジュール100においては、IGBTの閾値電圧をMOSFETの閾値電圧より低く設定し、スイッチング時の過渡状態においてはIGBT側に全電流が流れる構成とする。

【0065】

スイッチングデバイスとしてIGBTとMOSFETとを並列して用いる構成においては、一般的にMOSFETの閾値電圧の方を低く設定し、常にIGBTを先にターンオフさせ、その後にMOSFETがターンオフするシーケンスを採用している。

【0066】

この場合の効果としてテール電流を抑制してターンオフ損失を低減することができるが、過渡状態において全電流（IGBT電流+MOSFET電流）が必ずMOSFETに流れるため、MOSFETを小型化することが困難であった。

【0067】

これに対し、IGBTの閾値電圧をMOSFETの閾値電圧より低く設定することで、スイッチング時にMOSFETに流れる電流を抑制し、MOSFETを小型化することでモジュール全体を小型化することができる。

【0068】

ここで、図6～図8を用いて、IGBTおよびMOSFETのスイッチング時の動作について説明する。

10

【0069】

図6は、図1に示したインバータIV1単体による動作を説明する図であり、インバータIV1がインダクタンス負荷に接続された場合の構成を示している。なお、図6において、図1に示した構成と同一の構成については同一の符号を付し、重複する説明は省略する。

【0070】

図6において、端子T1とT5との間には外付けのコンデンサSCが接続されているが、これは整流回路PWによって整流されてPN線間に供給される電圧を平滑化するためのものである。また、インバータIV1の出力が与えられる端子T2にはインダクタンス負荷Lが接続されている。なお、以下の説明では低電位側のIGBT4およびMOSFET10のスイッチング動作を説明するので、図6では便宜的にゲート制御回路19にのみ制御信号CPを与える構成となっている。

20

【0071】

図7は、定常状態で負荷電流のほとんどがIGBTに流れるような比較的中電流から高電流領域におけるIGBT4およびMOSFET10のターンオン時の電流、電圧特性を示す図であり、図8は、IGBT4およびMOSFET10のターンオフ時の電流、電圧特性を示す図である。

30

【0072】

図7において、制御信号CPが低電位（「L」）から高電位（「H」）となってターンオンする場合、IGBT4およびMOSFET10にゲート電圧VGEが与えられると、IGBT4の閾値電圧の方が低いので、IGBT4の方が先にターンオンし、IGBT電流Icが流れ始める。

40

【0073】

やがて、ゲート電圧VGEがMOSFET10の閾値電圧に達すると、MOSFET10がターンオンし、MOSFET電流Idが流れ始める。MOSFET10がターンオンした時点では、IGBT4がターンオンして所定時間が経過しており、IGBT4が定常状態となっているので電流は殆どIGBT4に流れしており、MOSFET10には殆ど流れない。

【0074】

IGBT4が完全にターンオンして、IGBT4のコレクタ-エミッタ間電圧VCEが

50

ほぼ 0 となり、さらに M O S F E T 1 0 がターンオンすると、全電流 I がほぼ一定となる。

【 0 0 7 5 】

このように、 I G B T の閾値電圧を M O S F E T の閾値電圧より低く設定することで、ターンオン時に M O S F E T に流れる電流を抑制することができる。

【 0 0 7 6 】

また、図 8 において、制御信号 C P が「 H 」から「 L 」となってターンオフする場合、 I G B T 4 および M O S F E T 1 0 に与えられていたゲート電圧 $V_{G E}$ が下がり始めると、 M O S F E T 1 0 の閾値電圧の方が高いので、 M O S F E T 1 0 の方が先にターンオフし、 M O S F E T 電流 I_d が下がり始める。その後、ゲート電圧 $V_{G E}$ が低下することで I G B T 電流 I_c が下がり始め、 I G B T 4 の閾値電圧より低くなることで I G B T 4 がターンオフして、 I G B T 電流 I_c が流れなくなる。

【 0 0 7 7 】

I G B T 4 が完全にターンオフして、 I G B T 4 のコレクタ-エミッタ間電圧 $V_{C E}$ が立ち上がると、全電流 I が 0 となる。

【 0 0 7 8 】

このように、 I G B T の閾値電圧を M O S F E T の閾値電圧より低く設定することで、ターンオフ時には M O S F E T が先にターンオフするので、その時点でオン状態にある I G B T に全電流が流れ、 M O S F E T には電流は流れない。

【 0 0 7 9 】

以上のように、 I G B T の閾値電圧を M O S F E T の閾値電圧より低く設定することで、スイッチング時に M O S F E T に流れる電流が抑制され、 M O S F E T に最大電流通電に対応する定格を持たせる必要がなくなるので、 M O S F E T を小型化できモジュール全体を小型化することができる。

【 0 0 8 0 】

なお、スイッチングの過渡状態において、 I G B T 側に必ず全電流が流れるように I G B T および M O S F E T の閾値電圧を設定するが、閾値電圧は製造時のチャネル注入の不純物量により設定する。

【 0 0 8 1 】

< 変形例 3 >

図 1 に示したようにスイッチングデバイスとして I G B T と M O S F E T を並列して用いる構成においては、異なる特性のデバイスを並列接続するためゲート発振が発生する可能性がある。そこで、ゲート制御回路 1 8 および 1 9 から遠い位置にあるデバイス、例えば M O S F E T 7 ~ 1 2 のゲートパッド下からゲートまでの間に抵抗素子を内蔵することでゲート発振の発生を抑制する。

【 0 0 8 2 】

ゲート制御回路 1 8 および 1 9 から遠い位置にあるデバイスは、ゲート充電ループが長く、寄生インダクタンスが大きくなるので、ゲート発振が発生する可能性がより高くなるが、抵抗素子を内蔵することでゲート発振の発生を効果的に抑制することができる。

【 0 0 8 3 】

なお、内蔵する抵抗素子の抵抗値は、変位電流によるゲート電位の浮き上がりが高くならない値に設定する。

【 0 0 8 4 】

また、ゲート制御回路 1 8 および 1 9 の近傍にあるデバイス、例えば I G B T 1 ~ 6 にも内蔵しても良い。

【 0 0 8 5 】

< 変形例 4 >

変形例 2 においては、 I G B T の閾値電圧を M O S F E T の閾値電圧より低く設定することで、スイッチング時に M O S F E T に流れる電流を抑制する構成を説明したが、以下に図 9 および図 1 0 を用いて説明する構成を探ることによってもスイッチング時に M O S

10

20

30

40

50

FETに流れる電流を抑制することができる。

【0086】

図9は、IGBT4およびMOSFET10に対して本変形例を適用した構成を示す回路図である。図9に示すように、ゲート制御回路19からのゲート制御信号は、IGBT4に対しては抵抗素子R2を介して入力され、MOSFET10に対しては抵抗素子R1を介して入力される構成となっている。また、抵抗素子R1に逆並列にダイオードD1が接続されている。なお、MOSFET10には逆並列にダイオードD2が接続されているが、これは内部寄生ダイオードである。

【0087】

このような構成を採り、抵抗素子R1の抵抗値を抵抗素子R2の抵抗値よりも大きく設定することで、ターンオン時には、IGBT4がターンオンしてからMOSFET10がターンオンすることとなり、また、ターンオフ時にはダイオードD1を介してMOSFET10の電位が素早く下がるので、MOSFET10がターンオフしてからIGBT4がターンオフすることとなる。このため、スイッチング時にMOSFETに流れる電流が抑制され、MOSFETに最大電流通電に対応する定格を持たせる必要がなくなるので、MOSFETを小型化できモジュール全体を小型化することができる。

【0088】

なお、抵抗素子R1および抵抗素子R2の抵抗値は、MOSFETのゲート容量をC1、IGBTのゲート容量をC2とした場合、 $C_1 R_1 > C_2 R_2$ とし、ターンオン時に、IGBT4がターンオンしてからMOSFET10がターンオンする値に設定する。

【0089】

図10は、ダイパッドP2と、その上に配置されたIGBT4とMOSFET10およびその周辺の領域を示すレイアウト図である。

【0090】

図10に示すように、ゲート制御回路19が搭載されるダイパッドP12の近傍には、ダイパッドP31、P32およびP33が設けられている。ダイパッドP31～P33は、リードフレームLF1(図2)に含まれ、これらの終端はリードLT1となっているが、これらのリードLT1はフローティング状態で使用される。

【0091】

ダイパッドP31～P33は、ゲート制御回路19よりもダイパッドP2に近い位置に、間隔を開けて並列して配列され、ダイパッドP32が中央に位置している。

【0092】

ゲート制御回路19とダイパッドP32とはワイヤボンディングにより接続され、ダイパッドP32とダイパッドP31との間は抵抗素子R1およびダイオードD1により接続されている。また、ダイパッドP32とダイパッドP33との間は抵抗素子R2により接続されている。そして、ダイパッドP31とMOSFET11のゲートパッドG11とはワイヤボンディングにより接続されている。また、ダイパッドP33とIGBT4のゲートパッドG1とはワイヤボンディングにより接続されている。

【0093】

この場合、IGBT4にはゲートパッドは1つしか設けられず、MOSFET10のゲートパッドG11は、ダイパッドP31に接続されることとなるが、図9および図10に示した構成を採ることで、MOSFETを小型化できモジュール全体を小型化することができる。

【0094】

<変形例5>

以上説明した実施の形態およびその変形例1～4においては、ゲート制御回路からIGBTおよびMOSFETに対して共通のゲート制御信号を与える構成を示したが、以下に図11および図12を用いて説明する構成を探ることによって、IGBTおよびMOSFETに対してゲート制御回路からそれぞれ個別にゲート制御信号を与えることもできる。

【0095】

10

20

30

40

50

図11は、IGBT4およびMOSFET10に対して本変形例を適用した構成を示す回路図である。図11に示すように、ゲート制御回路19からは、IGBT4およびMOSFET10に対してそれぞれ別個にゲート制御信号が与えられる構成となっている。

【0096】

すなわち、ゲート制御回路19から配線W1を介してIGBT4のゲートにゲート制御信号が与えられるとともに、配線W2、W3およびW4を介してMOSFET10のゲートにゲート制御信号が与えられる構成となっている。

【0097】

この場合、配線W3はIGBT4に設けた中継パターンであり、配線W3とゲート制御回路19との間は配線W2によって接続され、配線W3とMOSFET10のゲートとの間は配線W4によって接続される。

10

【0098】

図12は、ダイパッドP2と、その上に配置されたIGBT4とMOSFET10およびその周辺の領域を示すレイアウト図である。

【0099】

ゲート制御回路19とIGBT4のゲートパッドG1とはワイヤボンディングにより接続されており、このワイヤが配線W1に相当する。また、IGBT4のエミッタ側の表面上には中継パターンW3が設けられており、これが配線W3に相当する。

【0100】

ゲート制御回路19と中継パターンW3とはワイヤボンディングにより接続されており、このワイヤが配線W2に相当する。そして、中継パターンW3とMOSFET11のゲートパッドG11とはワイヤボンディングにより接続されており、このワイヤが配線W4に相当する。

20

【0101】

中継パターンW3はMOSFET11のエミッタ側とは電気的に絶縁されている。なお、エミッタ側と中継パターンW3との電位差は、エミッタ側とゲートパッドG1との電位差と同じ程度であり、絶縁のための構成も、エミッタ側上に絶縁材を介して配置するなど簡単なもので良い。

【0102】

この中継パターンW3を介して配線W2とW4とを接続することでゲート制御回路19からのゲート制御信号が、MOSFET10のゲートに与えられることとなる。

30

【0103】

なお、上記においてはゲート制御回路18および19の近傍にIGBT1～6を配置し、IGBT1～6に中継パターンW3を設けた構成を示したが、ゲート制御回路18および19の近傍にMOSFET7～12を配置し、MOSFET7～12に中継パターンW3を設けた構成としても良い。

【0104】

このように、ゲート制御回路18および19の近傍にあるデバイスに中継パターンW3を設け、中継パターンW3を介してゲート制御回路18および19から遠い位置にあるデバイスにゲート制御回路18および19からゲート制御信号を与えるので、ゲート制御回路から遠い位置にあるデバイスへの配線作業が容易となる。

40

【0105】

また、IGBTおよびMOSFETに対してゲート制御回路からそれぞれ個別にゲート制御信号を与え、IGBTおよびMOSFETのターンオン、ターンオフのタイミングを個別に調整することで、スイッチング時の過渡状態においてはIGBT側に全電流が流れることができる。

【0106】

図13は、IGBT4およびMOSFET10のターンオン時の電流、電圧特性を示す図であり、図14は、IGBT4およびMOSFET10のターンオフ時の電流、電圧特性を示す図である。

50

【0107】

図13において、ターンオンに際しては、IGBT4の方が先にターンオンするようにゲート制御回路19からゲート制御信号を与える。IGBT4にゲート電圧VGEが与えられ、閾値電圧に達するとIGBT4がターンオンし、IGBT電流Icが流れ始める。

【0108】

IGBT4より所定時間遅らせてMOSFET10にゲート制御回路19からゲート制御信号を与える。MOSFET10にゲート電圧VGSが与えられ、閾値電圧に達するとMOSFET10がターンオンし、MOSFET電流Idが流れ始める。MOSFET10がターンオンした時点では、IGBT4がターンオンして所定時間が経過しており、IGBT4が定常状態となっているので電流は殆どIGBT4に流れしており、MOSFET10には殆ど流れない。

【0109】

IGBT4が完全にターンオンして、IGBT4のコレクタ-エミッタ間電圧VCEがほぼ0となり、さらにMOSFET10がターンオンすると、全電流Iがほぼ一定となる。

【0110】

このように、ターンオン時には、IGBTの方が先にターンオンするようにゲート制御信号を与えることで、ターンオン時にMOSFETに流れる電流を抑制することができる。

【0111】

また、図14において、ターンオフに際しては、MOSFET10の方が先にターンオフするようにゲート制御信号を制御する。MOSFET10に与えられているゲート電圧VGSが下がり、閾値電圧よりも低くなるとMOSFET10がターンオフして、MOSFET電流Idが下がり始める。

【0112】

MOSFET10がターンオフするタイミングで、IGBT4に与えるゲート制御信号を下げ始め、閾値電圧よりも低くなるとIGBT4がターンオフする。IGBT4がターンオフすることでIGBT電流Icが流れなくなる。

【0113】

IGBT4が完全にターンオフして、IGBT4のコレクタ-エミッタ間電圧VCEが立ち上がると、全電流Iが0となる。

【0114】

このように、ターンオフ時には、MOSFETが先にターンオフするようにゲート制御信号を与えることで、その時点でオン状態にあるIGBTに全電流が流れ、MOSFETには電流は流れない。

【0115】

以上のように、IGBTおよびMOSFETのターンオン、ターンオフのタイミングを個別に調整することで、スイッチング時の過渡状態においてはMOSFETに流れる電流が抑制され、MOSFETに最大電流通電に対応する定格を持たせる必要がなくなるので、MOSFETを小型化できモジュール全体を小型化することができる。

【0116】

なお、IGBTおよびMOSFETのターンオン、ターンオフのタイミングを個別に調整するには、ゲート制御回路18および19において、IGBTに与えるゲート制御信号とMOSFETに与えるゲート制御信号とで時間差が生じるように、例えば遅延回路を介してゲート制御信号を出力構成とする。

【0117】

<変形例6>

以上説明した実施の形態およびその変形例1～4においては、ゲート制御回路からIGBTおよびMOSFETに対して共通のゲート制御信号を与える構成を示したが、以下に図15および図16を用いて説明する構成を探ることによって、IGBTおよびMOSF

10

20

30

40

50

E T に対してゲート制御回路からそれぞれ個別にゲート制御信号を与えることもできる。

【0118】

図15には、本変形例を適用した3相インバータモジュール100Aの回路構成を示している。なお、図1に示した3相インバータモジュール100と同一の構成については同一の符号を付し、重複する説明は省略する。

【0119】

図15に示すように、3相インバータモジュール100Aにおいては、MOSFET7およびIGBT1のゲートは、それぞれ別個にゲート制御回路18に接続され、MOSFET8およびIGBT2のゲートは、それぞれ別個にゲート制御回路18に接続され、MOSFET9およびIGBT3のゲートは、それぞれ別個にゲート制御回路18に接続されている。

10

【0120】

ここで、IGBT1～3のそれぞれのゲートとゲート制御回路18とを接続する接続線をライン13と呼称し、MOSFET7～9のそれぞれのゲートとゲート制御回路18とを接続する接続線をライン13Aと呼称する。

【0121】

また、MOSFET10およびIGBT4のゲートは、それぞれ別個にゲート制御回路19に接続され、MOSFET11およびIGBT5のゲートは、それぞれ別個にゲート制御回路19に接続され、MOSFET12のゲートおよびIGBT6のゲートは、それぞれ別個にゲート制御回路19に接続されている。

20

【0122】

図16は、3相インバータモジュール100Aの内部構成を示す図である。なお、図2に示した3相インバータモジュール100と同一の構成については同一の符号を付し、重複する説明は省略する。

【0123】

図16に示すように、3相インバータモジュール100Aにおいては、IGBT1～6にはゲートパッドはゲートパッドG1のみが設けられ、IGBT1～3のそれぞれのゲートパッドG1はゲート制御回路18にワイヤボンディングされ、IGBT4～6のそれぞれのゲートパッドG1はゲート制御回路19にワイヤボンディングされている。また、MOSFET7～9のそれぞれのゲートパッドG11はゲート制御回路18にワイヤボンディングされ、MOSFET10～12のそれぞれのゲートパッドG11はゲート制御回路19にワイヤボンディングされている。

30

【0124】

図16に示すように、ゲート制御回路18および19の近傍に配置するIGBT1～6のそれぞれのゲートパッドG1とゲート制御回路18および19との間はワイヤボンディングにより接続し、ゲート制御回路18および19から遠い位置に配置するMOSFET7～12のそれぞれのゲートパッドG11とゲート制御回路18および19との間もワイヤボンディングで接続することで、IGBTおよびMOSFETに対してゲート制御回路からそれぞれ個別にゲート制御信号を与え、IGBTおよびMOSFETのターンオン、ターンオフのタイミングを個別に調整する。なお、IGBTおよびMOSFETのターンオン、ターンオフのタイミングについては、図14および図15を用いて説明したタイミングが適用可能である。

40

【0125】

これにより、スイッチング時の過渡状態においてはMOSFETに流れる電流が抑制され、MOSFETに最大電流通電に対応する定格を持たせる必要がなくなるので、MOSFETを小型化できモジュール全体を小型化することができる。

【0126】

<変形例7>

以上の説明においては、MOSFETの種類については特に限定しなかったが、シリコン(Si)基板上に形成されるシリコン半導体装置として構成しても良いし、炭化シリコ

50

ン (SiC) 基板上に形成される炭化シリコン半導体装置や、窒化ガリウム (GaN) 系材料で構成される基板上に形成される窒化ガリウム半導体装置としても良い。

【0127】

SiCやGaNは、ワイドバンドギャップ半導体であり、ワイドバンドギャップ半導体によって構成される半導体装置は、耐電圧性が高く、許容電流密度も高いため、シリコン半導体装置に比べて小型化が可能であり、MOSFET 7～12をさらに小型化することで、3相インバータモジュール100および100Aをさらに小型化できる。

【0128】

また、IGBT 1～4をワイドバンドギャップ半導体装置としても良いことは言うまでもなく、IGBT 1～4およびMOSFET 7～12の両方をワイドバンドギャップ半導体装置としても良い。

10

【0129】

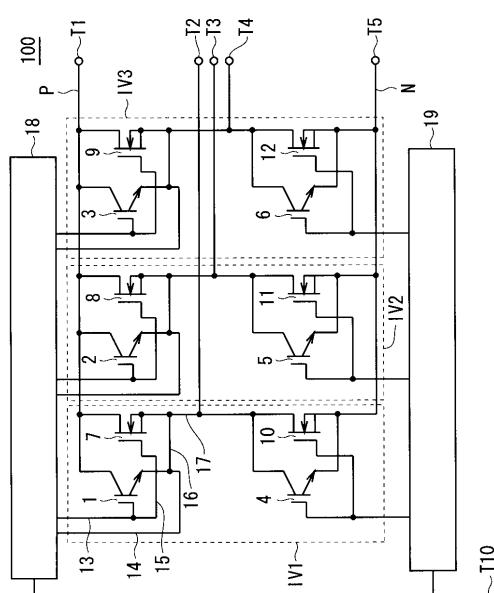
なお、本発明は、その発明の範囲内において、実施の形態を適宜、変形、省略することが可能である。

【符号の説明】

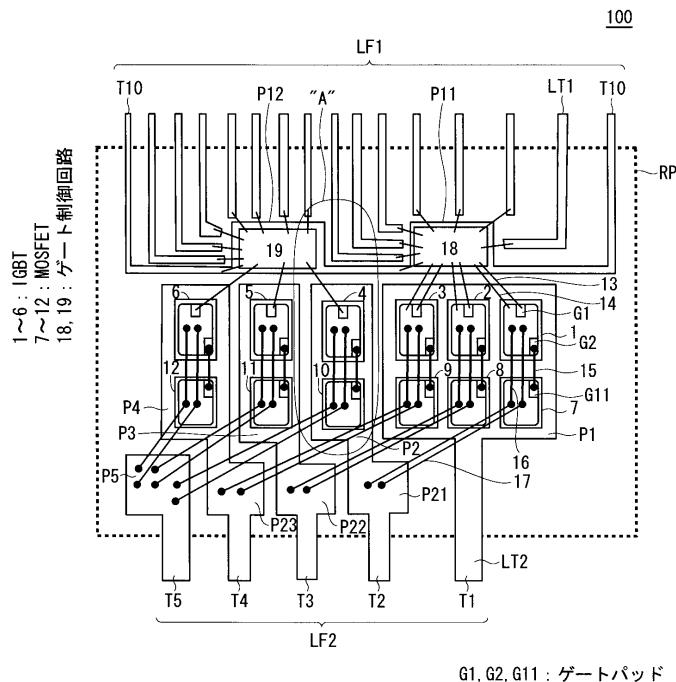
【0130】

1～6 IGBT、7～12 MOSFET、18, 19 ゲート制御回路、G1, G2, G11 ゲートパッド。

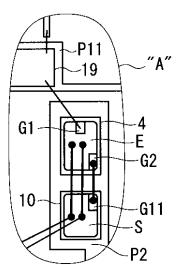
【図1】



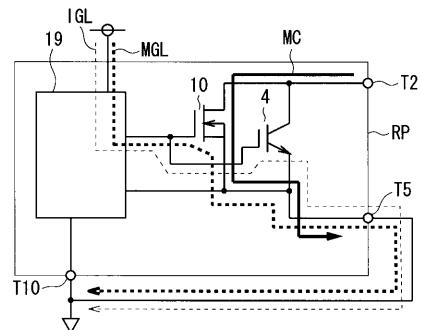
【図2】



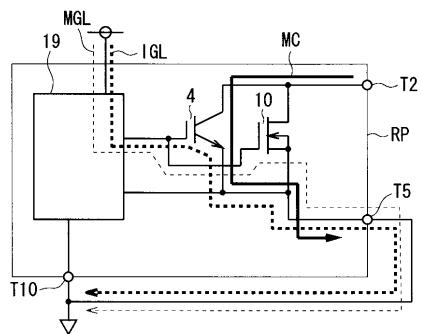
【図3】



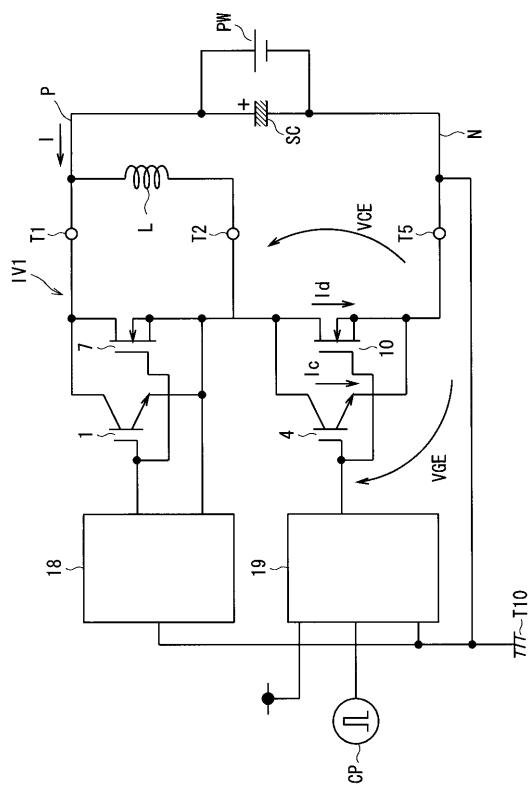
【図5】



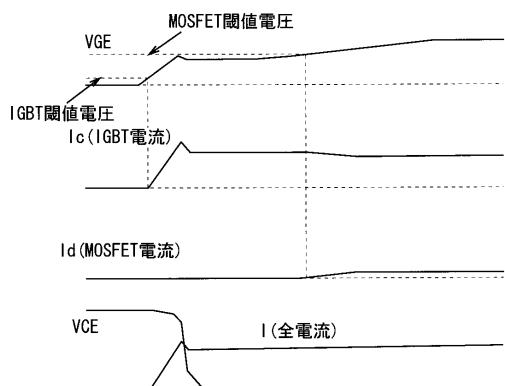
【図4】



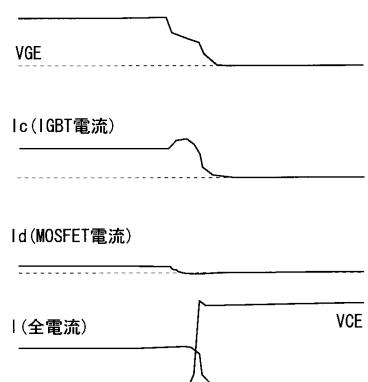
【図6】



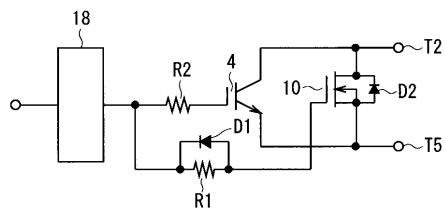
【図7】



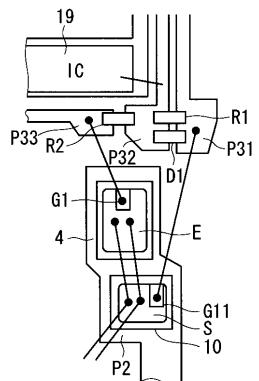
【図8】



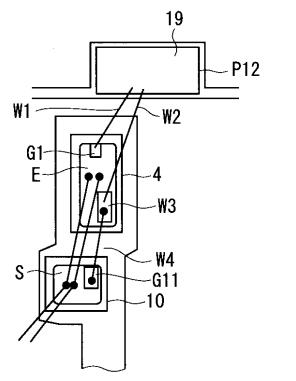
【図 9】



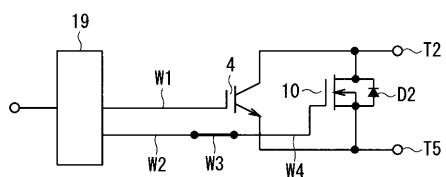
【図 10】



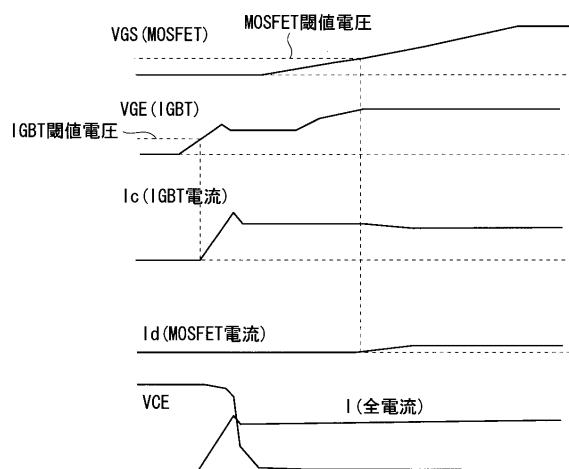
【図 12】



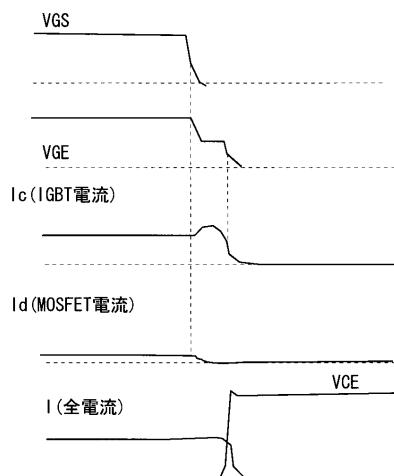
【図 11】



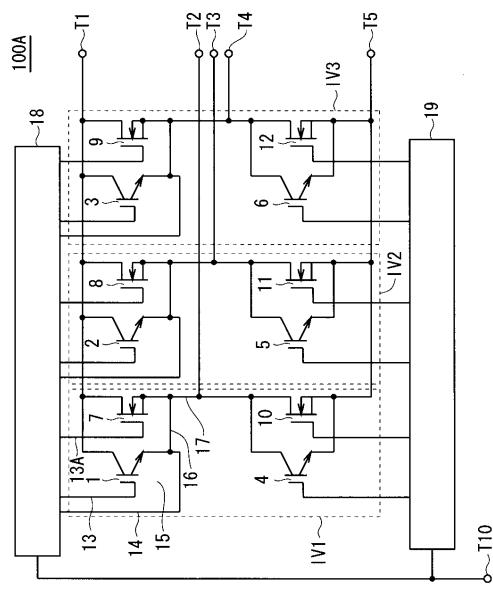
【図 13】



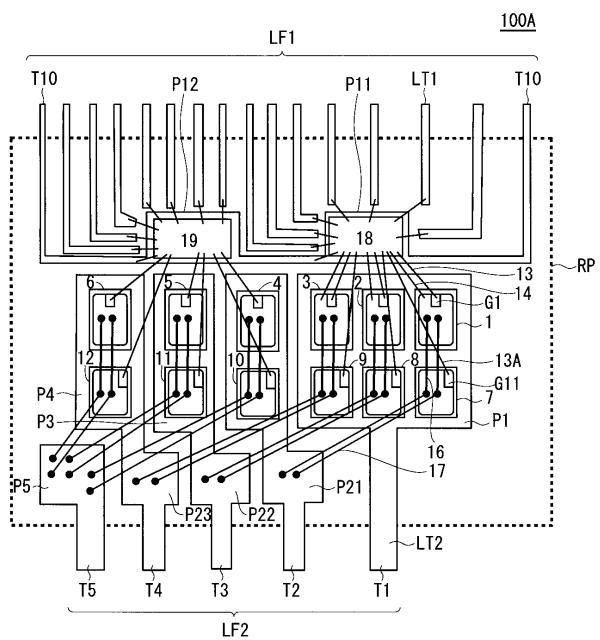
【図 14】



【図15】



【図16】



フロントページの続き

(51)Int.Cl. F I
H 03K 17/687 (2006.01)

(56)参考文献 特開2000-091499 (JP, A)
国際公開第2000/072433 (WO, A1)
特開平04-354156 (JP, A)
特開平05-090933 (JP, A)
特開2005-295653 (JP, A)
実開昭57-039144 (JP, U)
特開2002-165439 (JP, A)
特開平06-141542 (JP, A)
特開昭56-002735 (JP, A)
特開昭56-025373 (JP, A)
特開昭61-072411 (JP, A)
実開昭59-111332 (JP, U)

(58)調査した分野(Int.Cl., DB名)

H 01L 25/07
H 01L 25/18
H 01L 29/739
H 01L 29/78
H 02M 1/08
H 03K 17/687