(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl. [7]
H01L 21/768

(11) 공개번호 특2002-0007409
(43) 공개일자 2002년01월26일

(21) 출원번호 10-2001-7014460
(22) 출원일자 2001년11월13일
번역문 제출일자 2001년11월13일
(86) 국제출원번호 PCT/US2000/11065
(86) 국제출원출원일자 2000년04월18일
(87) 국제공개번호 WO 2000/70924
(87) 국제공개일자 2000년11월23일

(81) 지정국 국내특허 : 일본, 대한민국,
EP 유럽특허: 오스트리아, 벨기에, 스위스, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투칼, 스웨덴, 핀랜드, 사이프러스,

(30) 우선권주장 09/315,091 1999년05월19일 미국(US)

(71) 출원인 인피니언 테크놀로지스 노쓰 아메리카 코포레이션
추후제출
미국 캘리포니아 산 호세 노쓰 퍼스트 스트리트 1730 (우편번호 : 95112-6000)

(72) 발명자 호인키스,마크,디.
미국12524뉴욕피쉬킬스프루스리지드라이브37

(74) 대리인 남상선

심사청구 : 없음

(54) 상호연결용 구리 금속부를 갖는 집적 회로

요약

구리에 의해 높은 어스펙트비의 트렌치를 충진시키는 것은 물리적 기상 증착에 의해 증착된 얇은 핵형성 구리막을 먼저 스퍼터링하고 화학적 기상 증착에 의해 얇은 구리 시드층을 증착하고, 전기 도금에 의해 완전치 충진시킴으로써 달성된다. 충진의 스트레스 마이그레이션은 구리 증착은 이온화된 PVD 소스에 의한 탄탈의 증착으로 단독 또는 예비처리 및/또는 수행되어 탄탈 질화물층의 CVD 증착에 의해 처리되는 경우 개선된다.

명세서

기술분야

본 발명은 집적 회로 장치, 특히 집적 회로를 형성하기 위해 회로의 개별 회로 부품들을 상호연결하는 기술에 관한 것이다.

배경기술

회로 부품을 보다 작게 그리고 이들의 패킹(packing)이 보다 밀집되게 제조함으로써 집적 회로가 조밀해짐에 따라, 실용적으로 낮은 저항의 도체로 집적회로 속에 회로 부품을 상호연결하는 방법에 대한 중요성이 증가되고 있다. 이 때문에, 이러한 상호연결(interconnection)을 제공하기 위한 선택 금속으로서 구리의 사용에 대한 관심이 증가되고 있고 이는 구리가 바람직한 전기적 성질과 상대적으로 낮은 비용 모두를 만족시키기 때문이다. 구리가 최종 금속의 상호연결을 제공하기 위해 금속 라인의 백-엔드로서 사용되는 경우, 특히 트렌치 패턴이 절연층에 형성되는 단일 또는 이중 다마신 공정의 일부로서 사용되는 경우 특히 중요한 것으로 밝혀졌다. 트렌치 패턴은 절연층의 표면 위에 구리층을 증착함으로써 과잉충진되고 구리는 패턴이 충진된 곳을 제외하고 층에서 제거된다. 이러한 제거는 전형적으로 화학적 기계적 연마(CMP)에 의해 행해진다. 일반적으로, 이는 스페이스 고려로 인해 상대적으로 폭이 좁은 라인을 포함하는 트렌치 패턴을 사용하여 작업되는 것이 요구된다. 폭이 좁은 트렌치 사용을 고려하여 높은 컨덕턴스(낮은 저항)를 달성하기 위해서는, 상대적으로 깊은 트렌치를 제작하는 것이 바람직하다.

0.15 내지 0.25 미크론 사이의 폭과 약 0.3 내지 0.4 미크론의 깊이의 트렌치를 구리로 충진하는 현재의 바람직한 기술은 단계의 시퀀스를 수반한다. 이들은 충진되는 트렌치 벽 위로 배리어-아교 라이너층을 먼저 스퍼터링하는 단계(물리적 기상 증착)와, 그위에 구리 시드층을 스퍼터링하는 단계와, 마지막으로 전기도금에 의해 구리를 완전히 충진시키는 단계를 포함한다. 그리나, 이러한 형태의 기술은 5 또는 6 이상의 높은 어스펙트비의 트렌치를 구리로 완전히 채우는데는 상대적으로 비효과적인 것으로 밝혀졌다.

본 명세서에서 사용되는 " 트렌치" 란 용어는 연장된 그루브 및 반도체 칩 또는 다른 전도성 라인 영역과 같은, 하부 전도성 영역과의 국부적 연결을 위해 그루브 바닥으로부터 연장되는 국부적 비아 영역을 설명하는데 사용된다.

본 발명은 10 또는 12와 같이 5 또는 6 이상의 상당히 높은 어스펙트비를 갖는 트렌치를 구리로 충분히 충진시킬수 있는 기술을 제공하는 것을 목적으로 한다.

구리 사용으로 인한 또다른 문제점은 신뢰도의 문제이다. 특히, 충진 구리의 전도성은 장시간 사용에서 일정하게 유지되고 충진의 저항을 변화시키고 증가시킬 수 있는 " 스트레스 마이그레이션(stress migration)" 으로 설명된 악영향을 받지 않는 것이 중요하다. 현재의 기술은 이와 관련한 개선안을 여전히 요구하고 있다. 본 발명의 또다른 특징은 스트레스 마이그레이션을 감소시켜 신뢰도를 개선시키는 것이다.

발명의 상세한 설명

본 발명은 트렌치 충진 개선 및 신뢰도의 개선, 특히 충진 구리의 스트레스 마이그레이션을 감소시키는 높은 어스펙트비의 트렌치를 구리로 충진시키는 기술을 제공하는 것을 목적으로 한다.

이를 위해, 본 발명의 일면은 임의의 구리 증착 이전에 트렌치의 벽 위에 배리어 아교 라이너를 형성하기 위한 기판의 특수한 예비 처리가 신뢰도 개선 특히, 스트레스 마이그레이션 효과를 감소에 유용하다는 발견에 기초한다. 특히, 이러한 라이너는 바람직하게 약 25 내지 200 옴스트롱의 두께로 화학적 기상 증착(CVD)에 의해 증착된 티타늄 질화물층을 포함한다. 또한, 라이너는 이러한 티타늄 질화물층과, 물리적 기상 증착(PVD) 바람직하게 이온화된 PVD 소스에 의해 증착된 탄탈 또는 탄탈 질화물의 탄탈 부유층 아래 및/또는 위에 포함될 수 있다.

또다른 면에서, 본 발명은 기준 종래 기술의 충진 기술에 의해서 바람직하게 충진되지 않은 높은 어스펙트비를 갖는 트렌치를 구리로 보다 완전하게 충진시키는 증착 시퀀스에 관한 것이다.

특히, 10 내지 12와 같이 5 또는 6 이상의 어스펙트비를 갖는, 예를 들어 약 0.2 미크론 이하의 서브 미크론 폭을 갖는 트렌치에 대한 최상의 구리-충진 공정은 CVD에 의해 약 1000 옴스트롱 이하 바람직하게는 약 400-500 옴스트롱 사이의 두께로 구리 시드층을 증착하는 것을 포함한다. 이는 약 1000 옴스트롱 이하, 바람직하게는 약 400 내지 500 옴스트롱 두께의 층을 구리의 플래시(flash) 증착, 특히 스퍼터링 또는 물리적 기상 증착에 의해 처리하는 것이 바람직하다. 예비 PVD 단계는 나중에 CVD 구리막의 핵형성에 도움을 주는 것으로 밝혀졌다. 초기 PVD 플래시 증착은 유용한 트렌치의 벽 위로 연속막을 형성할 필요가 없다. 트렌치에 대한 충진의 나머지는 예를 들어, 황산염 구리($CuSO_4$) 및 황산(H_2SO_4)을 포함하는 전기도금 배쓰(bath)를 사용하여 표준 형태로 구리의 전기도금에 의해 제공될 수 있다.

일 면에서 볼 때, 본 발명은 화학적 기상 증착에 의해 증착된 약 25 내지 200 옴스트롱 두께의 티타늄 질화물막을 포함하는 라이너로 트렌치의 벽을 먼저 코팅하고, 트렌치를 충진시키는 구리를 증착하는 단계를 포함하는 트렌치에 구리를 증착하는 공정에 관한 것이다. 선택적으로 라이너는 탄탈-부유(rich) 층일 수 있다.

또다른 면에서 볼 때, 본 발명은 약 200 내지 1000 옴스트롱 두께의 구리 시드층을 트렌치의 벽에 화학적 기상 증착으로 먼저 증착시키고 전기도금에 의해 구리를 트렌치에 충진시키는 단계를 포함하는 트렌치를 충진시키기 위해 트렌치에 구리를 증착시키는 방법에 관한 것이다.

또다른 면에서 볼 때, 본 발명은 저저항의 접속부를 형성하기 위해 실리콘 기판 위의 절연층에 있는 트렌치를 충진시키는 공정에 관한 것이다. 공정은 티타늄 질화물층을 포함하는 라이너를 트렌치의 표면 위에 형성하는 단계; 구리의 플래시층을 증착함으로써 라이너 위에 핵형성막을 형성하는 단계; 화학적 기상 증착에 의한 핵형성막 위에 구리의 시드층을 형성하는 단계, 및 전기도금에 의해 구리를 트렌치에 충진시키는 단계를 포함한다.

본 발명은 이하 보다 상세하게 설명된다.

실시예

상기 설명된 것처럼, 과거에는 집적 회로의 부품을 상호연결하기 위해 일반적으로 탄탈 및/또는 탄탈 질화물의 배리어-아교층을 사용하여 트렌치의 벽을 라이닝함으로써 폭이 좁은 트렌치를 구리로 채우는 공정을 실시하였다. 일 형태로, 본 발명의 새로운 구리 충진 공정은 선택적으로 다양한 실리콘 화합물중 하나인 물질과 구리의 접착성, 그리고 저저항 오믹 연결부를 형성하는데 요구되는 구리와 도핑된 실리콘 또는 다른 도체와의 접착성을 강화시키기 위해 초기에 일반적으로 증착되는 배리어 아교-라이너층 없이 사용될 수 있다.

그러나, 스트레스 마이그레이션의 문제점과 관련하여 라이너층으로서 사용하기 위해 본 출원인은 이하의 5개 선택 그룹을 조사하였다: CVD TiN; CVD TiN/PVD Ta; PVD Ta/CVD TiN/PVD Ta; PVD TaN/PVD Ta; 및 PVD Ta. 지시된 것처럼, 이들층중 일부는 화학적으로 기상 증착된 막과 물리적으로 기상 증착된 막 모두를 수반하는 다층막을 포함한다. 일반적으로 이들 층들은 폭이 0.2 미크론 이하인 트렌치의 표면 밑에서 0.4 미크론으로 측정된 트렌치의 측벽상에서 전체 500 옴스트롱 이하의 두께로 제한된다. 전형적으로 각각의 막들은 약 50 내지 400 옴스트롱의 두께로 제한된다.

특히, 화학적으로 기상 증착된 (CVD) TiN(티타늄 질화물)의 라이너층에 포함되어 있는 스트레스 마이그레이션을 감소시키는 것이 중요하다는 것을 발견했다. 이온화된 물리적 기상 증착(I-PVD)에 의해 탄탈 부유막이 포함되는 경우 보다 양호한 결과가 얻어진다. 먼저 I-PVD Ta-부유막이 증착되고, CVD TiN 및 I-PVD Ta 부유막이 증착되는 경우 보다더 양호한 결과가 얻어진다. 바람직하게, 이들 각각의 증착은 표준 가스제거 및 스퍼터 세척 단계로 먼저처리된다. 바람직하게 시드 라이너층의 전체 두께는 500 옴스트롱 이하이고 공정은 집적 회로의 특성에 영향을 주지 않도록 약 500℃ 이상의 증착 온도를 피한다.

탄탈-부유막은 탄탈막 및/또는 탄탈 질화물막일 수 있다. 포함된 경우, 각각은 전형적으로 약 50 내지 400 옴스트롱 범위의 두께를 갖는다.

라이너가 형성된 후, 구리 충진이 처리될 수 있다. 구리의 충진, 특히 8 내지 12의 어스펙트비를 갖는 트렌치를 구리로 충진하는 것에 관한 본 발명의 또다른 특징에 따라, 구리 충진 시퀀스는 바람직하게는 차후 CVD 구리 시드층의 핵형성을 보조하기 위해 플래시 구리층의 물리적 기상 증착에 의해 예비처리된, 구리 시드층의 화학적 기상 증착을 포함한다. 구리 플래시층과 구리 시드층 모두는 바람직하게 각각 1000 옴스트롱 이하의 두께로 얇다. 기준 형상으로 구리 전기도금에 의해 충진이 완전히 이루어진다. 일반적으로 전기도금은 황산염 구리 및 황산 배쓰를 사용하여 행해지나 임의의 이와 유사한 배쓰를 사용할 수 있다. 일반적으로 전기도금은 트렌치를 과잉충진시키는데 사용되며 트렌치 외측의 과잉 도금은 다마신 공정의 특징처럼, 화학적 기계적 연마에 의해 표면을 평탄화시킴으로써 제거된다.

(57) 청구의 범위

청구항 1.

화학적 기상 증착으로 증착된 약 25 내지 200 옴스트롱 두께의 티타늄 질화물층 포함하는 라이너를 사용하여 트렌치의 벽을 먼저 코팅하고, 트렌치를 충진시키기 위해 구리를 증착시키는 단계를 포함하는 것을 특징으로 하는 트렌치에 구리를 증착시키는 방법.

청구항 2.

제 1 항에 있어서, 상기 라이너는 적어도 한 개 이상의 탄탈 부유층인 것을 특징으로 하는 방법.

청구항 3.

제 1 항에 있어서, 상기 탄탈 부유층은 탄탈 및 탄탈 질화물을 포함하는 그룹에서 선택되는 것을 특징으로 하는 방법.

청구항 4.

제 3 항에 있어서, 상기 탄탈 부유층은 약 50 내지 400 옴스트롱 사이의 두께를 갖는 것을 특징으로 하는 방법.

청구항 5.

약 200 내지 1000 옴스트롱 사이의 두께를 갖는 구리의 시드층을 트렌치의 벽에 화학적 기상 증착으로 증착하고 전기도금에 의해 트렌치를 충진시키는 단계를 포함하는 것을 특징으로 하는 트렌치에 구리를 증착하는 방법.

청구항 6.

제 5 항에 있어서, 상기 시드층은 약 400-500 옴스트롱 사이의 두께인 것을 특징으로 하는 방법.

청구항 7.

제 5 항에 있어서, 상기 시드층을 증착시키기 이전에, 약 1000 옴스트롱 이하의 두께를 갖는 구리층을 물리적 기상 증착에 의해 핵형성막으로 증착시키는 것을 특징으로 하는 방법.

청구항 8.

제 7 항에 있어서, 상기 핵형성층은 약 400-500 옴스트롱 사이의 두께를 갖는 것을 특징으로 하는 방법.

청구항 9.

제 1 항에 있어서, 약 1000 옴스트롱 이하의 두께를 갖는 구리의 시드층을 화학적 기상 증착으로 먼저 증착하고 전기도금에 의해 구리를 완전히 충진시킴으로써 트렌치가 충진되도록 구리를 증착하는 것을 특징으로 하는 방법.

청구항 10.

제 2 항에 있어서, 1000 옴스트롱 이하의 두께를 갖는 구리의 시드층을 화학적 기상 증착으로 먼저 증착하고 전기도금에 의해 구리를 완전히 충진시킴으로써 트렌치가 충진되도록 구리를 증착하는 것을 특징으로 하는 방법.

청구항 11.

제 3 항에 있어서, 1000 옴스트롱 이하의 두께를 갖는 구리의 시드층을 화학적 기상 증착으로 증착하고 전기도금에 의해 구리를 완전히 충진시킴으로써 트렌치가 충진되도록 구리를 증착하는 것을 특징으로 하는 방법.

청구항 12.

제 4 항에 있어서, 1000 옴스트롱 이하의 두께를 갖는 구리의 시드층을 화학적 기상 증착으로 먼저 증착하고 전기도금에 의해 구리를 완전히 충진시킴으로써 트렌치가 충진되도록 구리를 증착하는 것을 특징으로 하는 방법.

청구항 13.

저저항 연결부를 형성하기 위해 실리콘 기판 상의 절연층에 있는 트렌치를 충진시키는 방법으로서,

티타늄 질화물층을 포함하는 라이너를 트렌치 표면 위에 형성하는 단계;

스퍼터링에 의해 구리의 플래시 층을 라이너 위에 핵형성막으로 형성하는 단계;

화학적 기상 증착에 의해 상기 핵형성막 위에 구리 시드층을 형성하는 단계; 및

전기도금에 의해 트렌치를 구리로 충진시키는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 14.

제 13 항에 있어서, 상기 트렌치는 과잉충진되고 과잉 구리는 화학적 기계적 연마에 의해 제거되는 것을 특징으로 하는 방법.

청구항 15.

제 13 항에 있어서, 상기 라이너는 적어도 하나 이상의 탄탈 부유층을 포함하는 것을 특징으로 하는 방법.

청구항 16.

제 15 항에 있어서, 상기 탄탈 부유층은 탄탈 및 탄탈 질화물을 포함하는 그룹에서 선택되는 것을 특징으로 하는 방법.

청구항 17.

제 16 항에 있어서, 상기 라이너는 약 500 옴스트롱 이하의 두께를 갖는 것을 특징으로 하는 방법.

청구항 18.

제 17 항에 있어서, 상기 탄탈 부유층 각각은 약 50 내지 400 옴스트롱 사이의 두께를 갖는 것을 특징으로 하는 방법.

청구항 19.

제 13 항에 있어서, 상기 핵형성 구리층 및 시드 구리층은 각각 약 400 내지 500 옴스트롱 사이의 두께를 갖는 것을 특징으로 하는 방법.

청구항 20.

제 19 항에 있어서, 상기 구리는 황산염 구리 및 황산 배쓰로부터 전기도금되는 것을 특징으로 하는 방법.

청구항 21.

제 19 항에 있어서, 상기 트렌치는 과잉충진되고 과잉 구리는 화학적 기계적 연마에 의해 제거되는 것을 특징으로 하는 방법.

청구항 22.

제 19 항에 있어서, 상기 라이너는 탄탈 및 탄탈 질화물 그룹에서 선택된 탄탈 부유층인 것을 특징으로 하는 방법.

청구항 23.

제 22 항에 있어서, 상기 라이너는 500 옴스트롱 이하의 두께를 갖는 것을 특징으로 하는 방법.