

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7566397号
(P7566397)

(45)発行日 令和6年10月15日(2024.10.15)

(24)登録日 令和6年10月4日(2024.10.4)

(51)国際特許分類		F I		
H 0 1 L	21/336(2006.01)	H 0 1 L	29/78	3 0 1 G
H 0 1 L	29/78 (2006.01)	H 0 1 L	29/78	3 0 1 B
H 0 1 L	29/788(2006.01)	H 0 1 L	29/78	3 7 1
H 0 1 L	29/792(2006.01)	H 0 1 L	29/78	6 1 7 S
H 0 1 L	29/786(2006.01)	H 0 1 L	29/78	6 1 7 T
請求項の数 25 (全27頁) 最終頁に続く				
(21)出願番号	特願2019-150490(P2019-150490)	(73)特許権者	390019839	
(22)出願日	令和1年8月20日(2019.8.20)		三星電子株式会社	
(65)公開番号	特開2020-31213(P2020-31213A)		S a m s u n g E l e c t r o n i c s	
(43)公開日	令和2年2月27日(2020.2.27)		C o . , L t d .	
審査請求日	令和4年7月26日(2022.7.26)		大韓民国京畿道水原市靈通区三星路12	
(31)優先権主張番号	10-2018-0096828		9	
(32)優先日	平成30年8月20日(2018.8.20)		129, Samsung-ro, Yeongtong-gu, Suwon-si,	
(33)優先権主張国・地域又は機関	韓国(KR)		Gyeonggi-do, Republic of Korea	
(31)優先権主張番号	10-2019-0008347	(74)代理人	100133400	
(32)優先日	平成31年1月22日(2019.1.22)		弁理士 阿部 達彦	
(33)優先権主張国・地域又は機関	韓国(KR)	(74)代理人	100110364	
			弁理士 実広 信哉	
		(74)代理人	100154922	
				最終頁に続く

(54)【発明の名称】 ロジックスイッチング素子及びその製造方法

(57)【特許請求の範囲】

【請求項1】

チャンネル要素と、
前記チャンネル要素に連結されたソース及びドレインと、
前記チャンネル要素に対向して配置されたゲート電極と、
前記チャンネル要素と前記ゲート電極との間に配置されたドメインスイッチング層と、を含み、
前記ドメインスイッチング層は、ヒステリシス特性を有さず、強誘電ドメインを含む強誘電物質領域と、反強誘電ドメインを含む反強誘電物質領域と、を具備するロジックスイッチング素子。

10

【請求項2】

前記ドメインスイッチング層は、外部電場による分極の変化において、非ヒステリシス特性を有することを特徴とする請求項1に記載のロジックスイッチング素子。

【請求項3】

前記ドメインスイッチング層は、少なくとも1つの前記強誘電物質領域と、少なくとも1つの前記反強誘電物質領域とが、前記ゲート電極に平行な方向に配列された構造を有することを特徴とする請求項1または2に記載のロジックスイッチング素子。

【請求項4】

前記ドメインスイッチング層は、少なくとも1つの前記強誘電物質領域と、少なくとも1つの前記反強誘電物質領域とが、前記ゲート電極に垂直方向に配列された構造を有する

20

ことを特徴とする請求項 1 または 2 に記載のロジックスイッチング素子。

【請求項 5】

前記ドメインスイッチング層は、少なくとも 1 つの前記強誘電物質領域と、少なくとも 1 つの前記反強誘電物質領域とが、前記ゲート電極に平行な方向に配列された構造と、それに垂直方向に配列された構造との組み合わせを含むことを特徴とする請求項 1 または 2 に記載のロジックスイッチング素子。

【請求項 6】

前記強誘電物質領域と前記反強誘電物質領域は、同一ベース物質を含むが、互いに異なる結晶相を有することを特徴とする請求項 1 から 5 のいずれか一項に記載のロジックスイッチング素子。

10

【請求項 7】

前記強誘電物質領域は直方晶系結晶相を含み、前記反強誘電物質領域は正方晶系結晶相を含むことを特徴とする請求項 1 から 6 のいずれか一項に記載のロジックスイッチング素子。

【請求項 8】

前記強誘電物質領域と前記反強誘電物質領域は、互いに異なるドーピング濃度を有することを特徴とする請求項 1 から 5 のいずれか一項に記載のロジックスイッチング素子。

【請求項 9】

前記強誘電物質領域と前記反強誘電物質領域は、互いに異なるドーピング物質を含むことを特徴とする請求項 1 から 5 のいずれか一項に記載のロジックスイッチング素子。

20

【請求項 10】

前記強誘電物質領域及び前記反強誘電物質領域のうち少なくとも一つは、Hf系酸化物及びZr系酸化物のうち少なくとも一つを含むことを特徴とする請求項 1 から 9 のいずれか一項に記載のロジックスイッチング素子。

【請求項 11】

前記強誘電物質領域及び前記反強誘電物質領域のうち少なくとも一つは、ドーパントを含み、前記ドーパントは、Si、Al、Zr、Y、La、Gd、Sr及びHfのうち少なくとも一つを含むことを特徴とする請求項 1 から 10 のいずれか一項に記載のロジックスイッチング素子。

【請求項 12】

30

前記ドメインスイッチング層において、前記強誘電物質領域と前記反強誘電物質領域との体積比は、10:90ないし90:10の範囲であることを特徴とする請求項 1 から 11 のいずれか一項に記載のロジックスイッチング素子。

【請求項 13】

前記ドメインスイッチング層は、前記チャネル要素に直接接触していることを特徴とする請求項 1 から 12 のいずれか一項に記載のロジックスイッチング素子。

【請求項 14】

前記チャネル要素と前記ドメインスイッチング層との間に配置された絶縁層をさらに含むことを特徴とする請求項 1 から 12 のいずれか一項に記載のロジックスイッチング素子。

【請求項 15】

40

前記チャネル要素と前記ドメインスイッチング層との間に配置された絶縁層と、前記絶縁層と前記ドメインスイッチング層との間に配置された導電層と、をさらに含むことを特徴とする請求項 1 から 12 のいずれか一項に記載のロジックスイッチング素子。

【請求項 16】

前記チャネル要素は、Si、Ge、SiGe、III-V族半導体、酸化物半導体、窒化物半導体、窒化酸化物半導体、二次元物質、量子点及び有機半導体のうち少なくとも一つを含むことを特徴とする請求項 1 から 15 のいずれか一項に記載のロジックスイッチング素子。

【請求項 17】

チャネル要素を含む基板を設ける段階と、

50

前記チャネル要素上に、非晶質薄膜を形成する段階と、
前記非晶質薄膜上に、導電性物質層を形成する段階と、
前記非晶質薄膜をアニーリングし、前記非晶質薄膜からドメインスイッチング層を形成する段階と、を含み、

前記ドメインスイッチング層は、ヒステリシス特性を有さず、強誘電ドメインを含む強誘電物質領域と、反強誘電ドメインを含む反強誘電物質領域と、を具備するように形成されるロジックスイッチング素子の製造方法。

【請求項 18】

前記強誘電物質領域と前記反強誘電物質領域は、互いに異なる結晶相を有することを特徴とする請求項 17 に記載のロジックスイッチング素子の製造方法。

10

【請求項 19】

前記強誘電物質領域は直方晶系結晶相を含み、前記反強誘電物質領域は正方晶系結晶相を含むことを特徴とする請求項 17 または 18 に記載のロジックスイッチング素子の製造方法。

【請求項 20】

前記強誘電物質領域と前記反強誘電物質領域は、互いに異なるドーピング濃度を有することを特徴とする請求項 17 に記載のロジックスイッチング素子の製造方法。

【請求項 21】

前記強誘電物質領域と前記反強誘電物質領域は、互いに異なるドーピング物質を含むことを特徴とする請求項 17 に記載のロジックスイッチング素子の製造方法。

20

【請求項 22】

前記強誘電物質領域及び前記反強誘電物質領域のうち少なくとも一つは、Hf系酸化物及びZr系酸化物のうち少なくとも一つを含むことを特徴とする請求項 17 から 21 のいずれか一項に記載のロジックスイッチング素子の製造方法。

【請求項 23】

前記アニーリングは、400 ないし 1,200 の温度で行うことを特徴とする請求項 17 から 22 のいずれか一項に記載のロジックスイッチング素子の製造方法。

【請求項 24】

前記導電性物質層からゲート電極を形成する段階をさらに含むことを特徴とする請求項 17 から 23 のいずれか一項に記載のロジックスイッチング素子の製造方法。

30

【請求項 25】

前記チャネル要素に連結されたソース及びドレインを形成する段階をさらに含むことを特徴とする請求項 17 から 24 のいずれか一項に記載のロジックスイッチング素子の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ロジックスイッチング素子及びその製造方法に関する。

【背景技術】

【0002】

既存シリコン基板のトランジスタは、動作特性の改善、及びスケールダウン (scaling down) に限界がある。例えば、既存シリコン基板のトランジスタにおいて、動作電圧及び電流特性を測定すれば、サブスレショルドスイング (SS: subthreshold swing) (SS) 値は、下記数式 1 のように与えられるが、SS 値は、約 60 mV / dec が限界であると知られている。

【0003】

【数 1】

40

$$SS = \frac{k_B T}{q} \ln(10) \left(1 + \frac{C_D}{C_{ins}} \right)$$

【 0 0 0 4 】

ここで、 k_B はボルツマン定数 (B o l t z m a n n c o n s t a n t) であり、 T は絶対温度 (a b s o l u t e t e m p e r a t u r e) であり、 q は電荷素量 (e l e m e n t a r y c h a r g e) であり、 C_D は空乏層 (d e p l e t i o n l a y e r) のキャパシタンスであり、 C_{ins} はゲート絶縁体 (g a t e i n s u l a t o r) のキャパシタンスである。

10

【 0 0 0 5 】

トランジスタのサイズが小さくなるにつれ、動作電圧を約 0 . 8 V 以下に低くし難い要因により、パワー密度 (p o w e r d e n s i t y) は増大している。従って、素子のスケールダウンに限界がある。サブスレショルドスイング (S S) のような動作特性を改善させることができ、スケールダウンに有利であり、制御効率を高めることができる素子の開発が要求される。

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 6 】

20

本発明が解決しようとする課題は、ネガティブキャパシタンス (n e g a t i v e c a p a c i t a n c e) 効果を利用したロジックスイッチング素子を提供し、強誘電 (f e r r o e l e c t r i c) 物質及び反強誘電 (a n t i - f e r r o e l e c t r i c) 物質を利用するロジックスイッチング素子を提供し、サブスレショルドスイング (S S) のような動作特性を改善させることができ、制御効率を高めることができ、スケールダウンに有利なロジックスイッチング素子を提供し、前述のロジックスイッチング素子の製造方法を提供することである。

【課題を解決するための手段】

【 0 0 0 7 】

一側面によれば、チャネル要素と、前記チャネル要素に連結されたソース及びドレインと、前記チャネル要素に対向して配置されたゲート電極と、前記チャネル要素と前記ゲート電極との間に配置されたドメインスイッチング層 (d o m a i n s w i t c h i n g l a y e r) と、を含み、前記ドメインスイッチング層は、非メモリ (n o n - m e m o r y) 要素であり、強誘電ドメインを含む強誘電 (f e r r o e l e c t r i c) 物質領域と、反強誘電ドメインを含む反強誘電 (a n t i - f e r r o e l e c t r i c) 物質領域と、を具備するロジックスイッチング素子が提供される。

30

【 0 0 0 8 】

前記ドメインスイッチング層は、外部電場による分極の変化において、非履歴 (n o n - h y s t e r e s i s) 挙動特性を有することができる。

【 0 0 0 9 】

40

前記ドメインスイッチング層は、少なくとも1つの前記強誘電物質領域と、少なくとも1つの前記反強誘電物質領域とが、前記ゲート電極に平行な方向に配列された構造を有することができる。

【 0 0 1 0 】

前記ドメインスイッチング層は、少なくとも1つの前記強誘電物質領域と、少なくとも1つの前記反強誘電物質領域とが、前記ゲート電極に垂直方向に配列された構造を有することができる。

【 0 0 1 1 】

前記ドメインスイッチング層は、少なくとも1つの前記強誘電物質領域と、少なくとも1つの前記反強誘電物質領域とが、前記ゲート電極に平行な方向に配列された構造と、そ

50

れに垂直方向に配列された構造との組み合わせを含んでもよい。

【0012】

前記強誘電物質領域と前記反強誘電物質領域は、同一ベース物質を含み、互いに異なる結晶相を有することができる。

【0013】

前記強誘電物質領域は、直方晶系 (orthorhombic) 結晶相を含み、前記反強誘電物質領域は、正方晶系 (tetragonal) 結晶相を含んでもよい。

【0014】

前記強誘電物質領域と前記反強誘電物質領域は、互いに異なるドーピング濃度を有することができる。

【0015】

前記強誘電物質領域と前記反強誘電物質領域は、互いに異なるドーピング物質を含んでもよい。

【0016】

前記強誘電物質領域及び前記反強誘電物質領域のうち少なくとも一つは、Hf系酸化物及びZr系酸化物のうち少なくとも一つを含んでもよい。

【0017】

前記強誘電物質領域及び前記反強誘電物質領域のうち少なくとも一つは、ドーパント (dopant) を含み、前記ドーパントは、Si、Al、Zr、Y、La、Gd、Sr及びHfのうち少なくとも一つを含んでもよい。

【0018】

前記ドメインスイッチング層において、前記強誘電物質領域と前記反強誘電物質領域との体積比は、約10:90ないし約90:10の範囲でもある。

【0019】

前記ドメインスイッチング層は、前記チャネル要素に直接接触されてもよい。

【0020】

前記チャネル要素と前記ドメインスイッチング層との間に配置された絶縁層をさらに含んでもよい。

【0021】

前記チャネル要素と前記ドメインスイッチング層との間に配置された絶縁層と、前記絶縁層と前記ドメインスイッチング層との間に配置された導電層と、をさらに含んでもよい。

【0022】

前記チャネル要素は、Si、Ge、SiGe、III-V族半導体、酸化物半導体、窒化物半導体、窒化酸化物半導体、二次元物質 (2D material)、量子点 (quantum dot) 及び有機半導体のうち少なくとも一つを含んでもよい。

【0023】

他の側面によれば、チャネル要素を含む基板を設ける段階と、前記チャネル要素上に、非晶質薄膜を形成する段階と、前記非晶質薄膜上に、導電性物質層を形成する段階と、前記非晶質薄膜をアニーリング (annealing) し、前記非晶質薄膜からドメインスイッチング層を形成する段階と、を含み、前記ドメインスイッチング層は、非メモリ要素であり、強誘電ドメインを含む強誘電物質領域と、反強誘電ドメインを含む反強誘電物質領域と、を具備するように形成されるロジックスイッチング素子の製造方法が提供される。

【0024】

前記強誘電物質領域と前記反強誘電物質領域は、互いに異なる結晶相を有することができる。

【0025】

前記強誘電物質領域は、直方晶系結晶相を含み、前記反強誘電物質領域は、正方晶系結晶相を含んでもよい。

【0026】

前記強誘電物質領域と前記反強誘電物質領域は、互いに異なるドーピング濃度を有する

10

20

30

40

50

ことができる。

【 0 0 2 7 】

前記強誘電物質領域と前記反強誘電物質領域は、互いに異なるドーピング物質を含んでもよい。

【 0 0 2 8 】

前記強誘電物質領域及び前記反強誘電物質領域のうち少なくとも一つは、Hf系酸化物及びZr系酸化物のうち少なくとも一つを含んでもよい。

【 0 0 2 9 】

前記アニーリングは、約400 ないし約1,200 の温度で行うことができる。

【 0 0 3 0 】

前記製造方法は、前記導電性物質層からゲート電極を形成する段階をさらに含んでもよい。

【 0 0 3 1 】

前記製造方法は、前記チャネル要素に連結されたソース及びドレインを形成する段階をさらに含んでもよい。

【 発明の効果 】

【 0 0 3 2 】

本発明によれば、ネガティブキャパシタンス効果を利用するロジックスイッチング素子を具現することができ、強誘電物質及び反強誘電物質をいずれも適用したロジックスイッチング素子を具現することができ、サブスレショルドスイング(SS)のような動作特性を改善させることができ、制御効率を高めることができ、スケールダウンにも有利なロジックスイッチング素子を具現することができ、前記ロジックスイッチング素子を利用し、多様な電子素子/装置/回路/システムを具現することができる。

【 図面の簡単な説明 】

【 0 0 3 3 】

【 図 1 】一実施形態によるロジックスイッチング素子を示す断面図である。

【 図 2 】他の実施形態によるロジックスイッチング素子に適用することができるドメインスイッチング層及びゲート電極の積層構造を示す断面図である。

【 図 3 】他の実施形態によるロジックスイッチング素子に適用することができるドメインスイッチング層及びゲート電極の積層構造を示す断面図である。

【 図 4 】他の実施形態によるロジックスイッチング素子のドメインスイッチング層下にも適用される下部構造を示す断面図である。

【 図 5 】他の実施形態によるロジックスイッチング素子のドメインスイッチング層下にも適用される下部構造を示す断面図である。

【 図 6 】他の実施形態によるロジックスイッチング素子に適用することができるドメインスイッチング層及びゲート電極の積層構造を示す断面図である。

【 図 7 】他の実施形態によるロジックスイッチング素子に適用することができるドメインスイッチング層及びゲート電極の積層構造を示す断面図である。

【 図 8 】一実施形態によるものであり、ドメインスイッチング層構成において、強誘電体及び反強誘電体を利用したキャパシタンスマッチング(capacitance matching)を例示的に示すグラフである。

【 図 9 】比較例による素子の構成を示す断面図である。

【 図 10 】比較例によるものであり、強誘電体と誘電体とを利用したキャパシタンスマッチングを示すグラフである。

【 図 11 A 】強誘電体の特性を示すグラフである。

【 図 11 B 】強誘電体の特性を示すグラフである。

【 図 12 A 】反強誘電体の特性を示すグラフである。

【 図 12 B 】反強誘電体の特性を示すグラフである。

【 図 13 A 】強誘電体と反強誘電体との組み合わせの特性を示すグラフである。

【 図 13 B 】強誘電体と反強誘電体との組み合わせの特性を示すグラフである。

10

20

30

40

50

【図 1 4 A】誘電体の特性を示すグラフである。

【図 1 4 B】誘電体の特性を示すグラフである。

【図 1 5】一実施形態によるものであり、金属 / H f Z r O 層 / 金属構造において、H f Z r O 層の構成 / 物性による誘電定数 (d i e l e c t r i c c o n s t a n t) ・電圧特性を測定した結果を示すグラフである。

【図 1 6】一実施形態によるものであり、図 1 5 で説明した金属 / H f Z r O 層 / 金属構造において、分極 (p o l a r i z a t i o n) ・電圧特性を測定した結果を示すグラフである。

【図 1 7 A】反強誘電ドミナント (a n t i - f e r r o e l e c t r i c d o m i n a n t) である場合のドメイン層 D L 1 の構成 (ドメイン配列) を例示的に示す断面図である。

10

【図 1 7 B】強誘電ドミナント (f e r r o e l e c t r i c d o m i n a n t) である場合のドメイン層 D L 2 の構成 (ドメイン配列) を例示的に示す断面図である。

【図 1 8】一実施形態によって製造した A l : H f O 薄膜の構成 / 物性による誘電定数 ・電圧特性を測定した結果を示すグラフである。

【図 1 9】図 1 8 の結果を得るのに使用した素子の構造を示す断面図である。

【図 2 0】一実施形態によるロジックスイッチング素子のサブスレショルドスイング (S S : s u b t h r e s h o l d s w i n g) 特性が改善される効果について説明するためのグラフである。

【図 2 1】他の実施形態によるロジックスイッチング素子を示す断面図である。

20

【図 2 2 A】一実施形態によるロジックスイッチング素子の製造方法を示す断面図である。

【図 2 2 B】一実施形態によるロジックスイッチング素子の製造方法を示す断面図である。

【図 2 2 C】一実施形態によるロジックスイッチング素子の製造方法を示す断面図である。

【図 2 3】一実施形態による電子素子のアーキテクチャを概略的に示す概念図である。

【図 2 4】他の実施形態による電子素子のアーキテクチャを概略的に示す概念図である。

【発明を実施するための形態】

【 0 0 3 4 】

以下、本実施形態によるロジックスイッチング素子及びその製造方法について、添付された図面を参照し、詳細に説明する。添付された図面に図示された層や領域の幅及び厚みは、明細書の明確性、及び説明の便宜性のために若干誇張されている。詳細な説明全体にわたり、同一参照番号は同一構成要素を示す。

30

【 0 0 3 5 】

図 1 は、一実施形態によるロジックスイッチング素子を示す断面図である。ここで、該ロジックスイッチング素子は、ロジックトランジスタでもある。「ロジックスイッチング素子」という用語は、メモリ素子 (メモリトランジスタ) と対比される概念であり、非メモリ用のオン / オフ用スイッチング素子を意味する。

【 0 0 3 6 】

図 1 を参照すれば、チャンネル要素 1 0 が具備され、チャンネル要素 1 0 に電氣的に連結されたソース 2 0 及びドレイン 3 0 が具備されてもよい。ソース 2 0 は、チャンネル要素 1 0 の第 1 領域にも、電氣的に連結 / 接触し、ドレイン 3 0 は、チャンネル要素 1 0 の第 2 領域に電氣的に連結 / 接触されてもよい。チャンネル要素 1 0、ソース 2 0 及びドレイン 3 0 は、所定基板 1 0 0 内にも具備される。基板 1 0 0 の互いに異なる領域に不純物を注入し、ソース 2 0 及びドレイン 3 0 を形成することができ、ソース 2 0 とドレイン 3 0 との間の基板 1 0 0 領域が、チャンネル要素 (チャンネル領域) 1 0 とともに定義される。基板 1 0 0 は、例えば、S i 基板でもあるが、S i 以外の他の物質、例えば、G e、S i G e、I I I ・ V 族半導体などを含む基板でもある。その場合、チャンネル要素 1 0 は、S i、G e、S i G e または I I I ・ V 族半導体を含んでもよい。基板 1 0 0 の物質は、前述のものに限定されるものではなく、多様に変化される。また、チャンネル要素 1 0 は、基板 1 0 0 の一部ではない基板 1 0 0 と別個の物質層 (薄膜) によっても具備される。その場合、チャンネル要素 1 0 の物質構成は、多様でもある。例えば、チャンネル要素 1 0 は、酸化物半導体、窒

40

50

化物半導体、窒化酸化物半導体、二次元物質 (2 D (t w o - d i m e n s i o n a l m a t e r i a l))、量子点 (Q D : q u a n t u m d o t) 及び有機半導体のうち少なくとも一つを含んでもよい。前記酸化物半導体は、例えば、InGaZnOなどを含み、前記二次元物質は、例えば、TMD (t r a n s i t i o n m e t a l d i c h a l c o g e n i d e) やグラフェンを含み、前記量子点は、コロイダル量子点 (c o l l o i d a l Q D)、ナノ結晶 (n a n o c r y s t a l) 構造などを含んでもよいが、それらは、例示的なものに過ぎず、本願実施形態は、それらに限定されるものではない。

【0037】

チャネル要素10に対向するように配置されたゲート電極 (g a t e) 500が具備されてもよい。ゲート電極500は、ソース20とドレイン30との間において、チャネル要素10と離隔されるようにも具備される。チャネル要素10とゲート電極500との間に、ドメインスイッチング層 (d o m a i n s w i t c h i n g l a y e r) 300Aが具備されてもよい。ドメインスイッチング層300Aは、非メモリ (n o n - m e m o r y) 要素でもある。ドメインスイッチング層300Aは、強誘電 (f e r r o e l e c t r i c) ドメインを含む強誘電物質領域Fと、反強誘電ドメイン (a n t i - f e r r o e l e c t r i c) を含む反強誘電物質領域AFを具備することができる。強誘電物質領域Fと反強誘電物質領域AFとの組み合わせにより、ドメインスイッチング層300Aは、外部電場による分極 (p o l a r i z a t i o n) 変化において、実質的に非履歴 (n o n - h y s t e r e s i s) 挙動特性を有することができる。言い換えれば、ドメインスイッチング層300Aは、ヒステリシス (h y s t e r e s i s) 特性を有さないか、あるいは実質的に有さない。

【0038】

強誘電物質は、結晶化された物質構造において、単位セル (u n i t c e l l) 内電荷分布が中心対称的ではなく (n o n - c e n t r o s y m m e t r i c)、自発的な双極子 (d i p o l e) (e l e c t r i c d i p o l e)、すなわち、自発分極 (s p o n t a n e o u s p o l a r i z a t i o n) を有する。該強誘電物質は、外部電場がない状態でも、双極子 (d i p o l e) による残留分極 (r e m n a n t p o l a r i z a t i o n) を有する。同時に、外部電場により、分極方向がドメイン単位において変わる (s w i t c h)。

反強誘電物質は、電気双極子 (d i p o l e) のアレイを含んでもよいが、残留分極が0であるか、あるいは0に近い。電場がない状態において、隣接双極子 (d i p o l e) の方向が反対になり、分極が相殺されるので、全体的な自発分極及び残留分極は、0であるか、あるいは0に近い。しかし、外部電場が印加された状態においては、分極特性及びスイッチング特性を示すことができる。

【0039】

本実施形態においては、相互接触した少なくとも1つの強誘電物質領域Fと、少なくとも1つの反強誘電物質領域AFとの組み合わせを利用し、キャパシタンスマッチング (c a p a c i t a n c e m a t c h i n g) を行うことにより、ドメインスイッチング層300Aがヒステリシス特性を有さないようにすることができる。従って、強誘電物質領域Fと反強誘電物質領域AFとのそれぞれにおいて、ドメインスイッチングが起こり、ドメインスイッチング時に生じる電圧増幅 (v o l t a g e a m p l i f i c a t i o n) により、ロジックスイッチング素子 (ロジックトランジスタ) のスイッチング特性を改善させることができる。特に、ロジックスイッチング素子 (ロジックトランジスタ) のサブスレシールドスイング (S S : s u b t h r e s h o l d s w i n g) 値をさらに低くする効果を得ることができる。また、ドメインスイッチング層300Aは、非履歴挙動特性を有するために、メモリではないオン/オフ特性を有する優秀なスイッチング素子を得ることができる。

【0040】

さらに、図1の実施形態において、ドメインスイッチング層300Aは、チャネル要素10に直接接触することができる。その場合、チャネル要素10とドメインスイッチング

10

20

30

40

50

層 3 0 0 A との間に別途の誘電体層を使用せず、誘電定数が低い誘電体層による特性低下を防止することができる。

【 0 0 4 1 】

図 1 においては、ドメインスイッチング層 3 0 0 A の強誘電物質領域 F と反強誘電物質領域 A F とがゲート電極 5 0 0 に平行な方向に配列された、すなわち、横に (l a t e r a l l y) 配列された構造を有する場合を図示したが、他の実施形態によれば、強誘電物質領域 F と反強誘電物質領域 A F は、ゲート電極 5 0 0 に垂直方向、すなわち、上下に配列された構造を有することができる。その例が、図 2 及び図 3 に図示されている。

【 0 0 4 2 】

図 2 及び図 3 は、他の実施形態によるロジックスイッチング素子に適用することができるドメインスイッチング層及びゲート電極の積層構造を示す断面図である。

10

【 0 0 4 3 】

図 2 及び図 3 を参照すれば、ドメインスイッチング層 3 0 0 B , 3 0 0 C は、少なくとも 1 つの強誘電物質領域 F と、少なくとも 1 つの反強誘電物質領域 A F とがゲート電極 5 0 0 に垂直方向に配列された構造を有することができる。図 2 においては、強誘電物質領域 F がゲート電極 5 0 0 に接触し、強誘電物質領域 F 下に、反強誘電物質領域 A F が具備される。図 3 においては、反強誘電物質領域 A F がゲート電極 5 0 0 に接触し、反強誘電物質領域 A F 下に、強誘電物質領域 F が具備される。図 2 及び図 3 のドメインスイッチング層 3 0 0 B , 3 0 0 C を、図 1 のドメインスイッチング層 3 0 0 A の代わりに適用することができる。図 2 及び図 3 の構造においても、強誘電物質領域 F と反強誘電物質領域 A F との組み合わせにより、キャパシタンスマッチングされることにより、ドメインスイッチング層 3 0 0 B , 3 0 0 C は、ヒステリシス特性を有さないことになる。

20

【 0 0 4 4 】

図 1 においては、ドメインスイッチング層 3 0 0 A が、チャンネル要素 1 0 に直接接触する場合を図示して説明したが、ドメインスイッチング層 3 0 0 A 下に配置される下部構造は、異なってもよい。その例が、図 4 及び図 5 に図示されている。

【 0 0 4 5 】

図 4 は、他の実施形態によるロジックスイッチング素子のドメインスイッチング層下に適用される下部構造を示す断面図である。

【 0 0 4 6 】

30

図 4 を参照すれば、チャンネル要素 1 0 上に、絶縁層 1 5 0 が具備されてもよい。絶縁層 1 5 0 上に、図 1 ないし図 3 のドメインスイッチング層 3 0 0 A , 3 0 0 B , 3 0 0 C 及びゲート電極 5 0 0 が配置されてもよい。絶縁層 1 5 0 の厚みは、約 5 n m 以下または約 3 n m 以下と薄い。しかし、絶縁層 1 5 0 の厚みは、前述のところに限定されるものではなく、5 n m 以上であってもよい。絶縁層 1 5 0 としては、例えば、S i 酸化物、A l 酸化物、H f 酸化物、Z r 酸化物などを適用するか、あるいは h - B N (h e x a g o n a l b o r o n n i t r i d e) のような二次元絶縁体 (2 D i n s u l a t o r) を使用することができる。しかし、絶縁層 1 5 0 の物質は、それらに限定されるものではなく、異なってもよい。強誘電物質領域 F 及び反強誘電物質領域 A F を使用し、キャパシタンスマッチングを行うために、絶縁層 1 5 0 において、比較的誘電定数が高い誘電体を適用しやすい。絶縁層 1 5 0 の誘電定数が高いほど、スイッチング素子の性能向上に有利である。また、絶縁層 1 5 0 を使用すれば、電氣的漏れ (l e a k a g e) を抑制したり防止したりする効果を得ることができる。

40

【 0 0 4 7 】

図 5 は、他の実施形態によるロジックスイッチング素子のドメインスイッチング層下にも適用される下部構造を示す断面図である。

【 0 0 4 8 】

図 5 を参照すれば、チャンネル要素 1 0 上に、絶縁層 1 6 0 が具備され、絶縁層 1 6 0 上に、導電層 2 0 0 がさらに具備されてもよい。導電層 2 0 0 上に、図 1 ないし図 3 のドメインスイッチング層 3 0 0 A , 3 0 0 B , 3 0 0 C 及びゲート電極 5 0 0 が配置されても

50

よい。絶縁層 160 の物質は、図 4 の絶縁層 150 と同一であるか、あるいは類似している。導電層 200 は、金属や金属化合物によっても形成される。導電層 200 は、フローティング電極 (floating electrode) であってもよく、ドメインスイッチング層 300A, 300B, 300C の製造工程や特性制御に関与することができる。絶縁層 160 は、チャネル要素 10 と導電層 200 とを絶縁する役割を行うことができ、例えば、約 10 nm 以上の厚みを有することができる。

【0049】

図 1 においては、ドメインスイッチング層 300A が、1 つの強誘電物質領域 F と、1 つの反強誘電物質領域 AF とから構成された場合を図示したが、他の実施形態によれば、複数の強誘電物質領域 F と、複数の反強誘電物質領域 AF とが、1 つのドメインスイッチング層を構成することができる。その一例が、図 6 に図示されている。

10

【0050】

図 6 は、他の実施形態によるロジックスイッチング素子に適用することができるドメインスイッチング層及びゲート電極の積層構造を示す断面図である。

【0051】

図 6 を参照すれば、ドメインスイッチング層 300D は、複数の強誘電物質領域 F と、複数の反強誘電物質領域 AF とが、水平方向 (横) に相互に配置された構造を有することができる。強誘電物質領域 F と反強誘電物質領域 AF との比率及びサイズは、例示的なものであり、異なってもよい。

【0052】

20

他の実施形態によれば、ドメインスイッチング層は、少なくとも 1 つの前記強誘電物質領域と、少なくとも 1 つの前記反強誘電物質領域とが、ゲート電極に平行な方向に配列された構造と、ゲート電極に垂直方向に配列された構造との組み合わせを含んでもよい。その一例が、図 7 に図示されている。

【0053】

図 7 は、他の実施形態によるロジックスイッチング素子に適用することができるドメインスイッチング層及びゲート電極の積層構造を示す断面図である。

【0054】

図 7 を参照すれば、ドメインスイッチング層 300E は、複数の強誘電物質領域 F と、複数の反強誘電物質領域 AF とが水平方向 (横) に配列された構造、及び垂直方向 (上下) に配列された構造の組み合わせを含んでもよい。製造工程の条件により、そのような組み合わせ配列が形成されてもよい。しかし、図 7 の構造は、例示的なものであり、それは多様に変化されもする。

30

【0055】

以上の実施形態において、強誘電物質領域 F と反強誘電物質領域 AF は、同一ベース物質を含むが、互いに異なる結晶相 (crystalline phase) を有することができる。強誘電物質領域 F と反強誘電物質領域 AF は、同一系列の物質で構成されながら、互いに異なる結晶相を有することにより、一方 (F) は、強誘電特性を示し、他方 (AF) は、反強誘電特性を示すことができる。例えば、強誘電物質領域 F は、直方晶系 (orthorhombic) 結晶相を有することができ、反強誘電物質領域 AF は、正方晶系 (tetragonal) 結晶相を有することができる。例えば、強誘電物質領域 F 及び反強誘電物質領域 AF は、Hf 系酸化物または Zr 系酸化物を含んでもよい。一例として、HfO₂ 系の非晶質薄膜を形成した後、アニーリング (annealing) (熱処理) 制御を介して、その一部は、直方晶系結晶相を有する強誘電物質領域 F にし、他の一部は、正方晶系結晶相を有する反強誘電物質領域 AF にする。

40

【0056】

アニーリング (熱処理) 制御だけではなく、ドーピング濃度やドーピング物質を異なるように制御することにより、強誘電物質領域 F と反強誘電物質領域 AF とを形成することもできる。例えば、HfO₂ 系の非晶質薄膜の一部は、第 1 ドーピング濃度を有し、他の一部は、第 2 ドーピング濃度を有することができ、それらを所定条件でアニーリング (熱処

50

理)することにより、前記第1ドーピング濃度を有する領域は、強誘電物質領域Fにし、前記第2ドーピング濃度を有する領域は、反強誘電物質領域AFにすることができる。ドーピング濃度の代わりに、ドーピング物質を異ならせることによっても、そのような効果を得ることができる。従って、場合により、強誘電物質領域Fと反強誘電物質領域AFは、互いに異なるドーピング濃度を有することができ、かつ/または互いに異なるドーピング物質を含んでもよい。強誘電物質領域F及び反強誘電物質領域AFのうち少なくとも一つがドーパントを含む場合、前記ドーパントは、Si、Al、Zr、Y、La、Gd、Sr及びHfのうち少なくとも一つを含んでもよい。

【0057】

他の実施形態の場合、強誘電物質領域Fのベース物質と、反強誘電物質領域AFのベース物質とが、互いに異なってもよい。

【0058】

以上の実施形態において、ドメインスイッチング層300A~300Eの強誘電物質領域Fと反強誘電物質領域AFとの体積比(vol%)は、約0.1:99.9ないし99.9:0.1の範囲内でも決定される。例えば、ドメインスイッチング層300A~300Eの強誘電物質領域Fと反強誘電物質領域AFとの体積比(vol%)は、約10:90ないし90:10ほどの範囲でも決定される。ドメインスイッチング層300A~300Eがヒステリシス特性を有さないか、あるいは実質的に有さない条件を満足するように、前記体積比が決定されてもよい。

【0059】

図8は、一実施形態によるものであり、ドメインスイッチング層構成において、強誘電体と反強誘電体とを利用したキャパシタンスマッチングを例示的に示すグラフである。図8においてX軸は、当該物質の電荷(charge)(Q)を示し、Y軸は、当該物質のエネルギー(energy)(U)を示す。

【0060】

図8を参照すれば、強誘電体(ferro)のグラフは、左右両側にウェル形態を有する。2つのウェル形態は、2つの安定した分極状態に対応するものであり、そのようなグラフ形態は、ヒステリシス挙動を意味する。2つのウェル間の転移部(transition region)に、ネガティブキャパシタンス(negative capacitance)を有する地点が存在する。本実施形態による素子は、強誘電体を含み、強誘電体のネガティブキャパシタンス効果を利用するために、そのような側面において、ネガティブキャパシタンス効果を利用したロジックスイッチング素子であるとされる。

【0061】

反強誘電体(anti-ferro)のグラフは、強誘電体(ferro)のグラフと異なる屈曲を有する。強誘電体と反強誘電体とを適切に混合してデザインする場合、強誘電体と反強誘電体との組み合わせ(ferro+anti-ferro)は、2つのウェルを有する形態ではないU字形のグラフになり、実質的にヒステリシス挙動を示さない。言い換えれば、強誘電体と反強誘電体とを利用したキャパシタンスマッチングを介して、ヒステリシスのない結果を得ることができる。

【0062】

このとき、ドメインスイッチング層がチャンネル領域に接触する場合、該チャンネル領域のキャパシタンスも考慮し、前述のキャパシタンスマッチングを行うことができる。また、前述のキャパシタンスマッチングは、チャンネル領域と、ソース及びドレインとの間の寄生キャパシタンスまで考慮して行うこともできる。また、ドメインスイッチング層が、その下の絶縁層(誘電体層)に接触する場合、絶縁層(誘電体層)のキャパシタンスも考慮し、前述のキャパシタンスマッチングを行うことができる。結果として、ドメインスイッチング層は、キャパシタンスマッチングにより、ヒステリシスを有さない。

【0063】

ドメインスイッチング層がチャンネル領域に接触し、チャンネル領域のキャパシタンスも考慮し、前記キャパシタンスマッチングを行った場合、ドメインスイッチング層とチャンネル

10

20

30

40

50

領域との組み合わせがヒステリシスを有しないとされる。または、ドメインスイッチング層とチャネル領域とが接触した状態で、ドメインスイッチング層がヒステリシスを有しないとされる。それと類似し、ドメインスイッチング層が絶縁層（誘電体層）に接触し、絶縁層（誘電体層）のキャパシタンスも考慮し、前記キャパシタンスマッチングを行った場合、ドメインスイッチング層と絶縁層（誘電体層）との組み合わせが、ヒステリシスを有しないとされる。または、ドメインスイッチング層と絶縁層（誘電体層）とが接触した状態で、ドメインスイッチング層がヒステリシスを有しないとされる。

【0064】

図9は、比較例による素子の構成を示す断面図である。

図9を参照すれば、基板1に、チャネル要素2、ソース3及びドレイン4が具備されてもよい。チャネル要素2上に、誘電体層（dielectric）5が配置され、誘電体層5上に、強誘電体層（ferroelectric）6が配置され、強誘電体層6上に、ゲート電極7が配置されてもよい。チャネル要素2とゲート電極7との間に、強誘電体層6が具備され、強誘電体層6とチャネル要素2との間に、誘電体層5が具備される。本比較例は、強誘電体層6と誘電体層5とを利用し、キャパシタンスマッチングを行う場合である。

10

【0065】

図10は、比較例によるものであり、強誘電体と誘電体とを利用したキャパシタンスマッチングを示すグラフである。

図10を参照すれば、強誘電体（ferro）は、図8を参照して説明したようなグラフ形態を有する。誘電体（dielectric）は、比較的幅が狭いU字形グラフ形態を有する。強誘電体と誘電体とが組み合わせられた場合（ferro+dielectric）には、キャパシタンスマッチングによってヒステリシスが消え、比較的幅が広いU字形グラフ形態を示す。

20

【0066】

しかし、図10の比較例のように、強誘電体と誘電体とを利用してキャパシタンスマッチングを行う場合には、誘電定数が低い誘電体を使用するために、ゲート効率が落ちるといった問題が生じてしまう。本実施形態においては、誘電定数が低い誘電体の使用を排除することができるため、それに係わる問題を解消することができる。例えば、本実施形態において、ドメインスイッチング層に適用されるHfZrOの誘電定数と、比較例において誘電体として使用されるSiO₂の誘電定数は、約50対4ほどと大きな差がある。また、該誘電体は、強誘電ドメイン（ferroelectric domain）がない状態であり、ゲート電圧動作時、ドメインスイッチングがないが、本願の実施形態で使用する反強誘電体は、ドメインスイッチング特性を有するために、スイッチング時に生じる電圧増幅により、スイッチング素子のサブスレショルドスイング（SS）値がさらに低くなる効果を得ることができる。従って、反強誘電体と強誘電体との組み合わせにより、ドメインスイッチング効果を極大化させながら、キャパシタンスマッチングを介して、ヒステリシスを除去したロジックスイッチング素子を実現することができる。

30

【0067】

図11Aないし図14Bは、それぞれ強誘電体（ferro）、反強誘電体（anti-ferro）、強誘電体と反強誘電体との組み合わせ（ferro+anti-ferro）、及び誘電体（dielectric）の特性を示すグラフである。図11A、図12A、図13A及び図14Aのグラフは、当該物質層に印加される電場（electric field）（E）と分極（P）との関係であり、図11B、図12B、図13B及び図14Bのグラフは、当該物質層の電荷（Q）とエネルギー（U）との関係である。特に、図13A及び図13Bは、本実施形態によるドメインスイッチング層にも適用される強誘電体と反強誘電体との組み合わせ（混合体）の特性に対応する。

40

【0068】

図15は、本実施形態によるものであり、金属/HfZrO層/金属構造において、HfZrO層の構成/物性による誘電定数（dielectric constant）・

50

電圧特性を測定した結果を示すグラフである。図 15 は、HfZrO 層が誘電体 (dielectric) である場合と、HfZrO 層が反強誘電ドミナント (antiferroelectric dominant) である場合と、HfZrO 層が強誘電ドミナント (ferroelectric dominant) である場合との結果を含む。

【0069】

図 15 を参照すれば、アニーリング (熱処理) を行っていない非晶質 HfZrO 層は、誘電体の特性を示し、非晶質 HfZrO 層を第 1 条件でアニーリングした場合、反強誘電ドミナントである特性を示すことができ、非晶質 HfZrO 層を第 2 条件でアニーリングした場合、強誘電ドミナントである特性を示すことができる。HfO 薄膜や HfO 系の薄膜に対するアニーリング条件により、強誘電体と反強誘電体との比率を制御することができる。

10

【0070】

図 16 は、本実施形態によるものであり、図 15 で説明した金属 / HfZrO 層 / 金属構造において、分極・電圧特性を測定した結果を示すグラフである。

【0071】

図 16 を参照すれば、反強誘電ドミナントである場合、残留分極が 0 に近く、ヒステリシスも低減するが、強誘電ドミナントである場合、残留分極が 10 ほどに上昇し、ヒステリシスも大きくなったということが分かる。

【0072】

図 17 A は、反強誘電ドミナントである場合のドメイン層 DL1 の構成 (ドメイン配列) を例示的に示す断面図である。

20

【0073】

図 17 B を参照すれば、強誘電ドミナントである場合のドメイン層 DL2 の構成 (ドメイン配列) を例示的に示す断面図である。

【0074】

図 17 A 及び図 17 B を参照すれば、反強誘電ドミナントである場合のドメイン層 DL1 は、反強誘電体 AF の総体積が、強誘電体 F の総体積よりかなり大きくなり、強誘電ドミナントである場合のドメイン層 DL2 は、強誘電体 F の総体積が、反強誘電体 AF の総体積よりかなり大きくなる。アニーリング (熱処理) 条件により、強誘電特性を有する直方晶系結晶領域と、反強誘電特性を有する正方晶系結晶領域とが薄膜内に混合している。

30

図 17 A 及び図 17 B において、M1 及び M2 は、金属層 (metal) を示す。

【0075】

図 18 は、本実施形態によって製造した Al:HfO 薄膜の構成 / 物性による誘電定数・電圧特性を測定した結果を示すグラフである。図 18 は、Al:HfO 薄膜が誘電体 (dielectric) である場合と、Al:HfO 薄膜が反強誘電ドミナントである場合と、Al:HfO 薄膜が強誘電ドミナントである場合との結果を含む。ここで、Al:HfO 薄膜は、Al がドーピングされた HfO 薄膜を意味する。

【0076】

図 18 を参照すれば、Al のドーピングレベルが 19 at% であり、アニーリング温度が 500 である場合、誘電体特性を有する Al:HfO 薄膜を得ることができる。Al のドーピングレベルが 7 at% であり、アニーリング温度が 700 である場合、反強誘電ドミナントである特性を有する Al:HfO 薄膜を得ることができる。Al のドーピングレベルが 12 at% であり、アニーリング温度が 800 である場合、強誘電ドミナントである特性を有する Al:HfO 薄膜を得ることができる。Al のドーピングレベル及び / または非晶質 Al:HfO 薄膜に対するアニーリング条件を調節することにより、Al:HfO 薄膜の物性を変化させることができる。

40

【0077】

図 19 は、図 18 の結果を得るのに使用した素子の構造を示す断面図である。

図 19 を参照すれば、シリコン基板 51 上に、シリコン酸化物層 52 を形成し、その上に、第 1 金属層 53 を形成し、第 1 金属層 53 上に、Al:HfO 薄膜 54 を形成するこ

50

とができる。次に、A 1 : H f O 薄膜 5 4 上に、第 2 金属層 5 5 を形成することができる。このとき、第 1 金属層 5 3 及び第 2 金属層 5 5 は、いずれも M o 層であり、A 1 : H f O 薄膜 5 4 の厚みは、約 1 0 n m である。A 1 : H f O 薄膜 5 4 の幅は、約 5 μ m ないし 4 0 0 μ m ほどである。

【 0 0 7 8 】

A 1 : H f O 薄膜 5 4 のドーピングレベル及び / またはアニーリング温度により、A 1 : H f O 薄膜 5 4 の強誘電特性及び反強誘電特性を制御することができる。すなわち、A 1 : H f O 薄膜 5 4 のドーピングレベル及び / またはアニーリング温度により、A 1 : H f O 薄膜 5 4 は、誘電体特性を有するか、反強誘電ドミナントである特性を有するか、あるいは強誘電ドミナントである特性を有することができる。従って、A 1 : H f O 薄膜 5 4 内に形成される強誘電体及び反強誘電体の比率を制御することができる。

10

【 0 0 7 9 】

例えば、ドーピングレベル及びアニーリング温度による特性変化を整理すれば、下記表 1 の通りである。

【 0 0 8 0 】

【表 1】

	7at%	12at%	19at%	22at%
500°C	D	D	D	D
600°C	F dominant	D	D	D
700°C	F dominant	D	D	D
800°C	F dominant	AF dominant	D	D
900°C	AF dominant	AF dominant	D	D

20

【 0 0 8 1 】

前記表 1 において、D は、誘電体特性を示し、F dominant は、強誘電ドミナントである特性を示し、A F dominant は、反強誘電ドミナントである特性を示す。使用する物質及びドーピング程度により、適切なアニーリング温度は、異なってもよい。それと係わり、本実施形態によるロジックスイッチング素子の製造時に使用されるアニーリング温度は、約 4 0 0 ないし 1 , 2 0 0 ほどでもある。

30

【 0 0 8 2 】

図 2 0 は、一実施形態によるロジックスイッチング素子のサブスレショルドスイング (S S) 特性が改善される効果について説明するためのグラフである。

【 0 0 8 3 】

図 2 0 を参照すれば、既存シリコン基板のトランジスタの場合 (一点鎖線グラフ) 、サブスレショルドスイング (S S) 値は、約 6 0 m V / d e c が限界であると知られている。しかし、本実施形態によるロジックスイッチング素子の場合 (実線グラフ) 、ネガティブキャパシタンス効果、及び反強誘電体のドメインスイッチング効果により、サブスレショルドスイング (S S) 値が約 6 0 m V / d e c 以下に低下する。

40

【 0 0 8 4 】

図 2 1 は、他の実施形態によるロジックスイッチング素子を示す断面図である。

図 2 1 を参照すれば、基板 1 0 1 上に、チャネル層 1 1 が具備されてもよい。言い換えれば、チャネル層 1 1 は、基板 1 0 1 の一部ではない基板 1 0 1 と別個の物質層 (薄膜) としても具備される。チャネル層 1 1 は、例えば、酸化物半導体、窒化物半導体、窒化酸化物半導体、二次元 (2 D) 物質、量子点及び有機半導体のうち少なくとも一つを含んでもよい。前記酸化物半導体は、例えば、I n G a Z n O などを含み、前記二次元物質は、

50

例えば、TMDやグラフェンを含み、前記量子点は、コロイダル量子点、ナノ結晶構造などを含んでもよいが、それらは、例示的なものに過ぎず、本願実施形態は、それらに限定されるものではない。

【0085】

チャンネル層11の互いに異なる領域に電氣的に接触したソース電極21及びドレイン電極31が具備されてもよい。チャンネル層11の第1端部上に、ソース電極21が具備され、チャンネル層11の第2端部上に、ドレイン電極31が具備されてもよい。ソース電極21及びドレイン電極31は、金属、金属化合物、導電性ポリマーのような導電性物質によって形成されてもよい。

【0086】

ソース電極21とドレイン電極31との間のチャンネル層11領域上に、ドメインスイッチング層301が具備されてもよい。ドメインスイッチング層301は、図1を参照して説明したドメインスイッチング層300Aと同一であるか、あるいは類似している。ドメインスイッチング層301は、少なくとも1つの強誘電物質領域F、及び少なくとも1つの反強誘電物質領域AFを含んでもよい。ドメインスイッチング層301上に、ゲート電極501が具備されてもよい。図21の素子は、図2ないし図7を参照して説明したように変形されてもよい。

【0087】

図22Aないし図22Cは、一実施形態によるロジックスイッチング素子の製造方法を示す断面図である。

【0088】

図22Aを参照すれば、チャンネル要素15を含む基板105を設けることができ、チャンネル要素15上に、非晶質薄膜305a及びゲート電極505の積層構造体を形成することができる。基板105上に、非晶質物質層及び導電性物質層を順に蒸着した後、それらをパターニングし、前記非晶質物質層から非晶質薄膜305aを、前記導電性物質層からゲート電極505を形成することができる。非晶質薄膜305a及びゲート電極505の積層構造体は、「ゲートスタック」とも言う。前記非晶質物質層は、例えば、ALD(atomic layer deposition)またはCVD(chemical vapor deposition)などの工程によって蒸着することができ、前記導電性物質層は、例えば、ALD、CVDまたはPVD(physical vapor deposition)などの工程によって蒸着することができる。

【0089】

非晶質薄膜305aは、比較的高い誘電定数を有する薄膜である。例えば、非晶質薄膜305aの誘電定数は、約10以上である。それと係わり、非晶質薄膜305aは、高誘電層(high-k dielectric layer)とすることができる。非晶質薄膜305aは、例えば、Hf系酸化物及びZr系酸化物のうち少なくとも一つを含んでもよい。前記Hf系酸化物は、HfOまたはHfZrOなどでもある。前記Zr系酸化物はZrOなどでもある。ここで、HfO、HfZrO、ZrOは、構成元素の組成比を無視して表記したものである。必要により、非晶質薄膜305aは、ドーパントをさらに含んでもよい。前記ドーパントは、Si、Al、Zr、Y、La、Gd、Sr及びHfのうち少なくとも一つを含んでもよい。非晶質薄膜305aがドーパントを含む場合、全体的に、同一濃度(実質的に、同一濃度)にドーピングされるか、あるいは領域により、互いに異なる濃度(レベル)にもドーピングされる。また、非晶質薄膜305aの領域により、互いに異なるドーパントがドーピングされてもよい。非晶質薄膜305aに対するドーピングは、前記非晶質物質層を形成する間にも行われ、前記非晶質物質層を形成した後、別途の工程によっても行われる。

【0090】

非晶質薄膜305a及びゲート電極505を形成する前に、基板105に、ソース25及びドレイン35を形成することができる。所定ドーパントを、基板105の互いに異なる領域にイオン注入し、ソース25及びドレイン35を形成した後、非晶質薄膜305a

10

20

30

40

50

及びゲート電極 5 0 5 を形成することができる。しかし、ソース 2 5 及びドレイン 3 5 の形成時点は、異なってもよい。非晶質薄膜 3 0 5 a 及びゲート電極 5 0 5 を形成した後、基板 1 0 5 内に、ソース 2 5 及びドレイン 3 5 を形成することもできる。

【 0 0 9 1 】

図 2 2 B を参照すれば、非晶質薄膜 3 0 5 a に対するアニーリング工程を遂行することができる。前記アニーリング工程は、約 4 0 0 ないし 1 , 2 0 0 範囲の温度で遂行することができる。前記アニーリング工程を介して、非晶質薄膜 3 0 5 a を結晶化させることができる。ゲート電極 5 0 5 が非晶質薄膜 3 0 5 a に接触した状態で前記アニーリング工程を進めれば、非晶質薄膜 3 0 5 a の結晶化がさらに容易に行われる。アニーリング工程の結果物が図 2 2 C に図示されている。

10

【 0 0 9 2 】

図 2 2 C を参照すれば、非晶質薄膜 3 0 5 a (図 2 2 B) から、ドメインスイッチング層 3 0 5 b が形成されてもよい。ドメインスイッチング層 3 0 5 b は、少なくとも 1 つの強誘電物質領域 F、及び少なくとも 1 つの反強誘電物質領域 A F を含んでもよい。強誘電物質領域 F と反強誘電物質領域 A F は、互いに異なる結晶相を有することができる。例えば、強誘電物質領域 F は、直方晶系結晶相を含み、反強誘電物質領域 A F は、正方晶系結晶相を含んでもよい。このとき、強誘電物質領域 F は、ゲート電極 5 0 5 に接するように具備され、反強誘電物質領域 A F は、強誘電物質領域 F とチャネル要素 1 5 との間に配置されてもよい。アニーリング条件及び非晶質薄膜 3 0 5 a (図 2 2 B) の構成により、強誘電物質領域 F と反強誘電物質領域 A F との配列及び配置関係が異なってもよい。ここでは、例示的に、反強誘電物質領域 A F 上に、強誘電物質領域 F が具備された場合を図示したが、それらの配列及び配置関係は、図 1 ないし図 7 を参照して説明したように異なってもよい。

20

【 0 0 9 3 】

アニーリング条件により、ドメインスイッチング層 3 0 5 b 内に形成される強誘電性物質領域 F と反強誘電性物質領域 A F との比率が制御され、それらにより、キャパシタンスマッチングがなされる。従って、ドメインスイッチング層 3 0 5 b は、非メモリ要素でもある。強誘電物質領域 F と反強誘電物質領域 A F との組み合わせにより、ドメインスイッチング層 3 0 5 b は、外部電場による分極変化において、実質的に非履歴挙動特性を有することができる。言い換えれば、ドメインスイッチング層 3 0 5 b は、ヒステリシス特性を有さないか、あるいは実質的に有さない。場合により、強誘電物質領域 F と反強誘電物質領域 A F は、互いに異なるドーピング濃度を有するか、あるいは互いに異なるドーパントによってドーピングされた領域でもある。

30

【 0 0 9 4 】

必要により、ドメインスイッチング層 3 0 5 b は、2 段階以上の蒸着工程、または 2 段階以上のドーピング工程を経て形成されてもよい。また、ドメインスイッチング層 3 0 5 b は、1 回のアニーリング工程ではない 2 段階以上のアニーリング工程を経て形成されてもよい。また、本実施形態の工程を変形し、図 1 ないし図 7 で説明したような多様な変形構造を形成することができる。

40

【 0 0 9 5 】

本実施形態によるロジックスイッチング素子 (ロジックトランジスタ) は、多様な電子素子、論理素子などにも適用される。ロジックスイッチング素子 (ロジックトランジスタ) は、多様な電子素子 / 論理素子の基本構成要素にもなる。本実施形態によれば、サブスレシヨルドスイング (S S) のような動作特性を改善させることができ、制御効率を高めることができ、スケールダウンにも有利なロジックスイッチング素子を具現することができるために、それを適用し、優秀な性能の電子素子 / 論理素子を製造することができる。

【 0 0 9 6 】

図 2 3 は、一実施形態による電子素子のアーキテクチャを概略的に示す概念図である。

図 2 3 を参照すれば、1 つのチップ 1 0 0 0 にメモリユニット (m e m o r y u n i

50

t) 1010、ALU (arithmetic logic unit) 1020 及び制御ユニット (control unit) 1030 が形成されてもよい。同一基板上に、メモリユニット 1010、ALU 1020 及び制御ユニット 1030 をモノリシック (monolithic) に集積し、チップ 1000 を形成することができる。ALU 1020 及び制御ユニット 1030 それぞれは、前述の実施形態による「ロジックスイッチング素子」を含んでもよい。例えば、ロジックスイッチング素子は、強誘電ドメインを含みながら、実質的に非履歴挙動特性を有するドメインスイッチング層を含んでもよい。メモリユニット 1010 は、メモリ素子を含んでもよい。例えば、前記メモリ素子は、強誘電ドメインを含みながら、履歴挙動特性を有するドメイン層を含んでもよい。メモリユニット 1010、ALU 1020 及び制御ユニット 1030 は、オンチップ (on-chip) において、メタルライン (metal line) に相互連結され、直接通信することができる。メモリユニット 1010 は、メインメモリ (main memory) 及びキャッシュメモリ (cache memory) をいずれも含んでもよい。そのようなチップ 1000 は、オンチップメモリ処理装置 (on-chip memory processing unit) とされる。チップ 1000 と連結された入出力素子 2000 がさらに具備されてもよい。

10

【0097】

そのような電子素子は、1つのチップに、メモリユニットとロジック素子ユニットとを共に集積して製造することができるために、コスト側面で有利である。また、メモリユニットとロジック素子ユニットとの間に、データ伝送量が多く、データ伝送が連続的になされる応用分野、例えば、ニューロモーフィック素子 (neuromorphic device) 分野に、本実施形態の電子素子を適用すれば、効率向上、速度向上、電力消費低減のような多様な効果を得ることができる。ニューロモーフィック素子の基本的な構成及び動作方式は周知であるので、それに係わる詳細な説明は省略する。

20

【0098】

場合により、本実施形態による電子素子は、1つのチップにおいて、サブユニット (sub-units) の区分なしに、コンピューティング (computing) 単位素子とメモリ単位素子とが相互隣接して形成されるアーキテクチャとしても具現される。

【0099】

図24は、他の実施形態による電子素子のアーキテクチャを概略的に示す概念図である。

30

【0100】

図24を参照すれば、CPU (central processing unit) チップ 1500 は、キャッシュメモリ (cache memory) 1510、ALU 1520 及び制御ユニット 1530 を含んでもよい。ALU 1520 及び制御ユニット 1530 それぞれは、前述の実施形態による「ロジックスイッチング素子」を含んでもよい。例えば、該ロジックスイッチング素子は、強誘電ドメインを含みながら、実質的に非履歴挙動特性を有するドメインスイッチング層を含んでもよい。

【0101】

CPU チップ 1500 と別個に、メインメモリ 1600 及び補助ストレージ 1700 が具備され、入出力素子 2500 が具備されてもよい。例えば、キャッシュメモリ 1510 は、SRAM (static random access memory) で構成され、メインメモリ 1600 は、DRAM (dynamic random access memory) で構成されてもよい。

40

【0102】

本開示によれば、ネガティブキャパシタンス効果を利用するロジックスイッチング素子を具現することができる。本開示によれば、強誘電物質及び反強誘電物質をいずれも適用したロジックスイッチング素子を具現することができる。本開示によれば、サブスレショルドスイング (SS) のような動作特性を改善させることができ、制御効率を高めることができ、スケールダウンにも有利なロジックスイッチング素子を具現することができる。本開示によれば、前記ロジックスイッチング素子を利用し、多様な電子素子 / 装置 / 回路

50

／システムを具現することができる。

【 0 1 0 3 】

前述の説明において、多くの事項が具体的に記載されているが、それらは、発明の範囲を限定するものとするよりも、具体的な実施形態の例示として解釈されなければならない。例えば、本発明が属する技術分野において当業者であるならば、図 1 ないし図 7、及び図 2 1 のロジックスイッチング素子の構成は、多様に変形されるということが分かるであろう。また、図 2 2 A ないし図 2 2 C を参照して説明したロジックスイッチング素子の製造方法も、多様に変形されるということが分かるであろう。従って、本発明の範囲は、説明された実施形態によって決められるものではなく、特許請求の範囲に記載された技術的思想によって決められなければならない。

10

【産業上の利用可能性】

【 0 1 0 4 】

本発明の、ロジックスイッチング素子及びその製造方法は、例えば、電子素子関連の技術分野に効果的に適用可能である。

【符号の説明】

【 0 1 0 5 】

1 0 チャンネル要素

2 0 ソース

3 0 ドレイン

1 0 0 基板

1 5 0 , 1 6 0 絶縁層

2 0 0 導電層

3 0 0 A , 3 0 0 B , 3 0 0 C , 3 0 0 D , 3 0 0 E ドメインスイッチング層

5 0 0 ゲート電極

A F 反強誘電物質領域

F 強誘電物質領域

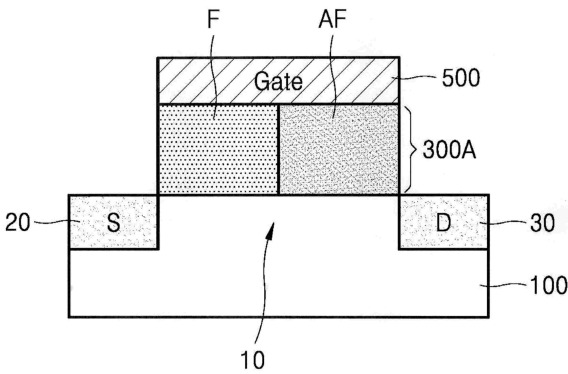
20

30

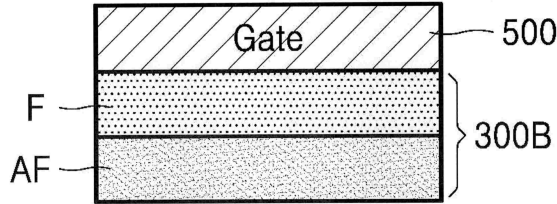
40

50

【図面】
【図 1】

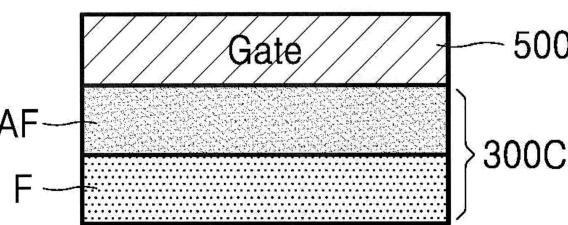


【図 2】

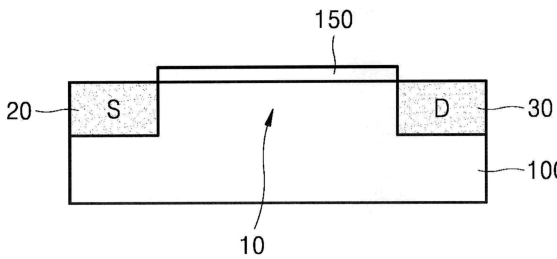


10

【図 3】



【図 4】



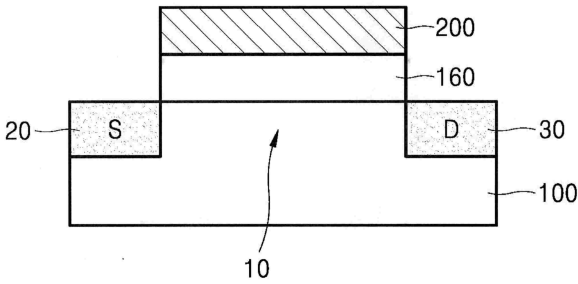
20

30

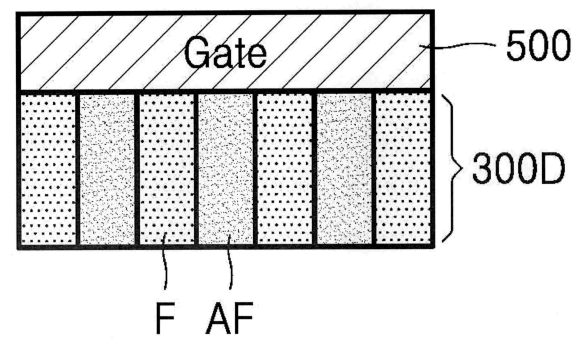
40

50

【図 5】

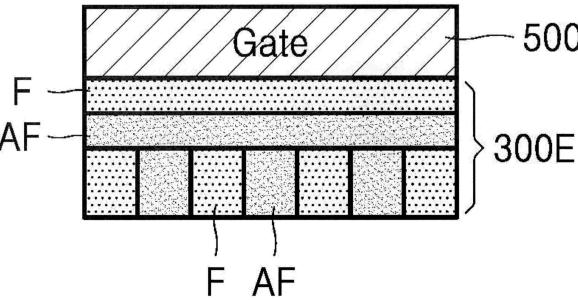


【図 6】

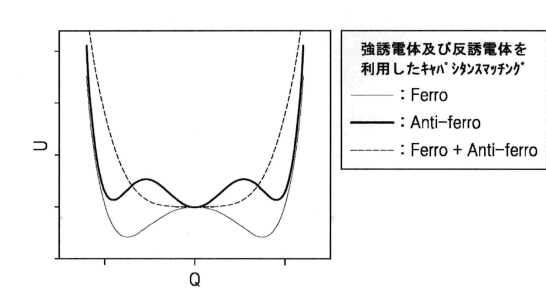


10

【図 7】

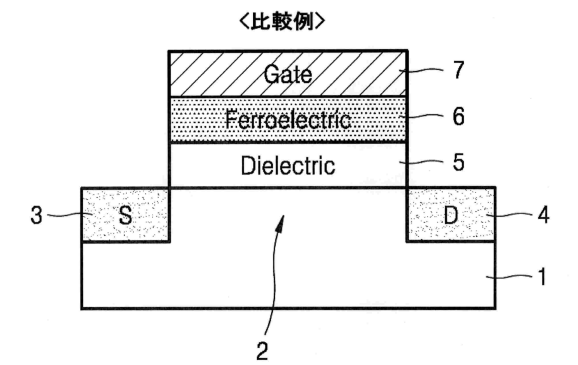


【図 8】

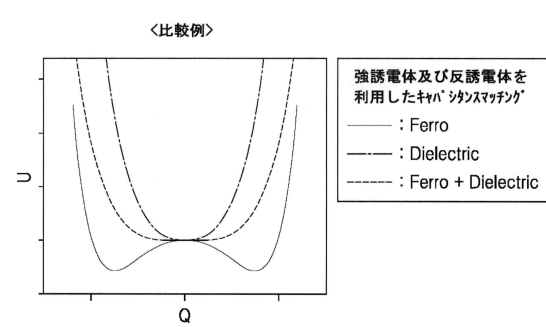


20

【図 9】



【図 10】

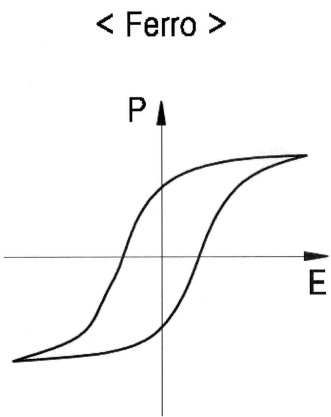


30

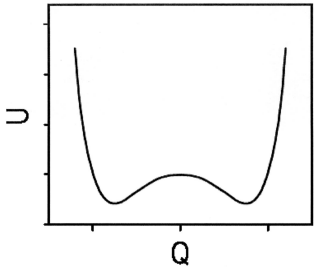
40

50

【図 1 1 A】

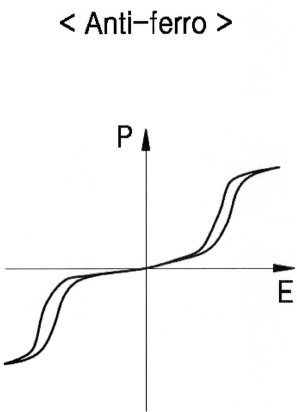


【図 1 1 B】

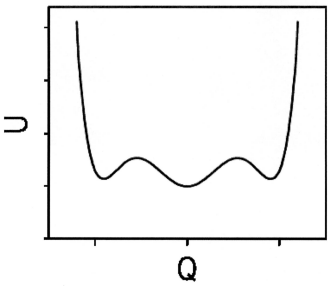


10

【図 1 2 A】



【図 1 2 B】



20

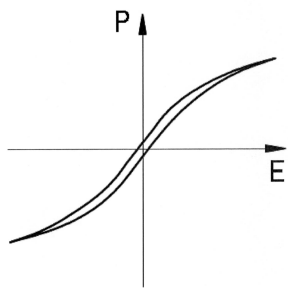
30

40

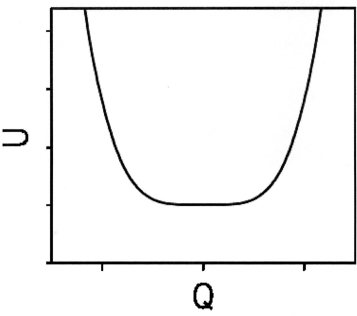
50

【 図 1 3 A 】

< Ferro + Anti-ferro >



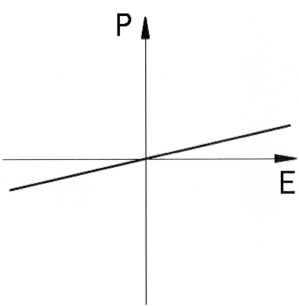
【 図 1 3 B 】



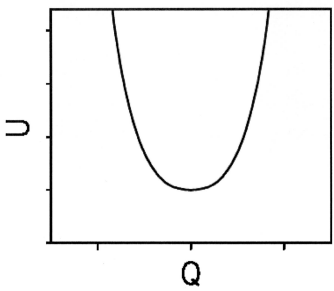
10

【 図 1 4 A 】

< Dielectric >



【 図 1 4 B 】



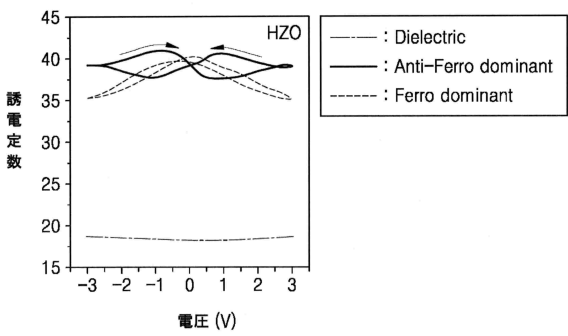
20

30

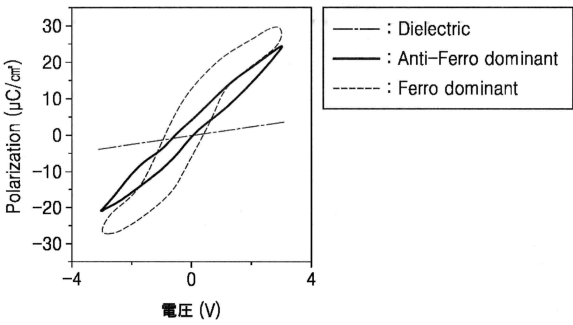
40

50

【図 1 5】



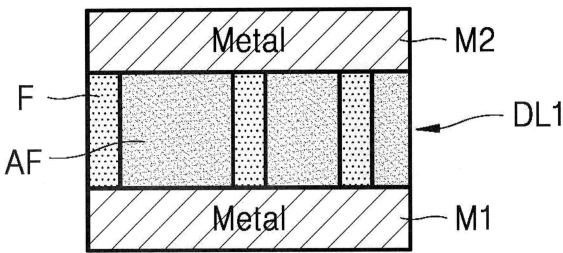
【図 1 6】



10

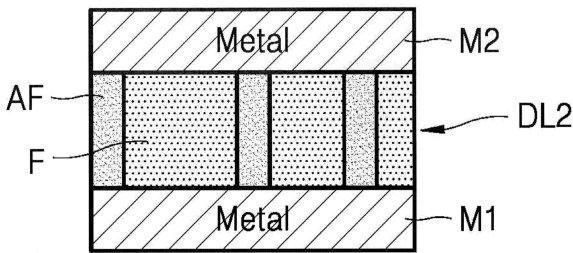
【図 1 7 A】

< Anti-ferroelectric dominant >



【図 1 7 B】

< Ferroelectric dominant >



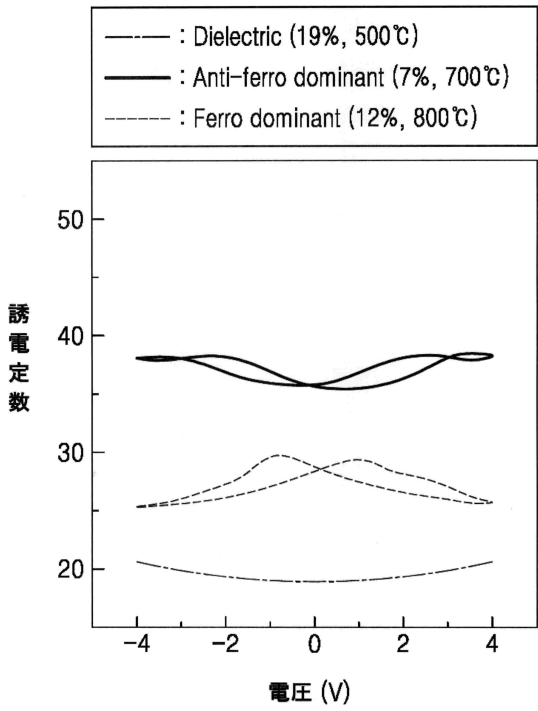
20

30

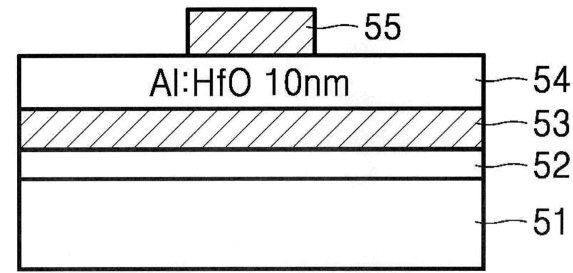
40

50

【図 18】



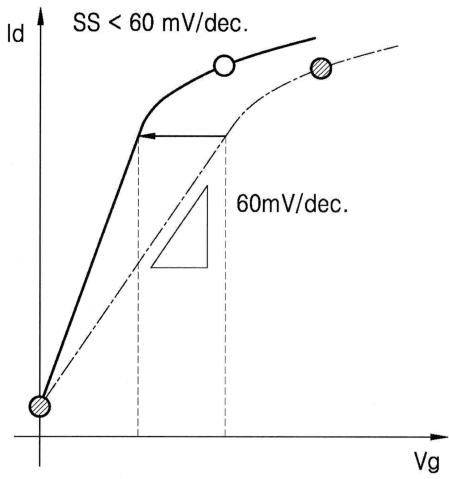
【図 19】



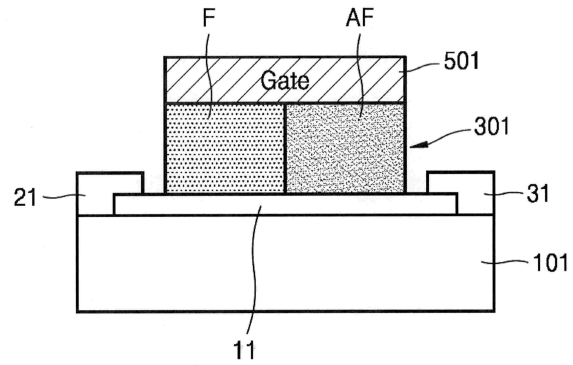
10

20

【図 20】



【図 21】

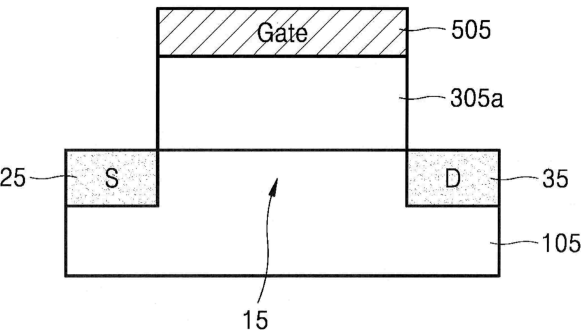


30

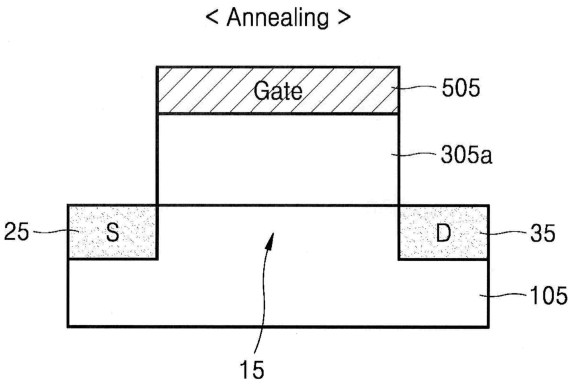
40

50

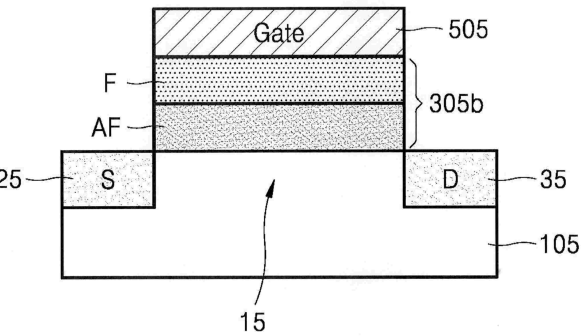
【図 2 2 A】



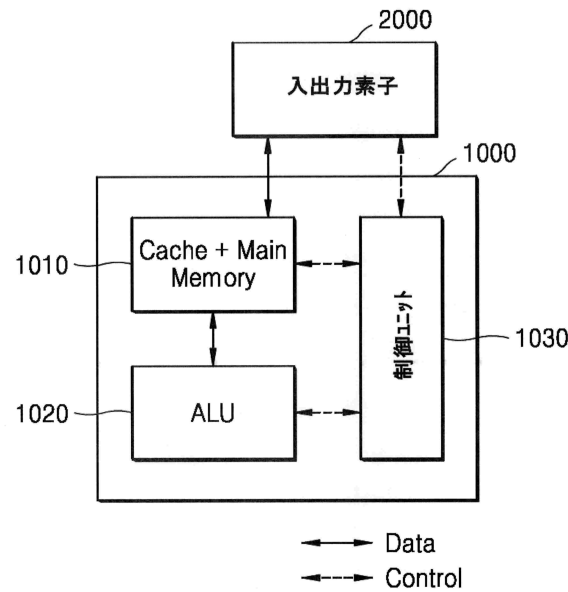
【図 2 2 B】



【図 2 2 C】



【図 2 3】



10

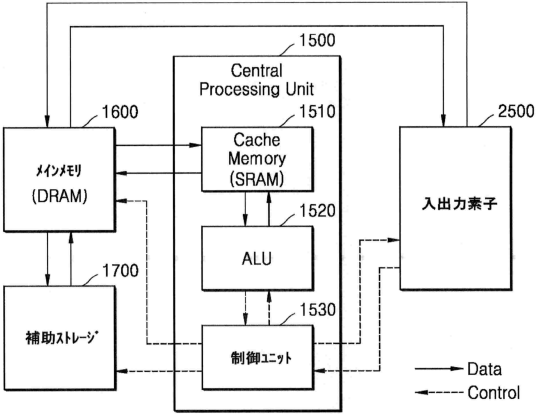
20

30

40

50

【図 24】



10

20

30

40

50

フロントページの続き

(51)国際特許分類	F I		
H 1 0 B 51/00 (2023.01)	H 0 1 L	29/78	6 1 8 B
H 1 0 B 53/00 (2023.01)	H 0 1 L	29/78	6 2 7 F
	H 1 0 B	51/00	
	H 1 0 B	53/00	

弁理士 崔 允辰

(74)代理人

木内 敬二

(72)発明者

許 鎮盛

大韓民国京畿道水原市靈通區三星路 1 3 0 三星綜合技術院内

(72)発明者

李 潤姓

大韓民国京畿道水原市靈通區三星路 1 3 0 三星綜合技術院内

(72)発明者

趙 常 ヒョン

大韓民国京畿道水原市靈通區三星路 1 3 0 三星綜合技術院内

審査官

柴山 将隆

(56)参考文献

特開 2 0 1 7 - 0 5 9 7 5 1 (J P , A)

特開平 0 5 - 0 9 0 5 9 9 (J P , A)

米国特許出願公開第 2 0 1 8 / 0 2 3 3 5 7 3 (U S , A 1)

米国特許出願公開第 2 0 1 7 / 0 1 6 2 2 5 0 (U S , A 1)

中国特許出願公開第 1 0 1 0 4 7 1 8 9 (C N , A)

米国特許出願公開第 2 0 1 0 / 0 0 0 6 9 5 3 (U S , A 1)

国際公開第 2 0 0 3 / 0 2 3 8 5 8 (W O , A 1)

(58)調査した分野

(Int.Cl., D B 名)

H 0 1 L 2 9 / 7 8 6

H 1 0 B 5 1 / 0 0

H 1 0 B 5 3 / 0 0

H 0 1 L 2 1 / 3 3 6