

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成27年11月12日 (2015.11.12)

【公開番号】特開2013-85237(P2013-85237A)

【公開日】平成25年5月9日 (2013.5.9)

【年通号数】公開・登録公報2013-022

【出願番号】特願2012-215365(P2012-215365)

【国際特許分類】

H 0 3 K 19/0944 (2006.01)

H 0 3 K 17/06 (2006.01)

H 0 3 K 19/094 (2006.01)

G 0 9 G 3/36 (2006.01)

G 0 9 G 3/30 (2006.01)

G 0 9 G 3/20 (2006.01)

H 0 1 L 21/8234 (2006.01)

H 0 1 L 27/06 (2006.01)

H 0 1 L 27/08 (2006.01)

H 0 1 L 29/786 (2006.01)

【 F I 】

H 0 3 K 19/094 A

H 0 3 K 17/06 C

H 0 3 K 19/094 C

G 0 9 G 3/36

G 0 9 G 3/30 J

G 0 9 G 3/20 6 2 2 E

G 0 9 G 3/20 6 2 3 H

G 0 9 G 3/20 6 1 1 A

G 0 9 G 3/20 6 1 1 J

G 0 9 G 3/20 6 2 1 F

H 0 1 L 27/06 1 0 2 A

H 0 1 L 27/08 3 3 1 E

H 0 1 L 29/78 6 1 8 B

【手続補正書】

【提出日】平成27年9月23日 (2015.9.23)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、容量素子と、を有し、

前記第 1 のトランジスタのソース又はドレインの一方は、前記第 2 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第 1 のトランジスタのゲートは、前記第 3 のトランジスタのゲートと電氣的に接続され、

前記容量素子の第 1 の端子は、前記第 2 のトランジスタのゲートと電氣的に接続され、

前記容量素子の第2の端子は、前記第1のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記容量素子の第1の端子には、信号が入力されることを特徴とする半導体装置。

**【請求項2】**

第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、第5のトランジスタと、容量素子と、を有し、

前記第1のトランジスタのソース又はドレインの一方は、前記第2のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第1のトランジスタのゲートは、前記第3のトランジスタのゲートと電氣的に接続され、

前記第3のトランジスタのソース又はドレインの一方は、前記第4のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第4のトランジスタのゲートは、前記第2のトランジスタのゲートと電氣的に接続され、

前記第4のトランジスタのゲートは、前記第5のトランジスタのゲートと電氣的に接続され、

前記第5のトランジスタのソース又はドレインの一方は、前記第1のトランジスタのゲートと電氣的に接続され、

前記容量素子の第1の端子は、前記第2のトランジスタのゲートと電氣的に接続され、

前記容量素子の第2の端子は、前記第1のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記容量素子の第1の端子には、信号が入力されることを特徴とする半導体装置。

**【請求項3】**

第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、容量素子と、を有し、

前記第3のトランジスタの $W$ （チャネル幅）/ $L$ （チャネル長）は、前記第1のトランジスタの $W/L$ よりも大きく、

前記第1のトランジスタのソース又はドレインの一方は、前記第2のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第1のトランジスタのゲートは、前記第3のトランジスタのゲートと電氣的に接続され、

前記容量素子の第1の端子は、前記第2のトランジスタのゲートと電氣的に接続され、

前記容量素子の第2の端子は、前記第1のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記容量素子の第1の端子には、信号が入力されることを特徴とする半導体装置。

**【請求項4】**

第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、第5のトランジスタと、容量素子と、を有し、

前記第3のトランジスタの $W$ （チャネル幅）/ $L$ （チャネル長）は、前記第1のトランジスタの $W/L$ よりも大きく、

前記第1のトランジスタのソース又はドレインの一方は、前記第2のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第1のトランジスタのゲートは、前記第3のトランジスタのゲートと電氣的に接続され、

前記第3のトランジスタのソース又はドレインの一方は、前記第4のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第4のトランジスタのゲートは、前記第2のトランジスタのゲートと電氣的に接続され、

前記第4のトランジスタのゲートは、前記第5のトランジスタのゲートと電氣的に接続され、

前記第 5 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのゲートと電氣的に接続され、

前記容量素子の第 1 の端子は、前記第 2 のトランジスタのゲートと電氣的に接続され、  
前記容量素子の第 2 の端子は、前記第 1 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記容量素子の第 1 の端子には、信号が入力されることを特徴とする半導体装置。