



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2021년08월24일

(11) 등록번호 10-2293198

(24) 등록일자 2021년08월18일

- (51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) H01L 29/66 (2006.01)
- (52) CPC특허분류
H01L 29/7869 (2013.01)
H01L 29/66742 (2013.01)
- (21) 출원번호 10-2020-7026337(분할)
- (22) 출원일자(국제) 2020년09월03일
심사청구일자 2020년09월11일
- (85) 번역문제출일자 2020년09월11일
- (65) 공개번호 10-2020-0108928
- (43) 공개일자 2020년09월21일
- (62) 원출원 특허 10-2019-7036810
원출원일자(국제) 2010년09월03일
심사청구일자 2019년12월12일
- (86) 국제출원번호 PCT/JP2010/065568
- (87) 국제공개번호 WO 2011/033993
국제공개일자 2011년03월24일
- (30) 우선권주장
JP-P-2009-215077 2009년09월16일 일본(JP)
JP-P-2010-035349 2010년02월19일 일본(JP)
- (56) 선행기술조사문헌
KR1020080099084 A*
KR1020090012118 A*
KR1020080104588 A
KR1020090057689 A
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
가부시키가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
- (72) 발명자
야마자끼 슌페이
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
쥬부꾸 마사시
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
고도 히로미찌
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
- (74) 대리인
장수길, 박충범, 이중환

전체 청구항 수 : 총 2 항

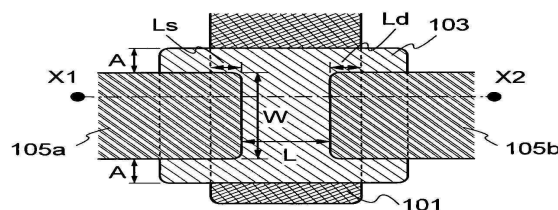
심사관 : 이종환

(54) 발명의 명칭 반도체 장치 및 그 제조 방법

(57) 요약

전기 특성이 안정적이며 신뢰성이 높은, 산화물 반도체막을 포함하는 박막 트랜지스터를 제공하는 것이 목적이다. 산화물 반도체막을 포함하는 박막 트랜지스터의 채널 길이는 1.5 μm 내지 100 μm 범위에 있으며, 바람직하게는 3 μm 내지 10 μm 이고, 실온 내지 180 $^{\circ}\text{C}$ 또는 -25 $^{\circ}\text{C}$ 내지 -150 $^{\circ}\text{C}$ 의 동작 온도 범위에서 임계 전압의 변화량은 3 V 이하이고, 바람직하게는 1.5 V 이하일 때, 전기 특성이 안정적인 반도체 장치를 제조할 수 있다. 특히, 반도체 장치의 실시예인 표시 장치에서, 임계 전압의 변화에 기인한 표시 불균일성이 저감될 수 있다

대표도 - 도1e



(52) CPC특허분류

H01L 29/78606 (2013.01)

명세서

청구범위

청구항 1

화소부에, 제1 게이트 전극이 되는 영역을 갖는 제1 도전층과, 제2 게이트 전극이 되는 영역을 갖는 제2 도전층과, 제3 도전층을 형성하고,

상기 제1 도전층 위, 상기 제2 도전층 위, 및 상기 제3 도전층 위에, 제1 절연층을 형성하고,

상기 제1 절연층 위에, 상기 제1 게이트 전극과 중첩하는 영역을 갖는 제1 산화물 반도체층과, 상기 제2 게이트 전극과 중첩하는 영역을 갖는 제2 산화물 반도체층을 형성하고,

상기 제1 산화물 반도체층과 중첩하는 영역 및 상기 제2 산화물 반도체층과 중첩하는 영역을 갖고, 신호선이 되는 영역을 갖는 제4 도전층과, 제5 도전층과, 제6 도전층을 형성하고,

상기 제4 도전층 위, 상기 제5 도전층 위, 및 상기 제6 도전층 위에, 제2 절연층을 형성하고,

상기 제2 절연층에, 제1 개구부와, 제2 개구부를 형성하고,

상기 제2 절연층 위에, 제1 화소 전극과, 제2 화소 전극을 형성하는 액정 표시 장치의 제작 방법으로서,

상기 제5 도전층은, 상기 제1 개구부에 있어서, 상기 제1 화소 전극과 전기적으로 접속되고,

상기 제6 도전층은, 상기 제2 개구부에 있어서, 상기 제2 화소 전극과 전기적으로 접속되고,

상기 제3 도전층은, 상기 제1 개구부와 중첩하는 영역과, 상기 제2 개구부와 중첩하는 영역을 갖고,

상기 제3 도전층은, 상기 제5 도전층과 접속되어 있지 않고,

상기 제3 도전층은, 상기 제6 도전층과 접속되어 있지 않고,

상기 제1 산화물 반도체층은, 제1 트랜지스터의 채널 형성 영역을 갖고,

상기 제1 트랜지스터의 채널 길이 방향의 단면에서 볼 때, 상기 제4 도전층은, 상기 제1 산화물 반도체층의 단부와 중첩하고,

상기 제2 산화물 반도체층은, 제2 트랜지스터의 채널 형성 영역을 갖고,

상기 제2 트랜지스터의 채널 길이 방향의 단면에서 볼 때, 상기 제4 도전층은, 상기 제2 산화물 반도체층의 단부와 중첩하고,

상기 제1 산화물 반도체층 및 상기 제2 산화물 반도체층에 대하여, 제1 열처리를 행하고,

상기 제2 절연층에 대하여, 제2 열처리를 행하고,

상기 제1 열처리는, 350℃ 이상 750℃ 미만에서 행하고,

상기 제2 열처리는, 100℃ 이상이고, 또한 상기 제1 열처리의 온도 이하에서 행하고,

상기 제1 산화물 반도체층 및 상기 제2 산화물 반도체층은 각각 미결정 또는 다결정을 포함하는, 액정 표시 장치의 제작 방법.

청구항 2

제1항에 있어서,

상기 제1 산화물 반도체층 및 상기 제2 산화물 반도체층은 각각 In, Ga 및 Zn을 포함하는, 액정 표시 장치의 제작 방법.

발명의 설명

기술분야

- [0001] 본 발명은 산화물 반도체를 포함하는 반도체 장치 및 그 제조 방법에 관한 것이다.
- [0002] 본 명세서에서, 반도체 장치란, 일반적으로 반도체 특성을 이용하여 기능할 수 있는 장치를 의미하며, 전기-광학 장치, 반도체 회로, 및 전자 장치는 모두 반도체 장치이다.

배경기술

- [0003] 최근, 절연면을 갖는 기판 위에 형성된 (약 수 나노미터 내지 수백 나노미터의 두께를 갖는) 반도체 박막을 이용하여 박막 트랜지스터(TFT; thin film transistor)를 형성하는 기술이 주목받고 있다. 박막 트랜지스터는 IC 또는 전기-광학 장치 등의 전자 장치에 널리 응용되며, 특히, 화상 표시 장치에서 스위칭 소자로서 이용될 박막 트랜지스터의 신속한 개발이 촉구되고 있다. 다양한 응용을 위해 다양한 금속 산화물이 이용되고 있다. 산화 인듐은 잘 알려진 재료이며, 액정 디스플레이 등에 필요한 투명 전극 재료로서 이용되고 있다.
- [0004] 일부 금속 산화물은 반도체 특성을 갖는다. 이러한 반도체 특성을 갖는 금속 산화물의 예로서는, 산화 텅스텐, 산화 주석, 산화 인듐, 산화 아연 등이 포함된다. 이러한 반도체 특성을 갖는 금속 산화물을 이용하여 채널 형성 영역이 형성되는 박막 트랜지스터가 알려져 있다(특허 문헌 1 및 2).

선행기술문헌

특허문헌

- [0005] (특허문헌 0001) 일본 공개 특허 출원 제2007-123861호
(특허문헌 0002) 일본 공개 특허 출원 제2007-096055호

발명의 내용

- [0006] 액티브 매트릭스 표시 장치에서는, 회로에 포함된 박막 트랜지스터의 전기 특성이 중요하고 표시 장치의 성능은 박막 트랜지스터의 전기 특성에 의존한다. 박막 트랜지스터의 전기 특성 중, 특히, 임계 전압(이하에는 임계값 또는 V_{th} 라 언급됨)이 중요하다. 전계 효과 이동도가 높더라도 박막 트랜지스터의 임계 전압이 높거나 음이면, 박막 트랜지스터를 포함하는 회로를 제어하는 것이 어렵다. 박막 트랜지스터가 높은 임계 전압과 임계 전압의 높은 절대값을 가지면, 그 박막 트랜지스터는 낮은 전압에서 구동될 때 스위칭 기능을 행하지 못하고 부하가 될 수도 있다. 또, 임계 전압이 음일 때, 게이트 전압이 0 V이더라도 소스 전극과 드레인 전극 사이에 전류가 흐르는 경향이 있으며, 즉, 박막 트랜지스터는 소위 노멀리-온(normally-on) 상태에 있는 경향이 있다.
- [0007] n채널 박막 트랜지스터의 경우, 바람직한 박막 트랜지스터는 게이트 전압으로서 양의 전압을 인가한 후에 채널이 형성되어 드레인 전류가 흐르기 시작하는 구조를 갖는다. 구동 전압을 증가시키지 않는 한 채널이 형성되지 않는 박막 트랜지스터, 및 음의 전압이 인가되더라도 채널이 형성되어 드레인 전류가 흐르는 박막 트랜지스터는, 회로에 이용되는 박막 트랜지스터에 대해 적합하지 않다.
- [0008] 예를 들어, 반도체 장치에서, 회로에 포함된 박막 트랜지스터의 특성이 크게 변할 때, 박막 트랜지스터의 임계 전압의 변동 때문에 오동작이 야기될 수 있다. 따라서, 본 발명의 한 실시예의 목적은, 넓은 온도 범위에서 안정적으로 동작하는 박막 트랜지스터 및 그 박막 트랜지스터를 포함하는 반도체 장치를 제공하는 것이다.
- [0009] 본 명세서에 개시된 본 발명의 실시예에 따르면, 반도체 장치는, 절연면을 갖는 기판 위의 게이트 전극층, 상기 게이트 전극층 위의 게이트 절연층, 상기 게이트 절연층 위에 형성된 산화물 반도체층, 상기 산화물 반도체층 위에 형성된 소스 전극층 및 드레인 전극층, 및 상기 게이트 절연층, 상기 산화물 반도체층, 상기 소스 전극층 및 상기 드레인 전극층 위에 상기 산화물 반도체층의 일부와 접하여 형성된 절연층을 포함한다.
- [0010] 본 명세서에서 개시되는 본 발명의 또 다른 실시예에 따르면, 반도체 장치의 제조 방법은, 절연면을 갖는 기판 위에 게이트 전극층을 형성하는 단계, 상기 게이트 전극층 위에 게이트 절연층을 형성하는 단계, 상기 게이트 절연층 위에 산화물 반도체층을 형성하는 단계, 상기 산화물 반도체층의 형성 후에 제1 열 처리를 실시하는 단계; 상기 산화물 반도체층 위에 소스 전극층 및 드레인 전극층을 형성하는 단계; 상기 게이트 절연층, 상기 산화물 반도체층, 상기 소스 전극층, 및 상기 드레인 전극층 위에 상기 산화물 반도체층의 일부와 접하여 절연층

을 형성하는 단계; 및 상기 절연층의 형성 후에 제2 열 처리를 실시하는 단계를 포함한다.

- [0011] 제1 열 처리는 질소 분위기 또는 회가스 분위기에서 실시하는 것이 바람직하다는 점에 유의한다. 또한, 제1 열 처리는 350℃ 이상 750℃ 이하의 온도에서 실시하는 것이 바람직하다.
- [0012] 제2 열 처리는, 대기, 산소 분위기, 질소 분위기, 또는 회가스 분위기에서 실시하는 것이 바람직하다. 또한, 제2 열 처리는 100℃ 이상 제1 열 처리의 온도 이하의 온도에서 실시하는 것이 바람직하다.
- [0013] 상기 구조를 통해, 상기 목적들 중 적어도 하나가 달성될 수 있다.
- [0014] 본 명세서에서 설명되는 산화물 반도체를 이용하여 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$)로 표시되는 재료의 박막이 형성되고, 산화물 반도체층으로서 이 박막을 포함하는 박막 트랜지스터가 제조된다. m 은 항상 정수인 것은 아님에 유의한다. M 은, Ga, Fe, Ni, Mn 및 Co로부터 선택된 하나의 금속 원소 또는 복수의 금속 원소를 나타낸다는 점에 유의한다. 예를 들어, M 은 Ga이거나, Ga에 추가하여 상기 금속 원소를 포함할 수 있으며, 예를 들어, M 은 Ga 및 Ni이거나, Ga 및 Fe일 수 있다. 게다가, 상기 산화물 반도체에 있어서, 일부 경우에는, M 으로서 포함되는 금속 원소 외에도 불순물 원소로서 Fe 또는 Ni 등의 천이 금속 또는 천이 금속의 산화물이 포함된다. 본 명세서에 있어서, $\text{InMO}_3(\text{ZnO})_m$ ($m>0$)으로 표현되는 조성식의 산화물 반도체층에 대해 말하자면, M 으로서 Ga가 포함되는 산화물 반도체를 In-Ga-Zn-O계 산화물 반도체라고 부르며, 그 박막을 In-Ga-Zn-O계 비단결정막(non-single-crystal film)이라고 부른다.
- [0015] 산화물 반도체층에 적용되는 산화물 반도체로서 상기 외에도, In-Sn-Zn-O계의 산화물 반도체; In-Al-Zn-O계의 산화물 반도체; Sn-Ga-Zn-O계의 산화물 반도체; Al-Ga-Zn-O계의 산화물 반도체; Sn-Al-Zn-O계의 산화물 반도체; In-Zn-O계의 산화물 반도체; Sn-Zn-O계의 산화물 반도체; Al-Zn-O계의 산화물 반도체; In-O계의 산화물 반도체; Sn-O계의 산화물 반도체; Zn-O계의 산화물 반도체 중 임의의 것을 적용할 수 있다. 산화물 반도체층에 산화 실리콘이 포함될 수도 있다. 또한, 결정화를 저해하는 산화 실리콘(SiO_x ($x>0$))이 산화물 반도체층에 포함될 때, 제조 공정에서 산화물 반도체층의 형성 후에 열 처리를 실시하는 경우 산화물 반도체층의 결정화를 억제할 수 있다. 산화물 반도체층의 바람직한 상태는 아몰퍼스이거나, 그 부분적 결정화도 허용할 수 있다는 점에 유의한다.
- [0016] 산화물 반도체는 바람직하게는 In을 포함하는 산화물 반도체이고, 더 바람직하게는, In 및 Ga를 포함하는 산화물 반도체이다. i 형(진성) 산화물 반도체층의 형성에 있어서, 탈수화(dehydration) 또는 탈수소화(dehydrogenation)가 효과적이다.
- [0017] 열 처리의 조건 또는 산화물 반도체층의 재료에 따라, 아몰퍼스 상태의 산화물 반도체층이 미결정막(microcrystalline film) 또는 다결정막으로 변할 수도 있다. 산화물 반도체층이 미결정막이거나 다결정막이더라도, TFT로서의 스위칭 특성을 얻을 수 있다.
- [0018] 임계 전압이 크게 변동하지 않고 전기 특성이 안정적인 박막 트랜지스터를 제조할 수 있다. 따라서, 전기 특성이 양호하고 신뢰성이 높은 박막 트랜지스터를 포함하는 반도체 장치를 제공할 수 있다.

도면의 간단한 설명

- [0019] 도 1a 내지 도 1e는 반도체 장치의 제조 공정을 나타내는 도면.
- 도 2a 내지 도 2c는 각각 반도체 장치를 나타내는 단면도.
- 도 3a 및 도 3b는 산화물 반도체층의 수소 농도의 분석에 사용된 샘플의 개략적 단면 구조도 및 분석 결과를 도시하는 그래프.
- 도 4a 내지 도 4c는 각각 예1의 박막 트랜지스터의 전류 대 전압 특성을 도시하는 그래프.
- 도 5a 및 도 5b는 예1의 박막 트랜지스터의 동작 온도와 임계 전압 사이의 관계를 나타내는 표와 그래프.
- 도 6은 본 명세서에서의 임계 전압을 어떻게 정의하는지를 도시하는 그래프.
- 도 7a 및 도 7b는 반도체 장치의 블록도.
- 도 8a 및 도 8b는 신호선 구동 회로의 구조 및 그 동작의 타이밍도를 나타내는 도면.
- 도 9a 내지 도 9d는 각각 시프트 레지스터(shift register)의 구조의 회로도.

도 10a 및 도 10b는 시프트 레지스터의 구조 및 그 동작의 타이밍도를 나타내는 도면.
 도 11의 (a1) 내지 도 11의 (b)는 반도체 장치를 나타내는 도면.
 도 12는 반도체 장치를 나타내는 도면.
 도 13은 반도체 장치를 나타내는 도면.
 도 14는 반도체 장치의 화소의 등가 회로를 도시하는 도면.
 도 15a 내지 도 15c는 각각 반도체 장치를 나타내는 도면.
 도 16a 및 도 16b는 반도체 장치를 나타내는 도면.
 도 17은 반도체 장치를 나타내는 도면.
 도 18은 반도체 장치를 나타내는 도면.
 도 19는 반도체 장치를 나타내는 도면.
 도 20은 반도체 장치의 구조를 나타내는 회로도.
 도 21은 반도체 장치를 나타내는 도면.
 도 22는 반도체 장치를 나타내는 도면.
 도 23은 반도체 장치를 나타내는 도면.
 도 24는 반도체 장치의 구조를 나타내는 회로도.
 도 25는 전자 서적 리더(e-book reader)의 예를 나타내는 도면.
 도 26a 및 도 26b는 각각 텔레비전 세트를 나타내는 도면 및 디지털 포토 프레임의 예를 나타내는 도면.
 도 27a 및 도 27b는 게임기의 예를 나타내는 도면.
 도 28a 및 도 28b는 각각 휴대형 컴퓨터의 예를 나타내는 도면 및 휴대 전화기의 예를 나타내는 도면.
 도 29a 내지 도 29d는 계산에 사용된 반도체 장치의 단면 구조를 나타내는 도면, 및 반도체 장치의 계산 결과를 나타내는 그래프.
 도 30은 박막 트랜지스터의 전류 대 전압 특성을 나타내는 그래프.
 도 31a 및 도 31b는 박막 트랜지스터의 동작 온도와 임계 전압 사이의 관계를 나타내는 표와 그래프.
 도 32a 및 도 32b는 각각 반도체 장치의 계산에 사용된 단면 구조를 나타내는 도면.
 도 33a 내지 도 33d는 반도체 장치의 계산 결과를 나타내는 그래프.
 도 34a 및 도 34b는 각각 예2의 박막 트랜지스터의 전류 대 전압 특성을 도시하는 그래프.
 도 35a 및 도 35b는 예2의 박막 트랜지스터의 동작 온도와 임계 전압 사이의 관계를 나타내는 표와 그래프.

발명을 실시하기 위한 구체적인 내용

- [0020] 이하에서부터, 첨부된 도면들을 참조하여 본 발명의 실시예들을 상세히 설명할 것이다. 그러나, 본 발명은 이하의 설명으로 한정되는 것은 아니며, 당업자라면 그 개시된 형태들과 세부사항들이 다양한 방식으로 수정될 수 있다는 것을 용이하게 이해할 것이다. 따라서, 본 발명은 실시예들의 설명으로 한정되는 것으로 해석되어서는 안 된다.
- [0021] 전압이란 두 지점들 사이의 전위차를 말하며, 전위란 정전계의 소정 지점에서의 단위 전하의 정전 에너지(전기적 위치 에너지)를 말한다는 점에 유의한다. 일반적으로는, 한 지점의 전위와 (접지 전위 등의) 기준 전위 사이의 차이를 전위 또는 전압이라고 부르며, 많은 경우에 전위와 전압이 동의어로서 사용된다는 점에 유의한다. 따라서, 본 명세서에서는, 달리 명시하지 않는 한, 전위를 전압이라 말할 수도 있고, 전압을 전위라 말할 수도 있다.
- [0022] 박막 트랜지스터는 적어도 3개 단자, 즉, 게이트, 드레인, 및 소스를 갖는 소자임에 유의한다. 박막 트랜지스

터는, 게이트와 중첩하는 영역에 채널 영역이 형성되고, 이 채널 영역을 통해 드레인과 소스 사이에 흐르는 전류가 게이트의 전위를 제어함으로써 제어될 수 있는 반도체를 갖는다. 여기서, 박막 트랜지스터의 소스 및 드레인은 박막 트랜지스터의 구조, 동작 조건 등에 따라 서로 교환될 수 있기 때문에, 어느 것이 소스인지 또는 드레인 인지를 정의하는 것은 어렵다. 따라서, 일부 경우에는, 소스 또는 드레인으로서 기능하는 영역은, 소스 또는 드레인이라고 불리지 않는다. 이러한 경우, 예를 들어, 소스 및 드레인 중 하나는 제1 단자라 불리고 다른 하나는 제2 단자라 불릴 수 있다.

[0023] [실시예 1]

[0024] 본 실시예에서는, 박막 트랜지스터 제조 공정을 나타내는 단면도인 도 1a 내지 도 1d를 참조하여, 도 1d에 나타낸 박막 트랜지스터(150)의 제조 방법의 실시예를 설명한다. 도 1e는 도 1d에 나타낸 박막 트랜지스터(150)의 상부면도이다. 박막 트랜지스터(150)는 채널 에칭형 트랜지스터라 불리는 일종의 바텀-게이트 트랜지스터로서 일종의 역 스테거형 트랜지스터(inverted staggered transistor)이다.

[0025] 우선, 절연면을 갖는 기판인 기판(100) 위에, 포토마스크(photomask)를 이용하여 포토리소그래피 단계를 통해 게이트 전극층(101)이 제공된다. 레지스트 마스크는 잉크젯법에 의해 형성될 수 있다는 점에 유의한다. 레지스트 마스크를 잉크젯법에 의해 형성하면, 포토마스크가 이용되지 않아 제조 비용이 저감될 수 있다.

[0026] 기판(100)으로서는 유리 기판(glass substrate)을 이용하는 것이 바람직하다. 이후에 실시되는 열 처리의 온도가 높을 때, 730℃ 이상의 변형점(strain point)을 갖는 유리 기판을 기판(100)으로 이용하는 것이 바람직하다. 또한, 기판(100)의 재료로서, 예를 들어, 알루미늄노실리케이트 유리(aluminosilicate glass), 알루미늄노보로실리케이트(aluminoborosilicate glass) 유리, 바륨 보로실리케이트 유리(barium borosilicate glass) 등의 유리 재료를 이용한다. 산화 붕소보다 산화 바륨의 양이 더 많도록 산화 바륨(BaO)과 산화 붕소를 포함함으로써, 더 실용적인 내열성 유리를 얻을 수 있다는 점에 유의한다. 따라서, B₂O₃보다 BaO의 양이 더 많도록 BaO와 B₂O₃를 포함한 유리 기판을 이용하는 것이 바람직하다.

[0027] 기판(100)은, 상기의 유리 기판에 대신에, 세라믹 기판, 석영 기판, 사파이어 기판 등의 절연체로 형성된 기판일 수도 있다는 점에 유의한다. 대안으로서, 결정화된 유리 등을 이용할 수 있다.

[0028] 또한, 기초막(base film)으로서 역할하는 절연막이 기판(100)과 게이트 전극층(101) 사이에 제공될 수도 있다. 기초막은 기판(100)으로부터의 불순물 원소의 확산을 방지하는 기능을 갖고 있고, 질화 실리콘막, 산화 실리콘막, 질화 산화 실리콘막, 또는 산화 질화 실리콘막 중 하나 이상을 이용하여 단층 또는 적층 구조를 갖도록 형성될 수 있다.

[0029] 기초막이 염소 또는 불소 등의 할로젠 원소를 포함하면, 기판(100)으로부터의 불순물 원소의 확산을 방지하는 기능이 더욱 개선될 수 있다. 기초막에 포함되는 할로젠 원소의 농도의 피크는, 2차 이온 질량 분석계(SIMS)를 이용한 분석에 의해 측정되며, 바람직하게는 1×10^{15} atoms/cm³ 내지 1×10^{20} atoms/cm³의 범위에 있다.

[0030] 게이트 전극층(101)은 금속 도전막을 이용하여 형성될 수 있다. 금속 도전막의 재료로서, Al, Cr, Cu, Ta, Ti, Mo, 및 W로부터 선택된 원소, 상기 원소들 중 임의의 원소를 그 성분으로서 포함하는 합금, 상기 원소들 중 임의의 원소의 조합을 포함하는 합금 등을 이용하는 것이 바람직하다. 예를 들어, 티타늄층 위에 알루미늄층이 적층되고 그 알루미늄층 위에 티타늄층이 적층된 3층의 구조, 또는 몰리브덴층 위에 알루미늄층이 적층되고 그 알루미늄층 위에 몰리브덴층이 적층된 3층의 구조가 바람직하다. 물론, 금속 도전막은, 단층 구조, 2층 구조, 또는 4층 이상을 적층한 구조를 가질 수도 있다.

[0031] 그 다음, 게이트 전극층(101) 위에 게이트 절연층(102)이 형성된다.

[0032] 게이트 절연층(102)은, 플라즈마 CVD법 또는 스퍼터링법 등에 의해, 산화 실리콘층, 질화 실리콘층, 산화 질화 실리콘층 및 질화 산화 실리콘층 중 하나 이상을 이용한 단층 또는 적층 구조를 갖도록 형성될 수 있다. 예를 들어, 성막 가스(deposition gas)로서 SiH₄, 산소, 및 질소를 이용하여 플라즈마 CVD법에 의해 산화 질화 실리콘층이 형성될 수 있다. 게이트 절연층(102)의 두께는 100 nm 내지 500 nm로 설정된다. 적층 구조의 경우, 예를 들어, 두께 50 nm 내지 200 nm의 제1 게이트 절연층과 제1 게이트 절연층 위에 두께 5 nm 내지 300 nm의 제2 게이트 절연층의 된 적층 구조를 이용한다.

[0033] 산화물 반도체막의 형성 이전에, (질소 분위기, 헬륨 분위기, 네온 분위기, 또는 아르곤 분위기 등의) 불활성 가스 분위기에서 (400℃ 이상 기판의 변형점 미만의) 열 처리를 실시하여, 게이트 절연층(102)에 포함된 수소

또는 물 등의 불순물을 제거할 수도 있다.

- [0034] 게이트 절연층(102) 위에 두께 5nm 이상 200nm 이하, 바람직하게는, 10nm 이상 50nm 이하의 산화물 반도체막이 형성된다. 산화물 반도체막의 두께는, 산화물 반도체막의 형성 이후에 탈수화 또는 탈수소화를 위한 열 처리가 실시되더라도 산화물 반도체막이 아몰퍼스 구조를 가질 수 있도록 50 nm 이하인 것이 바람직하다. 산화물 반도체막의 두께를 작게 하여, 산화물 반도체막의 형성 후 열 처리시에 결정화가 억제될 수 있다.
- [0035] 산화물 반도체막을 스퍼터링법에 의해 형성하기 전에, 아르곤 가스를 도입해 플라즈마를 발생시키는 역스퍼터링에 의해 게이트 절연층(102)의 표면에 부착된 먼지를 제거하는 것이 바람직하다는 점에 유의한다. 역스퍼터링이란, 타겟 측에 전압을 인가하지 않고, RF 전원을 이용하여 아르곤 분위기에서 기판측에 전압을 인가해 기판 근방에 플라즈마를 생성하여 표면을 수정(modify)하는 방법을 말한다. 아르곤 분위기 대신에, 질소 분위기, 헬륨 분위기 등을 이용할 수도 있다는 점에 유의한다.
- [0036] 산화물 반도체층은, In-Ga-Zn-O계의 비단결정막, In-Sn-Zn-O계의 산화물 반도체막, In-Al-Zn-O계의 산화물 반도체막, Sn-Ga-Zn-O계의 산화물 반도체막; Al-Ga-Zn-O계의 산화물 반도체막, Sn-Al-Zn-O계의 산화물 반도체막, In-Zn-O계의 산화물 반도체막, Sn-Zn-O계의 산화물 반도체막, Al-Zn-O계의 산화물 반도체막, In-Ga-O계의 산화물 반도체막, In-O계의 산화물 반도체막, Sn-O계의 산화물 반도체막, 또는 Zn-O계의 산화물 반도체막을 이용하여 형성된다. 본 실시예에서, 예를 들어, 산화물 반도체막은 In-Ga-Zn-O계 산화물 반도체 타겟을 이용하여 스퍼터링법에 의해 형성된다. 또한, 산화물 반도체막은, 희가스(대표적으로는, 아르곤) 분위기, 산소 분위기, 또는 희가스(대표적으로는, 아르곤) 및 산소를 포함하는 분위기에서 스퍼터링법에 의해 형성될 수 있다. 스퍼터링법을 이용하는 경우, 2 중량% 이상 10 중량% 이하의 SiO_2 를 포함한 타겟을 이용해 성막을 실시하여, 결정화를 저해하는 $\text{SiO}_x(x > 0)$ 를 산화물 반도체막에 포함하게 한다. 따라서, 이후에 실시되는 탈수화 또는 탈수소화를 위한 열 처리시에 산화물 반도체막이 결정화되는 것을 방지할 수 있다. 전원으로서 펄스 직류(DC) 전원을 이용하면, 먼지가 경감될 수 있고 두께 분포도 균등하게 될 수 있어 바람직하다는 점에 유의한다.
- [0037] 산화물 반도체 타겟에서 산화물 반도체의 상대적 밀도는 바람직하게는 99% 이상이고, 이것은 결과적으로 형성된 산화물 반도체막에서 불순물 농도를 저감시키며, 이에 따라, 전기 특성 또는 신뢰성이 높은 박막 트랜지스터가 얻어질 수 있다. 본 실시예에서는, 산화물 반도체의 상대적 밀도가 97%인 산화물 반도체 타겟을 이용한다.
- [0038] 스퍼터링법의 예로서는, 스퍼터링용 전원으로서 고주파 전원이 이용되는 RF 스퍼터링법과, DC 스퍼터링법, 및 펄스화된 방식으로 바이어스가 인가되는 펄스 DC 스퍼터링법이 포함된다. 절연막이 형성되는 경우에는 RF 스퍼터링법을 주로 이용하고, 금속막이 형성되는 경우에는 DC 스퍼터링법을 주로 이용한다.
- [0039] 또한, 상이한 재료의 복수의 타겟이 셋팅될 수 있는 멀티-소스 스퍼터링 장치(multi-source sputtering apparatus)도 있다. 멀티-소스 스퍼터링 장치를 이용하면, 동일한 챔버에서 상이한 재료의 막들을 성막하여 적층하거나, 동일한 챔버에서 복수 종류의 재료의 막을 전기 방전에 의해 동시에 성막할 수 있다.
- [0040] 또한, 챔버 내부에 자석 시스템을 갖추고 마그네트론 스퍼터링법에 이용되는 스퍼터링 장치와, 글로우 방전을 사용하지 않고 마이크로파를 이용하여 발생시킨 플라즈마를 이용하는 ECR 스퍼터링법에 이용되는 스퍼터링 장치가 있다.
- [0041] 또한, 스퍼터링법을 이용한 성막 방법으로서, 성막 동안에 타겟 물질과 스퍼터링 가스 성분을 서로 화학반응시켜 그 화합물 박막을 형성하는 반응성 스퍼터링법(reactive sputtering method)과, 성막 동안에 기판에도 전압을 인가하는 바이어스 스퍼터링법이 있다.
- [0042] 게이트 절연층(102) 및 산화물 반도체막을 대기에 노출시키지 않고 연속적으로 형성할 수도 있다. 대기에 노출되지 않는 성막에 의해 물이나 하이드로 카본 등의 대기 성분이나 대기중에 포함된 불순물 원소에 오염되지 않은, 적층된 층들 사이의 계면을 얻을 수 있다. 따라서, 박막 트랜지스터의 특성 변동을 저감할 수 있다.
- [0043] 그 다음, 산화물 반도체막을 포토리소그래피 단계를 통해 섬-형상의 산화물 반도체층(103)으로 가공한다(도 1a 참조). 섬-형상의 산화물 반도체층(103)을 형성하기 위한 레지스트 마스크는 잉크젯법으로 형성될 수도 있다. 레지스트 마스크를 잉크젯법으로 형성하면, 포토마스크가 이용되지 않아 제조 비용이 저감될 수 있다.
- [0044] 그 다음, 제1 열 처리가 실시되고, 산화물 반도체층(103)이 탈수화 또는 탈수소화된다. 탈수화 또는 탈수소화를 위한 제1 열 처리의 온도는 350℃ 이상 750℃ 미만이며, 바람직하게는 425℃ 이상이다. 온도가 425℃ 이상이면 열 처리는 1시간 이하 동안 실시될 수도 있고, 온도가 425℃ 미만이면 열 처리는 1시간보다 긴 시간 동안 실시된다. 예를 들어, 열 처리 장치의 일종인 전기로(electric furnace)에 기판을 도입하고, 질소 분위기에서

산화물 반도체층에 열 처리를 실시한다. 그 다음, 산화물 반도체층은 대기에 노출되지 않으며, 이것은 산화물 반도체층 내로의 물이나 수소의 혼입을 방지하여, 산화물 반도체층(103)이 얻어진다. 본 실시예에서는, 산화물 반도체층(103)이 탈수화 또는 탈수소화되는 가열 온도 T로부터 물의 혼입을 방지하기에 충분히 낮은 온도까지, 구체적으로는 가열 온도 T보다 100℃ 이상 낮은 온도까지 질소 분위기하에서 하나의 로(furnace)에서 서랭이 실시된다. 질소 분위기로 한정되지 않고, 탈수화 또는 탈수소화는 헬륨, 네온, 아르곤 등의 분위기에서 실시된다.

[0045] 제1 열 처리를 통해, 산화물 반도체층(103)에 포함된 산화물 반도체에서 원자 수준의 재배열이 야기된다. 제1 열 처리는 산화물 반도체층(103)에서 캐리어의 이동을 저해하는 변형을 경감할 수 있기 때문에, 제1 열 처리는 중요하다.

[0046] 제1 열 처리에 있어서, 질소, 또는 헬륨, 네온, 또는 아르곤 등의 희가스에, 물, 수소 등이 포함되지 않는 것이 바람직하다는 점에 유의한다. 대안으로서, 열 처리 장치 내에 도입되는 질소, 또는 헬륨, 네온, 또는 아르곤 등의 희가스는, 6 N((99.9999%)) 이상의 순도, 더욱 바람직하게는 7 N((99.99999%)) 이상의 순도를 갖는 것이 바람직하며; 즉, 불순물 농도는 1 ppm 이하, 바람직하게는 0.1 ppm 이하로 설정된다.

[0047] 제1 열 처리를 위한 열 처리 장치는 전기로(electric furnace)에 한정되지 않고, 저항 가열 소자 등의 가열 소자로부터의 열 전도(thermal conduction)나 열 복사(thermal radiation)에 의해 피처리물을 가열하는 장치를 가질 수도 있다는 점에 유의한다. 예를 들어, GRTA(gas rapid thermal annealing) 장치 또는 LRTA(lamp rapid thermal annealing) 장치 등의 RTA(rapid thermal annealing) 장치를 이용할 수 있다. LRTA 장치는, 할로젠 램프(halogen lamp), 메탈 할라이드 램프(metal halide lamp), 크세논 아크 램프(xenon arc lamp), 카본 아크 램프(carbon arc lamp), 고압 나트륨 램프(high pressure sodium lamp), 고압 수은 램프(high pressure mercury lamp) 등의 램프로부터 방출되는 광(전자기파)의 복사에 의해 피처리물을 가열하는 장치이다. GRTA 장치는 고온의 가스를 이용하여 열 처리를 실시하기 위한 장치이다. 가스로서는, 아르곤 등의 희가스나 질소 등의, 열 처리에 의해 피처리물과 반응하지 않는 불활성 가스를 이용한다.

[0048] 제1 열 처리의 조건 또는 산화물 반도체층의 재료에 따라, 산화물 반도체층이 결정화되어 미결정막 또는 다결정막으로 변한다. 산화물 반도체층은 일부 경우에 결정화 정도가 80% 이상 또는 90% 이상인 미결정막이 된다. 또한, 재료에 따라서는, 산화물 반도체층은 일부 경우에 결정을 갖지 않는다.

[0049] 섬-형상의 산화물 반도체층(103)으로 가공되기 이전에 산화물 반도체막에, 산화물 반도체막을 위한 제1 열 처리를 실시할 수 있다. 그 경우에는, 제1 열 처리 후에, 가열 장치로부터 기판을 꺼내 포토리소그래피 단계를 실시한다.

[0050] 여기서, 탈수소화된 산화물 반도체층 내의 수소 농도와 탈수소화되지 않은 산화물 반도체층 내의 수소 농도를 분석한 결과를 설명한다. 도 3a는 분석에서 이용되는 샘플의 개략적 단면 구조도이다. 유리 기판(400) 위에 플라즈마 CVD법으로 산화 질화 절연층(401)을 형성하고, 산화 질화 절연층(401) 위에 In-Ga-Zn-O계 산화물 반도체층(402)이 약 40nm 두께로 형성되었다. 이 샘플은 2개의 샘플로 분할되었고, 하나는 탈수소화되지 않은 것이고, 다른 하나는 질소 분위기에서 6분간 650℃로 GRTA법에 의해 탈수소화된 것이었다. 각 샘플의 산화물 반도체층 내의 수소 농도를 측정함으로써, 열 처리에 의한 탈수소화의 효과가 조사되었다.

[0051] 산화물 반도체층 내의 수소의 농도가 2차 이온 질량분석법(SIMS)에 의해 측정되었다. 도 3b는 산화물 반도체층의 두께 방향의 수소 농도 분포를 도시하는 SIMS 분석 결과의 그래프이다. 횡축은 샘플 표면으로부터의 깊이를 나타내고, 깊이가 0 nm인 좌단이 샘플의 최외곽 표면(산화물 반도체층의 최외곽 표면)에 대응한다. 도 3a의 분석 방향(403)은 SIMS 분석이 실시된 방향을 나타낸다. 분석은 산화물 반도체층의 최외곽 표면으로부터 유리 기판(400)으로 향하는 방향으로 실시되었다. 즉, 도 3b의 횡축의 좌단으로부터 그 우단으로의 방향으로 분석이 실시되었다. 도 3b의 종축은 샘플의 소정 깊이에서의 수소 농도와 산소의 이온 강도를 나타내는 대수축(logarithmic axes)이다.

[0052] 도 3b에서, 수소 농도 프로파일(412)은 탈수소화되지 않은 산화물 반도체층 내의 수소 농도 프로파일이고, 수소 농도 프로파일(413)은 열 처리에 의해 탈수소화된 산화물 반도체층 내의 수소 농도 프로파일이다. 산소 이온 강도 프로파일(411)은 수소 농도 프로파일(412)의 측정시에 얻어진 산소의 이온 강도를 나타낸다. 산소 이온 강도 프로파일(411)은 극적으로 변동하지 않고 실질적으로 일정하며, 이것은 SIMS 분석이 정확히 실시되었음을 의미한다. 도시되지는 않았지만, 수소 이온 프로파일(413)이 측정될 때 산소의 이온 강도도 역시 측정되었으며, 이것도 역시 실질적으로 일정했다. 수소 농도 프로파일(412) 및 수소 농도 프로파일(413)은, 샘

플들과 유사하게 In-Ga-Zn-O계 산화물 반도체층을 이용하여 형성된 기준 샘플을 이용하여 정량화된다.

- [0053] SIMS 분석에서, 그 원리상, 샘플의 표면 부근이나, 상이한 재료를 이용하여 형성된 적층막들 사이의 계면 부근에서 정확한 데이터를 얻는 것은 어렵다는 것이 알려져 있다. 본 분석에서, 샘플의 최외곽 표면으로부터 깊이 약 15 nm까지의 영역에서의 데이터는 아마도 정확하지 않기 때문에, 깊이 15 nm보다 깊은 영역에서의 프로파일이 평가되었다.
- [0054] 수소 농도 프로파일(412)로부터, 탈수소화되지 않은 산화물 반도체층에는 수소가 $3 \times 10^{20} \text{ atoms/cm}^3$ 내지 $5 \times 10^{20} \text{ atoms/cm}^3$ 정도로 포함되고, 그 평균 수소 농도는 약 $4 \times 10^{20} \text{ atoms/cm}^3$ 라는 것을 알 수 있다. 수소 농도 프로파일(413)로부터, 탈수소화에 의해 산화물 반도체층의 평균 수소 농도는 약 $2 \times 10^{19} \text{ atoms/cm}^3$ 로 저감될 수 있다는 것을 알 수 있다.
- [0055] 본 분석은, 열 처리에 의해 실시되는 탈수소화는 산화물 반도체층의 수소 농도를 저감할 수 있고, 질소 분위기에서 6분 동안 650℃에서 GRTA법에 의해 실시되는 탈수소화는 산화물 반도체층의 수소 농도를 1/10 이하로 저감할 수 있다는 것을 보여준다.
- [0056] 그 다음, 게이트 절연층(102) 및 산화물 반도체층(103) 위에 소스 전극층 및 드레인 전극층을 형성하기 위한 도전막이 형성된다.
- [0057] 소스 전극층 및 드레인 전극층을 형성하기 위한 도전막은, 게이트 전극층(101)과 유사한 방식으로, 금속 도전막을 이용하여 형성될 수 있다. 금속 도전막의 재료로서, Al, Cr, Cu, Ta, Ti, Mo, 및 W로부터 선택된 원소; 상기 원소들 중 임의의 원소를 성분으로서 포함하는 합금; 상기 원소들 중 임의의 원소를 조합하여 포함하는 합금 등을 이용하는 것이 바람직하다. 예를 들어, 티타늄층 위에 알루미늄층이 적층되고 그 알루미늄층 위에 티타늄층이 적층된 3층의 구조, 또는 몰리브덴층 위에 알루미늄층이 적층되고 그 알루미늄층 위에 몰리브덴층이 적층된 3층의 구조가 바람직하다. 물론, 금속 도전막은, 단층 구조, 2층 구조, 또는 4층 이상을 적층한 구조를 가질 수도 있다.
- [0058] 소스 전극층 및 드레인 전극층을 형성하기 위한 도전막에 포토마스크를 이용한 포토리소그래피 단계를 실시하여, 소스 전극층(105a) 및 드레인 전극층(105b)을 형성한다(도 1b 참조). 또한, 이 때 산화물 반도체층(103)의 일부도 역시 에칭되어, 산화물 반도체층(103)이 그루브(groove)(침하부)를 갖는다.
- [0059] 소스 전극층(105a) 및 드레인 전극층(105b)을 형성하는데 이용되는 레지스트 마스크는 잉크젯법에 의해 형성될 수도 있다. 레지스트 마스크를 잉크젯법으로 형성하면, 포토마스크가 이용되지 않아 제조 비용이 저감될 수 있다.
- [0060] 또한, 산화물 반도체층(103)보다 낮은 저항을 갖는 산화물 도전층이, 산화물 반도체층(103)과 소스 전극층(105a) 및/또는 드레인 전극층(105b) 사이에 형성될 수도 있다. 이러한 적층 구조는 박막 트랜지스터의 내압(withstand voltage)을 향상시킬 수 있다. 구체적으로는, 저항이 낮은 산화물 도전층의 캐리어 농도는 $1 \times 10^{20} / \text{cm}^3$ 내지 $1 \times 10^{21} / \text{cm}^3$ 범위에 있는 것이 바람직하다.
- [0061] 그 다음, 게이트 절연층(102), 산화물 반도체층(103), 소스 전극층(105a), 및 드레인 전극층(105b)을 덮고 산화물 반도체층(103)의 일부와 접하는 보호 절연층(107)이 형성된다(도 1c 참조). 보호 절연층(107)은, CVD법 또는 스퍼터링법 등의, 물 또는 수소 등의 불순물이 보호 절연층(107)에 혼입되는 것을 방지하는 방법을 적절히 이용하여, 적어도 1nm의 두께로 형성될 수 있다. 여기서는, 보호 절연층(107)은 스퍼터링법에 의해 형성된다. 산화물 반도체층(103)의 일부와 접하여 형성되는 보호 절연층(107)은, 수분, 수소 이온, 및 OH^- 등의 불순물을 포함하지 않으며, 외부로부터의 이들의 혼입을 차단하는 무기 절연막을 이용하여 형성된다. 구체적으로는, 산화 실리콘막, 질화 산화 실리콘막, 질화 실리콘막, 산화 알루미늄막, 산화 질화 알루미늄막 또는 질화 알루미늄막을 이용할 수 있다.
- [0062] 대안으로서, 보호 절연층(107)은, 산화 실리콘막, 질화 산화 실리콘막, 산화 알루미늄막 또는 산화 질화 알루미늄막 위에 질화 실리콘막 또는 질화 알루미늄막을 적층한 구조를 가질 수도 있다. 질화 실리콘막은, 수분, 수소 이온, 또는 OH^- 등의 불순물을 포함하지 않으며 외부로부터의 불순물들의 혼입을 효과적으로 차단하기 때문에 바람직하다.
- [0063] 보호 절연층(107)의 성막시 기판 온도는 실온 내지 300℃의 범위에 있을 수 있다. 스퍼터링법에 의한 산화 실

리콘막의 형성은, 희가스(대표적으로는, 아르곤) 분위기, 산소 분위기, 또는 희가스(대표적으로는, 아르곤) 및 산소를 포함하는 분위기에서 실시될 수 있다. 타겟으로서, 산화 실리콘 타겟이나 실리콘 타겟을 이용할 수 있다. 예를 들어, 실리콘 타겟을 이용하여, 산소 및 질소를 포함하는 분위기에서 스퍼터링법에 의해 산화 실리콘 막을 형성할 수 있다.

- [0064] 그 다음, 제2 열 처리가 실시된다. 제2 열 처리는 100℃ 이상 제1 열 처리의 온도 이하의 온도에서 실시된다. 예를 들어, 열 처리 장치의 일종인 전기로에 기판을 도입해 질소 분위기에서 열 처리가 실시된다. 제2 열 처리는 보호 절연층(107)의 형성 이후에 실시되는 한 언제라도 실시될 수 있다.
- [0065] 전술된 단계들을 통해, 다음과 같은 구조를 갖는 채널 에칭형 박막 트랜지스터(150)가 형성될 수 있다: 절연면을 갖는 기판인 기판(100) 위에 게이트 전극층(101)이 제공되고, 게이트 전극층(101) 위에 게이트 절연층(102)이 제공되고, 게이트 절연층(102) 위에 산화물 반도체층(103)이 제공되고, 산화물 반도체층(103) 위에 소스 및 드레인 전극층(105a 및 105b)이 제공되고, 게이트 절연층(102), 산화물 반도체층(103), 소스 및 드레인 전극층(105a 및 105b)을 덮고 산화물 반도체층(103)의 일부와 접하는 보호 절연층(107)이 제공된다(도 1d 참조).
- [0066] 도 1e는 본 실시예에서 설명되는 박막 트랜지스터(150)의 상부면도이다. 도 1d는 도 1e의 라인 X1-X2를 따라 취해진 단면 구조를 나타낸다. 도 1e에서, L 은 채널 길이를 나타내고 W 는 채널폭을 나타낸다. 또한, A 는 채널 폭 방향과 평행한 방향에서 산화물 반도체층(103)이 소스 전극층(105a) 또는 드레인 전극층(105b)과 중첩하지 않는 영역의 길이를 나타낸다. L_s 는 게이트 전극층(101)과 중첩하는 소스 전극층(105a)의 일부의 길이를 나타내고, L_d 는 게이트 전극층(101)과 중첩하는 드레인 전극층(105b)의 일부의 길이를 나타내고 있다.
- [0067] 본 실시예에서는, 박막 트랜지스터(150)로서 싱글 게이트 구조를 갖는 박막 트랜지스터를 설명하였지만, 필요에 따라, 복수의 채널 형성 영역을 포함하는 멀티 게이트 구조를 갖는 박막 트랜지스터나, 보호 절연층(107) 위에 제2 게이트 전극층이 제공되는 구조를 갖는 박막 트랜지스터가 형성될 수 있다.
- [0068] 본 실시예에서는 채널 에칭형 박막 트랜지스터(150)의 제조 방법을 설명하였다; 그러나, 본 실시예의 구성은 이것으로 한정되는 것은 아니다. 도 2a에 나타난 바텀-게이트 바텀-컨택트형(역 코플래너형)의 박막 트랜지스터(160), 또는 도 2b에 나타난 채널 보호층(110)을 포함하는 채널 보호형(채널 스톱형) 박막 트랜지스터(170) 등이 박막 트랜지스터(150)와 유사한 재료 및 방법을 이용하여 형성될 수 있다. 도 2c는 채널 에칭형 박막 트랜지스터의 다른 예를 나타낸다. 도 2c에 나타난 박막 트랜지스터(180)는 게이트 전극층(101)의 단부가 산화물 반도체층(103)의 단부를 넘어 연장되어 있는 구조를 갖는다.
- [0069] 박막 트랜지스터(150)의 채널 길이 L (도 1e에서 L)은 소스 전극층(105a)과 드레인 전극층(105b) 사이의 거리로서 정의되고, 채널 보호형 박막 트랜지스터(170)의 채널 길이는 캐리어 흐름 방향과 평행한 방향의 채널 보호층의 폭으로서 정의된다는 점에 유의한다.
- [0070] 본 실시예에 따르면, 채널이 형성되는 임계 전압이 가능한 한 0 V에 가까운 산화물 반도체층을 포함하는 박막 트랜지스터가 형성될 수 있다.
- [0071] 또한, 박막 트랜지스터(3)의 채널 길이가 3 μm 내지 10 μm 또는 1.5 μm 내지 100 μm 일 때, 박막 트랜지스터의 임계 전압의 변화량은 실온 내지 180℃ 동작 온도 범위에서 3 V 이하, 구체적으로는, 1.5 V 이하일 수 있다.
- [0072] 또한, 박막 트랜지스터의 임계 전압의 변화량은 -25℃ 내지 150℃의 동작 온도 범위에서 3 V 이하, 구체적으로는, 1.5 V 이하일 수 있다.
- [0073] 본 실시예는 다른 실시예에서 설명한 구조와 적절하게 조합하여 구현될 수 있다.
- [0074] 이제, 실온 내지 180℃의 환경에서 박막 트랜지스터 특성의 평가 결과와 2차원 장치 시뮬레이션을 설명한다. 이를 위해 도 29a에 나타난 적층된 구조를 갖는 박막 트랜지스터를 사용한다. 도 29a는 박막 트랜지스터(850)의 단면 구조를 나타낸다.
- [0075] 유리 기판(801) 위에 게이트 전극층(802)으로서 텅스텐층을 100 nm의 두께로 형성하였고, 게이트 전극층(802) 위에 게이트 절연층(803)으로서 산화 질화층을 100 nm의 두께로 형성하였고, 게이트 절연층(803) 위에 In-Ga-Zn-O계의 산화물 반도체층(804)을 50 nm의 두께로 형성하였고, 산화물 반도체층(804) 위에 소스 전극층(805) 및 드레인 전극층(806)으로서 티타늄층을 형성하였다. 이런 방식으로 박막 트랜지스터(850)가 제조되었다. 박막 트랜지스터(850)의 채널 길이 L 은 10 μm 였고, 채널폭 W 는 100 μm 였음에 유의한다.
- [0076] 그 다음, 측정시의 기판 온도(동작 온도)를, 실온(25℃), 40℃, 60℃, 85℃, 100℃, 120℃, 140℃, 160℃, 및

180℃로 변화시키면서 트랜지스터(850)의 전류 대 전압 특성을 측정하였다. 전류 대 전압 특성은, 소스와 드레인 사이의 전압(이하, 드레인 전압 또는 V_d 라고 함)을 10 V로 설정하고 소스와 게이트 사이의 전압(이하, 게이트 전압 또는 V_g 라고 함)을 -10 V로부터 10 V로 변화시킴으로써 측정되었다. 이런 방식으로, 게이트 전압의 변화에 대한 드레인 전류의 변화를 나타내는, 박막 트랜지스터의 V_g - I_d 곡선을 얻었다.

[0077] 도 29b는 본 측정에서 얻어진 V_g - I_d 곡선을 나타낸다. 도 29b에서, 곡선(811)은 측정시의 기판 온도가 실온(25℃)일 때의 V_g - I_d 곡선이다. 측정시의 기판 온도가 상승함에 따라, V_g - I_d 곡선은 도 29b에서 좌측 방향, 즉, V_g 의 음의 방향으로 순차적으로 이동하고 있다. 모든 V_g - I_d 곡선에 참조 번호를 기재하지는 않지만, 최좌측 곡선(818)이 기판 온도 180℃일 때의 V_g - I_d 곡선이다. 도 29b에 따라, 실온(25℃)에서의 임계 전압과 180℃에서의 임계 전압을 비교하면, 임계 전압이 5 V 이상 변함을 알 수 있다.

[0078] 도 29b에 도시된 임계 전압의 변화는 온도에 기인한 전자의 여기에 의해 야기되었다고 가정하여, 2차원 장치 시뮬레이션에 의해 그 변화가 재현되었다. 시뮬레이션은 Silvaco Data Systems Inc.의 장치 시뮬레이터 ATLAS를 이용하여 실시되었다. 산화물 반도체층의 밴드 갭(E_g)는 3.05 eV, 전자 이동도(μ_n)는 $15 \text{ cm}^2/\text{Vs}$ 인 것으로 가정하고, 시뮬레이션에 대해 박막 트랜지스터(850)와 동일한 구조의 바텀 게이트형 TFT를 사용하였다: 이 조건하에서, 전류 대 전압 특성을 계산하였다.

[0079] 도 29c는 시뮬레이션에 의해 재현된 V_g - I_d 곡선을 도시한다. 곡선(821)은 실온(25℃)에 대한 V_g - I_d 곡선이고 곡선(828)은 180℃에 대한 V_g - I_d 곡선이다. 도 29b에서 실제 측정된 값은 도 29c에서 잘 재현되었다.

[0080] 도 29d는 시뮬레이션 결과에 의해 얻어진 산화물 반도체층 내의 상태 밀도를 나타내고 있다. 횡축은 산화물 반도체의 밴드 갭을 나타내고, 종축은 상태 밀도를 나타내고 있다. 도 29d에서, 곡선(831) 및 곡선(832)는 밴드 갭에서의 도너 준위 밀도의 분포를 나타내고, 곡선(833)은 밴드 갭에서의 억셉터 준위 밀도의 분포를 나타내고 있다.

[0081] 곡선(831)은 도너 준위 밀도가 전도 대역으로부터 밴드 갭의 깊은 부분까지 넓게 분포하고 있음을 도시하고 있고, 곡선(832)은 도너 준위 밀도가 전도 대역 부근의 매우 좁은 범위에 분포하며 매우 가파른 피크를 가지고 있음을 도시하고 있다. 곡선(831)은 산소 결핍으로부터 유도될 수 있고, 곡선(832)은 수소로부터 유도될 수 있다.

[0082] 그 다음, 도 29b에서 얻어진 것과는 상이한 샘플이 제조되었고 0℃ 내지 150℃의 환경에서 박막 트랜지스터의 특성 변화가 측정되었다. 측정된 결과에 기초하여, 임계 전압의 온도 의존성이 다음과 같이 검사되었다.

[0083] 도 29a에 나타난 적층 구조를 갖는 박막 트랜지스터를 덮도록 스퍼터링법에 의해 두께 300 nm로 산화 실리콘을 형성함으로써 샘플이 제조되었고, 그 샘플의 전류 대 전압 특성이 측정되었다. 박막 트랜지스터의 채널 길이 L 은 3 μm 였고, 채널폭 W 는 50 μm 였음에 유의한다.

[0084] 그 다음, 측정시의 기판 온도(동작 온도)를, 0℃, 실온(25℃), 50℃, 100℃, 및 150℃로 변화시키면서 박막 트랜지스터의 전류 대 전압 특성을 측정하였다. 드레인 전압 V_d 를 10 V로 설정하고 게이트 전압 V_g 를 -20 V로부터 20 V로 변화시킴으로써 전류 대 전압 특성이 측정되었다. 이런 방식으로, 게이트 전압 V_g 의 변화에 대한 드레인 전류 I_d 의 변화를 나타내는, 박막 트랜지스터의 V_g - I_d 곡선을 얻었다.

[0085] 도 30은 본 측정에서 얻어진 V_g - I_d 곡선을 나타낸다. 도 30에서, 곡선(911)은 측정시의 기판 온도가 0℃일 때의 V_g - I_d 곡선이다. 측정시의 기판 온도가 상승함에 따라, V_g - I_d 곡선은 도 30에서 좌측 방향, 즉, V_g 의 음의 방향으로 이동한다. 이렇게 얻어진 좌측에 위치한 곡선(918)은 기판 온도가 150℃일 때의 V_g - I_d 곡선이다.

[0086] 도 31a는 V_g - I_d 곡선으로부터 얻어진 V_{th} (임계 전압)를 나타내는 표이다. 도 31a에서, 하부 셀에 있는 V_{th} 의 변화량은 0℃에서의 V_{th} 와 150℃에서의 V_{th} 사이의 차이이다.

[0087] 도 31b는 도 31a에 기초한 그래프이다. 횡축의 측정 온도는 박막 트랜지스터의 전류 대 전압 측정시의 기판 온도(동작 온도)이고, 종축의 V_{th} 는 각 기판 온도에서의 임계 전압이다.

[0088] 도 31a에 따르면, 임계 전압 변화량은 0℃에서의 V_{th} 와 150℃에서의 V_{th} 를 비교하면 약 1.5 V 정도 작을 수 있다는 것을 알 수 있다.

[0089] 임계 전압(V_{th})의 온도 의존성은 다음과 같이 검사되었다.

[0090] 온도가 상승함에 따라 Fermi 준위는 진성 Fermi 준위(intrinsic Fermi level)에 근접하게 된다. 반전된 임계 전압이 수확식 (1)에 나타난 바와 같이 Fermi 전위의 함수로서 표시되어 있다. Fermi 전위(Fermi potential)는

진성 Fermi 준위와 Fermi 준위 사이의 차이(수학식 2)로서 정의된다. 즉, 채널에 대해 n형 또는 p형인 반도체가 사용될 때, 임계 전압은 온도에 의존한다.

수학식 1

$$V_{th} = V_{FB} + 2\phi_F + \frac{\sqrt{2K\epsilon_0 q N_A (2\phi_F)}}{C_{ox}}$$

[0091]

수학식 2

$$\phi_F = \frac{E_i - E_F}{q}$$

[0092]

[0093] 예를 들어, 채널에 대해 p형 반도체가 사용되는 n형 Si 트랜지스터에서, 온도가 상승함에 따라 ϕ_F 는 0에 가까워져서, 임계 전압이 음으로 이동한다. 채널이 i형(진성)일 때, 임계 전압은 이동하지 않는다는 점에 유의한다.

[0094] 도 30에 도시된 측정된 결과를 갖는 박막 트랜지스터에서, 기판 온도가 상승할 때 임계 전압은 음으로 이동한다. 일반적으로, 산화물 반도체는 통상 p형이 아니라 n형이다. 채널 형성에 사용되는 산화물 반도체가 n형인 것으로 가정되면, Fermi 준위는 역으로 변한다(채널이 n형일 때 임계 전압은 양으로 이동해야 한다). 따라서, 산화물 반도체의 임계 전압 변화의 원인으로서 Fermi 준위와는 상이한 메커니즘이 이해될 필요가 있다.

[0095] 전술된 논의는 이상적인 단결정 반도체에서 가정되는 근사적인 해결책이며, 결정 결함이나 다양한 준위(level)에 기인한 온도 의존성이 고려되어야 한다. 산화물 반도체의 온도 의존성을 나타내는 Vg-Id 곡선에서, 전류량은 임계 영역에서 괄목할만큼 증가한다. 일반적으로, 그 영역에서의 전류량을 제어하는 메커니즘으로서 종종 결함(defect)이 가정된다. 특히, 아몰퍼스 상태를 갖는 산화물 반도체의 경우, 결함 준위(defect level)는 일반적으로 분포(distribution)를 갖는 함수로서 표현된다.

[0096] 산화물 반도체를 이용하여 채널이 형성되는 박막 트랜지스터의 Vth의 온도 의존성이 계산에 의해 재현되었다. 도 32a 및 32b 각각은 계산에서 사용된 구조를 나타낸다. 산화 질화 실리콘막을 이용하여 형성된 100 nm 두께의 게이트 절연층(702)과 게이트 전극층(701) 위에 산화물 반도체를 이용하여 형성된 30 nm 두께의 채널(703)을 포함하는 역 스택타형 박막 트랜지스터가 계산에 사용되었다. 박막 트랜지스터에서, 채널 길이 L은 3 μm 였고 채널 폭 W는 20 μm 였다(L/W = 3/20 μm). 2종류의 TFT가 가정되었다: 채널(703) 뿐만 아니라 전체 산화물 반도체층이 i형인 도 32a의 구조를 갖는 TFT와, i형 채널(703)과 소스 및 드레인 전극층(704a 및 704b) 아래의 N⁺ 영역(705a 및 705b)을 포함하는 도 32b의 구조를 갖는 TFT. 도 32b의 구조에서, 도너(Nd)의 농도는 N⁺ 영역(705a 및 705b)에서 1 x 10¹⁹ /cm³ 인 것으로 가정되었다. 산화물 반도체의 밴드갭(Eg)은 3.15 eV로 설정되었고, 전자 친화도(χ)는 4.3 eV로 설정되었고, 유전율은 15로 설정되었다. 또한, 소스 및 드레인 전극층(704b 및 704a)에 사용되는 금속의 일 함수는, 산화물 반도체의 전자 친화도와 동일한 4.3 eV로 설정되었다.

[0097] 또한, 결함 준위는 아몰퍼스 반도체의 온도 의존성에 큰 영향을 미친다고 가정하였고, 도 29d의 곡선(833)인 밴드 갭에서의 엑셉터 준위 밀도의 분포가 계산에서 가정되었다. 계산 결과는 도 33a 내지 도 33d에 도시되어 있다. 도 33a 내지 도 33d는, 엑셉터 준위 밀도의 분포가 가정된 경우와 가정되지 않은 경우의 도 32a의 구조와 도 32b의 구조에 계산을 실시한 결과를 나타낸다. 또한, 도 33a 내지 도 33d에서, 온도를 0℃로부터 150℃로 상승시킴으로써 얻어진 Vg-Id 곡선과 이러한 상승에 기인한 Vth의 변화(ΔV_{th})가 도시되어 있다. 도 33a는 도 32a의 구조에서 엑셉터 준위 밀도의 분포가 가정되지 않은 경우의 계산 결과를 도시한다. 도 33b는 도 32b의 구조에서 엑셉터 준위 밀도의 분포가 가정되지 않은 경우의 계산 결과를 도시한다. 도 33c는 도 32a의 구조에서 엑셉터 준위 밀도의 분포가 가정된 경우의 계산 결과를 도시한다. 도 33d는 도 32b의 구조에서 엑셉터 준위 밀도의 분포가 가정된 경우의 계산 결과를 도시한다.

[0098] 밴드 갭에서 엑셉터 준위 밀도의 분포가 가정되지 않은 경우, 즉, 도 33a 및 도 33b의 결과에 따라, 도 32a의

구조 및 도 32b의 구조 양쪽 모두에서 온도 변화에 기인한 V_{th} 의 변화는 약 0.1 V였다. Fermi-Dirac 통계에 따라, 온도가 0℃로부터 150℃로 증가할 때 진성 캐리어 농도는 약 11자리 정도 증가했다. 진성 캐리어 농도(n_i)의 증가는 수학적 (3)에 따라 캐리어(전자)를 증가시킨다.

수학적 3

$$n = n_i \exp\left[\frac{E_F - E_i}{kT}\right]$$

[0099]

[0100] 결과적으로, 채널에 캐리어를 도입하기 위해 낮은 게이트 전압만이 필요하고, V_{th} 는 음으로 이동한다. 이동량은 0.1 V에 해당한다.

[0101] 밴드 갭에서 억셉터 준위 밀도의 분포가 가정된 경우, 즉, 도 33c 및 도 33d의 결과에 따라, 도 32a의 구조 및 도 32b의 구조 양쪽 모두에서 ΔV_{th} 가 증가하였고 실제 측정 결과에 근접한 값이 계산에서 얻어졌다. 산화물 반도체가 진성이라고 가정될 때에도, 밴드 갭에서 억셉터 준위 밀도의 분포가 존재할 때 온도 의존성이 관찰될 수 있었다.

[0102] 밴드 갭에서 억셉터 준위 밀도의 분포를 가정함으로써, 캐리어(전자)는 트랩되었지만 트랩된 캐리어들은 온도를 상승시킴으로써 릴리스되었다; 따라서, 채널에서의 캐리어 농도는 증가하였고 V_{th} 는 음으로 이동하였다. 산화물 반도체가 실질적으로 진성이더라도, 억셉터 준위 밀도의 분포는 아마도 V_{th} 의 온도 의존성을 야기할 것이다.

[0103] 도 32a의 구조의 결과를 도 32b의 구조의 결과와 비교하면, 이들 사이에는 아무런 차이가 없었다. 계산에서 사용된 TFT의 채널 길이 L 이 3 μm 이기 때문에, N^+ 영역에 의한 영향은 더 적다.

[0104] [실시예 2]

[0105] 본 실시예에서는, 적어도 구동 회로의 일부와 화소부에 배치되는 박막 트랜지스터가 하나의 기판 위에 형성되는 예를 이하에서 설명한다.

[0106] 화소부에 배치되는 박막 트랜지스터는 실시예 1에 따라 형성된다. 또한, 실시예 1에서 설명된 박막 트랜지스터는 n채널 TFT이기 때문에, 구동 회로들 중에서 n채널 TFT를 포함할 수 있는 구동 회로의 일부는 화소부의 박막 트랜지스터와 동일한 기판 위에 형성된다.

[0107] 도 7a는 액티브 매트릭스 표시 장치의 블록도의 예를 나타낸다. 표시 장치의 기판(5300) 위에는, 화소부(5301), 제1 주사선 구동 회로(5302), 제2 주사선 구동 회로(5303), 및 신호선 구동 회로(5304)가 제공된다. 화소부(5301)에서, 신호선 구동 회로(5304)로부터 연장되는 복수의 신호선이 배치되고, 제1 주사선 구동 회로(5302) 및 제2 주사선 구동 회로(5303)로부터 연장되는 복수의 주사선이 배치된다. 주사선과 신호선이 서로 교차하는 각각의 영역에서 각각이 표시 소자를 포함하는 화소들이 매트릭스로 배치되어 있다는 점에 유의한다. 또한, 표시 장치의 기판(5300)은 FPC(flexible printed circuit) 등의 접속부를 통해 타이밍 제어 회로(5305)(컨트롤러 또는 제어 IC라고도 함)에 접속된다.

[0108] 도 7a에서, 화소부(5301)와 동일한 기판(5300) 위에는, 제1 주사선 구동 회로(5302), 제2 주사선 구동 회로(5303), 및 신호선 구동 회로(5304)가 제공된다. 따라서, 외부에 제공되는 구동 회로 등의 부품들의 개수가 줄어들어, 비용 저감이 달성될 수 있다. 또한, 구동 회로가 기판(5300) 외부에 제공된다면, 배선이 연장되고 배선의 접속수가 증가될 필요가 있겠지만, 기판(5300) 위에 구동 회로를 제공함으로써, 배선의 접속수를 줄일 수 있다. 따라서, 신뢰성과 수율의 향상이 달성될 수 있다.

[0109] 타이밍 제어 회로(5305)는, 예를 들어, 제1 주사선 구동 회로용 스타트 신호(GSP1)(스타트 펄스) 및 주사선 구동 회로용 클럭 신호(GCK1)를 제1 주사선 구동 회로(5302)에 공급한다는 점에 유의한다. 타이밍 제어 회로(5305)는, 예를 들어, 제2 주사선 구동 회로용 스타트 신호(GSP2)(스타트 펄스라고도 함) 및 주사선 구동 회로용 클럭 신호(GCK2)를 제2 주사선 구동 회로(5303)에 공급한다는 점에 유의한다. 타이밍 제어 회로(5305)는, 예를 들어, 신호선 구동 회로용 스타트 신호(SSP), 신호선 구동 회로용 클럭 신호(SCK), 비디오 신호용 데이터(DATA)(간단히 비디오 신호라고도 함), 및 래치 신호(LAT)를 신호선 구동 회로(5304)에 공급한다. 클럭 신호는 주기가 상이한 복수의 클럭 신호이거나, 반전된 클럭 신호(CKB)와 함께 공급될 수도 있다는 점에 유의한다. 제

1 주사선 구동 회로(5302)와 제2 주사선 구동 회로(5303) 중 하나를 생략하는 것이 가능하다는 점에 유의한다.

- [0110] 도 7b는 구동 주파수가 낮은 회로들(예를 들어, 제1 주사선 구동 회로(5302) 및 제2 주사선 구동 회로(5303))이 화소부(5301)가 형성되는 기관(5300) 위에 형성되고, 신호선 구동 회로(5304)는 화소부(5301)가 형성되는 기관(5300)과는 상이한 기관 위에 형성되는 구조를 나타낸다. 이 구조에 의해, 단결정 반도체를 이용하여 형성된 트랜지스터에 비해 전계 효과 이동도가 더 작은 박막 트랜지스터에 의해 기관(5300) 위에 형성되는 구동 회로를 구성할 수 있다. 따라서, 표시 장치의 대형화, 단계수의 감소, 비용 저감, 수율 향상 등을 달성할 수 있다.
- [0111] 실시예 1에서 설명된 박막 트랜지스터는 n채널 TFT이다. 도 8a 및 도 8b를 참조하여, n채널 TFT를 이용하여 형성된 신호선 구동 회로의 구조 및 동작의 예를 설명한다.
- [0112] 신호선 구동 회로는 시프트 레지스터(5601) 및 스위칭 회로(5602)를 포함한다. 스위칭 회로(5602)는 복수의 스위칭 회로(5602_1 내지 5602_M)(M은 자연수)를 포함한다. 스위칭 회로(5602_1 내지 5602_M) 각각은, 복수의 박막 트랜지스터(5603_1 내지 5603_k)(k는 자연수)를 포함한다. 박막 트랜지스터(5603_1 내지 5603_k)가 n채널 TFT인 경우를 설명한다.
- [0113] 스위칭 회로(5602_1)를 예로서 이용하여 신호선 구동 회로의 접속 관계를 설명한다. 박막 트랜지스터(5603_1 내지 5603_k)의 제1 단자는 배선(5604_1 내지 5604_k)에 각각 접속된다. 박막 트랜지스터(5603_1 내지 5603_k)의 제2 단자는 신호선(S1 내지 Sk)에 각각 접속된다. 박막 트랜지스터(5603_1 내지 5603_k)의 게이트는 배선(5604_1)에 접속된다.
- [0114] 시프트 레지스터(5601)는 배선(5605_1 내지 5605_M)에 H 레벨(H 신호 또는 고전원 전위 레벨이라고도 함)의 신호를 순차적으로 출력하고 스위칭 회로(5602_1 내지 5602_M)를 순차적으로 선택하는 기능을 갖는다.
- [0115] 스위칭 회로(5602_1)는, 배선(5604_1 내지 5604_k)과 신호선(S1 내지 Sk) 사이의 전기적 연속성(제1 단자와 제2 단자 사이의 전기적 연속성)을 제어하는 기능, 즉, 배선(5604_1 내지 5604_k)의 전위를 신호선(S1 내지 Sk)에 공급할지의 여부를 제어하는 기능을 갖는다. 전술된 바와 같이, 스위칭 회로(5602_1)는 선택기로서 기능한다. 또한, 박막 트랜지스터(5603_1 내지 5603_k) 각각은 배선(5604_1 내지 5604_k)과 그들 각각의 신호선(S1 내지 Sk) 사이의 전기적 연속성을 제어하는 기능, 즉, 배선(5604_1 내지 5604_k)의 전위를 그들 각각의 신호선(S1 내지 Sk)에 공급하는 기능을 갖는다. 이런 방식으로, 박막 트랜지스터(5603_1 내지 5603_k) 각각은 스위치로서 기능한다.
- [0116] 배선(5604_1 내지 5604_k) 각각에는 비디오 신호용 데이터(DATA)가 입력된다는 점에 유의한다. 비디오 신호용 데이터(DATA)는 많은 경우에 화상 데이터 또는 화상 신호에 대응하는 아날로그 신호이다.
- [0117] 그 다음, 도 8b의 타이밍도를 참조하여 도 8a의 신호선 구동 회로의 동작을 설명한다. 도 8b는 신호(Sout_1 내지 Sout_M) 및 신호(Vdata_1 내지 Vdata_k)의 예를 나타낸다. 신호(Sout_1 내지 Sout_M)는 시프트 레지스터(5601)의 출력 신호의 예이며, 신호(Vdata_1 내지 Vdata_k)는 배선(5604_1 내지 5604_k)에 입력되는 신호의 예이다. 신호선 구동 회로의 1 동작 기간은 표시 장치에서 1 게이트 선택 기간에 대응한다는 점에 유의한다. 예를 들어, 1 게이트 선택 기간은 기간들(T1 내지 TM)로 분할된다. 기간(T1 내지 TM)은 선택된 행에 속하는 화소에 비디오 신호용 데이터(DATA)를 기입하기 위한 기간이다.
- [0118] 본 실시예의 도면 등에 나타난 각 구조의 신호 파형 왜곡 등은, 일부 경우에 명료화를 위해서 과장되어 있다는 점에 유의한다. 따라서, 본 실시예는 반드시 도면 등에 나타난 축척비율로 한정되는 것은 아니다.
- [0119] 기간(T1 내지 TM)에서, 시프트 레지스터(5601)는 H 레벨 신호를 배선(5605_1 내지 5605_M)에 순차적으로 출력한다. 예를 들어, 기간 T1에서, 시프트 레지스터(5601)는 하이 레벨 신호를 배선(5605_1)에 출력한다. 그 다음, 박막 트랜지스터(5603_1 내지 5603_k)는 온으로 되어, 배선(5604_1 내지 5604_k)과 신호선(S1 내지 Sk)이 전기적 연속성을 갖는다. 이 경우, 배선(5604_1 내지 5604_k)에는 Data(S1) 내지 Data(Sk)가 각각 입력된다. Data(S1) 내지 Data(Sk)는, 각각, 박막 트랜지스터(5603_1 내지 5603_k)를 통해 제1 열 내지 제k 열의 선택된 행의 화소에 입력된다. 따라서, 기간 T1 내지 TM에서, 비디오 신호용 데이터(DATA)가 k개 열마다 선택된 행의 화소들에 순차적으로 기입된다.
- [0120] 복수의 열마다 비디오 신호용 데이터(DATA)를 화소에 기입함으로써, 비디오 신호용 데이터(DATA)의 수 또는 배선의 수를 줄일 수 있다. 따라서, 외부 회로로의 접속수를 줄일 수 있다. 복수의 열마다 비디오 신호를 화소에 기입함으로써, 기입 시간이 연장될 수 있고 비디오 신호의 불충분한 기입이 방지될 수 있다.
- [0121] 실시예 1에 설명된 박막 트랜지스터를 포함하는 회로가 시프트 레지스터(5601) 및 스위칭 회로(5602)로서 이용

될 수 있다는 점에 유의한다. 그 경우, 시프트 레지스터(5601)는 n채널 트랜지스터만으로 구성되거나 p채널 트랜지스터만으로 구성될 수 있다.

[0122] 다음으로 주사선 구동 회로의 구조를 설명한다. 주사선 구동 회로는 시프트 레지스터를 포함한다. 또한, 일부 경우에는 주사선 구동 회로는 레벨 시프터(level shifter), 버퍼 등을 포함할 수도 있다. 주사선 구동 회로에서, 시프트 레지스터에 클럭 신호(CK) 및 스타트 펄스 신호(SP)가 입력될 때, 선택 신호가 생성된다. 생성된 선택 신호는 버퍼에 의해 버퍼링 및 증폭되고, 그 결과의 신호는 대응하는 주사선에 공급된다. 1개 라인의 화소들의 트랜지스터들의 게이트 전극들이 주사선에 접속된다. 1개 라인의 화소들의 트랜지스터들은 한 번에 모두 온으로 되어야 하기 때문에, 큰 전류를 공급할 수 있는 버퍼가 사용된다.

[0123] 도 9a 내지 도 9d와 도 10a 및 도 10b를 참조하여, 주사선 구동 회로 및/또는 신호선 구동 회로의 일부로서 이용되는 시프트 레지스터의 실시예를 설명한다.

[0124] 도 9a 내지 도 9d와 도 10a 및 도 10b를 참조하여, 주사선 구동 회로 및/또는 신호선 구동 회로의 시프트 레지스터를 설명한다. 시프트 레지스터는 제1 내지 제N 펄스 출력 회로(10_1 내지 10_N)(N은 3이상의 자연수)를 포함한다(도 9a 참조). 도 9a에 나타낸 시프트 레지스터에서, 제1 내지 제N 펄스 출력 회로(10_1 내지 10_N)에는, 각각, 제1 배선(11), 제2 배선(12), 제3 배선(13), 및 제4 배선(14)으로부터의 출력되는 제1 클럭 신호(CK1), 제2 클럭 신호(CK2), 제3 클럭 신호(CK3), 및 제4 클럭 신호(CK4)가 공급된다. 제1 펄스 출력 회로(10_1)에는, 제5 배선(15)으로부터의 스타트 펄스 SP1(제1 스타트 펄스)이 입력된다. 2단계 및 그 이후단의 제n 펄스 출력 회로(10_n) (n은, 2이상 N이하의 자연수)에는, 전단의 펄스 출력 회로로부터의 신호(전단 신호 OUT(n-1)라고 함)(n은 2이상의 자연수)가 입력된다. 제1 펄스 출력 회로(10_1)에는, 제1 펄스 출력 회로(10_1)보다 2단 후단인 제3 펄스 출력 회로(10_3)으로부터의 신호가 입력된다. 마찬가지로, 2단계 및 그 이후단의 제n 펄스 출력 회로(10_n)에는, 제n 펄스 출력 회로(10_n)보다 2단 후단인 제(n+2) 펄스 출력 회로(10_(n+2))로부터의 신호(후단 신호 OUT(n+2)라고 함)가 입력된다. 따라서, 각 단의 펄스 출력 회로로부터, 후단의 펄스 출력 회로 및/또는 2단 전단의 펄스 출력 회로에 입력하기 위한 제1 출력 신호(OUT(1)(SR) 내지 OUT(N)(SR))와, 다른 배선 등에 입력되는 제2 출력 신호(OUT(1) 내지 OUT(N))가 출력된다. 도 9a에 도시된 바와 같이, 시프트 레지스터의 최종 2개 단계는 후단 신호 OUT(n+2)가 입력되지 않기 때문에, 예를 들어, 제2 스타트 펄스(SP2) 및 제3 스타트 펄스(SP3)가 최종 2개 단의 펄스 출력 회로에 입력될 수 있다는 점에 유의한다.

[0125] 클럭 신호(CK)는, 일정한 간격으로 H 레벨과 L 레벨(L 신호 또는 저전원 전위 레벨이라고도 함)이 되는 신호임에 유의한다. 제1 내지 제4 클럭 신호(CK1 내지 CK4)는 1/4 주기만큼 순차적으로 지연된다. 본 실시예에서, 제1 내지 제4 클럭 신호(CK1 내지 CK4)를 이용함으로써, 펄스 출력 회로 구동의 제어 등을 실시한다. 클럭 신호가 입력되는 구동 회로에 따라 몇몇 경우에는 클럭 신호가 GCK 또는 SCK라고 언급된다; 이하의 설명에서는 클럭 신호를 CK라고 언급한다는 점에 유의한다.

[0126] 제1 내지 제N 펄스 출력 회로(10_1 내지 10_N)의 각각은, 제1 입력 단자(21), 제2 입력 단자(22), 제3 입력 단자(23), 제4 입력 단자(24), 제5 입력 단자(25), 제1 출력 단자(26), 및 제2 출력 단자(27)를 포함한다(도 9b 참조). 제1 입력 단자(21), 제2 입력 단자(22), 및 제3 입력 단자(23)는, 제1 배선 내지 제4 배선(11 내지 14) 중 임의의 배선에 전기적으로 접속된다. 예를 들어, 도 9a에서, 제1 펄스 출력 회로(10_1)의 제1 입력 단자(21)는 제1 배선(11)에 전기적으로 접속되고, 제1 펄스 출력 회로(10_1)의 제2 입력 단자(22)는 제2 배선(12)에 전기적으로 접속되며, 제1 펄스 출력 회로(10_1)의 제3 입력 단자(23)는 제3 배선(13)에 전기적으로 접속된다. 또한, 제2 펄스 출력 회로(10_2)의 제1 입력 단자(21)는 제2 배선(12)에 전기적으로 접속되고, 제2 펄스 출력 회로(10_2)의 제2 입력 단자(22)는 제3 배선(13)에 전기적으로 접속되며, 제2 펄스 출력 회로(10_2)의 제3 입력 단자(23)는 제4 배선(14)에 전기적으로 접속된다.

[0127] 제1 펄스 출력 회로(10_1)에서, 제1 입력 단자(21)에 제1 클럭 신호(CK1)가 입력되고; 제2 입력 단자(22)에 제2 클럭 신호(CK2)가 입력되고; 제3 입력 단자(23)에 제3 클럭 신호(CK3)가 입력되고; 제4 입력 단자(24)에 스타트 펄스 SP1이 입력되고; 제5 입력 단자(25)에 후단 신호 OUT(3)(SR)가 입력되고; 제1 출력 단자(26)로부터 제1 출력 신호 OUT(1)(SR)가 출력되고; 제2 출력 단자(27)로부터 제2 출력 신호 OUT(1)가 출력된다.

[0128] 제1 내지 제N 펄스 출력 회로(10_1 내지 10_N)에서, 3개 단자를 갖는 박막 트랜지스터 뿐만 아니라 4개 단자를 갖는 박막 트랜지스터를 이용할 수 있다. 도 9c는 4개 단자를 갖는 박막 트랜지스터(28)의 심볼을 나타내며, 이하에서 도면 등에서 이 심볼을 이용한다. 박막 트랜지스터(28)는, 제1 게이트 전극에 입력되는 제1 제어 신호(G1) 및 제2 게이트 전극에 입력되는 제2 제어 신호(G2)에 의해 IN 단자와 OUT 단자 사이의 전류를 제어할 있는 소자이다.

- [0129] 도 9c에 나타난 박막 트랜지스터(28)의 임계 전압은, 박막 트랜지스터(28)의 채널 형성 영역의 위와 아래에 게이트 전극들을 제공하고, 상위 게이트 전극과 채널 형성 영역 사이에 및 하위 게이트 전극과 채널 형성 영역 사이에 게이트 절연막을 개재시키며, 상위 게이트 전극의 전위 및/또는 하위 게이트 전극의 전위를 제어함으로써 소망 레벨이 되도록 제어될 수 있다.
- [0130] 그 다음, 도 9d를 참조하여 펄스 출력 회로의 구체적인 회로 구성의 예를 설명한다.
- [0131] 제1 펄스 출력 회로(10_1)는 제1 내지 제13 트랜지스터(31 내지 43)를 포함한다(도 9d 참조). 전술된 제1 내지 제5 입력 단자(21 내지 25), 제1 출력 단자(26), 및 제2 출력 단자(27) 외에도, 제1 고전원 전위 VDD 를 공급하는 전원선(51), 제2 고전원 전위 VCC 를 공급하는 전원선(52), 저전원 전위 VSS 를 공급하는 전원선(53)으로부터 제1 내지 제13 트랜지스터(31 내지 43)에 신호 또는 전원 전위가 공급된다. 도 9d의 전원선들의 전원 전위들간의 관계는 다음과 같다: 제1 전원 전위 VDD 는 제2 전원 전위 VCC 보다 높거나 같고, 제2 전원 전위 VCC 는 제3 전원 전위 VSS 보다 높다. 제1 내지 제4 클록 신호(CK1 내지 CK4)는 일정한 간격으로 반복적으로 H 레벨과 L 레벨이 되는 신호이다. 클록 신호가 H 레벨일 때 전위는 VDD 이고 클록 신호가 L 레벨일 때 전위는 VSS 이다. 전원선(51)의 전위 VDD 가 전원선(52)의 전위 VCC 보다 높게 설정되면, 동작에 악영향을 미치지 않고 트랜지스터의 게이트 전극에 인가되는 전위가 낮게 유지될 수 있다; 따라서, 트랜지스터의 임계 전압의 변화를 저감하고 열화를 억제할 수 있다는 점에 유의한다. 도 9d에 나타난 바와 같이, 제1 트랜지스터(31) 및 제1 내지 제13 트랜지스터(31 내지 43) 중 제6 내지 제9 트랜지스터(36 내지 39)로서, 도 9c에 나타난 4개 단자를 갖는 박막 트랜지스터(28)를 이용하는 것이 바람직하다는 점에 유의한다. 제1 트랜지스터(31) 및 제6 내지 제9 트랜지스터(36 내지 39)는, 소스 또는 드레인으로서 역할하는 한 전극이 접속된 노드의 전위를 게이트 전극의 제어 신호에 따라 전환시킬 필요가 있으며, 게이트 전극에 입력되는 제어 신호에 대한 빠른 응답(온-전류의 가파른 상승) 때문에 펄스 출력 회로의 오동작을 저감할 수 있다. 따라서, 도 9c에 나타난 4개 단자를 갖는 박막 트랜지스터(28)를 이용함으로써, 임계 전압을 제어할 수 있고, 펄스 출력 회로의 오동작을 더욱 방지할 수 있다. 도 9d에서는 제1 제어 신호(G1) 및 제2 제어 신호(G2)가 동일한 제어 신호이지만, 제1 제어 신호(G1) 및 제2 제어 신호(G2)는 상이한 제어 신호일 수도 있다는 점에 유의한다.
- [0132] 도 9d에서, 제1 트랜지스터(31)의 제1 단자는 전원선(51)에 전기적으로 접속되고, 제1 트랜지스터(31)의 제2 단자는 제9 트랜지스터(39)의 제1 단자에 전기적으로 접속되며, 제1 트랜지스터(31)의 게이트 전극들(제1 게이트 전극 및 제2 게이트 전극)은 제4 입력 단자(24)에 전기적으로 접속된다. 제2 트랜지스터(32)의 제1 단자는 전원선(53)에 전기적으로 접속되고, 제2 트랜지스터(32)의 제2 단자는 제9 트랜지스터(39)의 제1 단자에 전기적으로 접속되며, 제2 트랜지스터(32)의 게이트 전극은 제4 트랜지스터(34)의 게이트 전극에 전기적으로 접속된다. 제3 트랜지스터(33)의 제1 단자는 제1 입력 단자(21)에 전기적으로 접속되고, 제3 트랜지스터(33)의 제2 단자는 제1 출력 단자(26)에 전기적으로 접속된다. 제4 트랜지스터(34)의 제1 단자는 전원선(53)에 전기적으로 접속되고, 제4 트랜지스터(34)의 제2 단자는 제1 출력 단자(26)에 전기적으로 접속된다. 제5 트랜지스터(35)의 제1 단자는 전원선(53)에 전기적으로 접속되고, 제5 트랜지스터(35)의 제2 단자는 제2 트랜지스터(32)의 게이트 전극 및 제4 트랜지스터(34)의 게이트 전극에 전기적으로 접속되며, 제5 트랜지스터(35)의 게이트 전극은 제4 입력 단자(24)에 전기적으로 접속된다. 제6 트랜지스터(36)의 제1 단자는 전원선(52)에 전기적으로 접속되고, 제6 트랜지스터(36)의 제2 단자는 제2 트랜지스터(32)의 게이트 전극 및 제4 트랜지스터(34)의 게이트 전극에 전기적으로 접속되며, 제6 트랜지스터(36)의 게이트 전극들(제1 게이트 전극 및 제2 게이트 전극)은 제5 입력 단자(25)에 전기적으로 접속된다. 제7 트랜지스터(37)의 제1 단자는 전원선(52)에 전기적으로 접속되고, 제7 트랜지스터(37)의 제2 단자는 제8 트랜지스터(38)의 제2 단자에 전기적으로 접속되며, 제7 트랜지스터(37)의 게이트 전극들(제1 게이트 전극 및 제2 게이트 전극)은 제3 입력 단자(23)에 전기적으로 접속된다. 제8 트랜지스터(38)의 제1 단자는 제2 트랜지스터(32)의 게이트 전극 및 제4 트랜지스터(34)의 게이트 전극에 전기적으로 접속되고, 제8 트랜지스터(38)의 게이트 전극들(제1 게이트 전극 및 제2 게이트 전극)은 제2 입력 단자(22)에 전기적으로 접속된다. 제9 트랜지스터(39)의 제1 단자는 제1 트랜지스터(31)의 제2 단자 및 제2 트랜지스터(32)의 제2 단자에 전기적으로 접속되고, 제9 트랜지스터(39)의 제2 단자는 제3 트랜지스터(33)의 게이트 전극 및 제10 트랜지스터(40)의 게이트 전극에 전기적으로 접속되며, 제9 트랜지스터(39)의 게이트 전극들(제1 게이트 전극 및 제2 게이트 전극)은 전원선(52)에 전기적으로 접속된다. 제10 트랜지스터(40)의 제1 단자는 제1 입력 단자(21)에 전기적으로 접속되고, 제10 트랜지스터(40)의 제2 단자는 제2 출력 단자(27)에 전기적으로 접속되며, 제10 트랜지스터(40)의 게이트 전극은 제9 트랜지스터(39)의 제2 단자에 전기적으로 접속된다. 제11 트랜지스터(41)의 제1 단자는 전원선(53)에 전기적으로 접속되고, 제11 트랜지스터(41)의 제2 단자는 제2 출력 단자(27)에 전기적으로 접속되며, 제11 트랜지스터(41)의 게이트 전극은 제2 트랜지스터(32)의 게이트 전극 및 제4 트랜지

스터(34)의 게이트 전극에 전기적으로 접속된다. 제12 트랜지스터(42)의 제1 단자는 전원선(53)에 전기적으로 접속되고, 제12 트랜지스터(42)의 제2 단자는 제2 출력 단자(27)에 전기적으로 접속되며, 제12 트랜지스터(42)의 게이트 전극은 제7 트랜지스터(37)의 게이트 전극들(제1 게이트 전극 및 제2 게이트 전극)에 전기적으로 접속된다. 제13 트랜지스터(43)의 제1 단자는 전원선(53)에 전기적으로 접속되고, 제13 트랜지스터(43)의 제2 단자는 제1 출력 단자(26)에 전기적으로 접속되며, 제13 트랜지스터(43)의 게이트 전극은 제7 트랜지스터(37)의 게이트 전극들(제1 게이트 전극 및 제2 게이트 전극)에 전기적으로 접속된다.

[0133] 도 9d에서, 제3 트랜지스터(33)의 게이트 전극, 제10 트랜지스터(40)의 게이트 전극, 및 제9 트랜지스터(39)의 제2 단자가 서로 접속된 부분은 노드 A라 언급된다. 제2 트랜지스터(32)의 게이트 전극, 제4 트랜지스터(34)의 게이트 전극, 제5 트랜지스터(35)의 제2 단자, 제6 트랜지스터(36)의 제2 단자, 제8 트랜지스터(38)의 제1 단자, 및 제11 트랜지스터(41)의 게이트 전극이 서로 접속된 부분은 노드 B라 언급된다.

[0134] 도 10a는, 도 9d에 나타난 펄스 출력 회로가 제1 펄스 출력 회로(10_1)에 인가되는 경우 제1 입력 단자 내지 제5 입력 단자(21 내지 25)와 제1 출력 단자 및 제2 출력 단자(26 및 27)에 입력되거나 이로부터 출력되는 신호를 나타낸다.

[0135] 구체적으로, 제1 입력 단자(21)에 제1 클럭 신호(CK1)가 입력되고, 제2 입력 단자(22)에 제2 클럭 신호(CK2)가 입력되고, 제3 입력 단자(23)에 제3 클럭 신호(CK3)가 입력되고, 제4 입력 단자(24)에 스타트 펄스가 입력되고, 제5 입력 단자(25)에 후단 신호 OUT(3)가 입력되고, 제1 출력 단자(26)로부터 제1 출력 신호 OUT(1)(SR)가 출력되고, 제2 출력 단자(27)로부터 제2 출력 신호 OUT(1)가 출력된다.

[0136] 박막 트랜지스터는 적어도 3개의 단자, 즉, 게이트, 드레인, 및 소스를 갖는 소자임에 유의한다. 박막 트랜지스터는, 게이트와 중첩하는 영역에 채널 영역이 형성되고, 이 채널 영역을 통해 드레인과 소스 사이에 흐르는 전류가 게이트의 전위를 제어함으로써 제어될 수 있는 반도체를 갖는다. 여기서, 박막 트랜지스터의 소스 및 드레인은 박막 트랜지스터의 구조, 동작 조건 등에 따라 서로 교환될 수 있기 때문에, 어느 것이 소스인지 또는 드레인인지를 정의하는 것은 어렵다. 따라서, 일부 경우에는, 소스 또는 드레인으로서 기능하는 영역은, 소스 또는 드레인이라고 불리지 않는다. 이러한 경우, 예를 들어, 소스 및 드레인 중 하나는 제1 단자라 불리고 다른 하나는 제2 단자라 불릴 수 있다.

[0137] 도 9d 및 도 10a에서 노드 A를 플로팅 상태로 만듦으로써 부트스트랩 동작을 실시하기 위한 용량 소자가 추가로 제공될 수도 있다는 점에 유의한다. 노드 B의 전위를 유지하기 위하여 한 전극이 노드 B에 전기적으로 접속되어 있는 용량 소자가 추가로 제공될 수도 있다.

[0138] 도 10b는 도 10a에 나타난 복수의 펄스 출력 회로를 포함하는 시프트 레지스터의 타이밍도이다. 시프트 레지스터가 주사선 구동 회로에 포함되는 경우, 도 10b의 기간(61)은 수직 귀선 시간(vertical retrace period)에 대응하고, 기간(62)는 게이트 선택 기간에 대응한다는 점에 유의한다.

[0139] 도 10a에 나타난 바와 같이, 제2 전원 전위 VCC 가 인가되는 게이트를 갖는 제9 트랜지스터(39)가 제공되면, 부트스트랩 동작의 전후에 다음과 같은 이점이 있다는 점에 유의한다.

[0140] 제2 전원 전위 VCC 가 인가되는 게이트 전극을 갖는 제9 트랜지스터(39)가 제공되지 않는 경우, 부트스트랩 동작으로 인해 노드 A의 전위가 상승하면, 제1 트랜지스터(31)의 제2 단자인 소스의 전위가 제1 전원 전위 VDD 보다 높은 값으로 상승한다. 그 다음, 제1 트랜지스터(31)의 제1 단자, 즉, 전원선(51) 측의 단자가 소스로서 역할하게 된다. 따라서, 제1 트랜지스터(31)에서, 게이트와 소스 사이 및 게이트와 드레인 사이에 큰 바이어스 전압이 인가되어 큰 스트레스가 인가되므로, 이것은 트랜지스터의 열화를 야기할 수 있다. 제2 전원 전위 VCC 가 공급되는 게이트 전극을 갖는 제9 트랜지스터(39)가 제공함으로써, 부트스트랩 동작에 의해 노드 A의 전위가 상승하지만, 동시에, 제1 트랜지스터(31)의 제2 단자의 전위 상승을 방지할 수 있다. 즉, 제9 트랜지스터(39)를 제공함으로써, 제1 트랜지스터(31)의 게이트와 소스 사이에 인가되는 음의 바이어스 전압이 저감될 수 있다. 따라서, 본 실시예의 회로 구조에서, 제1 트랜지스터(31)의 게이트와 소스 사이에 인가되는 음의 바이어스 전압을 저감시킬 수 있어서, 스트레스에 기인한 제1 트랜지스터(31)의 열화를 더욱 억제할 수 있다.

[0141] 제9 트랜지스터(39)가 제1 단자와 제2 단자를 통해 제1 트랜지스터(31)의 제2 단자와 제3 트랜지스터(33)의 게이트 사이에 접속되도록 제공될 수도 있다는 점에 유의한다. 또한, 본 실시예에서 복수의 펄스 출력 회로를 포함하는 시프트 레지스터가 주사선 구동 회로보다 많은 수의 단을 갖는 신호선 구동 회로에 포함되는 경우, 제9 트랜지스터(39)를 생략할 수 있고, 이것은 트랜지스터 개수를 줄일 수 있다는 점에서 유의하다.

[0142] 제1 내지 제13 트랜지스터(31 내지 43)에 대한 반도체층으로서 산화물 반도체를 이용할 때, 박막 트랜지스터의

오프 전류를 저감할 수 있고, 온 전류 및 전계 효과 이동도를 증가시킬 수 있으며, 열화의 정도를 저감할 수가 있어서, 회로의 오동작을 줄일 수 있다는 점에 유의한다. 또한, 게이트 전극에 고전위를 인가함으로써 야기되는 산화물 반도체를 이용하는 트랜지스터의 열화의 정도는, 아몰퍼스 실리콘을 이용한 트랜지스터에 비해 작다. 따라서, 제2 전원 전위 V_{CC} 가 공급되는 전원선에 제1 전원 전위 V_{DD} 를 공급하더라도, 유사한 동작이 실시될 수 있고, 회로에 제공되는 전원선의 수를 저감할 수 있어서, 회로의 크기를 소형화할 수 있다.

[0143] 제3 입력 단자(23)를 통해 제7 트랜지스터(37)의 게이트 전극(제1 게이트 전극 및 제2 게이트 전극)에 공급되는 클록 신호, 및 제2 입력 단자(22)를 통해 제8 트랜지스터(38)의 게이트 전극(제1 게이트 전극 및 제2 게이트 전극)에 공급되는 클록 신호는, 제2 입력 단자(22)를 통해 제7 트랜지스터(37)의 게이트 전극(제1 게이트 전극 및 제2 게이트 전극)에 공급되는 클록 신호, 및 제3 입력 단자(23)를 통해 제8 트랜지스터(38)의 게이트 전극(제1 게이트 전극 및 제2 게이트 전극)에 공급되는 클록 신호가 되도록 배선 접속이 변경되더라도, 마찬가지로의 효과를 얻을 수 있다는 점에 유의한다. 도 10a에 나타난 시프트 레지스터에서, 제7 트랜지스터(37) 및 제8 트랜지스터(38) 양자 모두가 온으로 된 후, 제7 트랜지스터(37)가 오프이고 제8 트랜지스터(38)이 여전히 온인 다음, 제7 트랜지스터(37)가 여전히 오프이고 제8 트랜지스터(38)가 오프임에 유의한다. 따라서, 제2 입력 단자(22) 및 제3 입력 단자(23)의 전위 감소에 의해 야기되는 노드 B의 전위 감소는, 제7 트랜지스터(37)의 게이트 전극의 전위 감소 및 제8 트랜지스터(38)의 게이트 전극의 전위 감소 때문에 두 번 발생한다. 반면, 도 10a에 나타난 시프트 레지스터에서, 제7 트랜지스터(37) 및 제8 트랜지스터(38) 양쪽 모두가 온인 다음, 제7 트랜지스터(37)가 온이고 제8 트랜지스터(38)가 오프인 다음, 제7 트랜지스터(37)와 제8 트랜지스터(38)가 오프이도록 제7 트랜지스터(37) 및 제8 트랜지스터(38)의 상태가 변할 때, 제2 입력 단자(22) 및 제3 입력 단자(23)의 전위 감소로 인한 노드 B의 전위 감소는 제8 트랜지스터(38)의 게이트 전극의 전위 감소에 의해 1회 발생한다. 결과적으로, 노드 B의 전위 변동을 저감하여 노이즈를 저감시키기 위하여 클록 신호(CK3)를 제3 입력 단자(23)로부터 제7 트랜지스터(37)의 게이트 전극들(제1 게이트 전극 및 제2 게이트 전극)에 공급하고 클록 신호(CK2)를 제2 입력 단자(22)로부터 제8 트랜지스터(38)의 게이트 전극들(제1 게이트 전극 및 제2 게이트 전극)에 공급하는 것이 바람직하다.

[0144] 이런 방식으로, 제1 출력 단자(26) 및 제2 출력 단자(27)의 전위를 L 레벨에 유지하는 기간에, 노드 B에 정기적으로 H 레벨의 신호를 공급한다; 따라서, 펄스 출력 회로의 오동작을 억제할 수 있다.

[0145] 실시예 1에서 설명된 박막 트랜지스터의 제조 방법을 이용하여 상기 구동 회로에 포함되는 박막 트랜지스터를 제조함으로써, 구동 회로부에 포함되는 박막 트랜지스터의 고속 동작이 달성되어, 전력 소비를 줄일 수 있다.

[0146] 본 실시예는 다른 실시예에서 설명한 구조와 적절하게 조합하여 구현될 수 있다.

[0147] [실시예 3]

[0148] 본 실시예에서는, 박막 트랜지스터를 제조하고 그 박막 트랜지스터를 화소부 및 구동 회로에 이용하는 표시 기능을 갖는 반도체 장치(표시 장치라고도 함)를 제조하는 경우를 설명한다. 또한, 박막 트랜지스터를 이용하여 화소부와 동일한 기판 위에 구동 회로의 일부 또는 전체를 형성함으로써, 시스템-온-패널(system-on-panel)을 얻을 수 있다.

[0149] 표시 장치는 표시 소자를 포함한다. 표시 소자로서, 액정 소자(액정 표시 소자라고도 함) 또는 발광 소자(발광 표시 소자라고도 함)를 이용할 수 있다. 발광 소자는, 그 범주에, 전류 또는 전압에 의해 휘도가 제어되는 소자를 포함하며, 구체적으로는, 그 범주에, 무기 전계발광(EL) 소자, 유기 EL 소자 등을 포함한다. 또한, 전자 잉크 등의, 전기적 효과에 의해 콘트라스트가 변하는 표시 매체도 이용할 수 있다.

[0150] 또한, 표시 장치는, 표시 소자가 밀봉되어 있는 패널과, 이 패널 위에 컨트롤러를 포함한 IC 등을 탑재한 모듈을 포함한다. 표시 장치는 표시 장치의 제조 과정에서 표시 소자가 완성되기 이전의 소자 기관의 구현예에 관한 것이며, 이 소자 기관에는 복수의 화소들 각각의 표시 소자에 전류를 공급하기 위한 수단이 제공된다. 구체적으로는, 소자 기관은 표시 소자의 화소 전극만이 제공된 상태일 수도 있고, 화소 전극이 되는 도전막을 형성한 이후로서 도전막을 에칭하여 화소 전극을 형성하기 이전의 상태일 수도 있고, 또는 기타의 상태일 수도 있다.

[0151] 본 명세서에서 표시 장치란, 화상 표시 장치, 표시 장치, 또는 광원(조명 장치 포함)을 의미한다는 점에 유의한다. 또한, 표시 장치는 그 범주 내에 다음과 같은 모듈들을 포함한다: FPC(flexible printed circuit) 또는 TAB(tape automated bonding) 테이프 또는 TCP(tape carrier package) 등의 커넥터를 포함하는 모듈; TAB 테이프나 TCP의 끝에 인쇄 배선판이 제공된 모듈; 및 COG(chip on glass) 방법에 의해 집적 회로(IC)가 표시 소자에

직접 탑재된 모듈.

- [0152] 본 실시예에서는, 본 발명의 실시예인 반도체 장치로서 액정 표시 장치의 예를 설명한다. 우선, 도 11의 (a1), 도 11의 (a2), 및 도 11의 (b)를 참조하여 반도체 장치의 구현예인 액정 표시 패널의 외관 및 단면을 설명한다. 도 11의 (a1) 및 도 11의 (a2)는 각각, In-Ga-Zn-O계 비단결정막의 반도체층을 각각 포함하는 신뢰성이 높은 박막 트랜지스터(4010 및 4011)와, 제1 기판(4001) 위에 형성된 액정 소자(4013)가 밀봉재(4505)를 이용하여 제1 기판(4001)과 제2 기판(4006) 사이에 밀봉되어 있는 패널의 상부면도이다. 도 11의 (b)는 라인 M-N을 따른 도 11의 (a1) 및 도 11의 (a2)의 단면도에 대응한다.
- [0153] 제1 기판(4001) 위에 제공된 화소부(4002)와 주사선 구동 회로(4004)를 둘러싸도록 밀봉재(4005)가 제공된다. 화소부(4002)와 주사선 구동 회로(4004) 위에 제2 기판(4006)이 제공된다. 따라서, 화소부(4002)와 주사선 구동 회로(4004)는, 제1 기판(4001)과 밀봉재(4005)와 제2 기판(4006)에 의해, 액정층(4008)과 함께 밀봉된다. 별도 준비된 기판 위에 단결정 반도체막 또는 다결정 반도체막을 이용하여 형성된 신호선 구동 회로(4003)가, 제1 기판(4001) 위의 밀봉재(4005)에 의해 둘러싸여진 영역과는 상이한 영역에 탑재된다.
- [0154] 별도 형성된 구동 회로의 접속 방법은 특별히 제한되는 것은 아니고, COG 방법, 와이어 본딩 방법, TAB 방법 등을 이용할 수 있다는 점에 유의한다. 도 11의 (a1)은, COG 방법에 의해 신호선 구동 회로(4003)를 탑재하는 예를 나타내며, 도 11의 (a2)는, TAB 방법에 의해 신호선 구동 회로(4003)를 탑재하는 예를 나타낸다.
- [0155] 또한, 제1 기판(4001) 위에 제공된 화소부(4002)와 주사선 구동 회로(4004) 각각은 복수의 박막 트랜지스터를 포함한다. 도 11의 (b)는, 화소부(4002)에 포함되는 박막 트랜지스터(4010)와, 주사선 구동 회로(4004)에 포함되는 박막 트랜지스터(4011)를 나타낸다. 박막 트랜지스터(4010 및 4011) 위에는, 절연층(4020 및 4021)이 제공된다.
- [0156] 실시예 1에서 설명된 산화물 반도체층을 포함하는 신뢰성이 높은 박막 트랜지스터가, 박막 트랜지스터(4010 및 4011) 각각으로서 사용될 수 있다. 본 실시예에서, 박막 트랜지스터(4010 및 4011)는 n채널 박막 트랜지스터이다.
- [0157] 도전층(4040)이 절연층(4021)의 일부 위에 제공되며, 이 도전층은 구동 회로용의 박막 트랜지스터(4011)의 산화물 반도체층의 채널 형성 영역과 중첩한다. 산화물 반도체층의 채널 형성 영역과 중첩하는 위치에 도전층(4040)이 제공됨으로써, BT 시험 전후의 박막 트랜지스터(4011)의 임계 전압의 변화량을 저감할 수 있다. 도전층(4040)의 전위는 박막 트랜지스터(4011)의 게이트 전극층의 전위와 동일하거나 상이할 수 있다. 도전층(4040)은 제2 게이트 전극층으로서도 기능할 수 있다. 또한, 도전층(4040)의 전위는 GND 또는 0 V이거나, 도전층(4040)은 플로팅 상태일 수도 있다.
- [0158] 액정 소자(4013)에 포함된 화소 전극층(4030)은 박막 트랜지스터(4010)에 전기적으로 접속된다. 액정 소자(4013)의 대향 전극층(4031)은 제2 기판(4006) 위에 제공된다. 화소 전극층(4030), 대향 전극층(4031), 및 액정층(4008)이 서로 중첩하고 있는 부분이 액정 소자(4013)에 대응한다. 화소 전극층(4030) 및 대향 전극층(4031)에는 배향막으로서 각각 기능하는 절연층(4032) 및 절연층(4033)이 각각 제공되고, 액정층(4008)은 화소 전극층(4030)과 대향 전극층(4031) 사이에 끼워져 있고, 이들 사이에는 절연층(4032 및 4033)이 개재되어 있다는 점에 유의한다.
- [0159] 제1 기판(4001) 및 제2 기판(4006)은, 유리, 금속(대표적으로는, 스텐레스강), 세라믹, 또는 플라스틱으로 형성될 수 있다는 점에 유의한다. 플라스틱으로서, FRP(fiberglass-reinforced plastics) 판, 폴리비닐 플루라이드(PVF; polyvinyl fluoride) 필름, 폴리에스테르 필름, 또는 아크릴 수지 필름을 이용할 수 있다. 또한, PVF 필름들이나 폴리에스테르 필름들 사이에 알루미늄 호일을 끼워 둔 구조의 시트(sheet)를 이용할 수 있다.
- [0160] 스페이서(4035)는 절연막을 선택적으로 에칭하여 얻어지는 기둥 모양의 스페이서(columnar spacer)이며, 화소 전극층(4030)과 대향 전극층(4031) 사이의 거리(셀 갭)를 제어하기 위해 제공된다. 대안으로서, 구형 스페이서(spherical spacer)를 이용할 수도 있다. 또한, 대향 전극층(4031)은 박막 트랜지스터(4010)와 동일한 기판 위에 형성된 공통 전위선에 전기적으로 접속된다. 공통 접속부를 이용하여, 한 쌍의 기판 사이에 배치된 도전성 입자에 의해 대향 전극층(4031)과 공통 전위선이 서로 전기적으로 접속될 수 있다. 도전성 입자는 밀봉재(4005)에 포함된다는 점에 유의한다.
- [0161] 또한, 배향막이 필요하지 않은 블루상(blue phase)을 나타내는 액정을 이용할 수도 있다. 블루상은 액정상들 중 하나로서, 콜레스테릭 액정의 온도를 상승시키는 동안 콜레스테릭상(cholesteric phase)이 등방상(isotropic phase)으로 변화되기 직전에 생성되는 상이다. 블루상은 좁은 온도 범위에서만 생성되기 때문에, 온도 범위를

넓히기 위하여 액정층(4008)에 대해 5 중량% 이상의 카이럴제(chiral agent)를 포함하는 액정 조성물을 이용한다. 블루상을 나타내는 액정과 카이럴제를 포함하는 액정 조성물은 1 msec 이하의 짧은 응답 시간을 가지며, 광학적 등방성을 갖기 때문에, 배향 처리가 불필요하고, 시야각 의존성이 작다.

[0162] 본 실시예에서 설명된 액정 표시 장치는 투과형 액정 표시 장치의 예이다; 그러나, 이 액정 표시 장치는 반사형 액정 표시 장치 또는 반투과형 액정 표시 장치에도 적용될 수 있다는 점에 유의한다.

[0163] 기관의 외측면(관찰자 측) 위에 편광판을 제공하고 기관의 내측면 위에 착색층 및 표시 소자에 이용되는 전극층을 이 순서로 제공한 본 실시예에서 설명되는 액정 표시 장치의 예가 도시되어 있다; 그러나, 편광판은 기관의 내측면 위에 제공될 수도 있다. 편광판과 착색층의 적층 구조는 본 실시예로 한정되지 않고, 편광판 및 착색층의 재료 또는 제조 공정의 조건에 따라 적절하게 설정될 수도 있다. 또한, 필요하다면 블랙 매트릭스(black matrix)로서 역할하는 차광막을 제공할 수도 있다.

[0164] 또한, 본 실시예에서, 박막 트랜지스터의 표면 요철을 저감하기 위하여 및 박막 트랜지스터의 신뢰성을 향상시키기 위하여, 박막 트랜지스터를, 각각이 보호막이나 평탄화 절연막으로서 역할하는 절연층(절연층(4020) 및 절연층(4021))으로 덮는다. 보호막은 대기에 포함된 유기물, 금속, 또는 수증기 등의 오염 불순물의 혼입을 방지하기 위해 제공되며, 바람직하게는 치밀한 막이라는 점에 유의한다. 보호막은, 스퍼터링법에 의해, 산화 실리콘막, 질화 실리콘막, 산화 질화 실리콘막, 질화 산화 실리콘막, 산화 알루미늄막, 질화 알루미늄막, 산화 질화 알루미늄막, 및 질화 산화 알루미늄막 중 하나 이상을 이용하여 단층 또는 적층으로 형성될 수도 있다. 본 실시예에서는 스퍼터링법에 의해 보호막이 형성되는 예를 설명하지만, 본 발명은 이 방법으로 한정되지 않고 다양한 방법을 이용할 수 있다.

[0165] 본 실시예에서는, 적층 구조를 갖는 절연층(4020)이 보호막으로서 형성된다. 여기서, 절연층(4020)의 제1 층으로서 산화 실리콘막이 스퍼터링법에 의해 형성된다. 보호막으로서 산화 실리콘막을 이용하는 것은, 소스 및 드레인 전극층으로서 이용되는 알루미늄막의 힐록(hillock)을 방지하는 효과를 갖는다.

[0166] 보호막의 제2 층으로서, 절연층이 형성된다. 여기서, 절연층(4020)의 제2 층으로서, 질화 실리콘막이 스퍼터링법에 의해 형성된다. 보호막으로서 질화 실리콘막을 이용하는 것은 나트륨 이온 등이 반도체 영역에 들어가는 것을 방지하여, TFT의 전기 특성의 격차가 억제될 수 있다.

[0167] 보호막이 형성된 후에, 반도체층이 어닐링(300℃ 내지 400℃)될 수 있다.

[0168] 평탄화 절연막으로서 절연층(4021)이 형성된다. 절연층(4021)으로서, 폴리이미드(polyimide), 아크릴(acrylic), 벤조시크로부텐(benzocyclobutene), 폴리아미드(polyamide), 또는 에폭시(epoxy) 등의, 내열성을 갖는 유기 재료를 이용할 수 있다. 이러한 유기 재료 외에도, 저유전율 재료(low-k 재료), 실록산계 수지(siloxane-based resin), PSG(PhosphoSilicate Glass), BPSG(BoroPhosphoSilicate Glass) 등을 이용하는 것도 가능하다. 이러한 재료로 형성된 복수의 절연막을 적층함으로써 절연층(4021)을 형성할 수도 있다는 점에 유의한다.

[0169] 실록산계 수지는 출발 재료(starting material)로서 실록산계 재료를 이용하여 형성된 Si-O-Si 결합을 포함하는 수지에 대응한다는 점에 유의한다. 실록산계 수지는 치환기로서 유기기(예를 들어, 알킬기나 아릴기)나 플루오르기를 포함할 수도 있다. 또한, 유기기는 플루오르기를 포함할 수도 있다.

[0170] 절연층(4021)의 형성 방법에는 특별한 제한이 없다. 절연층(4021)은, 그 재료에 따라, 스퍼터링법, SOG법, 스핀 코팅법(spin coating method), 딥 방법(dipping method), 스프레이 도포법, 액적 사출법(예를 들어, 잉크젯법, 스크린 인쇄, 또는 오프셋 인쇄) 등의 방법이나, 닥터 나이프(doctor knife), 롤 코터(roll coater), 커튼 코터(curtain coater), 나이프 코터(knife coater) 등의 툴을 이용하여 형성될 수 있다. 재료액을 이용해 절연층(4021)을 형성하는 경우, 소성(baking) 단계와 동시에 반도체층의 어닐링(300℃ 내지 400℃)을 실시할 수도 있다. 절연층(4021)의 소성 단계가 반도체층의 어닐링으로서도 역할함으로써, 반도체 장치를 효율적으로 제조할 수 있다.

[0171] 화소 전극층(4030) 및 대향 전극층(4031)은, 산화 텅스텐을 포함한 인듐 산화물, 산화 텅스텐을 포함한 인듐 아연 산화물, 산화 티타늄을 포함한 인듐 산화물, 산화 티타늄을 포함한 인듐 주석 산화물, 인듐 주석 산화물(이하, ITO라 언급함), 인듐 아연 산화물, 산화 실리콘을 첨가한 인듐 주석 산화물 등의 투광성 도전 재료를 이용하여 형성될 수 있다.

[0172] 화소 전극층(4030) 및 대향 전극층(4031)에 대하여, 도전성 고분자(도전성 폴리머라고도 함)를 포함한 도전성

조성물을 이용할 수 있다. 도전성 조성물을 이용하여 형성된 화소 전극은 바람직하게는 10000 Ω / square 이하의 시트 저항(sheet resistance)과 파장 550 nm에서 70% 이상의 투광율을 갖는다. 또한, 도전성 조성물에 포함된 도전성 고분자의 저항율은 바람직하게 0.1 $\Omega \cdot \text{cm}$ 이하이다.

- [0173] 도전성 고분자로서, 이른바 π -전자 켈레(π -electron conjugated) 도전성 고분자를 이용할 수 있다. 예를 들어, 폴리아닐린 또는 그 유도체, 폴리피롤 또는 그 유도체, 폴리티오펜 또는 그 유도체, 이들의 2중 이상의 공중합체 등을 들 수 있다.
- [0174] 또한, FPC(4018)로부터 다양한 신호 및 전위가, 별도 형성된 신호선 구동 회로(4003), 주사선 구동 회로(4004), 또는 화소부(4002)에 공급된다.
- [0175] 본 실시예에서, 접속 단자 전극(4015)은 액정 소자(4013)에 포함된 화소 전극층(4030)과 동일한 도전막으로부터 형성되고, 단자 전극(4016)은 박막 트랜지스터(4010 및 4011)의 소스 및 드레인 전극층과 동일한 도전막으로부터 형성된다.
- [0176] 접속 단자 전극(4015)은 이방성 도전막(4019)을 통해 FPC(4018)에 포함된 단자에 전기적으로 접속된다.
- [0177] 도 11의 (a1), 도 11의 (a2), 및 도 11의 (b)는, 신호선 구동 회로(4003)가 별도로 형성되어 제1 기판(4001) 위에 탑재된 예를 나타낸다; 그러나, 본 발명은 이 구조로 한정되는 것은 아니다. 주사선 구동 회로가 별도로 형성된 다음 탑재되거나, 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부만이 별도로 형성된 다음 탑재될 수도 있다.
- [0178] 도 12는 반도체 장치의 실시예에 대응하는 액정 표시 모듈이 TFT 기판(2600)을 이용하여 형성되는 예를 나타낸다.
- [0179] 도 12는, TFT 기판(2600)과 대향 기판(2601)이 밀봉재(2602)에 의해 서로 접합되고, 이들 기판들 사이에 TFT 등을 포함한 화소부(2603), 액정층을 포함한 표시 소자(2604), 착색층(2605)이 제공되어 표시 영역을 형성하는, 액정 표시 모듈의 예를 나타낸다. 착색층(2605)은 컬러 표시를 실시하는데 필요하다. RGB 시스템에서, 적, 녹, 청의 색상에 대응하는 각 착색층이 각 화소에 대해 제공된다. TFT 기판(2600)과 대향 기판(2601)의 외측에는 편광판(2606 및 2607) 및 확산판(2613)이 제공된다. 광원은 냉음극관(cold cathode tube, 2610)과 반사판(2611)을 포함하고, 회로 기판(2612)은 가요성 배선 기판(2609)에 의해 TFT 기판(2600)의 배선 회로부(2608)에 접속되며, 제어 회로나 전원 회로 등의 외부 회로를 포함한다. 편광판과 액정층이 그들 사이에 위상차판(retardation plate)을 가진 상태로 적층될 수도 있다.
- [0180] 액정 표시 모듈은, TN(Twisted Nematic) 모드, IPS(In-Plane-Switching) 모드, FFS(Fringe Field Switching) 모드, MVA(Multi-domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment) 모드, ASM(Axially Symmetric aligned Micro-cell) 모드, OCB(Optical Compensated Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(Anti Ferroelectric Liquid Crystal) 모드 등을 이용할 수 있다.
- [0181] 이 공정을 통해, 반도체 장치로서 신뢰성이 높은 액정 표시 장치를 제조할 수 있다.
- [0182] 실시예 1에서 설명된 박막 트랜지스터를 이용하여 액정 표시 장치의 화소부의 박막 트랜지스터를 제조함으로써, 화소의 박막 트랜지스터의 임계 전압의 변화에 기인한 표시 불균형을 억제할 수 있다.
- [0183] 실시예 1에서 설명된 박막 트랜지스터의 제조 방법을 이용하여 액정 표시 장치의 구동 회로의 박막 트랜지스터를 제조함으로써, 구동 회로부의 박막 트랜지스터의 고속 동작이 달성되어, 전력 소비를 저감할 수 있다.
- [0184] 본 실시예는 다른 실시예에서 설명한 구조와 적절하게 조합하여 구현될 수 있다.
- [0185] [실시예 4]
- [0186] 반도체 장치의 실시예로서 전자 페이퍼의 예를 설명한다.
- [0187] 스위칭 소자에 전기적으로 접속된 소자에 의해 전자 잉크가 구동되는 전자 페이퍼에 대해, 실시예 1에서 설명된 박막 트랜지스터를 이용할 수 있다. 전자 페이퍼는, 전기영동(electrophoretic) 표시 장치(전기영동 디스플레이)라고도 불리며, 통상의 종이와 동일한 수준의 가독성과 다른 표시 장치들에 비해 낮은 소비 전력을 가지며, 얇고 가벼운 형태로 마련할 수 있다는 점에서 유익하다.
- [0188] 전기영동 디스플레이는 다양한 형태를 가질 수 있다. 전기영동 디스플레이는, 용매 또는 용질에 분산된 복수의 마이크로캡슐을 포함하고, 각각의 마이크로캡슐은 양으로 대전된 제1 입자와 음으로 대전된 제2 입자를 포함한

다. 마이크로캡슐에 전계를 인가함으로써, 마이크로캡슐 내의 입자들이 서로 반대 방향으로 이동하고, 한 측에 집합한 입자들의 색상만이 표시된다. 제1 입자 또는 제2 입자 각각이 색소(pigment)를 포함하고, 전계가 없다면 이동하지 않는다는 점에 유의한다. 게다가, 제1 입자와 제2 입자는 상이한 색상(색상이 없을 수도 있음)을 갖는다.

[0189] 따라서, 전기영동 디스플레이는, 높은 유전율을 갖는 물질이 높은 전계 영역쪽으로 이동하는 소위 유전체전기영동 효과(dielectrophoretic effect)를 이용하는 디스플레이이다.

[0190] 상기 마이크로캡슐을 용매에 분산시킨 용액을 전자 잉크라 부른다. 이 전자 잉크는, 유리, 플라스틱, 옷감, 종이 등의 표면에 인쇄될 수 있다. 또한, 컬러 필터나 색소를 갖는 입자를 이용함으로써, 컬러 표시가 달성될 수 있다.

[0191] 또한, 2개의 전극의 사이에 끼워지도록 액티브 매트릭스 기판 위에서 복수의 상기 마이크로캡슐을 적절하게 배치하면, 액티브 매트릭스 표시 장치가 완성될 수 있고, 마이크로캡슐에 전계를 인가하여 표시를 실시할 수 있다. 예를 들어, 실시예 1에서 설명된 박막 트랜지스터를 이용하여 얻어진 액티브 매트릭스 기판을 이용할 수 있다.

[0192] 마이크로캡슐 내의 제1 입자 및 제2 입자는 각각, 도전성 재료, 절연 재료, 반도체 재료, 자성 재료, 액정 재료, 강유전성 재료, 전자발광 재료, 전기변색 재료(electroluminescent material), 자기영동 재료(electrochromic material)로부터 선택된 하나의 재료, 또는 이들 중 임의 재료의 복합 재료로 형성될 수도 있다는 점에 유의한다.

[0193] 도 13은 반도체 장치의 예로서의 액티브 매트릭스 전자 페이퍼를 나타낸다. 반도체 장치에 이용되는 박막 트랜지스터(581)는, 산화물 반도체층을 포함한 신뢰성이 높은 박막 트랜지스터인 실시예1에서 설명된 박막 트랜지스터와 유사한 방식으로 형성될 수 있다.

[0194] 도 13의 전자 페이퍼는 트위스트 볼 표시 시스템(twisting ball display system)을 이용한 표시 장치의 예이다. 트위스트 볼 표시 시스템이란, 표시 소자에 이용되는 전극층들인 제1 전극층과 제2 전극층 사이에 흰색과 흑색으로 각각 착색된 구형 입자들을 배치하고, 제1 전극층과 제2 전극층 사이에 전위차를 생성하여 구형 입자의 배향을 제어하여, 표시를 실시하는 방법을 말한다.

[0195] 기판(580) 위에 형성된 박막 트랜지스터(581)는 바텀 게이트 박막 트랜지스터이며, 반도체층과 접하는 절연막(583)으로 덮여 있다. 박막 트랜지스터(581)의 소스 또는 드레인 전극층은 절연층(583 및 585)에 형성된 개구(opening)를 통해 제1 전극층(587)에 접촉하며 전기적으로 접속된다. 구형 입자(589)는 기판(596) 위에 형성된 제1 전극층(587)과 제2 전극층(588) 사이에 제공된다. 각 구형 입자(589)는, 흑색 영역(590a), 백색 영역(590b), 및 이들 영역(590a, 590b) 주위의 액체로 채워진 공동(cavity)(594)을 포함한다. 구형 입자(589)의 주위는 수지 등의 충전재(filler, 595)로 채워진다(도 13 참조). 제1 전극층(587)은 화소 전극에 대응하고, 제2 전극층(588)은 공통 전극에 대응한다. 제2 전극층(588)은, 박막 트랜지스터(581)와 동일한 기판 위에 제공된 공통 전위선에 전기적으로 접속된다. 공통 접속부를 이용하여, 제2 전극층(588)은 한 쌍의 기판 사이에 제공된 도전성 입자들을 통해 공통 전위선에 전기적으로 접속될 수 있다.

[0196] 또한, 트위스트 볼 대신에, 전기영동 소자를 이용할 수 있다. 투명한 액체와, 양으로 대전된 흰색 미립자와, 음으로 대전된 검정색 미립자를 밀봉한 약 10 μm 내지 200 μm 의 직경을 갖는 마이크로캡슐을 이용한다. 제1 전극층과 제2 전극층 사이에 제공되는 마이크로캡슐에서, 제1 전극층과 제2 전극층에 의해 전계가 인가될 때, 흰색 미립자와 검정색 미립자가 반대 방향으로 이동해, 흰색 또는 검정색이 표시될 수 있다. 이 원리를 이용한 표시 소자가 전기영동 표시 소자이며, 일반적으로 전자 페이퍼라고 불린다. 전기영동 표시 소자는 액정 표시 소자에 비해 높은 반사율을 갖기 때문에, 보조 광이 불필요하고, 전력 소비가 낮으며, 어슴푸레한 장소에서도 표시부를 인식할 수 있다. 또한, 표시부에 전력이 공급되지 않는 때에도, 한 번 표시된 상(image)이 유지될 수 있다. 따라서, 표시 기능을 갖는 반도체 장치(간단히, 표시 장치 또는 표시 장치를 구비한 반도체 장치라고도 함)가 전과 발신원으로부터 멀리 있더라도, 표시된 상이 유지될 수 있다.

[0197] 상기 공정을 통해, 반도체 장치로서 신뢰성이 높은 전자 페이퍼를 제조할 수 있다.

[0198] 본 실시예는 다른 실시예에서 설명한 구조와 적절하게 조합하여 구현될 수 있다.

[0199] [실시예 5]

[0200] 반도체 장치로서 발광 표시 장치의 예를 설명한다. 표시 장치에 포함된 표시 소자로서, 여기서는 전계발광

(electroluminescence)을 이용하는 발광 소자를 설명한다. 전계발광을 이용하는 발광 소자는 발광 재료가 유기 화합물인지 또는 무기 화합물인지에 따라 분류된다. 일반적으로, 전자는 유기 EL 소자라 불리고, 후자는 무기 EL 소자라 불린다.

- [0201] 유기 EL 소자에서, 발광 소자에 전압을 인가함으로써, 한 쌍의 전극으로부터 발광 유기 화합물을 포함하는 층 내로 전자 및 정공이 별도로 주입되고, 전류가 흐른다. 캐리어들(전자 및 정공)이 재결합하고, 그에 따라, 발광 유기 화합물이 여기된다. 발광 유기 화합물이 여기 상태(excited state)로부터 기저 상태(ground state)로 돌아옴으로써, 발광한다. 이러한 메커니즘 덕분에, 이 발광 소자는 전류 여기형 발광 소자라 불린다.
- [0202] 무기 EL 소자는, 그 소자 구조에 따라 분산형 무기 EL 소자와 박막형 무기 EL 소자로 분류된다. 분산형 무기 EL 소자는 발광 재료의 입자들을 바인더(binder) 내에 분산시킨 발광층을 가지며, 그 발광 메커니즘은 도너 준위와 억셉터-준위를 이용하는 도너-억셉터 재결합형 발광이다. 박막형 무기 EL 소자는, 유전체층들 사이에 발광층을 끼우고 이것을 전극들 사이에 더 끼운 구조를 가지며, 그 발광 메커니즘은 금속 이온들의 내측-셸 전자 천이(inner-shell electron transition)를 이용하는 국부형 발광이다. 여기서는 발광 소자로서 유기 EL 소자의 예를 설명한다는 점에 유의한다.
- [0203] 도 14는, 반도체 장치의 예로서, 디지털 시간 계조 구동(digital time grayscale driving)을 적용할 수 있는 화소 구조의 예를 나타낸다.
- [0204] 디지털 시간 계조 구동이 적용될 수 있는 화소의 구조 및 동작을 설명한다. 여기서는, 하나의 화소가 2개의 n 채널 트랜지스터를 포함하고, 각 트랜지스터는 채널 형성 영역으로서 산화물 반도체층을 포함한다.
- [0205] 화소(6400)는, 스위칭용 트랜지스터(6401), 발광 소자 구동용 트랜지스터(6402), 발광 소자(6404), 및 용량 소자(6403)를 포함한다. 스위칭용 트랜지스터(6401)의 게이트는 주사선(6406)에 접속되고, 스위칭용 트랜지스터(6401)의 제1 전극(소스 전극 및 드레인 전극 중 하나)은 신호선(6405)에 접속되며, 스위칭용 트랜지스터(6401)의 제2 전극(소스 전극 및 드레인 전극 중 다른 하나)은 발광 소자 구동용 트랜지스터(6402)의 게이트에 접속된다. 발광 소자 구동용 트랜지스터(6402)의 게이트는 용량 소자(6403)를 통해 전원선(6407)에 접속되고, 트랜지스터(6402)의 제1 전극은 전원선(6407)에 접속되며, 트랜지스터(6402)의 제2 전극은 발광 소자(6404)의 제1 전극(화소 전극)에 접속된다. 발광 소자(6404)의 제2 전극은 공통 전극(6408)에 대응한다. 공통 전극(6408)은 동일한 기판 위에 제공된 공통 전위선에 전기적으로 접속된다.
- [0206] 발광 소자(6404)의 제2 전극(공통 전극(6408))은 저전원 전위를 갖도록 설정된다. 저전원 전위란, 전원선(6407)에 설정된 고전원 전위를 기준으로 하여, 저전원 전위 < 상기 고전원 전위를 충족하는 전위임에 유의한다. 저전원 전위로서는, 예를 들어 GND, 0 V 등이 이용될 수도 있다. 고전원 전위와 저전원 전위 사이의 전위차가 발광 소자(6404)에 인가되고 발광 소자(6404)에 전류가 공급되어, 발광 소자(6404)가 발광된다. 여기서, 발광 소자(6404)가 발광하도록 하기 위하여, 고전원 전위와 저전원 전위 사이의 전위차가 발광 소자(6404)의 순방향 임계 전압 이상이 되도록 각각의 전위가 설정된다.
- [0207] 발광 소자 구동용 트랜지스터(6402)의 게이트 용량이 용량 소자(6403)에 대한 대체물로서 이용되면, 용량 소자(6403)가 생략될 수 있다. 채널 영역과 게이트 전극 사이에 발광 소자 구동용 트랜지스터(6402)의 게이트 용량이 형성될 수도 있다.
- [0208] 여기서, 전압-입력 전압 구동 방법을 이용하는 경우, 발광 소자 구동용 트랜지스터(6402)의 게이트에 비디오 신호를 입력하여 발광 소자 구동용 트랜지스터(6402)를 완전히 온 또는 오프시킬 수 있다. 즉, 발광 소자 구동용 트랜지스터(6402)는 선형 영역에서 동작한다. 발광 소자 구동용 트랜지스터(6402)는 선형 영역에서 동작하기 때문에, 전원선(6407)의 전압보다 높은 전압이 발광 소자 구동용 트랜지스터(6402)의 게이트에 인가된다. 신호선(6405)에는, (전원선 전압 + 발광 소자 구동용 트랜지스터(6402)의 V_{th}) 이상의 전압이 인가된다는 점에 유의한다.
- [0209] 디지털 시간 계조 구동 대신에 아날로그 계조 구동을 실시하는 경우, 입력 신호를 변경함으로써 도 14에서와 동일한 화소 구조가 이용될 수 있다.
- [0210] 아날로그 계조 구동 방법을 이용하는 경우, 발광 소자 구동용 트랜지스터(6402)의 게이트에는 (발광 소자(6404)의 순방향 전압 + 발광 소자 구동용 트랜지스터(6402)의 V_{th}) 이상의 전압이 인가된다. 발광 소자(6404)의 순방향 전압은 소망 휘도가 얻어지는 전압을 나타내며, 적어도 순방향 임계 전압을 포함한다. 발광 소자 구동용 트랜지스터(6402)가 포화 영역에서 동작하는 것을 가능케하는 비디오 신호를 입력함으로써, 발광 소자(6404)에 전류를 공급할 수 있다. 발광 소자 구동용 트랜지스터(6402)가 포화 영역에서 동작할 수 있기 위해, 전원선

(6407)의 전위는 발광 소자 구동용 트랜지스터(6402)의 게이트 전위보다 높다. 아날로그 비디오 신호가 이용될 때, 비디오 신호에 따라 발광 소자(6404)에 전류를 공급하여 아날로그 게조 구동을 실시하는 것이 가능하다.

[0211] 화소 구조는 도 14에 도시된 구조로 한정되지 않는다는 점에 유의한다. 도 14에 나타난 화소에, 예를 들어, 스위치, 저항, 용량 소자, 트랜지스터 또는 논리 회로 등을 추가할 수도 있다.

[0212] 그 다음, 도 15a 내지 15c를 참조하여 발광 소자의 구조를 설명한다. 여기서는, n채널 구동용 TFT를 예로서 취하여, 화소의 단면 구조를 설명한다. 각각이 도 15a 내지 15c에 나타난 반도체 장치에 이용되는 발광 소자 구동용 TFT인 구동용 TFT(7011, 7021, 및 7001)는, 실시예 1에서 설명된 박막 트랜지스터와 유사한 방식으로 형성될 수 있으며, 각각이 산화물 반도체층을 포함하는 신뢰성이 높은 박막 트랜지스터이다.

[0213] 발광 소자로부터 방출된 광을 추출하기 위하여, 애노드(anode)와 캐소드(cathode) 중 적어도 하나가 투명하면 족하다. 기판 위에 박막 트랜지스터 및 발광 소자가 형성된다. 발광 소자는, 기판의 반대 면을 통해 광이 추출되는 상부면 방출 구조(top emission structure); 기판측의 면을 통해 광이 추출되는 하부면 방출 구조(bottom emission structure); 또는 기판측 및 기판측과는 반대측의 면을 통해 광이 추출되는 양면 방출 구조(dual emission structure)를 가질 수 있다. 화소 구조는 이들 방출 구조들 중 임의의 구조를 갖는 발광 소자에 적용될 수 있다.

[0214] 그 다음, 도 15a를 참조하여 하부면 방출 구조를 갖는 발광 소자를 설명한다.

[0215] 도 15a는 TFT(7011)가 n채널 트랜지스터이고 발광 소자(7012)로부터 캐소드(7013) 측으로 광이 방출되는 경우의 화소의 단면도이다. 도 15a에서, TFT(7011)에 전기적으로 접속된 투광성 도전막(7017) 위에 발광 소자(7012)의 캐소드(7013)가 형성되고, 캐소드(7013) 위에 EL층(7014) 및 애노드(7015)가 이 순서대로 적층되고 있다. 투광성 도전막(7017)은, 산화물 절연층(7031), 오버코트층(7034), 및 보호 절연층(7035)에 형성된 콘택트 홀을 통해 TFT(7011)의 드레인 전극층에 전기적으로 접속된다는 점에 유의한다.

[0216] 투광성 도전막(7017)으로서, 산화 텅스텐을 포함한 인듐 산화물, 산화 텅스텐을 포함한 인듐 아연 산화물, 산화 티타늄을 포함한 인듐 산화물, 산화 티타늄을 포함한 인듐 주석 산화물, 인듐 주석 산화물(이하 ITO라 부름), 인듐 아연 산화물, 또는 산화 실리콘을 첨가한 인듐 주석 산화물 등의 투광성 도전막을 이용할 수 있다.

[0217] 캐소드(7013)에 대해 다양한 재료를 이용할 수 있다. 구체적으로는, 캐소드(7013)는, Li나 Cs 등의 알칼리 금속(alkali metal); Mg, Ca, 또는 Sr 등의 알칼리 토류 금속(alkaline earth metal); 이들 금속들 중 임의의 금속을 포함한 합금(Mg:Ag 또는 Al:Li); 또는 Yb나 Er 등의 희토류 금속(rare earth metal) 등의 일 함수가 작은 재료를 이용하여 형성되는 것이 바람직하다. 도 15a에서, 캐소드(7013)의 두께는 광이 투과될 수 있는 두께이다(바람직하게는, 약 5 nm 내지 30 nm). 예를 들어, 캐소드(7013)에 대해 20 nm의 두께를 갖는 알루미늄막을 이용한다.

[0218] 투광성 도전막 및 알루미늄막을 적층하고 선택적으로 에칭하여 투광성 도전막(7017) 및 캐소드(7013)를 형성할 수도 있다; 이 경우, 바람직하게는 동일한 마스크를 이용하여 투광성 도전막 및 알루미늄막을 에칭할 수 있다는 점에 유의한다.

[0219] 캐소드(7013)의 주변부는 격벽(partition, 7019)으로 덮인다. 격벽(7019)은, 폴리이미드, 아크릴, 폴리아미드, 에폭시 등의 유기 수지막, 무기 절연막, 또는 유기 폴리실록산을 이용하여 형성된다. 감광성 수지 재료(photosensitive resin material)를 이용하여 격벽(7019)을 형성하여 캐소드(7013) 위에 개구를 가짐으로써, 그 개구의 측벽이 연속 곡률을 갖는 경사면으로서 형성되도록 하는 것이 특히 바람직하다. 격벽(7019)에 대해 감광성 수지 재료를 이용하는 경우, 레지스트 마스크를 형성하는 단계는 생략될 수 있다.

[0220] 캐소드(7013) 및 격벽(7019) 위에 형성되는 EL층(7014)은 단층 또는 적층된 복수의 층을 이용하여 형성될 수 있다. 복수의 층을 이용하여 EL층(7014)이 형성되는 경우, 전자 주입층, 전자 수송층, 발광층, 홀 수송층, 및 홀 주입층을 이 순서로 캐소드(7013) 위에 적층함으로써 EL층(7014)이 형성된다. 이러한 층들 모두를 형성할 필요는 없다.

[0221] 적층 순서는 상기 적층 순서로 한정되는 것은 아니며, 홀 주입층, 홀 수송층, 발광층, 전자 수송층, 및 전자 주입층이 이 순서로 캐소드(7013) 위에 적층될 수도 있다. 그러나, 전력 소비를 비교해 보면, 전자 주입층, 전자 수송층, 발광층, 홀 수송층, 및 홀 주입층이 이 순서로 캐소드(7013) 위에 적층되는 것이 낮은 소비 전력 때문에 바람직하다.

[0222] EL층(7014) 위에 형성되는 애노드(7015)로서, 다양한 재료를 이용할 수 있으며, 예를 들어, 질화 티타늄, ZrN,

Ti, W, Ni, Pt, 또는 Cr; ITO, IZO(산화 인듐 산화 아연), 또는 ZnO 등의 투명 도전성 재료와 같은 일 함수가 큰 재료가 바람직하다. 또한, 애노드(7015) 위의 차광막(7016)으로서, 예를 들어, 광을 차단하는 금속, 광을 반사하는 금속 등을 이용한다. 본 실시예에서는, 애노드(7015)로서 ITO막을 이용하고, 차광막(7016)으로서 Ti 막을 이용한다.

- [0223] 발광 소자(7012)는, 캐소드(7013) 및 애노드(7015) 사이에 EL층(7014)이 끼워져 있는 영역에 대응한다. 도 15a에 나타난 화소 구조의 경우, 화살표로 표시된 바와 같이 발광 소자(7012)로부터 캐소드(7013) 측으로 광이 방출된다.
- [0224] 게이트 전극층으로서 투광성 도전막을 이용하는 예가 도 15a에 나타나 있으며, 발광 소자(7012)로부터 방출된 광은 컬러 필터층(7033) 및 박막 트랜지스터(7011)의 게이트 및 소스 전극층을 통과해 방출된다는 점에 유의한다. 박막 트랜지스터(7011)의 게이트 및 소스 전극층으로서 투광성 도전막을 이용하고, 그에 따라, 개구율이 향상될 수가 있다.
- [0225] 컬러 필터층(7033)은 잉크젯법 등의 액적 사출법, 인쇄법, 포토리소그래피 기술을 이용한 에칭 방법 등에 의해 형성된다.
- [0226] 컬러 필터층(7033)은 오버코트층(7034)으로 덮이고, 또한 보호 절연층(7035)으로 덮인다. 도 15a에서는 얇은 두께를 갖는 오버코트층(7034)이 도시되어 있다; 그러나, 오버코트층(7034)은 컬러 필터층(7033)에 기인한 요철을 갖는 면을 평탄화하는 기능을 갖는다는 점에 유의한다.
- [0227] 산화물 절연층(7031), 오버코트층(7034), 및 보호 절연층(7035)에 형성되고 드레인 전극층에 도달하는 콘택트 홀은 격벽(7019)과 중첩하는 부분에 제공된다. 도 15a에서, 드레인 전극층과 격벽(7019)에 도달하는 콘택트 홀은 서로 중첩함으로써, 개구율이 향상될 수 있다.
- [0228] 그 다음, 도 15b를 참조하여 양면 방출 구조를 갖는 발광 소자를 설명한다.
- [0229] 도 15b에서, TFT(7021)에 전기적으로 접속된 투광성 도전막(7027) 위에 발광 소자(7022)의 캐소드(7023)가 형성되고, 캐소드(7023) 위에 EL층(7024) 및 애노드(7025)가 이 순서로 적층되고 있다. 투광성 도전막(7027)은, 산화물 절연층(7041), 오버코트층(7044), 및 보호 절연층(7045)에 형성된 콘택트 홀을 통해 TFT(7021)의 드레인 전극층에 전기적으로 접속된다는 점에 유의한다.
- [0230] 투광성 도전막(7027)에 대해, 산화 텅스텐을 포함한 인듐 산화물, 산화 텅스텐을 포함한 인듐 아연 산화물, 산화 티타늄을 포함한 인듐 산화물, 산화 티타늄을 포함한 인듐 주석 산화물, 인듐 주석 산화물(이하, ITO라 언급함), 인듐 아연 산화물, 산화 실리콘을 첨가한 인듐 주석 산화물 등의 투광성 도전막을 이용할 수 있다.
- [0231] 캐소드(7023)에 대해 다양한 재료를 이용할 수 있다. 구체적으로는, 캐소드(7023)는, Li나 Cs 등의 알칼리 금속(alkali metal); Mg, Ca, 또는 Sr 등의 알칼리 토류 금속(alkaline earth metal); 이들 금속들 중 임의의 금속을 포함한 합금(Mg:Ag 또는 Al:Li); 또는 Yb나 Er 등의 희토류 금속(rare earth metal) 등의 일 함수가 작은 재료를 이용하여 형성되는 것이 바람직하다. 본 실시예에서, 캐소드(7023)의 두께는 광이 투과될 수 있는 두께이다(바람직하게는, 약 5 nm 내지 30 nm). 예를 들어, 캐소드(7023)로서 20nm 두께의 알루미늄 막을 사용한다.
- [0232] 투광성 도전막 및 알루미늄막을 적층한 다음 선택적으로 에칭함으로써, 투광성 도전막(7027) 및 캐소드(7023)를 형성할 수도 있다는 점에 유의한다. 이 경우, 에칭은 바람직하게 동일한 마스크를 이용하여 실시될 수 있다.
- [0233] 캐소드(7023)의 주변부는 격벽(7029)으로 덮인다. 격벽(7029)은, 폴리이미드, 아크릴, 폴리아미드, 에폭시 등의 유기 수지막, 무기 절연막, 또는 유기 폴리실록산을 이용하여 형성된다. 감광성 수지 재료를 이용하여 격벽(7029)을 형성하여 캐소드(7023) 위에 개구를 가짐으로써, 그 개구의 측벽이 연속 곡률을 갖는 경사면으로서 형성되도록 하는 것이 특히 바람직하다. 격벽(7029)에 대해 감광성 수지 재료를 이용하는 경우, 레지스트 마스크를 형성하는 단계는 생략할 수 있다.
- [0234] 캐소드(7023) 및 격벽(7029) 위에 형성되는 EL층(7024)은 단층 또는 적층된 복수의 층을 이용하여 형성될 수도 있다. 복수의 층을 이용하여 EL층(7024)이 형성되는 경우, 전자 주입층, 전자 수송층, 발광층, 홀 수송층, 및 홀 주입층을 이 순서로 캐소드(7023) 위에 적층함으로써 EL층(7024)이 형성된다. 이러한 층들 모두를 형성할 필요는 없다.
- [0235] 적층 순서는 상기 적층 순서로 한정되는 것은 아니며, 홀 주입층, 홀 수송층, 발광층, 전자 수송층, 및 전자 주입층이 이 순서로 캐소드(7023) 위에 적층될 수도 있다. 전력 소비를 비교해 보면, 전자 주입층, 전자 수송층,

발광층, 정공 수송층, 및 정공 주입층을 이 순서로 캐소드(7023) 위에 적층하는 것이 소비 전력이 낮기 때문에 더 바람직하다는 점에 유의한다.

- [0236] EL층(7024) 위에 형성되는 애노드(7025)에 대해 다양한 재료를 이용할 수 있다. 예를 들어, ITO, IZO, 또는 ZnO 등의 투명 도전 재료와 같은 일 함수가 큰 재료가 바람직하다. 본 실시예에서는, 애노드(7025)에 대해 산화 실리콘을 포함하는 ITO막을 이용한다.
- [0237] 발광 소자(7022)는, 캐소드(7023)와 애노드(7025) 사이에 EL층(7024)이 끼워져 있는 영역에 대응한다. 도 15b에 도시된 화소 구조의 경우, 화살표로 표시된 바와 같이 발광 소자(7022)로부터 애노드(7025) 측 및 캐소드(7023) 측 양쪽 모두로 광이 방출된다.
- [0238] 도 15b에서, 게이트 전극층으로서 투광성 도전층을 이용하는 예가 나타나 있다는 점에 유의한다. 발광 소자(7022)로부터 캐소드(7023) 측으로 방출된 광은 컬러 필터층(7043)을 통과한 다음, TFT(7021)의 게이트 전극층 및 소스 전극층을 통과해 방출된다. TFT(7021)의 게이트 전극층 및 소스 전극층에 대해 투광성 도전막을 이용하면, 애노드(7025) 측의 개구율이 캐소드(7023) 측의 개구율과 거의 동일할 수 있다.
- [0239] 컬러 필터층(7043)은 잉크젯법 등의 액적 사출법, 인쇄법, 포토리소그래피 기술 등을 이용한 에칭 방법 등에 의해 형성된다.
- [0240] 또한, 컬러 필터층(7043)은 오버코트층(7044)으로 덮이고, 또한 보호 절연층(7045)으로 덮인다.
- [0241] 산화물 절연층(7041), 오버코트층(7044), 및 보호 절연층(7045)에 형성되고 드레인 전극층에 도달하는 컨택트 홀은 격벽(7029)과 중첩하는 부분에 제공된다. 드레인 전극층 및 격벽(7029)에 도달하는 컨택트 홀이 서로 중첩함으로써, 애노드(7025) 측의 개구율이 캐소드(7023) 측의 개구율과 거의 동일할 수 있다.
- [0242] 양면 방출 구조를 갖는 발광 소자를 이용하고 양쪽의 표시면에 풀 컬러 표시를 실시할 때, 애노드(7025)측으로부터의 광은 컬러 필터층(7043)을 통과하지 않는다; 따라서, 또 다른 컬러 필터층을 갖춘 밀봉 기판이 애노드(7025) 위에 제공되는 것이 바람직하다는 점에 유의한다.
- [0243] 그 다음, 도 15c를 참조하여 상부면 방출 구조를 갖는 발광 소자를 설명한다.
- [0244] 도 15c는, 구동용 TFT(7001)가 n채널 트랜지스터이고 발광 소자(7002)로부터 애노드(7005) 측으로 광이 방출되는 경우의 화소의 단면도이다. 도 15c에서, 발광 소자(7002)의 캐소드(7003)는 TFT(7001)에 전기적으로 접속되고, 캐소드(7003) 위에 EL층(7004) 및 애노드(7005)가 이 순서로 적층되어 있다.
- [0245] 캐소드(7003)에 대해 다양한 재료를 이용할 수 있다. 구체적으로는, 캐소드(7003)는, Li나 Cs 등의 알칼리 금속; Mg, Ca, 또는 Sr 등의 알칼리 토류 금속; 이들 금속들 중 임의의 금속을 포함한 합금(Mg:Ag 또는 Al:Li); 또는 Yb나 Er 등의 희토류 금속 등의 일 함수가 작은 재료를 이용하여 형성되는 것이 바람직하다.
- [0246] 캐소드(7003)의 주변부는 격벽(7009)으로 덮인다. 격벽(7009)은, 폴리이미드, 아크릴, 폴리아미드, 에폭시 등의 유기 수지막, 무기 절연막, 또는 유기 폴리실록산을 이용하여 형성된다. 감광성 수지 재료를 이용하여 격벽(7009)을 형성하여 캐소드(7003) 위에 개구를 가짐으로써, 그 개구의 측벽이 연속 곡률을 갖는 경사면으로서 형성되도록 하는 것이 특히 바람직하다. 격벽(7009)에 대해 감광성 수지 재료를 이용하는 경우, 레지스트 마스크를 형성하는 단계는 생략할 수 있다.
- [0247] 캐소드(7003) 및 격벽(7009) 위에 형성되는 EL층(7004)은 단층 또는 적층된 복수의 층을 이용하여 형성될 수 있다. 복수의 층을 이용하여 EL층(7004)이 형성되는 경우, 전자 주입층, 전자 수송층, 발광층, 홀 수송층, 및 홀 주입층을 이 순서로 캐소드(7003) 위에 적층함으로써 EL층(7004)이 형성된다. 이러한 층들 모두를 형성할 필요는 없다.
- [0248] 적층 순서는 상기 적층 순서로 한정되는 것은 아니며, 홀 주입층, 홀 수송층, 발광층, 전자 수송층, 및 전자 주입층이 이 순서로 캐소드(7003) 위에 적층될 수도 있다. 이들 층들이 이 순서로 적층되는 경우, 캐소드(7003)는 애노드로서 기능한다.
- [0249] 도 15c에서, Ti막, 알루미늄막, 및 Ti막이 이 순서로 적층된 적층막 위에, 홀 주입층, 홀 수송층, 발광층, 전자 수송층, 및 전자 주입층을 이 순서로 적층해, 그 위에 Mg:Ag 합금 박막과 ITO의 적층을 형성한다.
- [0250] 그러나, 전력 소비를 비교해 보면, 전자 주입층, 전자 수송층, 발광층, 홀 수송층, 및 홀 주입층이 이 순서로 캐소드(7003) 위에 적층되는 것이 낮은 소비 전력 때문에 바람직하다.

- [0251] 애노드(7005)는 투광성 도전 재료를 이용하여 형성되며, 예를 들어, 산화 텅스텐을 포함한 인듐 산화물막, 산화 텅스텐을 포함한 인듐 아연 산화물막, 산화 티타늄을 포함한 인듐 산화물막, 산화 티타늄을 포함한 인듐 주석 산화물막, 인듐 주석 산화물막, 인듐 아연 산화물, 산화 실리콘을 첨가한 인듐 주석 산화물 등을 이용할 수 있다.
- [0252] 발광 소자(7002)는, 캐소드(7003) 및 애노드(7005) 사이에 EL층(7004)이 끼워져 있는 영역에 대응한다. 도 15c에 나타난 화소의 경우, 화살표로 표시된 바와 같이 발광 소자(7002)로부터 애노드(7005) 측으로 광이 방출된다.
- [0253] 도 15c에서, TFT(7001)로서 박막 트랜지스터(150)를 이용하는 예를 나타내고 있다; 그러나, 특별한 제한이 있는 것은 아니며, 박막 트랜지스터(160, 170, 및 180) 중 임의의 것을 이용할 수 있다.
- [0254] 또한, 도 15c에서, 캐소드(7003)는 산화물 절연층(7051), 평탄화 절연층(7053), 및 절연층(7055)에 형성된 콘택트 홀을 통해 TFT(7001)의 드레인 전극층에 전기적으로 접속된다. 평탄화 절연층(7053)은 폴리이미드, 아크릴, 벤조시크로부텐, 폴리아미드, 또는 에폭시 등의 수지 재료를 이용하여 형성될 수 있다. 이러한 수지 재료 외에도, 저유전율 재료(low-k 재료), 실록산계 수지, PSG(phosphosilicate glass), BPSG(borophosphosilicate glass) 등을 이용하는 것도 가능하다. 이러한 재료로 형성된 복수의 절연막을 적층함으로써 평탄화 절연층(7053)을 형성할 수도 있다는 점에 유의한다. 평탄화 절연층(7053)의 형성 방법에는 특별한 제한이 없으며, 평탄화 절연층(7053)은, 그 재료에 따라, 스퍼터링법, SOG법, 스핀 코팅, 딥핑(dipping), 스프레이 도포, 액적 사출법(예를 들어, 잉크젯법, 스크린 인쇄, 오프셋 인쇄) 등의 방법에 의해, 또는 닥터 나이프, 롤 코터, 커텐 코터, 또는 나이프 코터 등과 같은 툴(장비)을 이용하여 형성될 수 있다.
- [0255] 캐소드(7003)와 인접 화소의 캐소드를 절연시키도록 격벽(7009)이 제공된다. 격벽(7009)은, 폴리이미드, 아크릴, 폴리아미드, 에폭시 등의 유기 수지막, 무기 절연막, 또는 유기 폴리실록산을 이용하여 형성된다. 감광성 수지 재료를 이용하여 격벽(7009)을 형성하여 캐소드(7003) 위에 개구를 가짐으로써, 그 개구의 측벽이 연속 곡률을 갖는 경사면으로서 형성되도록 하는 것이 특히 바람직하다.
- [0256] 도 15c에 나타난 구조에서, 풀 컬러 표시를 실시하는 경우, 발광 소자(7002), 인접한 발광 소자들 중 하나, 및 인접한 발광 소자들 중 다른 하나가, 각각, 예를 들어, 녹색 발광 소자, 적색 발광 소자, 및 청색 발광 소자이다. 대안으로서, 3종류의 발광 소자 외에도 백색 발광 소자를 포함한 4종류의 발광 소자를 이용하여 풀 컬러 표시를 할 수 있는 발광 표시 장치를 제조할 수도 있다.
- [0257] 추가의 대안으로서, 도 15c의 구조에서, 배치된 복수의 발광 소자들 모두가 백색 발광 소자이고 컬러 필터 등을 갖는 밀봉 기판이 발광 소자(7002) 위에 배치되어, 풀 컬러 표시를 할 수 있는 발광 표시 장치가 제조될 수도 있다. 백색 등의 단색을 나타내는 재료를 형성하고 컬러 필터나 컬러 변환층과 결합함으로써, 풀 컬러 표시를 실시할 수 있다.
- [0258] 물론, 단색 발광의 표시를 실시할 수 있다. 예를 들어, 백색 발광을 이용하여 조명 시스템을 형성하거나, 단색 발광을 이용하여 영역-컬러 발광 장치를 형성할 수도 있다.
- [0259] 필요하다면, 원형 편광판을 포함하는 편광 필름 등의 광학 필름이 제공될 수도 있다.
- [0260] 여기서는 발광 소자로서 유기 EL 소자를 설명하였지만, 발광 소자로서 무기 EL 소자를 제공할 수도 있다는 점에 유의한다.
- [0261] 발광 소자의 구동을 제어하는 박막 트랜지스터(구동용 TFT)가 발광 소자에 전기적으로 접속되어 있는 예를 설명하였다; 그러나, 구동용 TFT와 발광 소자 사이에 전류 제어용 TFT가 접속되어 있는 구조를 이용할 수도 있다는 점에 유의한다.
- [0262] 그 다음, 도 16a 및 16b를 참조하여 반도체 장치의 실시예에 대응하는 발광 표시 패널(발광 패널이라고도 함)의 외관 및 단면을 설명한다. 도 16a는, 제1 기판 위에 형성된 박막 트랜지스터 및 발광소자가 밀봉체에 의해 제1 기판과 제2 기판 사이에서 밀봉되어 있는, 패널의 평면도이다. 도 16b는 도 16a의 라인 H-I를 따라 취해진 단면도이다.
- [0263] 제1 기판(4501) 위에 제공된 화소부(4502), 신호선 구동 회로(4503a 및 4503b), 및 주사선 구동 회로(4504a 및 4504b)를 둘러싸도록 밀봉재(4505)가 제공된다. 또한, 화소부(4502), 신호선 구동 회로(4503a 및 4503b), 및 주사선 구동 회로(4504a 및 4504b) 위에, 제2 기판(4506)이 제공된다. 따라서, 화소부(4502), 신호선 구동 회로(4503a 및 4503b), 및 주사선 구동 회로(4504a 및 4504b)는, 제1 기판(4501), 밀봉재(4505), 및 제2 기판

(4506)에 의해 충전재(4507)와 함께 밀봉되고 있다. 이런 방식으로, 패널이 외부 대기에 노출되지 않도록 기밀성(air-tightness)이 높고 탈가스(degasification)가 적은 보호 필름(라미네이트 필름 또는 자외선 경화 수지 필름)이나 커버재로 패널을 패키징(밀봉)하는 것이 바람직하다.

- [0264] 제1 기관(4501) 위에 형성된 화소부(4502), 신호선 구동 회로(4503a 및 4503b), 및 주사선 구동 회로(4504a 및 4504b)는 각각 복수의 박막 트랜지스터를 포함하며, 화소부(4502)에 포함된 박막 트랜지스터(4510)와 신호선 구동 회로(4503a)에 포함된 박막 트랜지스터(4509)가 도 16b에 예로서 도시되어 있다.
- [0265] 박막 트랜지스터(4509 및 4510)에 대해, 실시예 1에서 설명된 산화물 반도체층을 포함한 신뢰성이 높은 박막 트랜지스터를 이용할 수 있다. 본 실시예에서, 박막 트랜지스터(4509 및 4510)는 n채널 박막 트랜지스터이다.
- [0266] 구동 회로용의 박막 트랜지스터(4509)의 산화물 반도체층의 채널 형성 영역과 중첩하도록 절연층(4544)의 일부 위에 도전층(4540)이 제공되고 있다. 산화물 반도체층의 채널 형성 영역과 중첩하는 위치에 도전층(4540)을 제공함으로써, BT 시험 전후의 박막 트랜지스터(4509)의 임계 전압의 변화량을 저감할 수 있다. 도전층(4540)의 전위는 박막 트랜지스터(4509)의 게이트 전극층의 전위와 동일하거나 상이할 수 있다. 도전층(4540)은 제2 게이트 전극층으로서도 기능할 수 있다. 또한, 도전층(4540)의 전위는 GND 또는 0 V이거나, 도전층(4540)은 플로팅 상태일 수도 있다.
- [0267] 박막 트랜지스터(4509)에서, 보호 절연막으로서, 채널 형성 영역을 포함하는 반도체층과 접하여 절연층(4541)이 형성된다. 절연층(4541)은 실시예 1에서 설명된 보호 절연층(107)과 유사한 재료 및 방법을 이용하여 형성될 수 있다. 게다가, 박막 트랜지스터에 의해 야기되는 표면 요철을 저감하기 위하여 평탄화 절연층으로서 기능하는 절연층(4544)이 박막 트랜지스터를 덮는다. 여기서는, 절연층(4541)으로서, 실시예 1의 보호 절연층(107)과 유사한 방식으로 스퍼터링법에 의해 산화 실리콘막을 형성한다.
- [0268] 평탄화 절연막으로서 절연층(4544)이 형성된다. 절연층(4544)은 실시예 2에서 설명된 절연층(4021)과 유사한 재료 및 방법을 이용하여 형성될 수 있다. 여기서는, 절연층(4544)으로서 아크릴을 사용한다.
- [0269] 게다가, 참조 번호(4511)는 발광 소자를 가리킨다. 발광 소자(4511)에 포함된 화소 전극인 제1 전극층(4517)은, 박막 트랜지스터(4510)의 소스 전극층 또는 드레인 전극층에 전기적으로 접속된다. 발광 소자(4511)의 구조는, 제1 전극층(4517), 전계발광층(4512), 및 제2 전극층(4513)을 포함하는 적층 구조이지만, 이것으로 한정되지 않는다는 점에 유의한다. 발광 소자(4511)로부터 광이 추출되는 방향 등에 따라 발광 소자(4511)의 구조는 적절하게 변경될 수 있다.
- [0270] 격벽(4520)은, 유기 수지막, 무기 절연막 또는 유기 폴리실록산을 이용하여 형성된다. 감광성 재료를 이용하여 격벽(4520)을 형성하고 제1 전극층(4517) 위에 개구를 형성하여, 그 개구부의 측벽이 연속한 곡률을 갖는 경사면으로서 형성되도록 하는 것이 특히 바람직하다.
- [0271] 전계발광층(4512)은 단층 또는 적층된 복수의 층을 이용하여 형성될 수도 있다.
- [0272] 발광 소자(4511) 내에 산소, 수소, 수분, 이산화탄소 등이 침투하는 것을 방지하기 위하여, 제2 전극층(4513) 및 격벽(4520) 위에 보호막을 형성할 수도 있다. 보호막으로서, 질화 실리콘막, 질화 산화 실리콘막, DLC막 등을 형성할 수 있다.
- [0273] 또한, 각종 신호 및 전위가 FPC(4518a 및 4518b)로부터 신호선 구동 회로(4503a 및 4503b), 주사선 구동 회로(4504a 및 4504b), 또는 화소부(4502)에 공급된다.
- [0274] 접속 단자 전극(4515)은, 발광 소자(4511)에 포함된 제1 전극층(4517)과 동일한 도전막으로부터 형성되고, 단자 전극(4516)은, 박막 트랜지스터(4509 및 4510)에 포함된 소스 및 드레인 전극층과 동일한 도전막으로부터 형성된다.
- [0275] 접속 단자 전극(4515)은 이방성 도전막(4519)을 통해 FPC(4518a)에 포함된 단자에 전기적으로 접속된다.
- [0276] 발광 소자(4511)로부터 광이 추출되는 방향에 위치한 기관은 투광성을 가질 필요가 있다. 그 경우, 제2 기관(4506)에 대해, 유리판, 플라스틱판, 폴리에스테르 필름 또는 아크릴 필름 등의 투광성 재료를 이용한다.
- [0277] 충전재(4507)로서, 질소나 아르곤 등의 불활성 가스 외에도 자외선 경화 수지 또는 열경화 수지를 이용할 수 있다. 예를 들어, PVC(폴리비닐 클로라이드), 아크릴, 폴리이미드, 에폭시 수지, 실리콘 수지, PVB(폴리비닐 부티랄) 또는 EVA(에틸렌 비닐 아세테이트)를 이용할 수 있다. 예를 들어, 충전재로서 질소를 이용한다.

- [0278] 또한, 필요하다면, 편광판, (타원 편광판을 포함한) 원형 편광판, 위상차판 (1/4파장 판 또는 1/2파장 판), 또는 컬러 필터 등의 광학 필름이 발광 소자의 발광면 위에 적절하게 제공될 수도 있다. 또한, 편광판 또는 원형 편광판에는 반사 방지막이 제공될 수도 있다. 예를 들어, 눈부심을 저감하도록 표면 위의 요철에 의해 반사광이 확산될 수 있게 하는 안티-글래어 처리(anti-glare treatment)를 실시할 수 있다.
- [0279] 신호선 구동 회로(4503a 및 4503b) 및 주사선 구동 회로(4504a 및 4504b)는, 별도 준비된 기판 위에 단결정 반도체막 또는 다결정 반도체막을 이용하여 형성된 구동 회로로서 탑재될 수도 있다. 대안으로서, 신호선 구동 회로 단독 또는 그 일부, 또는 주사선 구동 회로 또는 그 일부만이 별도로 형성되어 탑재될 수도 있다. 본 실시예에는 도 16a 및 16b에 나타난 구조로 한정되지 않는다.
- [0280] 이상의 공정을 통해, 반도체 장치로서 신뢰성이 높은 발광 표시 장치(표시 패널)를 제조할 수 있다.
- [0281] 실시예 1에서 설명된 박막 트랜지스터 제조 방법을 이용하여 발광 표시 장치의 화소부의 박막 트랜지스터를 제조함으로써, 화소의 박막 트랜지스터의 임계 전압의 변동에 기인한 표시 불균형을 억제할 수 있다.
- [0282] 실시예 1에서 설명된 박막 트랜지스터의 제조 방법을 이용하여 발광 표시 장치의 구동 회로에 대한 박막 트랜지스터를 제조함으로써, 구동 회로부의 박막 트랜지스터의 고속 동작이 달성되어, 전력 소비를 줄일 수 있다.
- [0283] 본 실시예는 다른 실시예에서 설명한 구조와 적절하게 조합하여 구현될 수 있다.
- [0284] [실시예 6]
- [0285] 본 실시예에서, 반도체 장치의 실시예로서, 실시예 1에서 설명된 박막 트랜지스터를 포함하고 액정 소자를 이용하는 액정 표시 장치의 예가 도 17, 도 18, 도 19, 및 도 20을 참조하여 설명될 것이다. 도 17, 18, 19, 및 20에 나타난 액정 표시 장치에 이용되는 TFT(628 및 629)에 대해, 실시예 1에서 설명된 박막 트랜지스터를 이용할 수 있다. 또한, TFT(628 및 629)는 실시예 1과 유사한 공정을 통해 제조될 수 있으며, 높은 전기 특성 및 높은 신뢰성을 갖는다. TFT(628 및 629) 각각은 채널 형성 영역으로서 산화물 반도체층을 포함한다. 박막 트랜지스터의 예로서 도 2c에 나타난 박막 트랜지스터를 이용하는 경우가 도 17, 도 18, 도 19, 및 도 20을 참조하여 설명되지만, 본 실시예는 이것으로 한정되는 것은 아니다.
- [0286] 이하에서부터, 수직 배향(VA)형 액정 표시 장치를 설명한다. VA형 액정 표시 장치는 액정 표시 패널의 액정 분자의 배향이 제어되는 형태의 일종을 갖는다. VA형 액정 표시 장치에서, 전압이 인가되어 있지 않을 때 액정 분자들은 패널면에 대해 수직 방향으로 배향된다. 본 실시예에서는, 특히, 화소를 몇 개의 영역(부화소)으로 나누고, 분자들은 그들 각각의 영역에서 상이한 방향으로 배향된다. 이것을 멀티-도메인 또는 멀티-도메인 설계라고 말한다. 이하에서부터, 멀티-도메인 설계의 액정 표시 장치를 설명한다.
- [0287] 도 18 및 도 19는 각각 화소 전극 및 대향 전극을 나타낸다. 도 18은 화소 전극을 갖춘 기판층의 평면도이다. 도 17은 도 18의 라인 E-F를 따라 취해진 단면 구조를 나타낸다. 도 19는 대향 전극이 형성되는 기판층에 관한 평면도이다. 이하에서부터, 이들 도면들을 참조하여 설명이 이루어진다.
- [0288] 도 17에서, TFT(628), TFT(628)에 접속된 화소 전극(624), 및 유지 용량 소자부(630)가 형성된 기판(600)과 대향 전극층(640) 등이 제공된 대향 기판(601)이 서로 중첩하고, 기판(600)과 대향 기판(601) 사이에는 액정이 주입된다.
- [0289] 비록 도시되지는 않았지만, 기판(600)과 대향 기판(601) 사이에는 돌기(644)보다 높은 기둥모양의 스페이서가 형성되어, 화소 전극층(624)과 대향 전극층(640) 사이의 거리(셀 갭)를 일정하게 만든다. 화소 전극층(624) 위에는 배향막(648)이 형성되고, 마찬가지로 대향 전극층(640) 위에는 배향막(646)이 형성된다. 배향막들(646 및 648) 사이에는 액정층(650)이 형성된다.
- [0290] 여기서는 스페이서에 대해 기둥 모양의 스페이서가 이용되고 있지만, 비드 스페이서(bead spacer)를 살포할 수도 있다. 또한, 기판(600) 위에 제공된 화소 전극층(624) 위에 스페이서를 형성할 수도 있다.
- [0291] 기판(600) 위에는, TFT(628), TFT(628)에 접속된 화소 전극층(624), 및 유지 용량 소자부(630)가 형성된다. 화소 전극층(624)은, TFT(628), 배선(616), 및 유지 용량 소자부(630)를 덮는 절연막(620)을 관통하고, 또한 절연막(620)을 덮는 절연막(622)을 관통하는 콘택트 홀(623)을 통해 배선(618)에 접속된다. TFT(628)에 대해, 실시예 1에서 설명된 박막 트랜지스터를 적절히 이용할 수 있다. 또한, 유지 용량 소자부(630)는, TFT(628)의 게이트 배선(602)과 동시에 형성된 제1 용량 소자 배선(604); 게이트 절연막(606); 및 배선(616 및 618)과 동시에 형성된 제2 용량 소자 배선(617)을 포함한다.

- [0292] 화소 전극층(624), 액정층(650), 및 대향 전극층(640)이 서로 중첩하여, 액정 소자가 형성된다.
- [0293] 도 18은 기관(600) 위의 평면 구조를 나타낸다. 화소 전극층(624)은, 산화 텅스텐을 포함한 인듐 산화물, 산화 텅스텐을 포함한 인듐 아연 산화물, 산화 티타늄을 포함한 인듐 산화물, 산화 티타늄을 포함한 인듐 주석 산화물, 인듐 주석 산화물(이하, ITO라 언급됨), 인듐 아연 산화물, 또는 산화 실리콘을 첨가한 인듐 주석 산화물 등의 투광성 도전 재료를 이용하여 형성될 수 있다.
- [0294] 화소 전극층(624)에 대하여, 도전성 고분자(도전성 폴리머라고도 함)를 포함한 도전성 조성물을 이용할 수 있다. 도전성 조성물을 이용하여 형성된 화소 전극은 바람직하게는 10000 Ω / square 이하의 시트 저항(sheet resistance)과 파장 550 nm에서 70% 이상의 투광율을 갖는다. 또한, 도전성 조성물에 포함된 도전성 고분자의 저항율이 0.1 Ω · cm 이하인 것이 바람직하다.
- [0295] 도전성 고분자로서, 이른바 π -전자 켈레(π -electron conjugated) 도전성 고분자를 이용할 수 있다. 예를 들어, 폴리아닐린 또는 그 유도체, 폴리피롤 또는 그 유도체, 폴리티오펜 또는 그 유도체, 이들의 2종 이상의 공중합체 등을 들 수 있다.
- [0296] 슬릿(625)은 화소 전극층(624)에 형성된다. 슬릿(625)은 액정의 배향을 제어하기 위해 형성된다.
- [0297] 도 18에 나타내는 TFT(629), TFT(628)에 접속된 화소 전극(626), 및 용량 용량 소자부(631)는, 각각, TFT(628), 화소 전극층(624), 및 보관용량 용량 소자부(630)와 유사한 방식으로 형성될 수 있다. TFT(628)와 TFT(629) 양쪽 모두는 배선(616)에 접속된다. 이 액정 표시 패널의 화소는 화소 전극층(624 및 626)을 포함한다. 화소 전극층(624 및 626) 각각은 부화소를 구성한다.
- [0298] 도 19는 대향 기관층의 평면 구조를 나타낸다. 대향 전극층(640)은 화소 전극층(624)과 유사한 재료를 이용하여 형성되는 것이 바람직하다. 대향 전극층(640) 위에는 액정의 배향을 제어하는 돌기(644)가 형성된다.
- [0299] 도 20은 이 화소 구조의 등가 회로를 나타낸다. TFT(628)와 TFT(629) 양쪽 모두는 게이트 배선(602)과 배선(616)에 접속되고 있다. 이 경우, 용량 소자 배선(604)과 용량 소자 배선(605)의 전위가 서로 상이할 때, 액정 소자(651 및 652)의 동작이 달라질 수 있다. 즉, 용량 소자 배선(604 및 605)의 전위의 개별적 제어에 의해 액정의 배향을 정밀하게 제어하고 시야각을 증가시킨다.
- [0300] 슬릿(625)을 갖춘 화소 전극층(624)에 전압을 인가하면, 슬릿(625)의 부근에는 전계의 왜곡(비스듬한 전계)이 발생된다. 슬릿(625)과 대향 기관(601) 측의 돌기(644)가 교대로 배열되어, 비스듬한 전계가 효과적으로 발생되어 액정의 배향을 제어함으로써, 액정의 배향 방향이 장소에 따라 달라진다. 즉, 도메인 증배(domain multiplication)에 의해 액정 표시 패널의 시야각을 증가시킨다.
- [0301] 그 다음, 도 21, 도 22, 도 23, 및 도 24를 참조하여 상기와는 다른 VA형 액정 표시 장치를 설명한다.
- [0302] 도 21 및 도 22는 VA형 액정 표시 패널의 화소 구조를 나타낸다. 도 22는 기관(600)의 평면도이다. 도 21은 도 22의 라인 Y-Z를 따라 취해진 단면 구조를 나타낸다. 양쪽 도면을 참조하여 이하에서 설명이 이루어진다.
- [0303] 이 화소 구조에서, 하나의 화소에 복수의 화소 전극이 제공되고, 각각의 화소 전극에 TFT가 접속된다. 복수의 TFT가 상이한 게이트 신호들에 의해 구동되도록 구축된다. 즉, 멀티-도메인 화소에서 개개의 화소 전극에 인가되는 신호는 서로 독립적으로 제어된다.
- [0304] 화소 전극층(624)은 배선(618)을 통해 콘택트 홀(623)에서 TFT(628)에 접속된다. 또한, 화소 전극층(626)은 배선(619)을 통해 콘택트 홀(627)에서 TFT(629)에 접속된다. TFT(628)의 게이트 배선(602)은 TFT(629)의 게이트 배선(603)으로부터 분리되어 있어서 상이한 게이트 신호가 공급될 수 있다. 반면, 데이터선으로서 역할하는 배선(616)은 TFT(628 및 629)에 의해 공유된다. TFT(628 및 629)에 대해 실시예 1에 설명된 박막 트랜지스터를 적절히 이용할 수 있다. 또한, 용량 소자 배선(690)이 제공된다.
- [0305] 화소 전극층(624)의 형상은 화소 전극층(626)의 형상과 상이하며, 화소 전극층(626)은 V자형으로 펼쳐진 화소 전극층(624)의 외측을 둘러싸도록 형성된다. TFT(628 및 629)에 의해 화소 전극층(624 및 626)에 인가되는 전압을 서로 상이하게 함으로써, 액정의 배향을 제어한다. 도 24는 이 화소 구조의 등가 회로를 나타낸다. TFT(628)는 게이트 배선(602)에 접속되고, TFT(629)는 게이트 배선(603)에 접속된다. TFT(628)와 TFT(629) 양쪽 모두는 배선(616)에 접속된다. 게이트 배선(602 및 603)에 공급되는 신호들이 서로 독립적으로 제어될 때, 액정 소자(651, 652)에 인가되는 전압들이 달라질 수 있다. 즉, TFT(628 및 629)의 동작이 개별적으로 제어될 때, 액정 소자(651 및 652)의 액정의 배향이 달라질 수 있다; 따라서, 시야각이 증가될 수 있다.

- [0306] 대향 기관(601)에는 착색막(636) 및 대향 전극층(640)이 제공된다. 게다가, 착색막(636)과 대향 전극층(640) 사이에 평탄화막(637)이 형성되어 액정의 배향 혼란이 방지된다. 도 23은 대향 기관층의 구조를 나타낸다. 대향 전극층(640)은 복수의 화소에 의해 공유되고, 슬릿(641)은 대향 전극(640)에 형성된다. 화소 전극층(624 및 626) 층의 슬릿(641 및 625)을 교대로 배열함으로써, 비스듬한 전계를 효과적으로 생성하여 액정의 배향을 제어한다. 따라서, 액정의 배향이 장소에 따라 달라질 수 있어, 시야각이 넓어진다. 도 23에서, 점선은 기관(600) 위에 형성된 화소 전극층(624 및 626)을 나타내고, 대향 전극층(640)은 화소 전극층(624 및 626)과 중첩하도록 제공된다는 점에 유의한다.
- [0307] 화소 전극층(624 및 626) 위에는 배향막(648)이 형성되고, 마찬가지로 대향 전극층(640) 위에는 배향막(646)이 형성된다. 기관(600)과 대향 기관(601) 사이에는 액정층(650)이 형성된다. 또한, 화소 전극층(624), 액정층(650), 및 대향 전극층(640)이 서로 중첩함으로써, 제1 액정 소자가 형성된다. 또한, 화소 전극층(626), 액정층(650), 및 대향 전극층(640)이 서로 중첩함으로써, 제2 액정 소자가 형성된다. 도 21, 도 22, 도 23, 및 도 24에 나타난 표시 패널의 화소 구조는, 하나의 화소에 제1 액정 소자와 제2 액정 소자가 제공되어 있는 멀티-도메인 구조이다.
- [0308] 실시예 1에서 설명된 박막 트랜지스터를 포함하는 액정 표시 장치로서 본 실시예에서는 VA형의 액정 표시 장치를 설명했지만, IPS형의 액정 표시 장치, TN형의 액정 표시 장치 등에도 실시예 1에서 설명된 박막 트랜지스터를 이용할 수 있다.
- [0309] 실시예 1에서 설명된 박막 트랜지스터 제조 방법을 이용해 액정 표시 장치의 화소부에 포함된 박막 트랜지스터를 제조함으로써, 화소의 박막 트랜지스터의 임계 전압의 변동에 기인한 표시 불균형을 억제할 수 있다.
- [0310] [실시예 7]
- [0311] 본 명세서에서 개시되는 반도체 장치는 전자 페이퍼에 적용될 수 있다. 데이터를 표시할 수 있는 다양한 분야의 전자 장치들에 대해 전자 페이퍼를 이용할 수 있다. 예를 들어, 전자 페이퍼는, 전자 서적 리더(전자 북), 포스터, 열차 등의 탈 것의 차내 광고, 신용 카드 등의 각종 카드의 표시 등에 적용될 수 있다. 전자 장치의 예를 도 25에 나타낸다.
- [0312] 도 25는 전자 서적 리더의 예를 나타낸다. 예를 들어, 전자 서적 리더(2700)는, 2개의 하우징, 하우징(2701) 및 하우징(2703)을 포함한다. 하우징(2701) 및 하우징(2703)은 경첩(2711)에 의해 결합됨으로써, 전자 서적 리더(2700)가 경첩(2711)을 축으로 하여 개방 및 폐쇄될 수 있다. 이와 같은 구조에 의해, 전자 서적 리더(2700)가 종이 서적처럼 동작할 수 있다.
- [0313] 표시부(2705) 및 표시부(2707)는 각각 하우징(2701) 및 하우징(2703)에 병합된다. 표시부(2705) 및 표시부(2707)는 하나의 화상 또는 상이한 화상들을 표시할 수 있다. 표시부(2705) 및 표시부(2707)가 상이한 화상들을 표시하는 경우, 예를 들어, 우측의 표시부(도 25에서는 표시부(2705))에는 텍스트가 표시될 수 있고, 좌측의 표시부(도 25에서는 표시부(2707))에는 그래픽이 표시될 수 있다.
- [0314] 도 25는 하우징(2701)에 조작부 등이 제공되어 있는 예를 나타낸다. 예를 들어, 하우징(2701)에는 전원 스위치(2721), 조작 키(2723), 스피커(2725) 등이 제공되고 있다. 조작 키(2723)에 의해, 페이지를 넘길 수 있다. 표시부가 제공되어 있는 하우징의 표면에는, 키보드, 포인팅 장치 등도 역시 제공될 수 있다는 점에 유의한다. 또한, 하우징의 이면이나 측면에는, 외부 접속용 단자(이어폰 단자, USB 단자, AC 어댑터 및 USB 케이블 등의 각종 케이블에 접속가능한 단자 등), 기록 매체 삽입부 등이 제공될 수도 있다. 게다가, 전자 서적 리더(2700)는 전자 사전의 기능을 가질 수도 있다.
- [0315] 전자 서적 리더(2700)는, 데이터를 무선으로 송신 및 수신할 수 있는 구성을 가질 수도 있다. 무선 통신을 통해, 전자 서적 서버로부터 원하는 서적 데이터 등을 구입하여 다운로드할 수 있다.
- [0316] [실시예 8]
- [0317] 본 명세서에서 개시된 반도체 장치는 (게임기를 포함한) 다양한 전자 장치에 적용될 수 있다. 전자 장치의 예로서는, 텔레비전 세트(텔레비전, 또는 텔레비전 수상기라고도 함), 컴퓨터 등의 모니터, 디지털 카메라나 디지털 비디오 카메라 등의 카메라, 디지털 포토 프레임, 휴대 전화기(휴대 전화, 휴대 전화 세트라고도 함), 휴대형 게임기, 휴대 정보 단말기, 오디오 재생 장치, 파칭코기 등의 대형 게임기 등이 포함된다.
- [0318] 도 26a는 텔레비전 세트의 예를 나타낸다. 텔레비전 세트(9600)에서, 표시부(9603)는 하우징(9601)에

병합된다. 표시부(9603)는 화상을 표시할 수 있다. 여기서, 하우징(9601)은 스탠드(9605)에 의해 지지된다.

- [0319] 텔레비전 세트(9600)는 하우징(9601)의 조작 스위치 또는 별개의 리모콘(9610)에 의해 작동될 수 있다. 리모콘(9610)의 조작 키(9609)에 의해 채널이나 음량을 제어하여 표시부(9603)에 표시되는 영상을 제어할 수 있다. 또한, 리모콘(9610)에는, 리모콘(9610)으로부터 출력되는 데이터를 표시하기 위한 표시부(9607)가 제공될 수도 있다.
- [0320] 텔레비전 세트(9600)에는 수신기, 모뎀 등이 제공된다는 점에 유의한다. 수신기를 사용하여, 일반적인 텔레비전 방송을 수신할 수 있다. 또한, 텔레비전 세트가 모뎀을 통해 유선 또는 무선으로 통신 네트워크에 접속될 때, 단방향(송신자로부터 수신자) 또는 쌍방향(송신자와 수신자간, 또한 수신자들간) 데이터 통신이 실시될 수 있다.
- [0321] 도 26b는 디지털 포토 프레임의 예를 나타낸다. 예를 들어, 디지털 포토 프레임(9700)에서, 표시부(9703)는 하우징(9701)에 병합된다. 표시부(9703)는 다양한 화상을 표시할 수 있다. 예를 들어, 표시부(9703)는 디지털 카메라 등으로 촬영한 화상 데이터를 표시하고 통상의 포토 프레임으로서 기능할 수 있다.
- [0322] 디지털 포토 프레임(9700)에는, 조작부, 외부 접속부(USB 단자, USB 케이블 등의 다양한 케이블에 접속 가능한 단자 등), 기록 매체 삽입부 등이 제공된다는 점에 유의한다. 이러한 구성들은 표시부가 제공되는 면 위에 제공될 수도 있지만, 디지털 포토 프레임(9700)의 설계를 위해 측면이나 배면에 제공하는 것이 바람직하다. 예를 들어, 디지털 카메라로 촬영한 화상 데이터를 저장하는 메모리를 디지털 포토 프레임의 기록 매체 삽입부 내에 삽입함으로써, 화상 데이터를 전송한 다음 표시부(9703)에 표시할 수 있다.
- [0323] 디지털 포토 프레임(9700)은 데이터를 무선으로 송신 및 수신할 수도 있다. 원하는 화상 데이터를 무선으로 송신하여 표시되도록 하는 구조를 이용할 수도 있다.
- [0324] 도 27a는, 2개의 하우징, 하우징(9881) 및 하우징(9891)을 포함하는 휴대형 게임기이다. 하우징(9881) 및 하우징(9891)은 휴대형 게임기가 개방 및 폐쇄될 수 있도록 접속부(9893)에 접속된다. 표시부(9882) 및 표시부(9883)는 각각 하우징(9881) 및 하우징(9891)에 병합된다. 또한, 도 27a에 도시된 휴대형 게임기는, 스피커부(9884), 기록 매체 삽입부(9886), LED 램프(9890), 입력 수단(조작 키(9885), 접속 단자(9887), 센서(9888)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전 주파수, 거리, 광, 액, 자기, 온도, 화학물질, 소리, 시간, 경도, 전계, 전류, 전압, 전력, 방사선, 유량, 습도, 경도, 진동, 향기 또는 적외선을 측정하는 기능을 갖는 센서), 또는 마이크로폰(9889) 등을 포함한다. 물론, 휴대형 게임기의 구조는 상기로 한정되지 않으며, 적어도 본 명세서에 개시된 반도체 장치를 갖춘 다른 구조를 이용할 수 있다. 휴대형 게임기는 적절하다면 다른 부속 장비를 포함할 수도 있다. 도 27a에 나타난 휴대형 게임기는, 기록 매체에 저장된 프로그램 또는 데이터를 관독하여 표시부에 표시하는 기능, 및 무선 통신에 의해 다른 휴대형 게임기와 정보를 공유하는 기능을 갖는다. 도 27a에 도시된 휴대형 게임기는 상기로 한정되지 않고 다양한 기능을 가질 수 있다.
- [0325] 도 27b는 대형 게임기인 슬롯 머신의 예를 나타내고 있다. 슬롯 머신(9900)에서, 표시부(9903)는 하우징(9901)에 병합된다. 또한, 슬롯 머신(9900)은, 스타트 레버(start lever)나 스톱 스위치(stop switch) 등의 조작 수단, 코인 투입구, 스피커 등을 포함한다. 물론, 슬롯 머신(9900)의 구조는 상기로 한정되지 않으며, 적어도 본 명세서에 개시된 반도체 장치를 갖춘 다른 구조를 이용할 수도 있다. 슬롯 머신(9900)은 적절하다면 다른 부속 장비를 포함할 수도 있다.
- [0326] 도 28a는 휴대형 컴퓨터의 예를 나타내는 사시도이다.
- [0327] 도 28a에 나타난 휴대형 컴퓨터에서, 표시부(9303)를 갖는 상부 하우징(9301)과 키보드(9304)를 갖는 하부 하우징(9302)은, 상부 하우징(9301)과 하부 하우징(9302)을 접속하는 경첩 유닛(hinge unit)을 단음으로써 서로 포개질 수 있다. 따라서, 도 28a에 나타난 휴대형 컴퓨터는 편리하게 휴대된다. 게다가, 데이터 입력을 위해 키보드를 이용하는 경우, 경첩 유닛이 개방되어 사용자가 표시부(9303)를 보면서 데이터를 입력할 수 있다.
- [0328] 하부 하우징(9302)은, 키보드(9304) 외에도, 입력을 수행할 수 있는 포인팅 장치(9306)를 포함한다. 또한, 표시부(9303)가 터치 입력 패널일 때, 표시부의 일부를 터치함으로써 입력을 수행할 수 있다. 하부 하우징(9302)은 CPU 등의 연산 기능부 또는 하드 디스크를 포함한다. 또한, 하부 하우징(9302)은, 또 다른 장치, 예를 들어, USB의 통신 규격에 따른 통신 케이블이 삽입되는 외부 접속 포트(9305)를 포함한다.
- [0329] 상부 하우징(9301) 내부를 향해 슬라이드시킴으로써 상부 하우징 내에 표시부(9307)를 수납할 수 있으며 표시부(9307)를 더 포함하는 상부 하우징(9301)은 큰 표시 화면을 가질 수 있다. 또한, 사용자는 상부 하우징(9301)

에 수납할 수 있는 표시부(9307)의 화면의 방향을 조정할 수 있다. 상부 하우징(9301)에 수납할 수 있는 표시부(9307)가 터치 패널일 때, 상부 하우징(9301)에 수납할 수 있는 표시부(9307)의 일부를 터치함으로써 입력을 수행할 수 있다.

- [0330] 표시부(9303) 또는 상부 하우징(9301)에 수납할 수 있는 표시부(9307)는, 액정 표시 패널 또는 발광 표시 패널, 예를 들어, 유기 발광 소자 또는 무기 발광 소자 등의 영상 표시 장치를 이용하여 형성된다.
- [0331] 또한, 도 28a의 휴대형 컴퓨터는 수신기 등을 갖추고, 텔레비전 방송을 수신하여 표시부(9303) 또는 표시부(9307)에 영상을 표시할 수 있다. 상부 하우징(9301)과 하부 하우징(9302)을 접속하는 경첩 유닛을 닫힌 상태로 유지한 채 표시부(9307)를 슬라이드시킴으로써 표시부(9307)의 전체 화면이 노출될 때 화면 각도를 조정함으로써, 사용자는 텔레비전 방송을 볼 수 있다. 이 경우, 경첩 유닛은 개방되지 않고 표시부(9303)에서 표시는 수행되지 않는다. 또한, 텔레비전 방송을 표시하기 위한 회로만의 기동이 수행된다. 따라서, 전력 소비가 최소화될 수 있고, 이것은 배터리 용량이 제한되어 있는 휴대형 컴퓨터에 유용하다.
- [0332] 도 28b는 손목 시계와 같이 사용자가 손목에 착용할 수 있는 휴대 전화기의 예를 나타내는 사시도이다.
- [0333] 이 휴대 전화기는, 적어도 전화 기능을 포함하는 통신 장치 및 배터리를 포함하는 본체; 본체를 손목에 장착할 수 있게 하는 밴드부; 손목에 대한 밴드부의 고정 상태를 조절하기 위한 조절부(9205); 표시부(9201); 스피커(9207); 및 마이크로폰(9208)으로 형성된다.
- [0334] 또한, 본체는 조작 스위치(9203)를 포함한다. 조작 스위치(9203)는, 전원 스위치, 표시 전환 스위치, 활상 개시 지시용 스위치 등으로서 역할하는 것 외에도, 예를 들어, 누르면 인터넷용의 프로그램을 기동시키는 스위치로서 역할할 수 있다.
- [0335] 이 휴대 전화기로의 입력은, 손가락이나 입력 펜으로 표시부(9201)를 터치하거나, 조작 스위치(9203)를 작동하거나, 또는 마이크로폰(9208) 내에 음성을 입력함으로써 수행된다. 도 28b에서, 입력은 표시부(9201)에 표시되는 표시 버튼(9202)을 손가락 등으로 터치함으로써 수행될 수 있다.
- [0336] 또한, 본체는 카메라 렌즈를 통해 형성되는 피사체의 상을 전자 화상 신호로 변환하는 촬상 수단을 포함하는 카메라부(9206)를 포함한다. 카메라부는 반드시 제공될 필요는 없다는 점에 유의한다.
- [0337] 도 28b에 나타난 휴대 전화기는 텔레비전 방송 수신기 등을 갖출 수도 있고, 그에 따라, 텔레비전 방송을 수신함으로써 영상을 표시부(9201)에 표시할 수 있다. 또한, 도 28b에 나타난 휴대 전화기는 메모리 등의 기억 장치 등을 갖출 수도 있고, 그에 따라, 텔레비전 방송을 메모리에 녹화할 수 있다. 도 28b에 나타난 휴대 전화기는, GPS 등의, 위치 정보를 수집하는 기능을 가질 수도 있다.
- [0338] 액정 표시 패널 또는 발광 표시 패널, 예를 들어, 유기 발광 소자 또는 무기 발광 소자 등의 영상 표시 장치를 표시부(9201)로서 이용한다. 도 28b에 나타난 휴대 전화기는 소형이고 경량이며 배터리 용량이 제한되어 있다. 상기와 같은 이유 때문에, 표시부(9201)를 위한 표시 장치로서 낮은 소비 전력으로 구동할 수 있는 패널을 이용하는 것이 바람직하다.
- [0339] 도 28b는 손목에 착용하는 전자 장치를 나타낸다; 그러나, 본 실시예는, 휴대할 수 있는 형상을 이용하는 한, 이것으로 한정되지 않는다는 점에 유의한다.
- [0340] [예 1]
- [0341] 실시예 1에 설명된 제조 방법을 이용하여 박막 트랜지스터를 제조하였고, 실온(25℃) 내지 180℃의 환경에서 박막 트랜지스터 특성을 평가하였다. 본 예에서는 평가 결과를 설명한다.
- [0342] 본 예에서는, 채널 길이 L 이 3 μm 인 박막 트랜지스터, 채널 길이 L 이 5 μm 인 박막 트랜지스터, 채널 길이 L 이 10 μm 인 박막 트랜지스터를 하나의 기판 위에 제조하였고, 실온 내지 180℃의 환경에서 박막 트랜지스터들의 특성을 평가하였다. 각 박막 트랜지스터에서 채널폭 W 는 모두 20 μm 였음에 유의한다. 우선, 박막 트랜지스터의 제조 방법을 설명한다.
- [0343] 우선, CVD법에 의해 기초막(base film)으로서 두께 100 nm의 산화 질화 실리콘막을 유리 기판 위에 형성하였고, 스퍼터링법에 의해 게이트 전극층을 위한 두께 150 nm의 텅스텐막을 산화 질화 실리콘막 위에 형성하였다. 텅스텐막은 선택적으로 에칭되어, 게이트 전극층을 형성하였다.
- [0344] 그 다음, 게이트 절연층으로서, CVD법에 의해 두께 100 nm의 산화 질화 실리콘층을 게이트 전극층 위에 형성하

였다.

- [0345] 그 다음, 기판과 타겟 사이의 거리를 60 mm, 압력 0.4 Pa, 및 직류(DC) 전원 0.5 kW의 조건하에서 아르곤 및 산소(아르곤 : 산소 = 30 sccm : 15 sccm)를 포함하는 분위기의 실온(25℃)에서의 성막에 의해, In-Ga-Zn-O계 산화물 반도체 타겟(In₂O₃ : Ga₂O₃ : ZnO = 1 : 1 : 1)을 이용하여 게이트 절연층 위에 두께 50 nm의 산화물 반도체층을 형성하였다. 산화물 반도체층은 선택적으로 에칭되어 섬 형상의 산화물 반도체층을 형성하였다.
- [0346] 그 다음, 질소 분위기에서 1시간 동안 450℃에서 제1 열 처리를 산화물 반도체층에 실시하였다.
- [0347] 그 다음, 소스 및 드레인 전극층을 위해, (두께 50 nm를 갖는) 티타늄막, (두께 100 nm를 갖는) 알루미늄막, 및 (두께 50 nm를 갖는) 티타늄막을 적층한 도전막을 스퍼터링법에 의해 실온(25℃)에서 산화물 반도체층 위에 형성하였다. 도전막이 선택적으로 에칭되어 소스 및 드레인 전극층을 형성하였다. 이런 방식으로, 채널 길이 L 이 3 μm 인 박막 트랜지스터, 채널 길이 L 이 5 μm 인 박막 트랜지스터, 채널 길이 L 이 10 μm 인 박막 트랜지스터가 제조되었으며, 각각의 박막 트랜지스터는 채널폭 W 가 20 μm 였다.
- [0348] 그 다음, 스퍼터링법에 의해 100℃에서 두께 300 nm의 산화 실리콘막을 보호 절연층으로서 산화물 반도체층과 접하도록 형성하였다. 여기서, 보호층으로서 역할하는 산화 실리콘막을 선택적으로 에칭하여, 게이트 전극층, 소스 및 드레인 전극층들 위에 개구를 형성하였다.
- [0349] 측정용 전극층으로서, (두께 50 nm를 갖는) 티타늄막, (두께 100 nm를 갖는) 알루미늄막, 및 (두께 5 nm를 갖는) 티타늄막을 스퍼터링법에 의해 실온(25℃)에서 형성하였다. 측정용 전극층을 선택적으로 에칭하여, 개구를 통해 게이트 전극층에 전기적으로 접속된 측정용 전극층, 개구를 통해 소스 전극층에 전기적으로 접속된 측정용 전극층, 및 개구를 통해 드레인 전극층에 전기적으로 접속된 측정용 전극층을 형성하였다. 그 후, 질소 분위기에서 1시간 동안 250℃에서 제2 열 처리를 실시하였다.
- [0350] 상기 공정을 통해, 채널 길이 L 이 3 μm 인 박막 트랜지스터, 채널 길이 L 이 5 μm 인 박막 트랜지스터, 채널 길이 L 이 10 μm 인 박막 트랜지스터가 하나의 기판 위에 제조되었으며, 각각의 박막 트랜지스터는 채널폭 W 가 20 μm 였다.
- [0351] 그 다음, 각각의 박막 트랜지스터의 전류 대 전압 특성이 측정되었다. 도 4a 내지 도 4c 각각은, 박막 트랜지스터의 소스와 게이트 사이의 전압(이하, 게이트 전압 또는 V_g 라고 함)의 변화에 대한 소스와 드레인 사이에 흐르는 전류(이하, 드레인 전류 또는 I_d 라고 함)의 변화를 나타내는 V_g - I_d 곡선을 나타낸다. 도 4a는 채널 길이 L 이 3 μm 인 박막 트랜지스터의 V_g - I_d 곡선이다. 도 4b는 채널 길이 L 이 5 μm 인 박막 트랜지스터의 V_g - I_d 곡선이다. 도 4c는 채널 길이 L 이 10 μm 인 박막 트랜지스터의 V_g - I_d 곡선이다. 도 4a 내지 도 4c 각각에서, 횡축에는 게이트 전압이 선형 스케일로 플롯팅되어 있고, 종축에는 드레인 전류가 로그 스케일로 플롯팅되어 있다.
- [0352] 전류 대 전압 특성은, 소스와 드레인 사이의 전압을 10 V로 설정하고 게이트 전압을 -20 V에서 20 V까지 변화시킴으로써 측정되었다. 또한, 측정시의 기판 온도는 다음과 같은 방식으로 변화되었다: 실온(25℃), 40℃, 75℃, 100℃, 125℃, 150℃, 및 180℃. 각각의 기판 온도(동작 온도)에서의 전류 대 전압 특성을 측정하였다. 도 4a 내지 도 4c 각각은, 측정시의 기판 온도와 V_g - I_d 곡선 사이의 관계를 용이하게 이해할 수 있도록, -10 V 내지 10 V 범위의 게이트 전압만을 도시하고 있다.
- [0353] 도 4a의 곡선(201), 도 4b의 곡선(211), 및 도 4c의 곡선(221) 각각은, 측정시의 기판 온도가 실온(25℃)일 때의 V_g - I_d 곡선을 도시하고 있다. 측정시의 기판 온도가 증가함에 따라, V_g - I_d 곡선이 도 4a 내지 도 4c 각각에서 좌측 방향, 즉, V_g 의 음의 방향으로 순차적으로 이동하고, 이것은 트랜지스터가 노멀리 온(normally on)이 된다는 것을 의미한다. 도면의 복잡성을 피하기 위해, 모든 V_g - I_d 곡선에 참조 번호를 표기하지는 않는다; 최좌측에 위치한 곡선(207), 곡선(217), 및 곡선(227)은 측정시의 기판 온도가 180℃일 때의 V_g - I_d 곡선이다.
- [0354] 얻어진 V_g - I_d 곡선으로부터 각각의 트랜지스터의 임계 전압을 계산하였다. 본 명세서에서 상세히 설명되고 있지는 않지만, 전술된 모든 측정 조건 하에서 게이트 절연층의 상대 유전 상수가 4.1인 것으로 가정하여 계산된 전계 효과 이동도의 최대값은 20 cm^2/Vs 이상이다.
- [0355] 본 명세서에서의 V_{th} 의 정의를 이하에서 설명한다. 도 6에서, 횡축에는 게이트 전압이 선형 스케일로 플롯팅되어 있고, 종축에는 드레인 전류의 제곱근(이하, $\sqrt{I_d}$ 라고도 함)을 선형 스케일로 플롯팅되어 있다. 곡선(501)은 게이트 전압의 변화에 대한 드레인 전류의 제곱근(square root)을 나타내며, V_d 를 10 V로 설정하여 얻어진

Vg-Id 곡선의 Id를 그 제곱근으로 나타내고 있다(이하, 이러한 Vd-Id 곡선을 $\sqrt{Id}$ 곡선이라 함).

- [0356] 우선, Vd가 10 V로 설정된 측정에 의해 얻어진 Vg-Id 곡선으로부터 $\sqrt{Id}$ 곡선(곡선 501)이 얻어진다. 그 다음, $\sqrt{Id}$ 곡선의 Vg가 5 V인 점(502)과 Vg가 20 V인 점(503)을 갖는 직선(504)이 얻어진다. 직선(504)을 연장시키고, 직선(504)에서 Id가 0 A가 되는 점에서의 Vg, 즉, 직선(504)과 게이트 전압축과의 절편(505)에서의 값을 Vth로서 정의하고 있다.
- [0357] 도 5a는, 도 4a 내지 도 4c의 Vg-Id 곡선으로부터 얻어진 Vth를 나타내는 표이다. 도 5a에서, TFT(303)의 열(column)은 채널 길이 L이 3 μm 인 박막 트랜지스터의 Vth를 도시하고, TFT(305)의 열은 채널 길이 L이 5 μm 인 박막 트랜지스터의 Vth를 도시하고, TFT(310)의 열은 채널 길이 L이 10 μm 인 박막 트랜지스터의 Vth를 나타내고 있다. 또한, 하부 셀에서 Vth의 변동량은, 각 박막 트랜지스터의 측정 온도 범위 내에서의 Vth의 최대값과 Vth의 최소값 사이의 차이이다.
- [0358] 도 5b는 도 5a에 기초한 그래프를 도시한다. 횡축의 측정 온도는 박막 트랜지스터의 전류 대 전압 측정시의 기판 온도(동작 온도)이고, 종축의 Vth는 각 기판 온도에서의 임계 전압이다. "열린 원"(open circle)으로 표시된 임계 전압(313)은 채널 길이 L이 3 μm 인 박막 트랜지스터의 임계 전압이다. "열린 사각형"으로 표시된 임계 전압(315)은 채널 길이 L이 5 μm 인 박막 트랜지스터의 임계 전압이다. "X"로 표시된 임계 전압(320)은 채널 길이 L이 10 μm 인 박막 트랜지스터의 임계 전압이다.
- [0359] 본 예에서 제조된 박막 트랜지스터의 임계 전압의 변화량은 실온 내지 180℃의 환경에서 3 V 이하인 것을 확인하였다.
- [0360] [예 2]
- [0361] 실시예 1에서 설명된 제조 방법에 의해 박막 트랜지스터를 제조하였고, -25℃ 내지 150℃의 환경에서 박막 트랜지스터 특성을 평가하였다. 본 예에서는 평가 결과를 설명한다.
- [0362] 본 예에서는, 채널 길이 L이 3 μm 이고 채널 폭 W가 50 μm 인 박막 트랜지스터, 채널 길이 L이 20 μm 이고 채널 폭 W가 20 μm 인 박막 트랜지스터를 하나의 기판 위에 제조하였고, -25℃ 내지 150℃의 환경에서 박막 트랜지스터 특성을 평가하였다. 우선, 박막 트랜지스터의 제조 방법을 설명한다.
- [0363] 우선, CVD법에 의해 기초막으로서 두께 100 nm의 산화 질화 실리콘막을 유리 기판 위에 형성하였고, 스퍼터링법에 의해 게이트 전극층을 위한 두께 150 nm의 텅스텐막을 산화 질화 실리콘막 위에 형성하였다. 텅스텐막은 선택적으로 에칭되어, 게이트 전극층을 형성하였다.
- [0364] 그 다음, 게이트 절연층으로서, CVD법에 의해 두께 100 nm의 산화 질화 실리콘층을 게이트 전극층 위에 형성하였다.
- [0365] 그 다음, 기판과 타겟 사이의 거리를 60 mm, 압력 0.4 Pa, 및 직류(DC) 전원 0.5 kW의 조건하에서 아르곤 및 산소(아르곤 : 산소 = 30 sccm : 15 sccm)를 포함하는 분위기의 실온(25℃)에서의 성막에 의해, In-Ga-Zn-O계 산화물 반도체 타겟(In₂O₃ : Ga₂O₃ : ZnO = 1 : 1 : 1)을 이용하여 게이트 절연층 위에 두께 50 nm의 산화물 반도체층을 형성하였다. 산화물 반도체층은 선택적으로 에칭되어, 섬 형태의 산화물 반도체층을 형성하였다.
- [0366] 그 다음, 질소 분위기에서 1시간 동안 450℃에서 제1 열 처리를 산화물 반도체층에 실시하였다.
- [0367] 그 다음, 소스 및 드레인 전극층을 위해, (두께 100 nm를 갖는) 티타늄막, (두께 200 nm를 갖는) 알루미늄막, 및 (두께 50 nm를 갖는) 티타늄막을 적층한 도전막을 스퍼터링법에 의해 실온(25℃)에서 산화물 반도체층 위에 형성하였다. 도전막이 선택적으로 에칭되어 소스 및 드레인 전극층들을 형성함으로써, 채널 길이 L이 3 μm 이고 채널 폭 W가 50 μm 인 박막 트랜지스터와, 채널 길이 L이 20 μm 이고 채널 폭 W가 20 μm 인 박막 트랜지스터가 제조되었다.
- [0368] 그 다음, 스퍼터링법에 의해 100℃에서 두께 300 nm의 산화 실리콘막을 보호 절연층으로서 산화물 반도체층과 접하도록 형성하였다. 여기서, 보호층으로서 역할하는 산화 실리콘막을 선택적으로 에칭하여, 게이트 전극층, 소스 및 드레인 전극층들 위에 개구를 형성하였다.
- [0369] 그 다음, 측정용 전극층으로서, 스퍼터링법에 의해 실온(25℃)에서 (두께 110 nm를 갖는) ITO막이 형성되었다. 측정용 전극층을 선택적으로 에칭하여, 개구를 통해 게이트 전극층에 전기적으로 접속된 측정용 전극층, 개구를 통해 소스 전극층에 전기적으로 접속된 측정용 전극층, 및 개구를 통해 드레인 전극층에 전기적으로 접속된 측

정용 전극층을 형성하였다. 그 후, 질소 분위기에서 1시간 동안 250℃에서 제2 열 처리를 실시하였다.

[0370] 상기 공정을 통해, 채널 길이 L 이 3 μm 이고 채널 폭 W 가 50 μm 인 박막 트랜지스터와, 채널 길이 L 이 20 μm 이고 채널 폭 W 가 20 μm 인 박막 트랜지스터가 하나의 기판 위에 제조되었다.

[0371] 그 다음, 박막 트랜지스터들의 전류 대 전압 특성이 측정되었다. 도 34a 및 도 34b 각각은, 박막 트랜지스터의 소스와 게이트 사이의 전압(이하, 게이트 전압 또는 V_g 라고 함)의 변화에 대한 소스와 드레인 사이에 흐르는 전류(이하, 드레인 전류 또는 I_d 라고 함)의 변화를 나타내는 V_g - I_d 곡선을 나타낸다. 도 34a는 채널 길이 L 이 3 μm 이고 채널 폭 W 가 50 μm 인 박막 트랜지스터의 V_g - I_d 곡선을 나타내고, 도 34b는 채널 길이 L 이 20 μm 이고 채널 폭 W 가 20 μm 인 박막 트랜지스터의 V_g - I_d 곡선을 나타낸다. 도 34a 및 도 34b 각각에서, 횡축에는 게이트 전압이 선형 스케일로 플롯팅되어 있고, 종축에는 드레인 전류가 로그 스케일로 플롯팅되어 있다.

[0372] 전류 대 전압 특성은, 소스와 드레인 사이의 전압을 10 V로 설정하고 게이트 전압을 -20 V에서 20 V까지 변화시킴으로써 측정되었다. 또한, 측정시 기판 온도는 다음과 같은 방식으로 변화되었다: -25℃, 0℃, 실온(25℃), 40℃, 85℃, 100℃, 125℃, 및 150℃. 각각의 기판 온도(동작 온도)에서의 전류 대 전압 특성을 측정하였다. 도 34a 및 도 34b 각각은, 측정시의 기판 온도와 V_g - I_d 곡선 사이의 관계를 용이하게 이해할 수 있도록, -10 V 내지 10 V 범위의 게이트 전압만을 도시하고 있다는 점에 유의한다.

[0373] 도 34a의 곡선(251) 및 도 34b의 곡선(261) 각각은, 측정시의 기판 온도가 -25℃일 때의 V_g - I_d 곡선을 도시하고 있다. 측정시의 기판 온도가 상승함에 따라, V_g - I_d 곡선은 도 34a 및 도 34b에서 좌측 방향, 즉, V_g 의 음의 방향으로 순차적으로 이동하고 있다. 특히, 도 34a에서, 측정시 기판 온도가 상승함에 따라, 트랜지스터는 (V_g 가 0 V일 때 I_d 가 거의 흐르지 않는) 노멀리-오프형으로부터 노멀리-온형으로 변하는 경향이 있다. 도면의 복잡성을 피하기 위해, 모든 V_g - I_d 곡선에 참조 번호를 표기하지는 않는다; 좌측에 위치한 곡선(258) 및 곡선(268)은 측정시의 기판 온도가 150℃일 때의 V_g - I_d 곡선이다.

[0374] 도 34a 및 도 34b에서, I_d 는 V_g 가 음인 영역에서 1×10^{-12} A 이하의 값을 갖는다. 이것은 측정시에 생성된 노이즈(noise)이다. 이 노이즈는 V_{th} 의 계산에 영향을 미치지 않는다는 점에 유의한다.

[0375] 얻어진 V_g - I_d 곡선으로부터 각 트랜지스터의 V_{th} 가 예 1과 유사한 방법에 의해 계산되었다.

[0376] 도 35a는, 도 34a 및 34b의 V_g - I_d 곡선으로부터 얻어진 V_{th} 를 나타내는 표이다. 도 35a에서, TFT(331)의 열은 채널 길이 L 이 3 μm 이고 채널 폭 W 가 50 μm 인 박막 트랜지스터의 V_{th} 를 나타내고, TFT(332)의 열은 채널 길이 L 이 20 μm 이고 채널 폭 W 가 20 μm 인 박막 트랜지스터의 V_{th} 를 나타낸다. 또한, 하부 셀에서 V_{th} 의 변동량은, 각 박막 트랜지스터의 측정 온도 범위 내에서의 V_{th} 의 최대값과 V_{th} 의 최소값 사이의 차이이다.

[0377] 도 35b는 도 35a에 기초한 그래프를 도시한다. 횡축의 측정 온도는 박막 트랜지스터의 전류 대 전압 측정시의 기판 온도(동작 온도)이고, 종축의 V_{th} 는 각 기판 온도에서의 임계 전압이다. "검정색 원"으로 표시된 임계 전압(341)은 채널 길이 L 이 3 μm 이고 채널 폭 W 가 50 μm 인 박막 트랜지스터의 임계 전압이다. "열린 삼각형"으로 표시된 임계 전압(342)은 채널 길이 L 이 20 μm 이고 채널 폭 W 가 20 μm 인 박막 트랜지스터의 임계 전압이다.

[0378] 본 예에서 제조된 박막 트랜지스터의 임계 전압의 변화량은 -25℃ 내지 150℃의 환경에서 2 V 이하인 것을 확인하였다.

[0379] 본 출원은, 2009년 9월 16일 일본 특허청에 출원된 일본 특허 출원번호 제2009-215077호와 2010년 2월 19일 일본 특허청에 출원된 일본 특허 출원번호 제2010-035349호에 기초하고 있으며, 본 명세서에서 이들 전체를 참조로 인용한다.

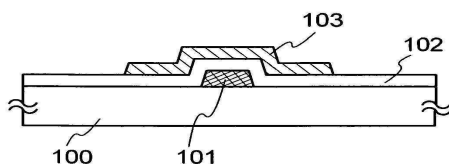
부호의 설명

[0380] 10: 펄스 출력 회로, 11: 제1 배선, 12: 제2 배선, 13: 제3 배선, 14: 제4 배선, 15: 제5 배선, 21: 제1 입력 단자, 22: 제2 입력 단자, 23: 제3 입력 단자, 24: 제4 입력 단자, 25: 제5 입력 단자, 26: 제1 출력 단자, 27: 제2 출력 단자, 28: 박막 트랜지스터, 31: 제1 트랜지스터, 32: 제2 트랜지스터, 33: 제3 트랜지스터, 34: 제4 트랜지스터, 35: 제5 트랜지스터, 36: 제6 트랜지스터, 37: 제7 트랜지스터, 38: 제8 트랜지스터, 39: 제9 트랜지스터, 40: 제10 트랜지스터, 41: 제11 트랜지스터, 42: 제12 트랜지스터, 43: 제13 트랜지스터, 51: 전원선, 52: 전원선, 53: 전원선, 61: 기간, 62: 기간, 100: 기판, 101: 게이트 전극층, 102: 게이트 절연층, 103: 산화물 반도체층, 107: 보호 절연층, 110: 채널 보호층, 150: 박막 트랜지스터, 160: 박막 트랜지스터, 170: 박

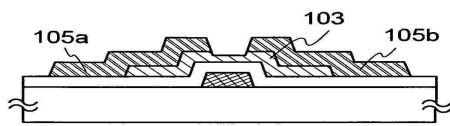
막 트랜지스터, 180: 박막 트랜지스터, 201: 곡선, 207: 곡선, 211: 곡선, 217: 곡선, 221: 곡선, 227: 곡선, 251: 곡선, 258: 곡선, 261: 곡선, 268: 곡선, 303: TFT, 305: TFT, 310: TFT, 313: 값, 315: 값, 320: 값, 331: TFT, 332: TFT, 341: 값, 342: 값, 400: 유리 기판, 401: 산화 질화 절연층, 402: In-Ga-Zn-O계 산화물 반도체층, 403: 분석 방향, 411: 산소 이온 강도 프로파일, 412: 수소 농도 프로파일, 413: 수소 농도 프로파일, 501: 곡선, 502: 점, 503: 점, 504: 직선, 505: 절편, 580: 기판, 581: 박막 트랜지스터, 583: 절연막, 585: 절연층, 587: 제1 전극층, 588: 제2 전극층, 589: 구형 입자, 594: 공동, 595: 충전재, 596: 기판, 600: 기판, 601: 대향 기판, 602: 게이트 배선, 603: 게이트 배선, 604: 용량 소자 배선, 605: 용량 소자 배선, 606: 게이트 절연막, 616: 배선, 617: 용량 소자 배선, 618: 배선, 619: 배선, 620: 절연막, 622: 절연막, 623: 콘택트 홀, 624: 화소 전극층, 625: 슬릿, 626: 화소 전극층, 627: 콘택트 홀, 628: TFT, 629: TFT, 630: 유지 용량 소자부, 631: 유지 용량 소자부, 636: 책색막, 637: 평탄화막, 640: 대향 전극층, 641: 슬릿, 644: 돌기, 646: 배향막, 648: 배향막, 650: 액정층, 651: 액정 소자, 652: 액정 소자, 690: 용량 소자 배선, 701: 게이트 전극층, 702: 게이트 절연층, 703: 채널, 801: 유리 기판, 802: 게이트 전극층, 803: 게이트 절연층, 804: 산화물 반도체층, 805: 소스 전극층, 806: 드레인 전극층, 811: 곡선, 818: 곡선, 821: 곡선, 828: 곡선, 831: 곡선, 832: 곡선, 833: 곡선, 850: 박막 트랜지스터, 911: 곡선, 918: 곡선, 2600: TFT 기판, 2601: 대향 기판, 2602: 밀봉재, 2603: 화소부, 2604: 표시 소자, 2605: 착색층, 2606: 편광판, 2607: 편광판, 2608: 배선 회로부, 2609: 가요성 배선 기판, 2610: 냉음극관, 2611: 반사판, 2612: 회로 기판, 2613: 확산판, 2700: 전자 서적 리더, 2701: 하우징, 2703: 하우징, 2705: 표시부, 2707: 표시부, 2711: 경첩, 2721: 전원 스위치, 2723: 조작키, 2725: 스피커, 4001: 제1 기판, 4002: 화소부, 4003: 신호선 구동 회로, 4004: 주사선 구동 회로, 4005: 밀봉재, 4006: 제2 기판, 4008: 액정층, 4010: 박막 트랜지스터, 4011: 박막 트랜지스터, 4013: 액정 소자, 4015: 접속 단자 전극, 4016: 단자 전극, 4018: FPC, 4019: 이방성 도전막, 4020: 절연층, 4021: 절연층, 4030: 화소 전극층, 4031: 대향 전극층, 4032: 절연층, 4040: 도전층, 4501: 제1 기판, 4502: 화소부, 4505: 밀봉재, 4506: 제2 기판, 4507: 충전재, 4509: 박막 트랜지스터, 4510: 박막 트랜지스터, 4511: 발광 소자, 4512: 전계발광층, 4513: 제2 전극층, 4515: 접속 단자 전극, 4516: 단자 전극, 4517: 제1 전극층, 4519: 이방성 도전막, 4520: 격벽, 4540: 도전층, 4541: 절연층, 4544: 절연층, 5300: 기판, 5301: 화소부, 5302: 제1 주사선 구동 회로, 5303: 제2 주사선 구동 회로, 5304: 신호선 구동 회로, 5305: 타이밍 제어 회로, 5601: 시프트 레지스터, 5602: 스위칭 회로, 5603: 박막 트랜지스터, 5604: 배선, 5605: 배선, 6400: 화소, 6401: 스위칭 트랜지스터, 6402: 발광 소자 구동용 트랜지스터, 6403: 용량 소자, 6404: 발광 소자, 6405: 신호선, 6406: 주사선, 6407: 전원선, 6408: 공통 전극, 7001: TFT, 7002: 발광 소자, 7003: 캐소드, 7004: EL층, 7005: 애노드, 7009: 격벽, 7011: TFT, 7012: 발광 소자, 7013: 캐소드, 7014: EL층, 7015: 애노드, 7016: 차광막, 7017: 도전막, 7019: 격벽, 7021: TFT, 7022: 발광 소자, 7023: 캐소드, 7024: EL층, 7025: 애노드, 7027: 도전막, 7029: 격벽, 7031: 산화물 절연층, 7033: 컬러 필터층, 7034: 오버코트층, 7035: 보호 절연층, 7041: 산화물 절연층, 7043: 컬러 필터층, 7044: 오버코트층, 7045: 보호 절연층, 7051: 산화물 절연층, 7053: 평탄화 절연층, 7055: 절연층, 9201: 표시부, 9202: 표시 버턴, 9203: 조작 스위치, 9205: 조정부, 9206: 카메라부, 9207: 스피커, 9208: 마이크로폰, 9301: 상부 하우징, 9302: 하부 하우징, 9303: 표시부, 9304: 키보드, 9305: 외부 접속 포트, 9306: 포인팅 장치, 9307: 표시부, 9600: 텔레비전 세트, 9601: 하우징, 9603: 표시부, 9605: 스탠드, 9607: 표시부, 9609: 조작키, 9610: 리모콘, 9700: 디지털 포토 프레임, 9701: 하우징, 9703: 표시부, 9881: 하우징, 9882: 표시부, 9883: 표시부, 9884: 스피커부, 9886: 기록 매체 삽입부, 9887: 접속 단자, 9888: 센서, 9889: 마이크로폰, 9890: LED 램프, 9891: 하우징, 9893: 접속부, 9900: 슬롯 머신, 9901: 하우징, 9903: 표시부, 105a: 소스 전극층, 105b: 드레인 전극층, 4503a: 신호선 구동 회로, 4504a: 주사선 구동 회로, 4518a: FPC, 590a: 흑색 영역, 590b: 백색 영역, 704a: 드레인 전극층, 704b: 소스 전극층, 705a: N^+ 영역, 705b: N^+ 영역

도면

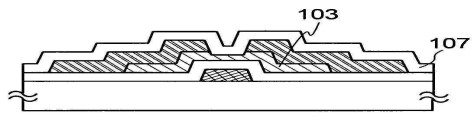
도면1a



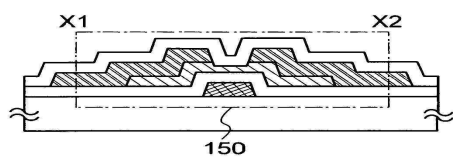
도면1b



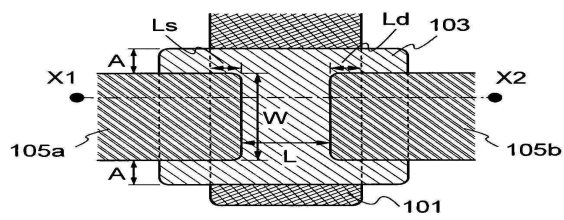
도면1c



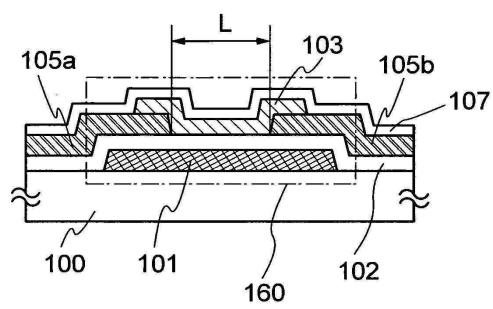
도면1d



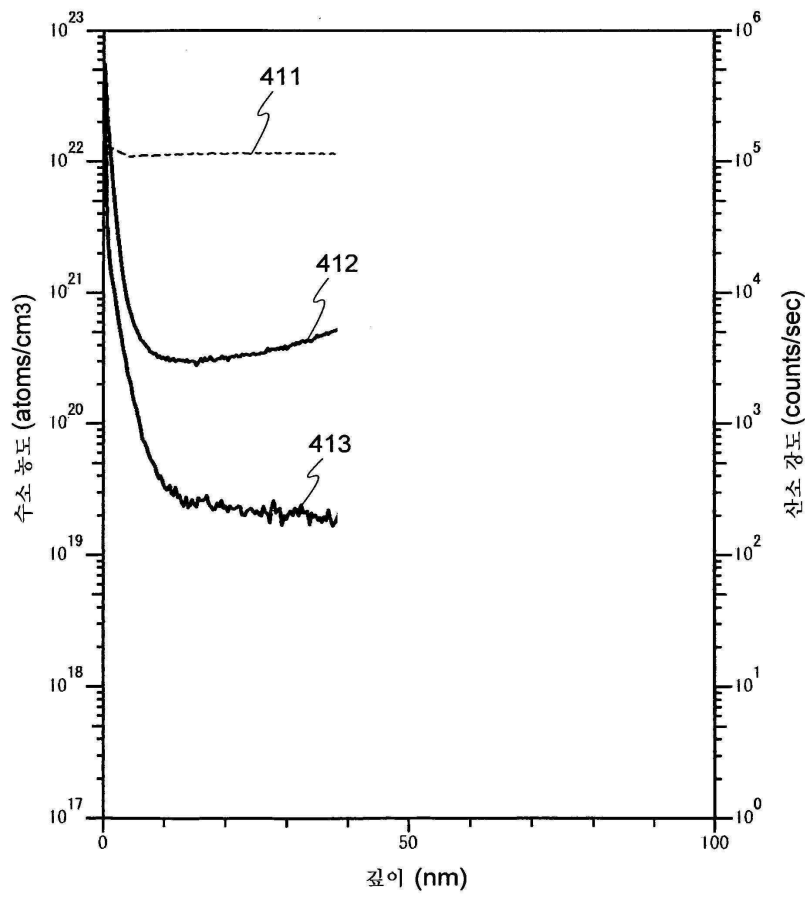
도면1e



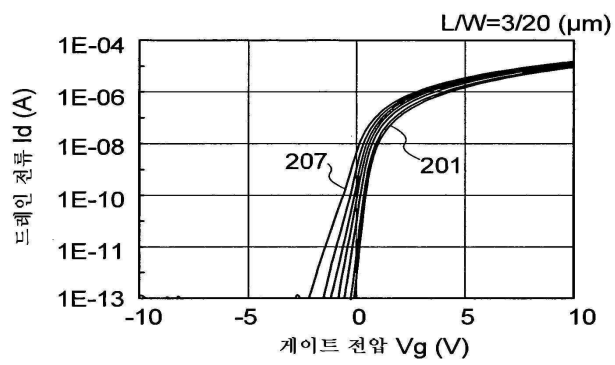
도면2a



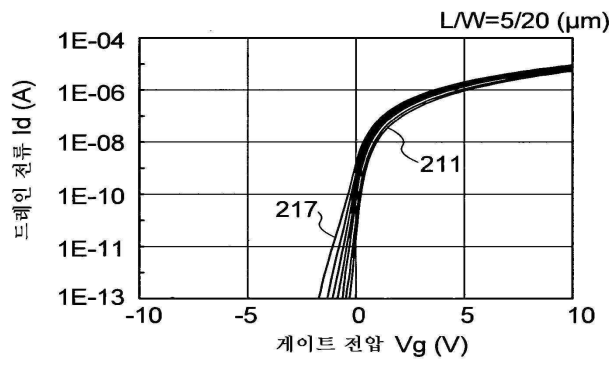
도면3b



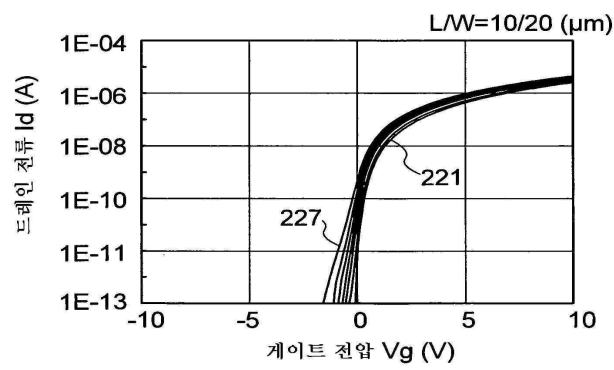
도면4a



도면4b



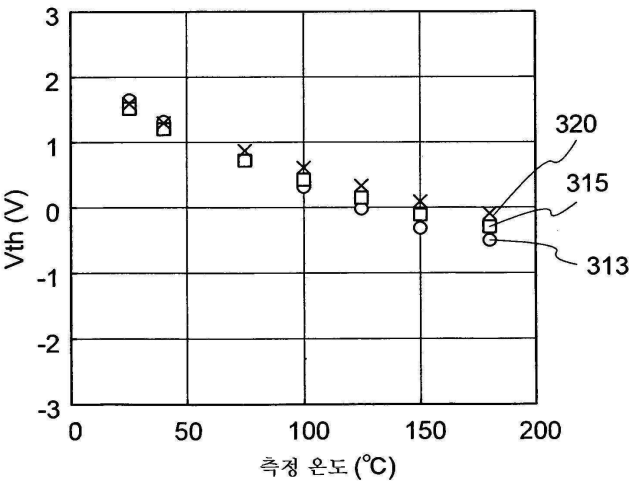
도면4c



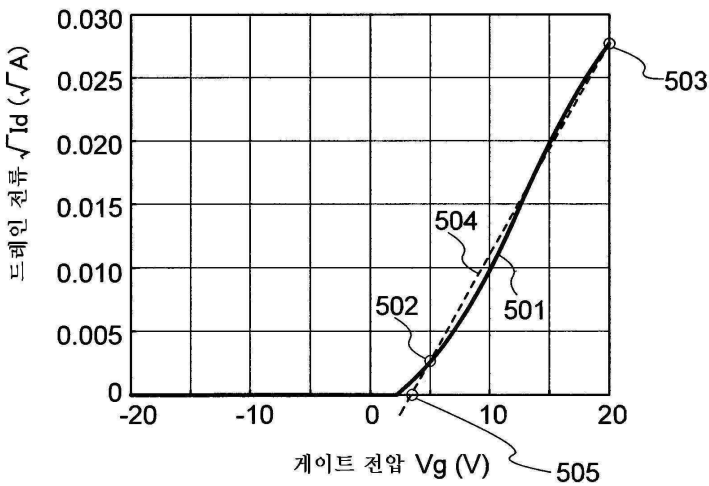
도면5a

측정 온도 ($^{\circ}\text{C}$)	V_{th} (V)		
	TFT303	TFT305	TFT310
25	1.65	1.52	1.59
40	1.31	1.20	1.30
75	0.73	0.72	0.87
100	0.31	0.43	0.61
125	-0.01	0.14	0.33
150	-0.32	-0.12	0.09
180	-0.50	-0.30	-0.09
V_{th} 의 변화	2.16	1.83	1.68

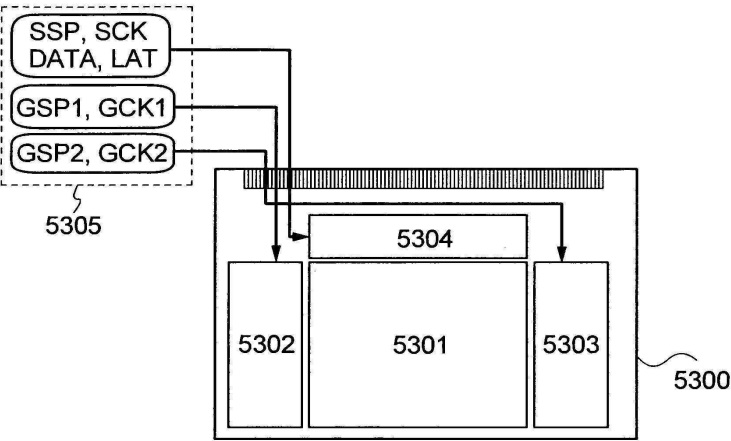
도면5b



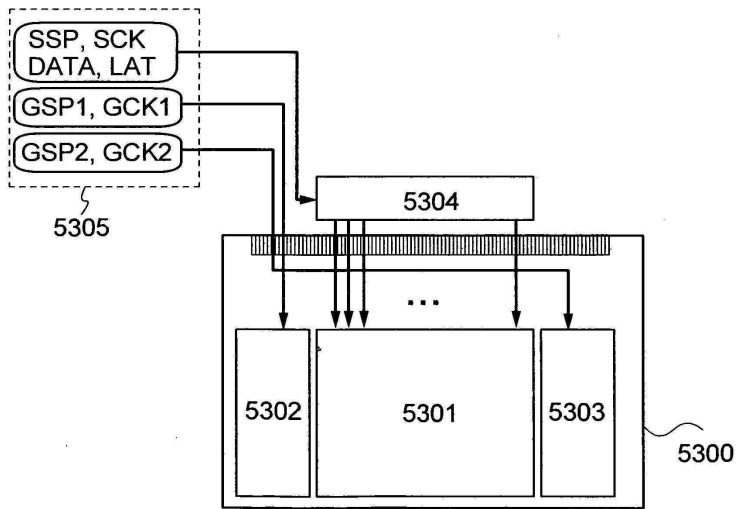
도면6



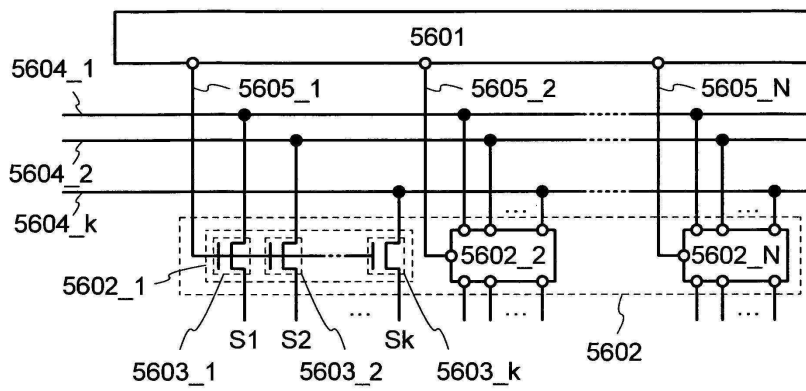
도면7a



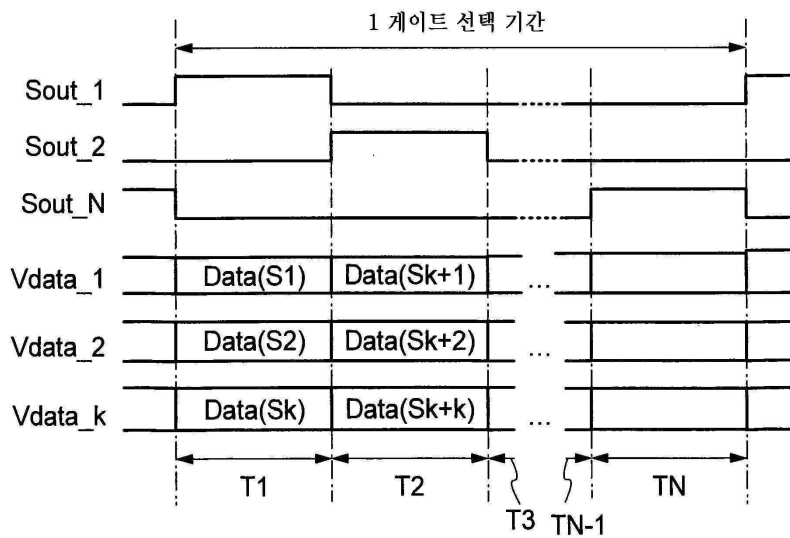
도면7b



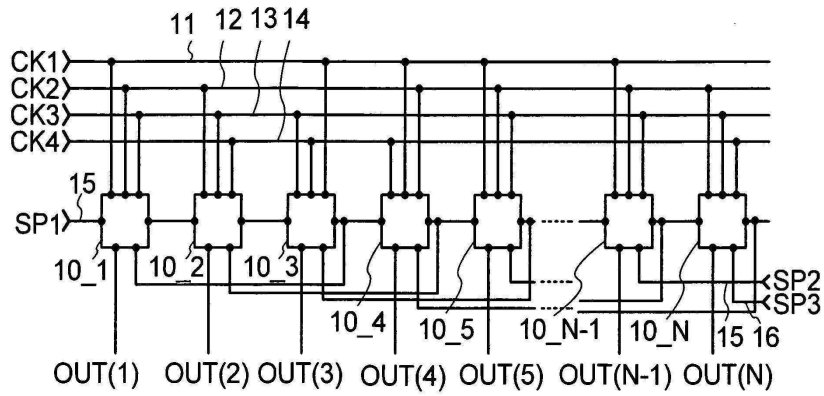
도면8a



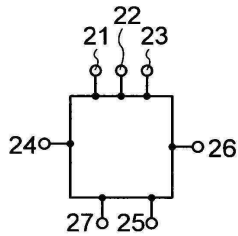
도면8b



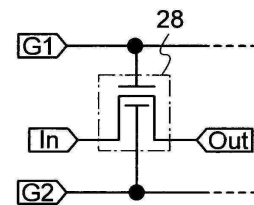
도면9a



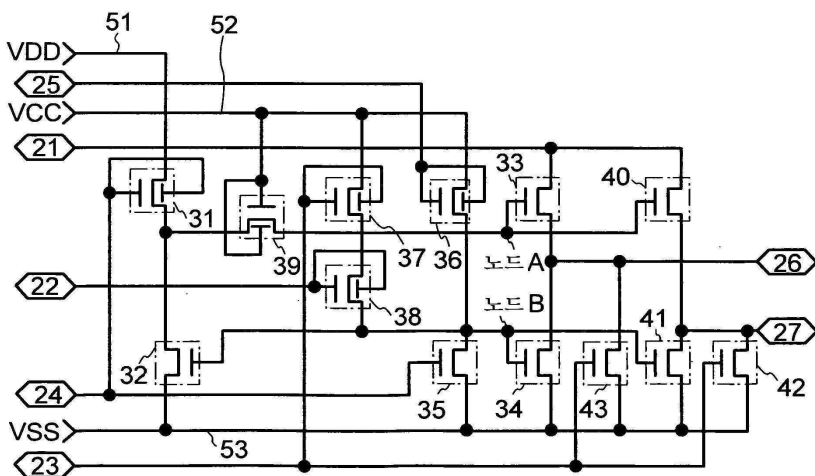
도면9b



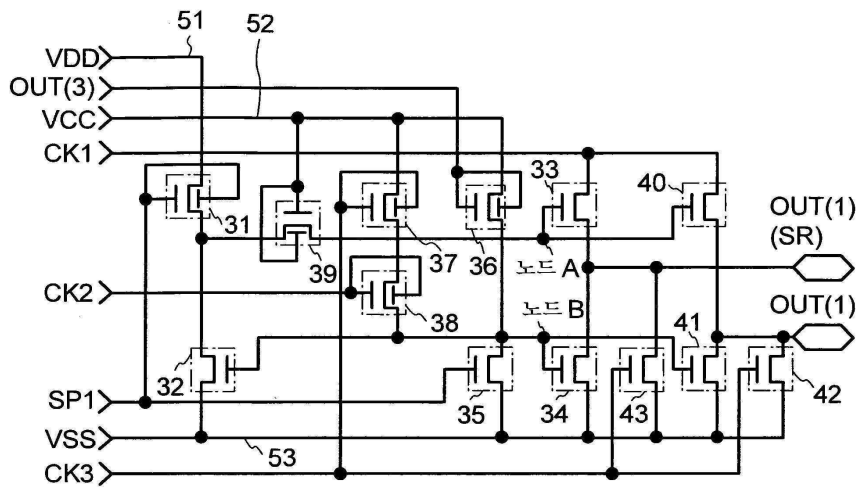
도면9c



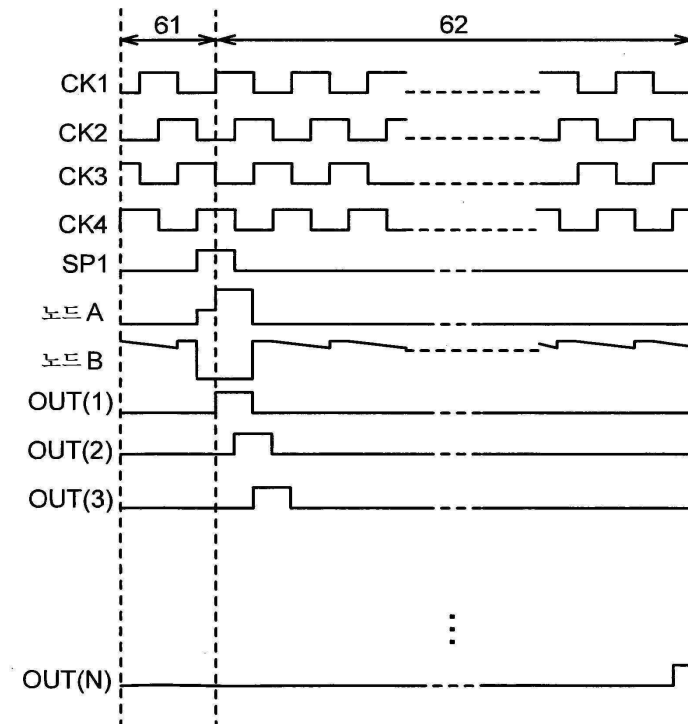
도면9d



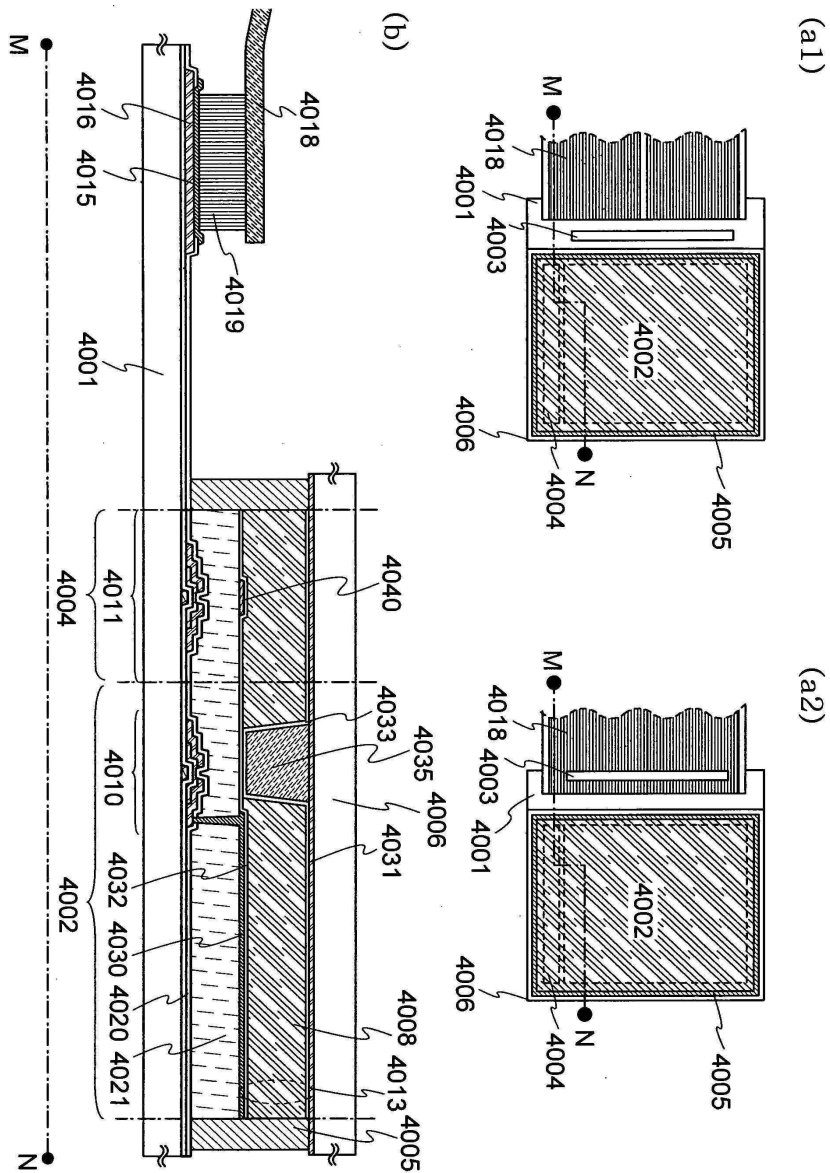
도면10a



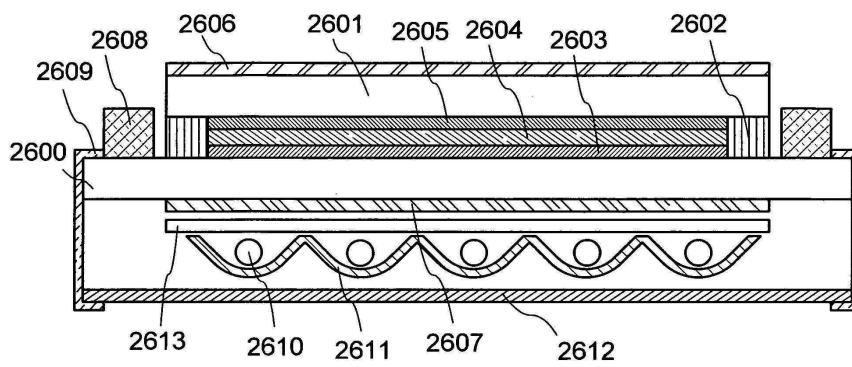
도면10b



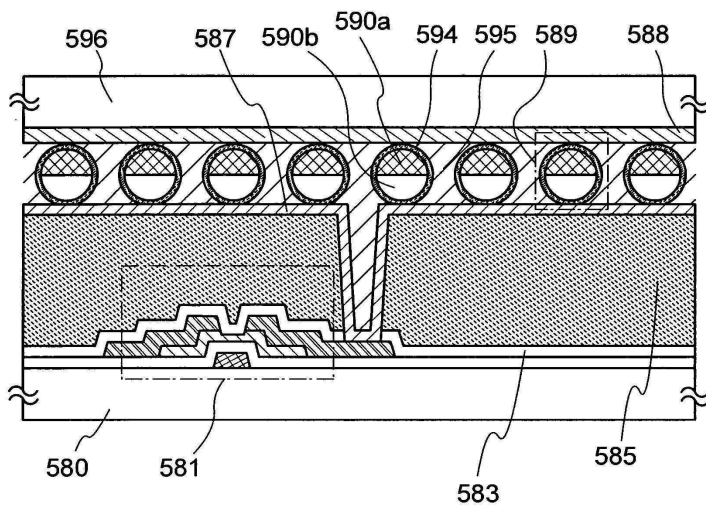
도면11



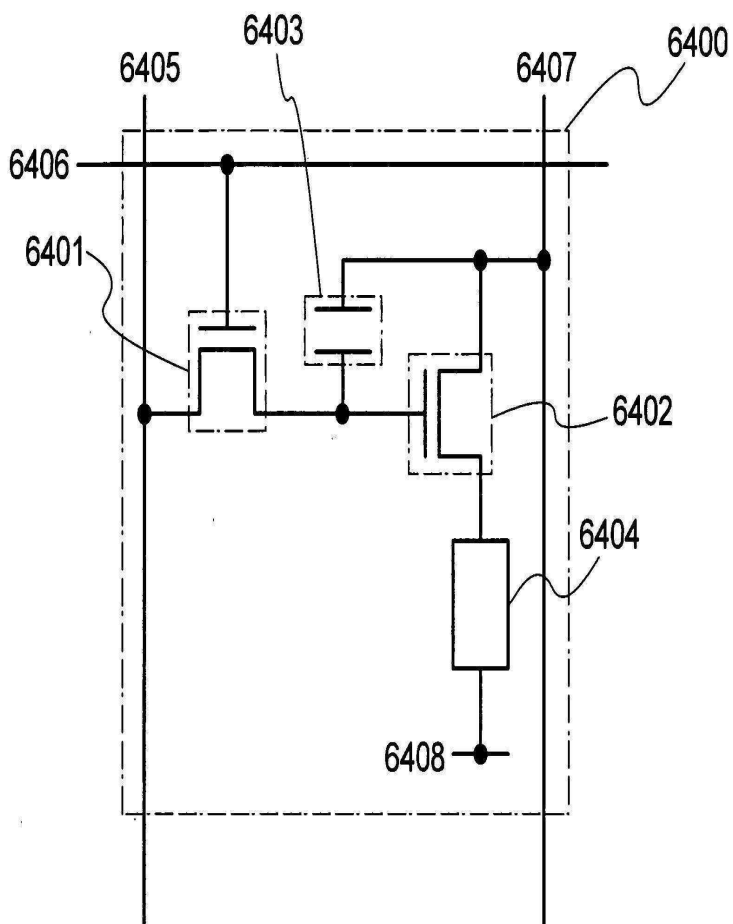
도면12



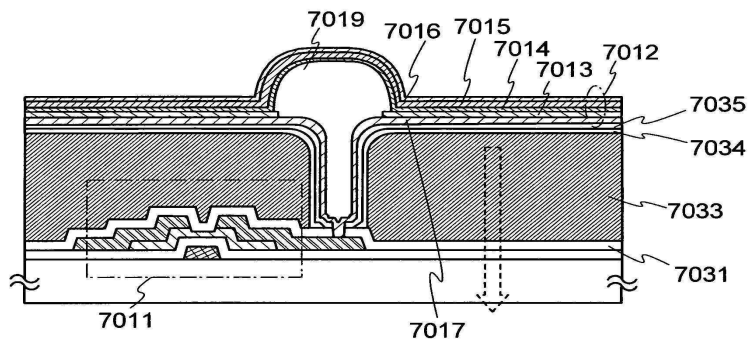
도면13



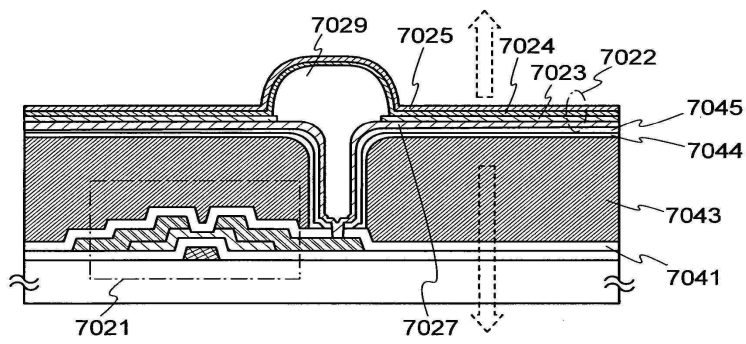
도면14



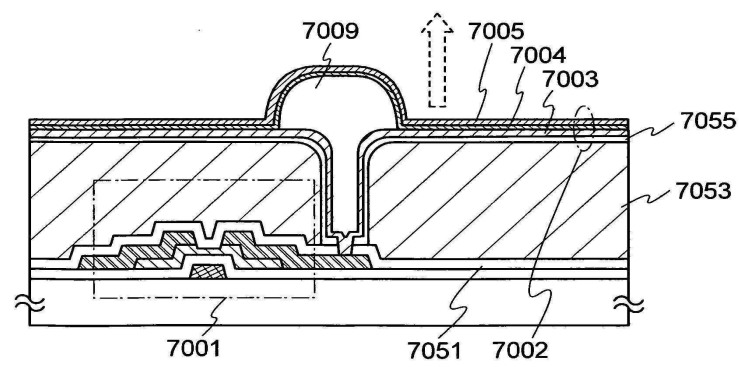
도면15a



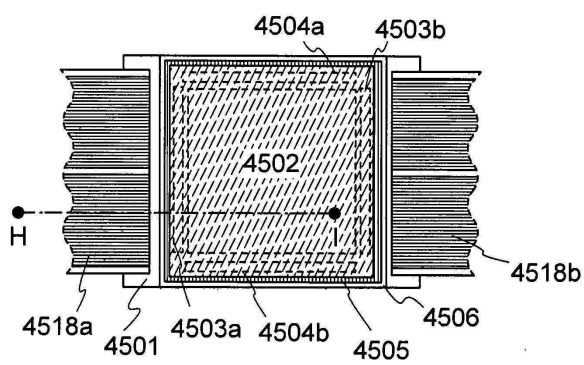
도면15b



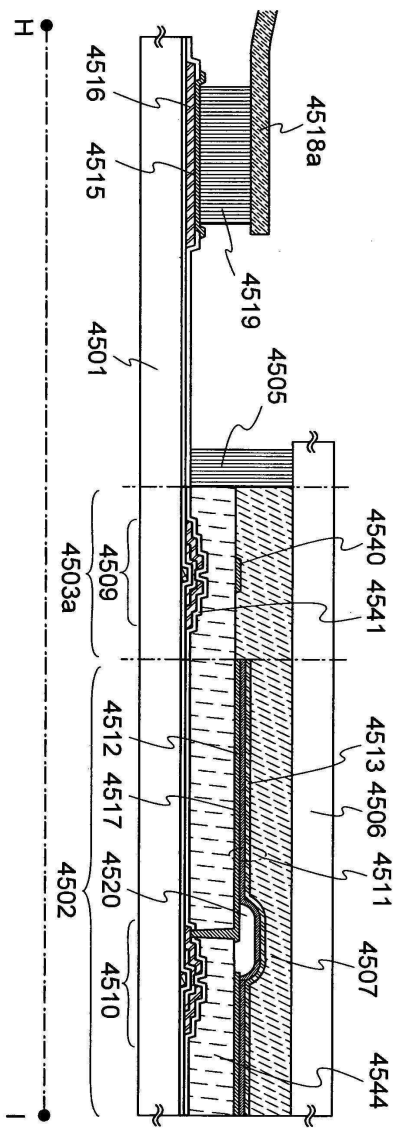
도면15c



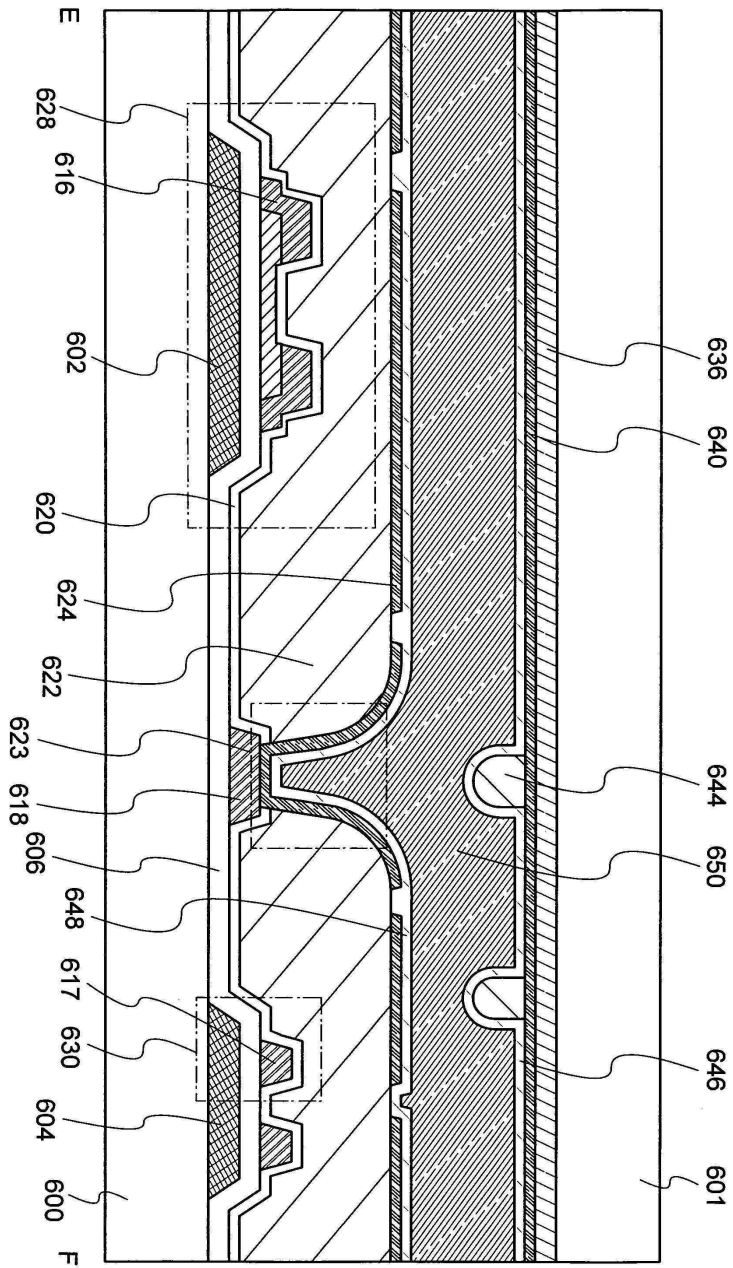
도면16a



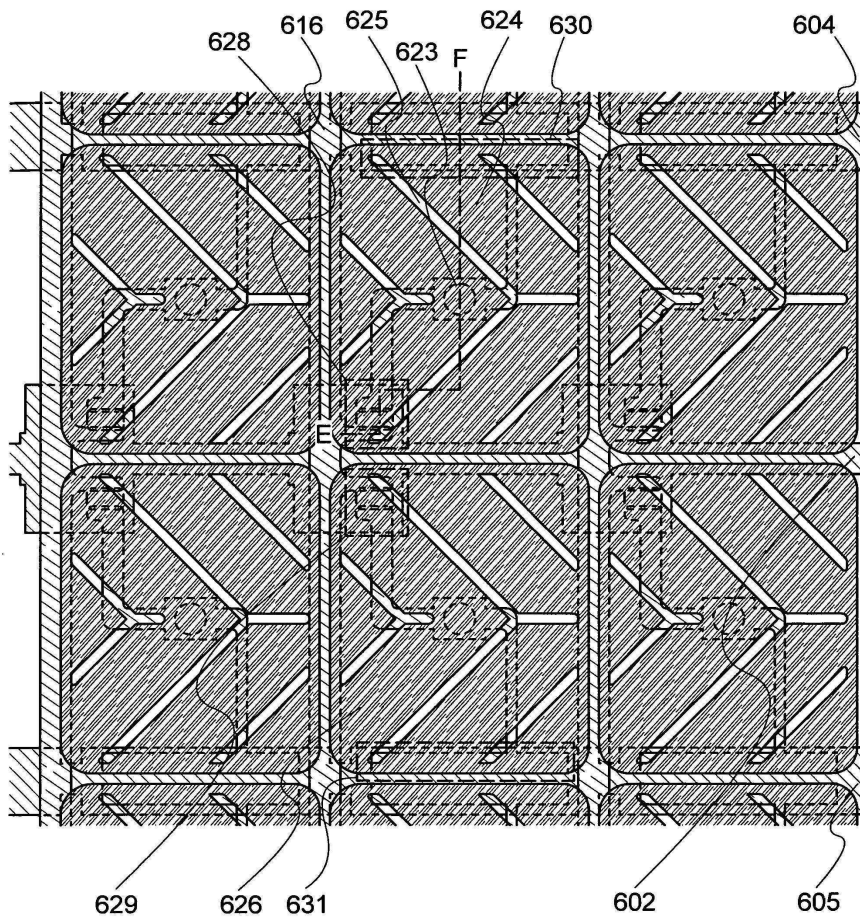
도면16b



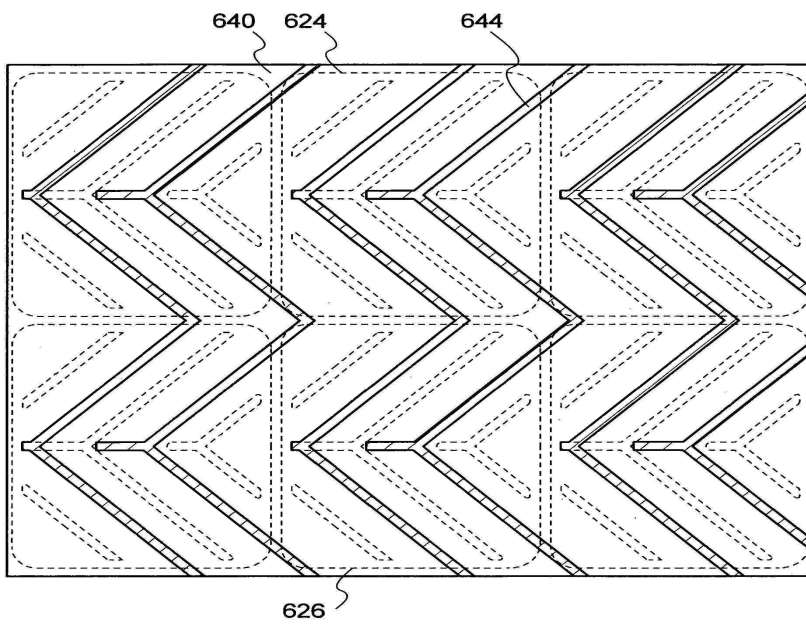
도면17



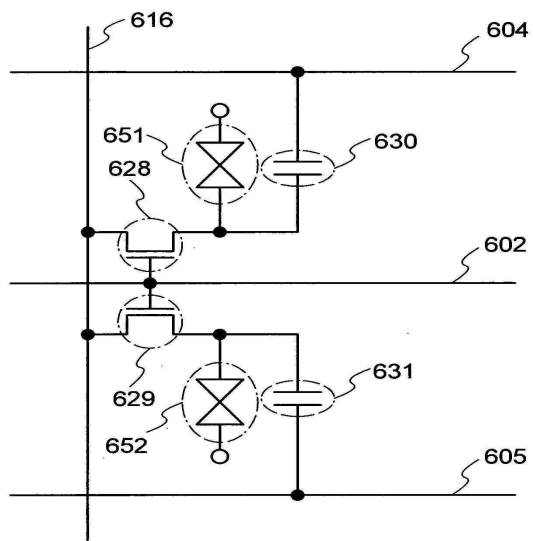
도면18



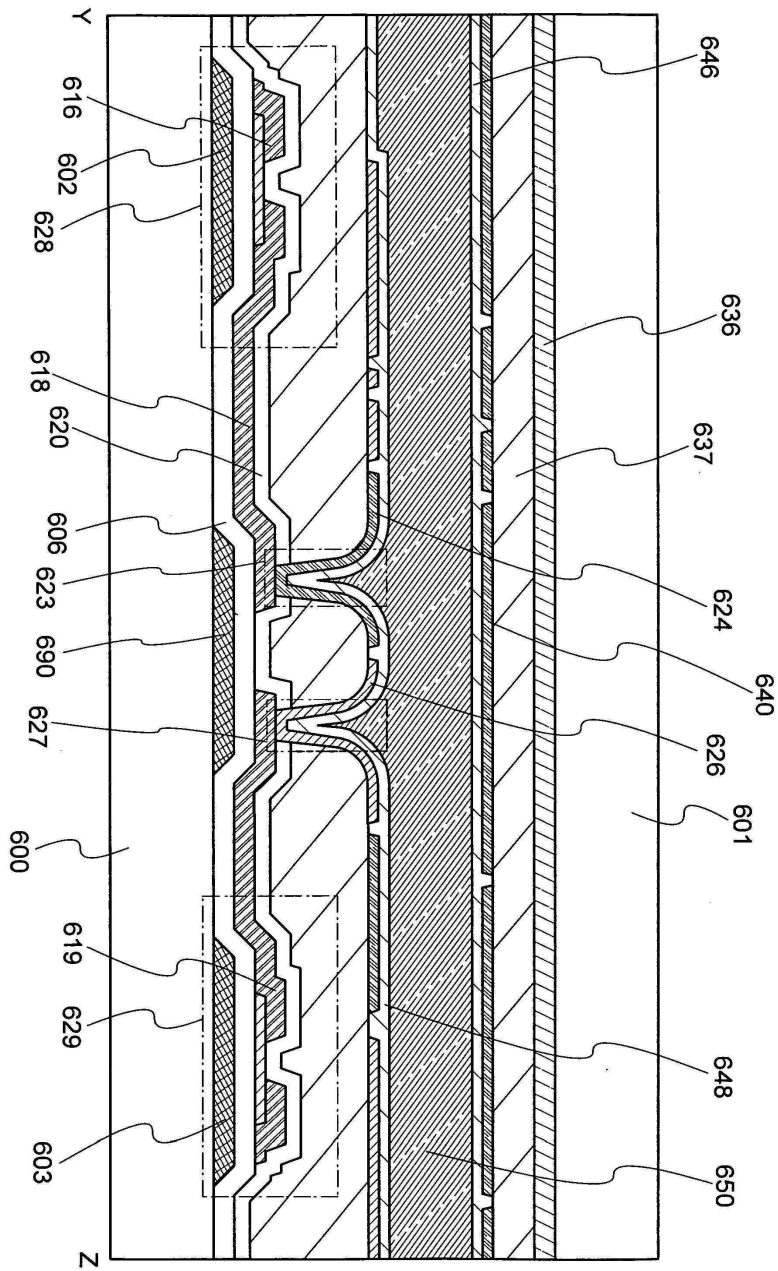
도면19



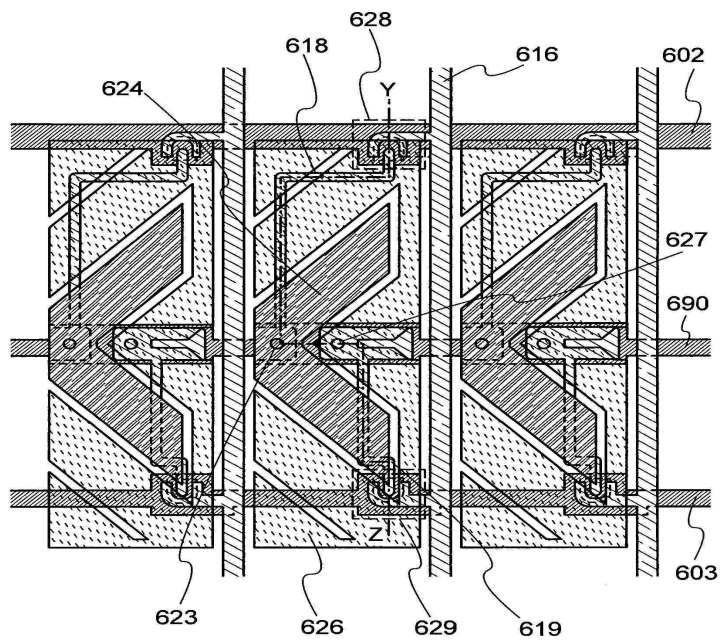
도면20



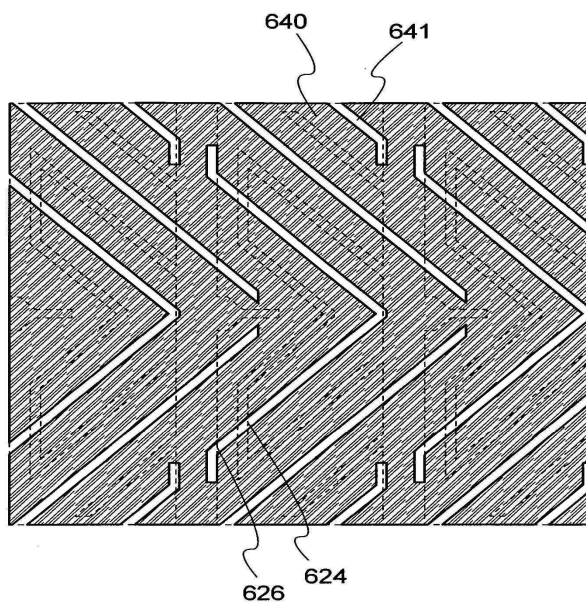
도면21



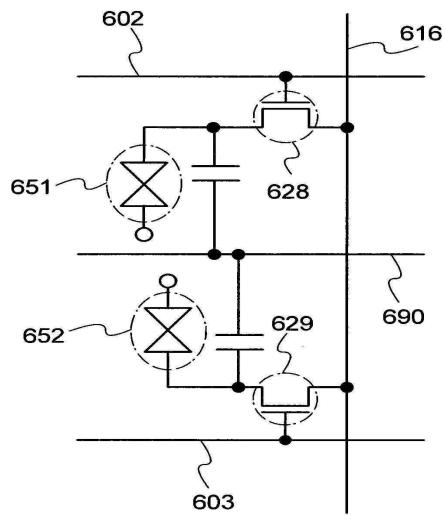
도면22



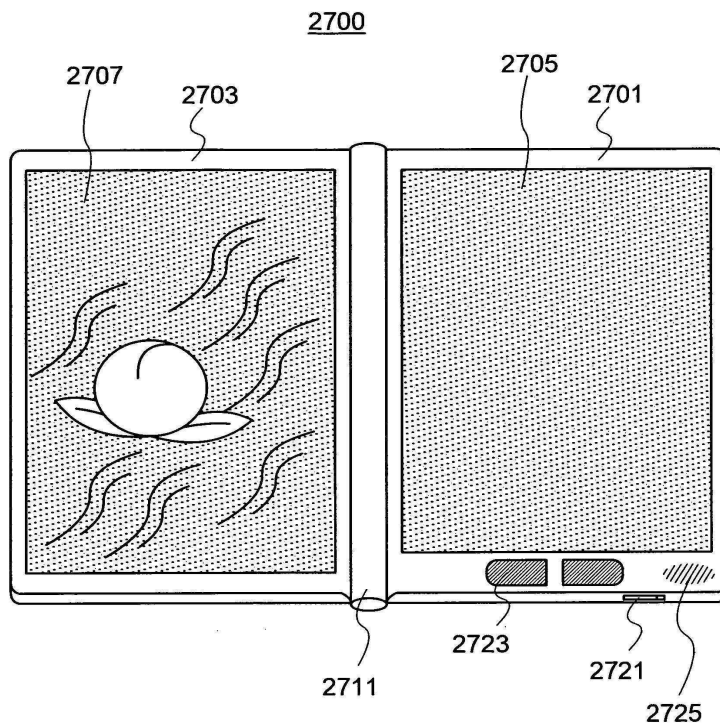
도면23



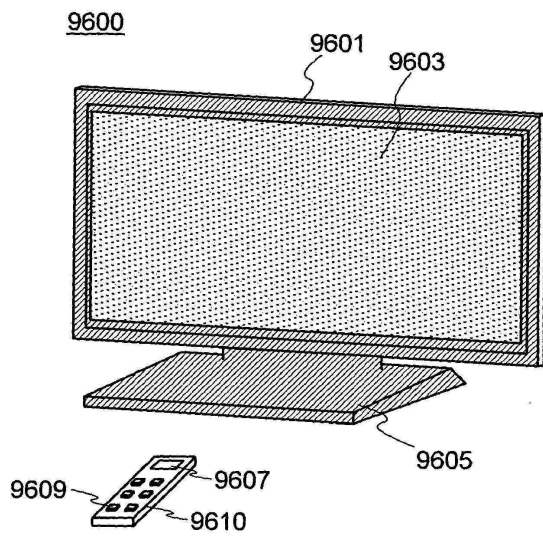
도면24



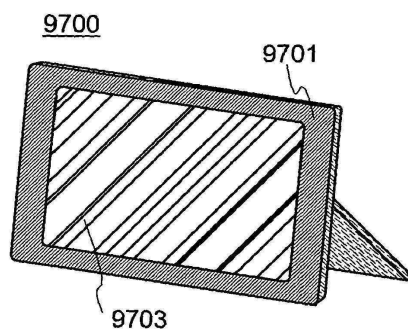
도면25



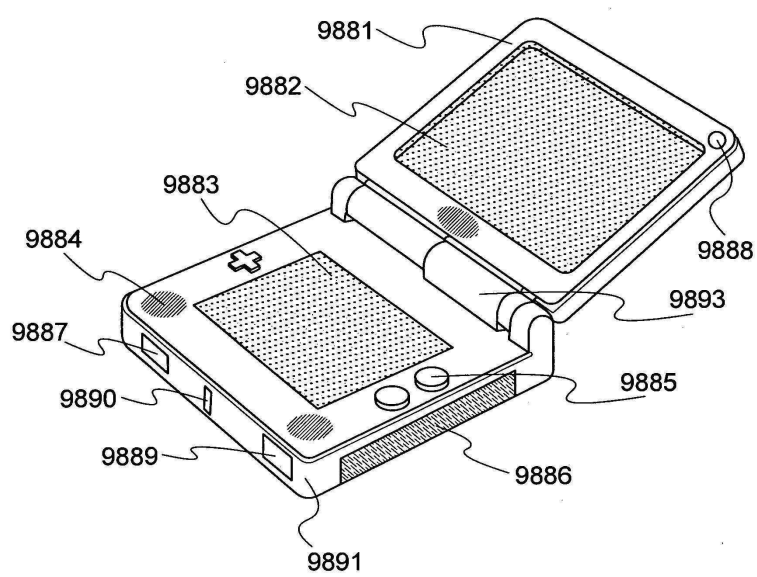
도면26a



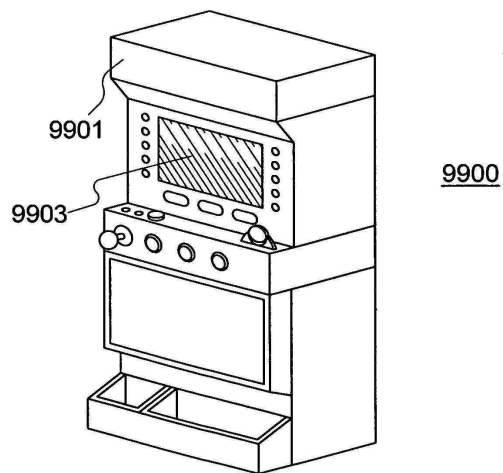
도면26b



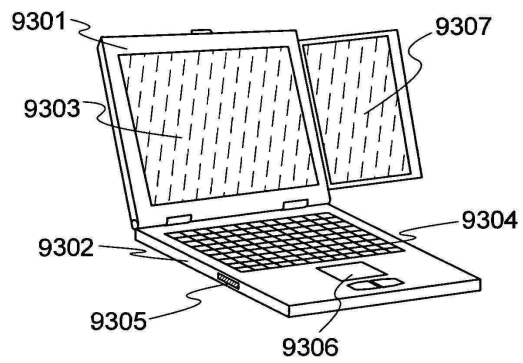
도면27a



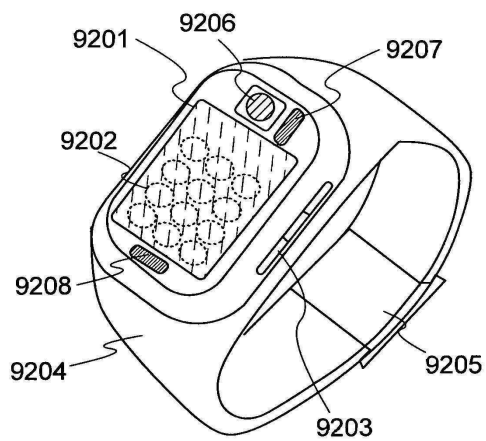
도면27b



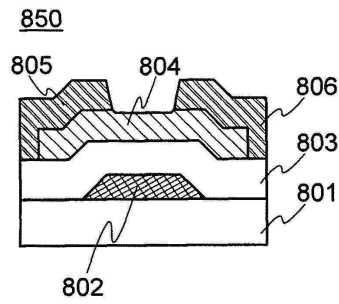
도면28a



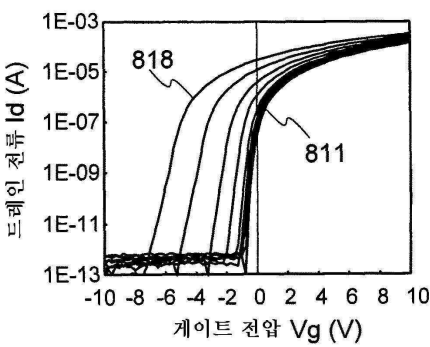
도면28b



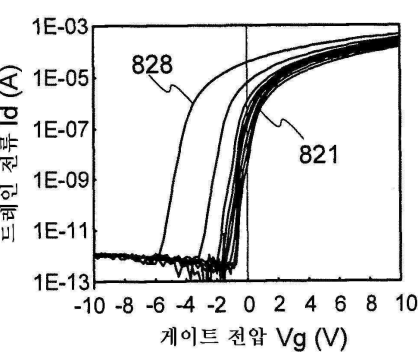
도면29a



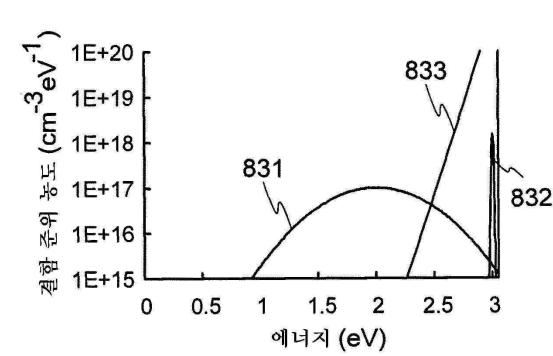
도면29b



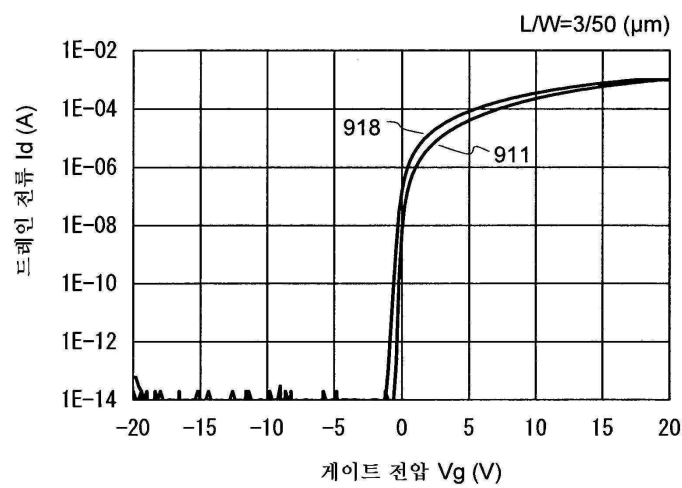
도면29c



도면29d



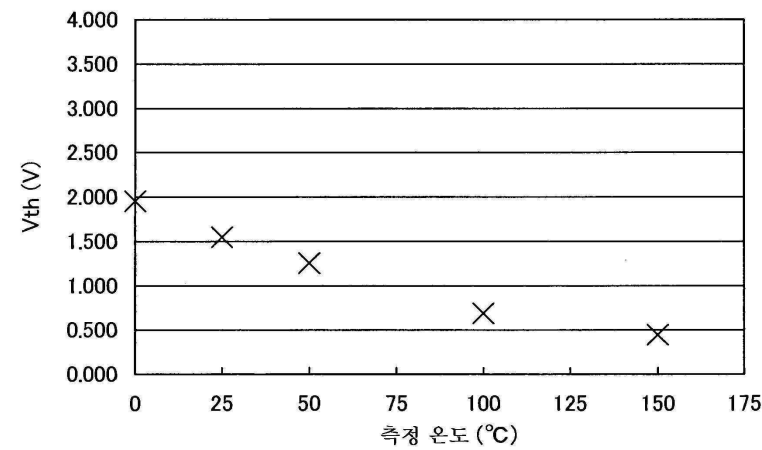
도면30



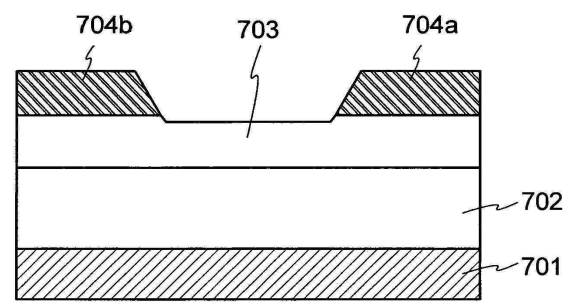
도면31a

측정 온도 ($^{\circ}\text{C}$)	V_{th} (V)
0	1.954
25	1.547
50	1.256
100	0.689
150	0.447
V_{th} 의 변화	1.507

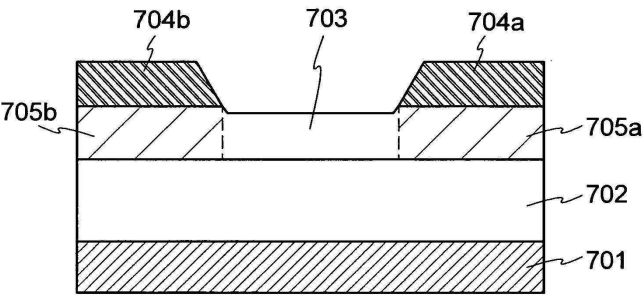
도면31b



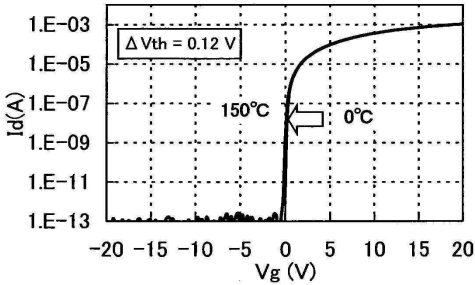
도면32a



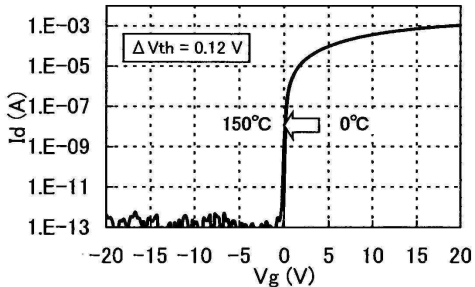
도면32b



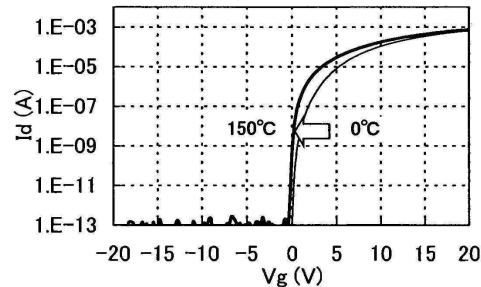
도면33a



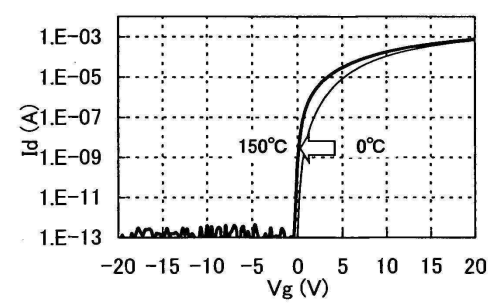
도면33b



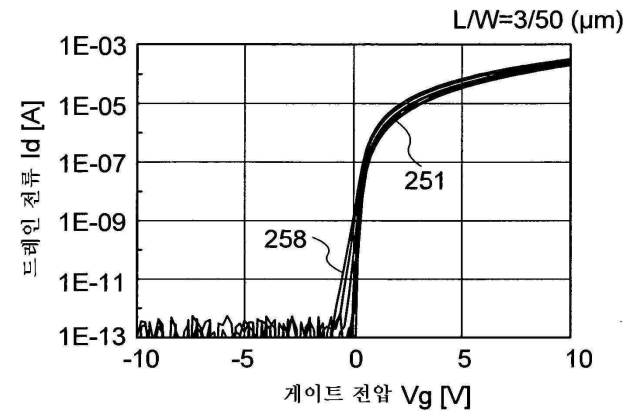
도면33c



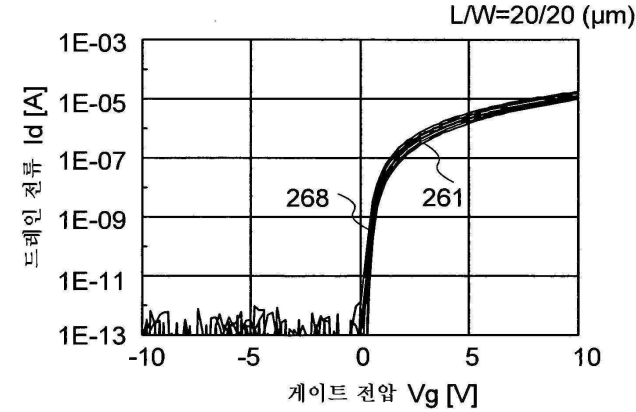
도면33d



도면34a



도면34b



도면35a

측정 온도 (°C)	Vth (V)	
	TFT331	TFT332
-25	1.78	2.03
0	1.60	1.83
25	0.27	1.58
40	0.97	1.45
85	0.45	1.06
100	0.47	1.32
125	0.02	0.76
150	-0.1	0.82
Vth의 변화	1.88	1.27

도면35b

