



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2013년01월16일  
(11) 등록번호 10-1222278  
(24) 등록일자 2013년01월08일

(51) 국제특허분류(Int. Cl.)  
H03M 1/12 (2006.01)  
(21) 출원번호 10-2007-7009969  
(22) 출원일자(국제) 2005년09월30일  
심사청구일자 2010년09월30일  
(85) 번역문제출일자 2007년05월01일  
(65) 공개번호 10-2007-0073854  
(43) 공개일자 2007년07월10일  
(86) 국제출원번호 PCT/US2005/035483  
(87) 국제공개번호 WO 2006/039649  
국제공개일자 2006년04월13일  
(30) 우선권주장  
10/954,485 2004년10월01일 미국(US)  
(56) 선행기술조사문헌  
US20030215033 A1  
전체 청구항 수 : 총 1 항

(73) 특허권자  
지이 애비에이션 시스템즈 엘엘씨  
미국 미시간 (우편번호: 49512-1991) 그랜드 래피즈  
패터슨 애비뉴 에스. 이. 3290  
(72) 발명자  
루날스, 앤드류, 더블유.  
미국 49333 미시건주 미들빌 데이비드 로드 11453  
네이스, 사무엘, 씨.  
미국 49546 미시건주 그랜드 래피즈 아키텐트레이브  
에스티. 6276  
(74) 대리인  
제일특허법인, 김원준

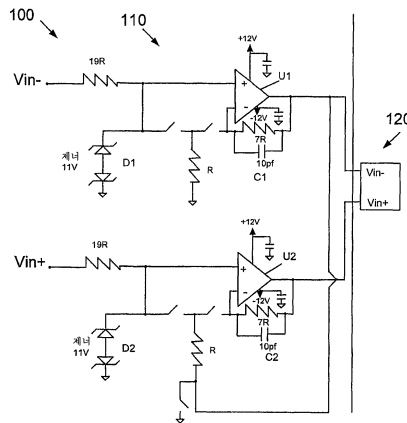
심사관 : 권성락

(54) 발명의 명칭 **아날로그 입력 전단부**

**(57) 요약**

아날로그 입력 전단(analog input front end)은 구성가능한 이득 스테이지(configurable gain stage) 및 아날로그-디지털 변환기를 포함한다. 구성가능한 이득 스테이지는 차동 아날로그 입력 신호와 같은 아날로그 입력 신호를 수신하고, 최대값과 최소값 사이의 특정 전압 범위 내에 있는 이득-조정된 아날로그 입력 신호를 출력하기 위하여, 아날로그 입력 신호에 이득값을 제공한다. 아날로그-디지털 변환기는 이득-조정된 아날로그 입력 신호를 수신하고, 아날로그 입력 신호를 나타내는 디지털 신호를 출력하기 위하여, 이득-조정된 아날로그 입력 신호에 아날로그-디지털 변환을 수행한다.

**대표도 - 도1**



**특허청구의 범위**

**청구항 1**

아날로그 입력 전단부(analog input front end)(100)로서,

아날로그 입력 신호를 수신하도록 구성되고, 최대값과 최소값 사이의 특정 전압 범위 내에 있는 이득-조정된 아날로그 입력 신호를 출력하기 위해 상기 아날로그 입력 신호에 이득값을 제공하도록 설정될 수 있는 구성가능한 이득 스테이지(configurable gain stage)(110)와,

상기 구성가능한 이득 스테이지로부터 출력되는 상기 이득-조정된 아날로그 입력 신호를 수신하고, 상기 이득-조정된 아날로그 입력 신호에 대해 아날로그-디지털 변환을 수행하여 상기 아날로그 입력 신호를 나타내는 디지털 신호를 출력하도록 구성된 아날로그-디지털 변환기(120)

를 포함하되,

상기 구성가능한 이득 스테이지(110)는

제 1 연산 증폭기(U1)와,

상기 제 1 연산 증폭기(U1)의 출력과 제 1 입력 사이에 연결되고 제 1 저역 통과 필터로서 기능하는 제 1 저항(R3) 및 제 1 캐패시터(C1)와,

네가티브 차동 입력 신호 스테이지가 감쇠 모드, 단위 이득 모드(unity gain mode) 및 단위 초과 이득 모드(greater-than-unity gain mode)에서 동작할 수 있도록 하기 위해, 회로 내의 제 2 저항(R2)을, 상기 제 1 연산 증폭기(U1)의 제 2 입력 및 제 5 저항(R1)을 거쳐 상기 구성가능한 이득 스테이지(110)의 네가티브 입력 (Vin-)에 연결된 제 1 스위치(S1)의 한쪽 단과 연결하도록 스위칭될 수 있는 제 1 스위치(S1) - 상기 제 1 스위치(S1)의 다른쪽 단은 상기 제 2 저항(R2)의 한쪽 단에 연결되고 상기 제 2 저항(R2)의 다른쪽 단은 접지됨 -

를 포함하는 네가티브 차동 입력 신호 스테이지와,

제 2 연산 증폭기(U2)와,

상기 제 2 연산 증폭기(U2)의 출력과 제 1 입력 사이에 연결되고 제 2 저역 통과 필터로서 기능하는 제 3 저항(R6) 및 제 2 캐패시터(C2)와,

포지티브 차동 입력 신호 스테이지가 상기 감쇠 모드, 상기 단위 이득 모드 및 상기 단위 초과 이득 모드에서 동작할 수 있도록 하기 위해, 회로 내의 제 4 저항(R5)을, 상기 제 2 연산 증폭기(U2)의 제 2 입력 및 제 6 저항(R4)을 거쳐 상기 구성가능한 이득 스테이지(110)의 포지티브 입력 (Vin+)에 연결된 제 3 스위치(S4)의 한쪽 단과 연결하도록 각각 스위칭될 수 있는 제 3 스위치(S4) 및 제 4 스위치(S5) - 상기 제 3 스위치(S4)의 다른쪽 단은 상기 제 4 저항(R5)의 한쪽 단에 연결되고, 상기 제 4 스위치(S5)는 상기 제 4 저항(R5)의 상기 한쪽 단과 상기 제 2 연산 증폭기(U2)의 상기 제 1 입력 사이에 연결되고, 상기 제 4 저항(R5)의 다른쪽 단은 제 6 스위치(S6)를 통해 접지됨 -

를 포함하는 포지티브 차동 입력 신호 스테이지와,

상기 포지티브 차동 입력 신호 스테이지의 상기 제 2 연산 증폭기의 입력을 제공하도록, 상기 네가티브 차동 입력 신호 스테이지의 상기 제 1 연산 증폭기의 출력과 상기 제 4 저항(R5)의 상기 다른쪽 단 사이에 제공된 제 5 스위치(S3)

를 포함하며,

상기 스위치들(S1, S3-S6)의 배치는 상기 구성가능한 이득 스테이지의 특정한 이득 설정을 결정하는

아날로그 입력 전단부.

**청구항 2**

삭제

**청구항 3**

삭제

**청구항 4**

삭제

**청구항 5**

삭제

**청구항 6**

삭제

**청구항 7**

삭제

**청구항 8**

삭제

**청구항 9**

삭제

**청구항 10**

삭제

**청구항 11**

삭제

**청구항 12**

삭제

**청구항 13**

삭제

**청구항 14**

삭제

**청구항 15**

삭제

**청구항 16**

삭제

**청구항 17**

삭제

**청구항 18**

삭제

**청구항 19**

삭제

청구항 20

삭제

**명세서**

**기술분야**

- [0001] 본 발명은 일반적으로 전단(front end) 시스템에 관한 것이다. 특히, 본 발명은 통합된 아날로그 입력 전단 장치 및 방법에 관한 것이다.
- [0002] 다수의 특수화된 회로들이 소정 타입의 신호를 측정하기 위해 존재한다. 이러한 회로들의 다양성은 얼마만큼의 양 또는 어떤 타입이 특정 응용에 포함되어야 하는지 정확하게 계획하는 것을 곤란하게 한다. 이는 상이한 타입의 항공기에서와 같이 상이한 타입의 플랫폼에서의 재사용을 필요로 하는 응용에서 특히 그렇다.
- [0003] 따라서, 상이한 타입의 응용 및 상이한 타입의 플랫폼에 대해 이용될 수 있는 통합된 아날로그 입력 전단을 갖는 것이 바람직하다.

**발명의 상세한 설명**

- [0004] 본 발명의 일 양태는 아날로그 입력 전단에 관한 것이다. 아날로그 입력 전단은 구성가능한 이득 스테이지(configurable gain stage) 및 아날로그-디지털 변환기를 포함한다. 구성가능한 이득 스테이지는 차동 아날로그 입력 신호와 같은 아날로그 입력 신호를 수신하고, 아날로그-디지털 변환기의 입력 범위와 양립가능한 특정 전압 범위 내에 있는 이득-조정된 아날로그 신호를 출력하기 위하여, 아날로그 입력 신호에 이득값을 제공한다. 아날로그-디지털 변환기는 이득-조정된 아날로그 입력 신호를 수신하고, 아날로그 입력 신호를 나타내는 디지털 신호를 출력하기 위하여, 이득-조정된 아날로그 입력 신호에 아날로그-디지털 변환을 수행한다.
- [0005] 본 발명의 다른 양태는 아날로그 입력 신호를 디지털 신호로 변환하는 방법에 관한 것으로, 구성가능한 이득 스테이지에 의해 아날로그 입력 신호를 수신하는 단계를 포함한다. 본 방법은 또한 최대값과 최소값 사이의 특정 전압 범위 내에 있는 이득-조정된 아날로그 입력 신호를 출력하도록, 구성가능한 이득 스테이지에 의해 아날로그 입력 신호에 이득값을 제공하는 단계를 또한 포함한다. 본 방법은 또한, 아날로그-디지털 변환기에 의해, 구성가능한 이득 스테이지로부터 출력된 이득-조정된 아날로그 입력 신호를 수신하는 단계를 포함한다. 본 방법은 또한, 아날로그 입력 신호를 나타내는 디지털 신호를 출력하도록, 아날로그-디지털 변환기에 의해 이득-조정된 아날로그 입력 신호에 아날로그-디지털 변환을 수행하는 단계를 포함한다.
- [0006] 본 발명의 또 다른 양태는 구성가능한 이득 스테이지에 관한 것으로, 제1 저항값을 갖는 제1 저항, 제2 저항값을 갖는 제2 저항 및 제1 연산 증폭기를 포함하는 포지티브 차동 입력 신호 스테이지를 포함한다. 구성가능한 이득 스테이지는 또한, 제1 저항값을 갖는 제3 저항, 제2 저항값을 갖는 제4 저항 및 제2 연산 증폭기를 포함하는 네가티브 차동 입력 신호 스테이지를 포함한다. 구성가능한 이득 스테이지는 또한, 제1 내지 제6 스위치 - 제1 및 제2 스위치는 포지티브 차동 입력 신호 스테이지에 제공되고, 제3 및 제4 스위치는 네가티브 차동 입력 신호 스테이지에 제공되고, 제5 스위치는 포지티브 차동 입력 신호 스테이지와 네가티브 차동 입력 신호 스테이지 사이에 제공되고, 제6 스위치는 접지 전위와 포지티브 차동 입력 신호 스테이지 및 네가티브 차동 입력 신호 스테이지 중 적어도 하나 사이에 제공됨 - 를 포함한다. 구성가능한 이득 스테이지는 입력 차동 신호쌍에 단위 초과 이득값을 제공하는 제1 동작 모드, 입력 차동 신호쌍에 단위 이득값을 제공하는 제2 동작 모드, 및 입력 차동 신호쌍에 0보다 크고 단위보다 작은 이득값을 제공하는 제3 동작 모드로 동작할 수 있다.
- [0007] 본 발명의 또 다른 양태는 이득 스테이지 및 아날로그-디지털 변환기 유닛을 위한 교정(calibration) 회로에 관한 것이다. 교정 회로는 연산 증폭기, 디지털-아날로그 변환기, 연산 증폭기와 디지털-아날로그 변환기 사이에 제공된 저항 래더, 디지털-아날로그 변환기에 접속된 전압 기준 유닛, 및 이득 스테이지 및 아날로그-디지털 변환기 유닛에 온/오프 접속을 제공하는 복수의 스위치를 포함한다. 교정 회로는, 이득 스테이지 및 상기 아날로그-디지털 변환기의 모든 동작 모드에 대하여, 이득 스테이지 및 아날로그-디지털 변환기 유닛의 총 에러를 소정의 값보다 작게 유지하도록 구성된다.
- [0008] 본 발명의 다른 특징 및 이점은 이하의 상세한 설명 및 첨부 도면으로부터 본 기술분야의 당업자에게 명백해질 것이다. 그러나, 상세한 설명 및 구체적인 예들이 본 발명의 바람직한 실시예를 나타내기는 하지만 예시의 방

식으로 서술되었으며 한정하는 방식은 아니라는 것이 이해되어야 한다. 본 발명의 범위 내의 다수의 수정 및 변경이 본 발명의 사상을 벗어나지 않고 이루어질 수 있으며, 본 발명은 이러한 모든 수정을 포함한다.

[0009] 이하, 첨부 도면을 참조하여 예시적인 실시예를 설명하는데, 도면에서 동일한 부호는 동일한 요소를 나타낸다:

**실시예**

[0019] 이하의 설명에서, 설명의 목적으로, 본 발명의 완전한 이해를 제공하기 위하여 다양하고 구체적인 상세사항들을 설명한다. 그러나, 예시적인 실시예들은 이러한 상세사항 없이도 실시될 수 있음은 본 기술분야의 당업자에게 자명할 것이다. 다른 예에서, 예시적인 실시예들의 설명을 편리하게 하기 위해, 구조 및 디바이스를 약도 (diagram)로 도시한다.

[0020] 이하, 도 1 에서 본 발명의 제1 실시예에 따른 통합된 아날로그 입력 전단의 전체적인 토폴로지를 도시한다. 통합된 아날로그 입력 전단은 고성능이며 데이터 획득을 위한 매우 범용적인 아날로그 신호 프로세싱 및 변환 회로이다. 이러한 회로는 차동 신호와 같은 입력 신호에 대하여 복수의 풀-스케일(full-scale) 범위에서 아날로그 대 디지털(A-to-D) 변환을 수행하도록 통합된 아날로그 입력 전단을 설정할 수 있는 디지털 커맨드에 의해 실시간으로 구성가능하다. 바람직한 실시예에서, 차동 입력 신호쌍에 대하여, ±0.3125 볼트 내지 ±200 볼트 까지 12개의 가능한 풀-스케일 범위가 존재한다. 물론, 다른 풀-스케일 범위가 본 발명에 따라 제조된 통합된 아날로그 입력 전단에 대해 가능할 수도 있다.

[0021] 통합된 아날로그 입력 전단은 D.C. 로부터 소정의 주파수까지 아날로그 입력 신호에 대하여 신호 프로세싱 및 변환을 수행할 수 있다. 바람직한 실시예에서, 소정의 주파수는 500Hz 이지만, 본 기술분야의 당업자에게 알려진 바와 같이 특정 목적에 적절한, 임의의 바람직한 주파수(예를 들어, 50Hz 와 10kHz 사이의 값)로 물론 설정될 수도 있다.

[0022] 통합된 아날로그 입력 전단은 14비트의 분해능(resolution) 및 1%의 풀 스케일보다 양호한 정확도를 갖도록 설계된다. 이는 매우 주의깊게 개발되고 매우 플렉시블한 토폴로지와 Maxim Integrated Products, Inc. 및 Alpha, Inc. 에 의해 제조된 것들과 같은 주문 설계된 소자들을 이용함으로써 달성된다.

[0023] 도 1을 참조하여 본 발명의 제1 실시예를 설명하는데, 도 1은 통합된 아날로그 입력 전단을 구성하는 전체적인 회로를 도시한다. 통합된 아날로그 입력 전단(100)은 이산 소자들로 이루어진 구성가능한 이득 스테이지(110) 및 아날로그-디지털 변환기(120)를 포함한다. 바람직한 실시예에서, 아날로그-디지털 변환기(120)는 Maxim Integrated Products, Inc.에 의해 제조된 Max 1338 A/D 변환기이지만, 본 기술분야의 당업자라면, 본 발명의 범위 내에서, 다른 타입의 변환기들이 통합된 아날로그 입력 전단(100)의 아날로그-디지털 변환기(120) 부분에 대하여 이용될 수 있음을 알 것이다. 여기에 언급된 가변적인 풀 스케일 범위는 Max 1338 의 기능이며, 본 발명의 실시예에 따른 통합된 아날로그 입력 전단에서 이용될 수 있는 다른 타입의 A/D 변환기는 이러한 특징을 가질 수도 있고, 갖지 않을 수도 있다.

[0024] 바람직한 실시예에서, 구성가능한 이득 스테이지(110)는 3개의 개별 이득 설정을 제공하고, 아날로그-디지털 변환기(120)는 4개의 개별 이득 설정(실제로, A/D에 대한 풀 스케일 설정)을 제공함으로써, 통합된 아날로그 입력 전단(100)에 대하여 3×4=12 풀 스케일 범위를 갖는다.

[0025] 도 1 및 도 2에서, 구성가능한 이득 스테이지(110)는 19R(R은 소정의 값임)의 저항값을 갖는 제1 저항(R1), R의 저항값을 갖는 제2 저항(R2), 7R이 저항값을 갖는 제3 저항(R3), C의 커패시턴스값을 갖는 제1 커패시터(C1), 제1 제너 다이오드(D1), 제1 연산 증폭기(U1), 19R의 저항값을 갖는 제4 저항(R4), R의 저항값을 갖는 제5 저항(R5), 7R의 저항값을 갖는 제6 저항(R6), C의 커패시턴스값을 갖는 제2 커패시터(C2), 제2 제너 다이오드(D2), 및 제2 연산 증폭기(U2)를 포함한다. 또한, 제1 스위치(S1), 제2 스위치(S2), 제3 스위치(S3), 제4 스위치(S4), 제5 스위치(S5) 및 제6 스위치(S6)가 통합된 아날로그 입력 전단(100)에 포함됨으로써, 이러한 스위치들(S1-S6)의 배열이 구성가능한 이득 스테이지(110)의 소정의 이득 설정을 결정한다.

[0026] 도 1에서, (차동 입력 신호쌍의) 포지티브 차동 입력 신호는 제1 저항(R1)에 입력되고, (차동 입력 신호쌍의) 네가티브 차동 입력 신호는 제4 저항(R4)에 입력됨으로써, 통합된 아날로그 입력 전단(100)이 차동 입력 신호에 대응한 디지털값을 결정하도록 구성된다.

[0027] 구성가능한 이득 스테이지(110)는 이하의 3개의 기본 목적을 지원한다: a)A/D 변환기(120)의 입력 신호 범위를 넘어서고 A/D 변환기(120)에 손상을 줄 수 있는 대신호를 감쇠시키고, b)A/D 변환기(120)의 입력 신호 범위보다 작은 소신호를 증폭시키고, c)A/D 변환기(120)의 비교적 낮은 입력 임피던스(대략 15K Ohm)에 의해 감쇠될 수

있는 신호 소스에 대한 고입력 임피던스/저출력 임피던스 버퍼로서의 역할을 한다.

[0028] 구성가능한 이득 스테이지(110)의 3개의 상이한 이득 구성은 디지털로 제어가능한 아날로그 스위치들(S1-S6)에 의해 선택가능하다. R1-R3 및 R4-R6은 Alpha, Inc.에 의해 판매되는 것과 같은, 3개로 주문자 패키지화된 저항인 것이 바람직하다. 바람직한 실시예에서, 저항 팩들(packs) 각각은 0.02% 정밀도로 19:1:32 저항비를 충족시킨다.

[0029] 연산 증폭기(U1, U2)는 높은 정밀도, 낮은 바이어스 전류, 낮은 오프셋 전압의 연산 증폭기인 것이 바람직하다. 커패시터들(C1, C2)은 바람직한 실시예에서 10pF 커패시터들이고, 소정의 주파수 범위 위에서 잘 생성되는 저역 통과 필터의 하이 엔드(high end)를 유지하며 연산 증폭기(U1, U2)에 대하여 다소의 필터링 및 오실레이션 보호를 제공하기 위해 포함된다. 바람직한 실시예에서, (통합된 아날로그 입력 전단(100)에 입력되는 신호에 대한) 소정의 주파수 범위는 D.C.(0Hz) 내지 500Hz 이며, 이러한 주파수 범위는 통합된 아날로그 입력 전단(100)이 측정하도록 설계된 신호의 범위이다. 제너 다이오드(D1, D2)들은 연산 증폭기(U1, U2) 및 스위치들(S1-S6)을 그 레일들(rails) 위의 전압으로부터 보호하는데 이용되며, 따라서 제너 다이오드(D1, D2)는 (양극성 신호들에 대한) 백투백(back-to-back) 다이오드로서 구성된다.

[0030] 도 3은 0.05의 이득을 갖는 감쇠 모드로 스위칭된 경우에 구성가능한 이득 스테이지(110)의 토폴로지를 도시하며, 실제 저항 및 커패시턴스값은 구성가능한 이득 스테이지(110)의 바람직한 구현에서 나타난다. 이러한 동작 모드는 입력 전압 범위가 ±200V 입력 범위와 같이 큰 경우에 유용하며, 큰 입력 범위는 A/D로의 입력에 적절한 ±10V 입력 범위로 크게 감소된다. 감쇠 모드에서, 스위치(S1, S4 및 S6)는 폐쇄되고, 모든 다른 스위치(S2, S3 및 S5)는 개방된다. 도 3에서, 스위치들(S1-S6)은 5Ω 저항에 의해 표현되며, 구성가능한 이득 스테이지(110)의 바람직한 구현에 사용되는 Maxim Max4665 스위치의 최대 온(on)-저항을 나타낸다.

[0031] 이러한 동작 모드에서, 구성가능한 이득 스테이지(110)는 전압 분배기로서 기능하며, 따라서 구성가능한 이득 스테이지(110)의 이득은 이하와 같다:

$$G_-(R_2+R_{S1})/(R_1+R_2+R_{S1}) \text{ (네가티브 레그(leg)에 대하여)} \tag{1}$$

$$G_+(R_5+R_{S4}+R_{S6})/(R_4+R_5+R_{S4}+R_{S6}) \text{ (포지티브 레그에 대하여)} \tag{2}$$

[0034] 이러한 경우에, 연산 증폭기(U1, U2)에 의해 어떠한 이득도 제공되지 않음으로써, 저항(R3, R6) 양단에 걸친 전압 강하는 연산 증폭기(U1, U2)에 입력된 반전 입력의 바이어스 전류에만 의존한다.

[0035] 따라서, 차동 신호의 이득은 이하와 같이 계산된다:

$$G = V_{outdiff}/V_{indiff} \tag{3} = G_+V_+$$

$$- G_+V_-/V_{indiff} \tag{4}$$

$$= G_+(V_{incm} + V_{indiff}/2) - G_-(V_{incm} - V_{indiff}/2)/V_{indiff} \tag{5}$$

$$= V_{indiff}(G_+ + G_-)/2 + V_{incm}(G_+ - G_-)/V_{indiff} \tag{6}$$

$$G = (G_+ + G_-)/2 + K(G_+ - G_-) \tag{7}$$

[0040] 여기에서,  $K=V_{incm}/V_{indiff}$  이며, 입력 공통 모드 대 입력 차동 모드의 비이다.

[0041] 이상적인 경우에, 바람직한 실시예에서, 이하의 이득에 대해서,  $R1=R4=615.5k\Omega$ 이고, 모든 스위치 저항은 제로이다:

$$G = G_+ = G_- = 32.4/(615.6 + 32.4) = 0.05000 \tag{8}$$

[0043] 저항 허용오차(바람직한 실시예에서 사용된 저항들에 대한 0.02% 허용오차) 및 스위치들의 저항(바람직한 실시예에서 사용된 Max 4665 스위치들에 대한 3-5%)에 의해 이득 에러가 도입된다. 전술한 식(7)로부터, 이득 에러는 양 및 네가티브 차동 레그들 양자에 공통인 평균 에러(첫번째 항) 또는 공통 모드비 K에 비례하는 부정합(mismatched) 에러(두번째 항)의 결과 중 하나로서 발생할 수 있음을 알 수 있다.

[0044] 각각의 레그에 대한 최대 및 최소 이득은 이하와 같이 계산된다:

[0045]  $G_{+MAX} = (32406.48 + 5 + 5)/(615476.88 + 32406.48 + 5 + 5) = 0.050033666$   
(9)

[0046]  $G_{+MIN} = (32393.52 + 3 + 3)/(32393.52 + 615723.12 + 3 + 3) = 0.0049989798$   
(10)

[0047]  $G_{-MAX} = (32406.48 + 5)/(615476.88 + 32406.48 + 5) = 0.050026335$   
(11)

[0048]  $G_{-MIN} = (32393.52 + 3)/(32393.52 + 615723.12 + 3) = 0.049985401$   
(12)

[0049] 신호가 접지에 걸쳐 균등하게 분포한 경우에 ( $V_{incom} = K = 0$ ), 가장 큰 에러는 전술한 0.05 로부터 가장 큰 절대 평균 차이를 갖는 이득쌍에 대응할 것이다. 따라서, 0.060001% 의 이득 에러에 대해서,

[0050]  $G = (G_{+MAX} + G_{-MAX})/2 = 0.050030001$  (13)

[0051]  $K \leq 0.5$  (네가티브 레그가 접지된 포인트임)에 대해서 가장 큰 에러는 2개의 레그의 가장 큰 평균 에러에 의존한다.  $K > 0.5$ 에 대해서, 최대 에러 %는 이하와 같이 계산된다:

[0052]  $G_{ERRMAX\%} = (G_{+MAX} + G_{-MAX})/2 - 0.05 + K(G_{+MAX} + G_{-MAX})/0.05 * 100$  (14)

[0053] 따라서, 에러는 공통 모드에 비례하고, 구성가능한 이득 스테이지(110) 및 A/D 변환기(120)의 에러 피겨 (figure)에 의해 이용된 에러 버짓(budget)의 퍼센티지에 기초하여 공통 모드의 제한 요소가 된다.

[0054] 도 4는 단위 이득(이득=1) 모드에서의 구성가능한 이득 스테이지(110)의 토폴로지를 도시한다. 이러한 동작 모드는 입력 신호 전압 범위가 A/D로의 입력에 대한 적절한 범위에 있지만, 높은 입력 임피던스/낮은 입력 임피던스 버퍼가 필요한 경우에 적절하다. 이러한 모드에서, 32.4k $\Omega$  저항(R2, R5)은 전압 분배기 또는 연산 증폭기(U1, U2) 주위에서 증폭하는 것으로서 스위칭되지 않는다. 따라서, 도 4의 회로는 G=1 을 가지며 이득 에러를 갖지 않는다. G=1 모드에서의 에러의 주된 성분은 연산 증폭기(U1,U2)의 입력에서의 누설 전류, 및 연산 증폭기(U1,U2)의 오프셋 전압뿐만 아니라 615.6k $\Omega$  저항(R1,R4) 및 226.8k $\Omega$  저항(R3,R6) 양단에 발생하는 전압 강하에 기인한다. 바람직한 실시예에서, 연산 증폭기는 OP4177ARU 연산 증폭기이며, 이하의 특성을 갖는다: 최악의 경우에,  $V_{OS} = \pm 120 \mu V$ ,  $I_{BIAS} = \pm 2nA$ ,  $I_{OFFSET} = \pm 2nA$ 이고,  $-40^{\circ}C < T_A < 125^{\circ}C$  이다. 따라서, 바람직한 실시예에서의 오프셋 에러는 이하와 같다: 회로의 하나의 레그에 대하여,

[0055]  $V_{OS} + V_{R615.6} + V_{R226.6}$  (15)

[0056]  $= V_{OS} + (I_{BIAS} + I_{OFFSET}) * 615.6K + (I_{BIAS} + I_{OFFSET}) * 226.8K$  (16)

[0057]  $= 2.647mV$

[0058] 에러가 네가티브 양일 수 있으므로, 하나의 레그의 에러가 다른 레그의 에러의 반대인 경우에 완전히 최악의 경우가 발생할 수 있으며, 2.647mV + 2.647mV = 5.294mV의 총 에러를 나타낸다. A/D(120)의  $\pm 10V$  풀-스케일 범위상에서, 이러한 에러는 0.05294% 에러에 대응할 것이다. 바람직한 실시예에서 사용되는 경향이 있는 최소의 풀-스케일 A/D 범위는  $\pm 1.25V$  이며, 이는 0.424% 에러에 대응할 것이다.

[0059] 도 5는 이득 모드(이득>1)에서 동작하는 구성가능한 이득 스테이지(110)를 도시한다. 이러한 동작 모드는 입력 전압 범위가  $\pm 0.3125V$  입력 범위와 같이 작은 경우에 유용하며, 이렇게 작은 입력 범위는 A/D(120)로의 입력에 적절한  $\pm 2.5V$  입력 범위로 확장된다. 이러한 모드에서, 차동의 네가티브 측은  $V_{IN-}$ 에 결합되고, 전압은 이득을 갖지 않는 연산 증폭기(U1)를 통해 버퍼링된다. 스위치 S3가 폐쇄되어, 저항 R5의 하측이  $V_{out-}$ 에 붙는다. 스위치 S4가 폐쇄되어 저항 R5를 저항 R6에 접속함으로써, 연산 증폭기 U2 주위에서 이득=(226.8 + 32.4)/32.4=8 을 갖는 증폭기를 형성한다. 실제로, 연산 증폭기 U2 및 저항 R5와 R6 은 기본적인 비반전 증폭기로서 동작한다. 접지를 기준으로 하는 대신에, 이러한 증폭기는  $V_{IN-}$ 와 동일한  $V_{out-}$ 을 기준으로 한다. 8x 이득 차동 이득을 획득하는 이러한 방법은 구성가능한 이득 스테이지(110)의 양(both) 레그가 8의 이득을 갖는다면 G=0.05 감쇠 모드의 접근을 따르는 것보다 공통 모드 전압에 보다 내성이 있다.

[0060] 사실은, 이득 모드에서의 구성가능한 이득 스테이지에 대한 이상적인 이득은 이하와 같다:

[0061] 
$$V_{OUT-} = V_{IN-} \tag{17}$$

[0062] 
$$V_{OUT+} = V_{IN-} + (V_{IN+} - V_{OUT-}) * 8 \tag{18}$$

[0063] 또는,

[0064] 
$$\begin{aligned} G_{DIFF} &= V_{outdiff} / V_{indiff} = V_{OUT+} - V_{OUT-} / V_{IN+} - V_{IN-} \\ &= 8 (V_{IN+} - V_{IN-}) / (V_{IN+} - V_{IN-}) = 8 \end{aligned} \tag{19}$$

[0065] 구성가능한 이득 스테이지(110)에서의 에러는 연산 증폭기(U1,U2)에서의 바이어스 전류 및 오프셋 전압에 의해 유발되며, 이는 이득=1 동작 모드에 대해 언급된 것과 유사한 오프셋 에러를 유발한다. 또한, 구성가능한 이득 스테이지(110)에서의 에러는, 이론적으로 폐쇄된 스위치들로서 동작하는 경우에, 스위치 S3 및 S4 의 0이 아닌 (finite) 저항값 및 저항 R5 및 R6 의 허용오차에 기인하는 저항비 에러로 인해 유발되는데, 이들 모두가 이득 에러를 발생시킨다.

[0066] 구성가능한 이득 스테이지(110)의 네가티브 레그에서의 오프셋은 이득=1인 경우에 2.647mV와 동일하다. 구성가능한 이득 스테이지(110)의 포지티브 레그에서의 오프셋은 32.4kΩ 저항 R5가 스위칭 인 되기(switced in) 때 문에(스위치 S3, S4 및 S5 가 폐쇄됨) 상이하므로, 네가티브 전류가 32.4kΩ 저항 R5와 226.8kΩ 저항 R6 사이에 분배된다. 또한, 이러한 조합으로 인한 에러가 입력보다는 출력에 더해지므로, 이를 입력으로의 기준으로 하기 위해서는 이득에 의해 나누어져야 한다. 오프셋에 대한 식은 이하와 같이 계산된다.

[0067] 
$$\begin{aligned} V_{OS} + (I_{BIAS} + I_{OFFSET}) * 615.6 \text{ k}\Omega * 1/8 * 226.8 \text{ k}\Omega (I_{BIAS} + I_{OFFSET}) \dots \\ \dots (32.4 \text{ k}\Omega / (226.8 \text{ k}\Omega + 32.4 \text{ k}\Omega)) \\ = 1.92 \text{ mV} \end{aligned} \tag{20}$$

[0068] 최악의 가능한 경우에, 2개의 연산 증폭기(U1,U2)의 극성은 포지티브 레그와 네가티브 레그의 오프셋이 반대 방 향이 되게 배향됨으로써, 그 합인 전체 오프셋은,

[0069] 
$$V_{OS} = 2.647 \text{ mV} + 1.92 \text{ mV} = 4.567 \text{ mV}$$
 로 됨으로써, 입력으로의 기준이 된다.

[0070] 에러항을 포함하여, DC 이득식은 이하와 같다:

[0071] 
$$G = (R_6 \pm R_{6error} + R_5 \pm R_{5error}) / (R_{S4} + R_{S3} + R_5 \pm R_{5error}) \tag{21}$$

[0072] 
$$= (226.8 \text{ k}\Omega \pm 0.45 \text{ k}\Omega + 32.4 \text{ k}\Omega \pm 0.0065 \text{ k}\Omega) / (5\Omega + 32.4 \text{ k}\Omega + 5\Omega + 0.0065 \text{ k}\Omega) \tag{22}$$

[0073] 최저의 이득은 저항 R6이 그 허용오차의 네가티브 끝에 있고, 저항 R5가 그 허용오차의 포지티브 끝에 있고, 양 스위치가 5Ω인 경우에 발생하며, 이하로 귀결된다:

[0074] -0.00526 의 이득 에러에 대해서,

[0075] 
$$\begin{aligned} G_{LOW} &= (226755 + 32406.5) / (5 + 5 + 32406.5) \\ &= 7.9974 \end{aligned} \tag{23}$$

[0076] 최고의 이득은 저항 R6이 그 허용오차의 포지티브 끝에 있고, 저항 R5가 그 허용오차의 네가티브 끝에 있고, 양 (both) 스위치가 제로(0) 저항인 경우에 발생하며, 이하로 귀결된다:

[0077] 0.00280의 이득 에러에 대해서,

[0078] 
$$G_{HIGH} = (226845 + 32893.5) / (32395.5) = 0.00280 \tag{24}$$

[0079] 이하, 통합된 아날로그 입력 전단(100)의 일부를 형성하는 아날로그-디지털 변환기(120)를 설명한다. 전술한 바와 같이, 바람직한 실시예에서 아날로그-디지털 변환기(120)는 ACGO 4-채널, 14-비트 차동 A-D 변환기에 대응 하지만, 본 기술분야의 당업자라면 본 발명의 사상 및 범위 내에서 임의의 타입 또는 모델의 A-D 변환기가 이용

될 수 있음을 알 것이다. 도 6은 ACGO A-D 변환기(120)의 상세사항을 도시한다. 트랙-및-홀드(track-and-hold) 회로(610)는 4개의 모든 채널들이 동시에 샘플링되고 변환 회로의 단일 블록에 의해 시퀀스로 변환되는 것을 허용한다.

[0080] 바람직한 실시예에서 프로그래머블 게이트 어레이로서 구현되는 범위 선택 회로(620)는, A-D 변환기가 A-D 변환기(120)로 입력된 디지털 커맨드(신호 D0, D1)에 의해 채널마다 복수의 상이한 범위에 대해 구성되는 것을 허용한다. 바람직한 실시예에서, 상이한 범위는 ±10V, ±5V, ±2.5V, ±1.25V 에 대응한다. 본 기술분야의 당업자라면, 본 발명의 사상 및 범위 내에서, 가능한 범위의 개수, 및 이러한 범위의 실제값이 바람직한 실시예에 대하여 전술한 것들과 상이할 수도 있음을 알 것이다.

[0081] 도 6에 도시한 바와 같이, A-D 변환기(120)는 차동 멀티플렉서(630)(바람직한 실시예에서의 4x 차동 멀티플렉서) 및 N-비트 차동 A-D 변환기 스테이지(640)(바람직한 실시예에서 N=14임)를 또한 포함한다. 바람직한 실시예의 A-D 변환기(120)의 4x 차동 멀티플렉서(630)는 4개까지의 별개의 차동 입력을 동시에 수신할 수 있고, 디지털(예를 들어, 14-비트)값으로의 변환을 위해 이들을 A-D 변환기 스테이지(640)에 순차적으로 출력한다.

[0082] 본 발명의 바람직한 실시예에 따른 A-D 변환기(120)에 대한 예러 사항들은 제조자(Maxim)에 의해 엔드-투-엔드(end-to-end) 허용오차(대부분 LSB, 또는 최하위 비트)로서 제공되며, A-D 변환기(120)의 모든 스테이지에 존재하는 예러를 포함한다. 예러는 오프셋 예러(입력 및 온도에 독립적인 예러) 또는 이득 예러(입력에 의존하는 예러) 중 하나로 분류될 수 있다. 본 발명의 바람직한 실시예에 따른 A-D 변환기(120)에 대한 오프셋 예러함은 ±11 LSB = 0.122% 풀 스케일과 동등하다. 본 발명의 바람직한 실시예에 따른 A-D 변환기(120)에 대한 이득 예러함은 LSB = 1.929% 풀 스케일과 동등하다.

[0083] 이득 예러를 수용가능한 낮은 값으로 유지하는 것이 바람직하다. 이렇게 하기 위해서는 교정(calibration) 회로를 이용하는 것이 필요하다. 전술한 구성가능한 이득 스테이지(110)의 설명은, 구성가능한 이득 스테이지(110)(또한, 오프셋 계산은 이득=1 상태에 대해 전부 무시됨)의 3개의 스테이지(또는 동작 모드)에 대한 오프셋 예러를 계산하는 경우에, 연산 증폭기(U1, U2)에 대한 바이어스 전류의 영향을 다소 과대평가한다. 전술한 계산에서 사용된 바이어스 및 오프셋 전류 사이즈는 바람직한 실시예에서 이용된 OP4177 연산 증폭기에 대한 데이터 시트로부터의 "Max" 항목값으로부터 취해졌으며, (동일한 패키지에서도) 임의의 2개 게이트들 사이의 정합(matching)은 -Max 에서 +Max 로 랜덤 분포인 것으로 여겨진다. 이것이 OP4177 연산 증폭기의 실제 온도 작용을 고려하지 않은 간단한 접근법이다.

[0084] 이와 같이, 구성가능한 이득 스테이지(110)에 대한 오프셋 전압은 이하와 같이 계산될 수 있다:

[0085] G=0.05 모드:

[0086] 
$$V_{OS} = 2V_{OSopamp} + (1 / (1/615.6K + 1/32.4K))(I_{BIAS\Delta} + I_{OFF\Delta}) \quad (26)$$

[0087] G=1 모드:

[0088] 
$$V_{OS} = 2V_{OSopamp} + 615.6K(I_{BIAS\Delta} + I_{OFF\Delta}) + 226.8(I_{BIAS\Delta} + I_{OFF\Delta}) \quad (27)$$

[0089] G=8 모드:

[0090] 
$$V_{OS} = 2V_{OSopamp} + 615.6K(I_{BIAS\Delta} + I_{OFF\Delta}) + 32.4(I_{BIAS\Delta} + I_{OFF\Delta}) \\ (226.8)/(32.4 + 226.8) + 1/8 * 226.8((I_{BIAS\Delta} + I_{OFF\Delta}) \\ (32.4)/(32.4 + 226.8) \quad (28)$$

[0091] 여기에서,  $V_{OSopamp}$  는 연산 증폭기(U1, U2)에 대해 사용된 특정 타입의 연산 증폭기의 구체화된 오프셋 전압이고,  $I_{BIAS\Delta}$  및  $I_{OFF\Delta}$  는 최소 전류가 제로(0)이고 최대 전류가 데이터 시트의 "통상적인" 항목값(4177 연산 증폭기에 대해서는 0.5, 0.2 nA)이 된다고 고려하였을 때 전류의 예측된 최대차이다.

[0092] 따라서, 오프셋 전압은 이하와 같다:

$$\begin{aligned} G = 0.05 & \rightarrow V_{os} = 0.4203 \text{ mV} \\ G = 1 & \rightarrow V_{os} = 0.8298 \text{ mV} \\ G = 8 & \rightarrow V_{os} = 0.6930 \text{ mV} \end{aligned}$$

[0093]

[0094] 통합된 아날로그 입력 전단(100)의 구성가능한 이득 스테이지(110) 및 A-D 변환기(120) 양자에 존재하는 이득 및 오프셋 에러로, 전체 시스템 상의 에러 효과를 도시하는 블록도가 구성될 수 있는데, 도 7이 이러한 블록도이다. A-D 변환기(120)의 이득은 1(단위)로 도시되며, 블록도는 입력 전압 범위를 선택된 A-D 범위로 매핑하는 회로를 고려한다. A-D 변환기(120) 내부에서, 범위 선택 프로그래머블 게이트 어레이는  $G_{err}$ 로 표기한 적절한 이득으로 설정되어, 선택된 범위를 A-D 변환기(120)에 포함된 몇몇 에러를 갖는 A-D 변환기(120)의 내부 변환기 범위로 매핑한다. 그러나, A-D 변환기 에러는, 선택된 범위에 자체 스케일가능한(scalable) 피겨(figure)를 만드는 LSBs 및 dB 로 대부분 표기되므로, 이상적인 A-D 변환기 이득을 1 로서 나타내고, 풀 스케일 입력( $FS_{IN}$ )에 대한 이상적인 출력을 주어진 범위에서 최대값에 대응하는  $ADC_{MAX}$ 로서 나타내는 것이 편리하다. 따라서, 결합된 에러 효과에 대한 식은 이하와 같다.

$$\begin{aligned} & (FS_{IN} + CGS_{OFF})(CGS_{GERR} + CGS_{GAIN}) + (ADC_{OFF} * ADC_{MAX}) \\ & (1 + ADC_{GERR}) \end{aligned} \tag{29}$$

$$= ADC_{MAX} + FS_{ERROR}$$

$$FS_{ERROR\%} = 100 * FS_{ERROR} / ADC_{MAX} \tag{30}$$

[0097] 따라서, 풀 스케일 에러 퍼센티지는 식(29)에서  $ADC_{MAX}$ 를 빼고  $ADC_{MAX}$ 로 나눔으로써 발견될 수 있다.  $ADC_{MAX}$ 가 이상적인 풀 스케일 입력 응답이고  $FS_{IN} * CGS_{GAIN}$ 과 동등하므로,  $FS_{ERROR\%}$ 에 대한 단순화된 표현은 이하와 같다:

$$\begin{aligned} FS_{ERROR\%} = & (((CGS_{ERR} - CGS_{GERR} * ADD_{GERR}) / CGS_{GAIN}) + \\ & ((CGS_{OFF} + ADC_{ERR} * CGS_{OFF}) / FS_{IN}) + \\ & ((CGS_{OFF} * CGS_{GERR} + ADC_{GERR} * CGS_{GERR} * CGS_{OFF} + ADC_{OFF} * \\ & ADC_{GERR}) / ADC_{MAX}) + ADC_{GERR} + ADC_{OFF}) * 100 \end{aligned} \tag{31}$$

[0099] 에러항이 작다면, 임의의 2개의 에러항의 곱은 매우 작다. 임의의 에러곱이 무시할 수 있다고 고려한다면,  $FS_{ERROR\%}$ 는 이하와 같이 근사화될 수 있다:

$$\begin{aligned} FS_{ERROR\%} \approx & ((CGS_{GERR} / CGS_{GAIN}) + (CGS_{OFF} / FS_{IN}) + (ADC_{GERR} + \\ & ADC_{OFF})) * 100 \end{aligned} \tag{32}$$

[0101] 직관적으로 예측할 수 있는 바와 같이, 이는 통합된 아날로그 입력 전단(100)에서의 상대적인 모든 에러의 합에 대응한다.

[0102] 식(31)을 이용하여, 바람직한 실시예의 통합된 아날로그 입력 전단(100)에 대한 12개의 이득/범위 조합에 대해, 아래와 같이 풀 스케일 에러( $FS_{Err\%}$ )가 표로 나타내어진다.

[표 1 - 최악의 경우의 에러 계산]

$FS_{in}$	CGS GAIN	$ADC_{MAX}$	$CGS_{OFF}$ (V)	CGS $\underline{V}$ GERR V	$ADC_{OFF}$ $\underline{V}$ V	ADC $\underline{V}$ GERR V	$FS_{ERR\%}$
200	0.05	10	0.0004203	0.00003	0.00122	0.01929	2.1147
100	0.05	5	0.0004203	0.00003	0.00122	0.01929	2.1147
50	0.05	2.5	0.0004203	0.00003	0.00122	0.01929	2.1147
25	0.05	1.25	0.0004203	0.00003	0.00122	0.01929	2.1162
10	1	10	0.0008297	0	0.00122	0.01929	2.0618

5	1	5	0.0008297	0	0.00122	0.01929	2.0703
2.5	1	2.5	0.0008297	0	0.00122	0.01929	2.0872
*1.25	1	1.25	0.0008297	0	0.00122	0.01929	2.1210
*1.25	8	10	0.0006930	0.00526	0.00122	0.01929	2.1769
0.625	8	5	0.0006930	0.00526	0.00122	0.01929	2.3466
0.3125	8	2.5	0.0006930	0.00526	0.00122	0.01929	2.5727
0.15625	8	1.25	0.0006930	0.00526	0.00122	0.01929	2.2335

[0105]

\* 2개의 조합이 1.25V 풀 스케일로 귀결됨

[0106]

표 1에서 알 수 있는 바와 같이, 채널 에러는 1%보다 크다. 이는 1%보다 작은 타겟 정밀도를 획득하기 위해서는, 어떠한 형태의 교정이 통합된 아날로그 입력 전단(100) 상에서 수행되어야만 함을 의미한다. 구성가능한 이득 스테이지(110)에서 ADC 이득 에러 및 8x 이득 에러가 가장 큰 에러 소스로 나타나므로, 교정 방법 및 장치는 특별히 이러한 에러를 크게 감소시키고/감소시키거나 제거하도록 설계되어야 한다.

[0107]

도 8은 본 발명의 제2 실시예에 따른, 교정 회로(800)를 갖는 통합된 아날로그 입력 전단(100)을 도시한다. 스위치(S1, S4)가 교정 동안 언제나 개방되므로, 교정 출력 상의 유일한 부하는 615.6kΩ 및 226.8kΩ 저항 및 연산 증폭기(U1, U2)의 입력 누설이다. 단일 채널 전류 인출(draw)은 낮을 것이므로, 구성가능한 이득 스테이지(110)의 2개 채널과 같이, 하나의 교정 회로(800)가 다수의 입력 채널을 지원하는데 이용될 수 있다.

[0108]

도 8에 도시한 바와 같이, 교정 회로(800)는 연산 증폭기(U3), 저항(R7, R8, R9), 스위치(S7, S8, S9), 디지털-아날로그 변환기(DAC)(810), 및 전압 기준 유닛(820)(바람직한 실시예에서 2.5V 기준)을 포함한다.

[0109]

도 9는 바람직한 실시예에 대해 구체화된 소자 타입을 갖는 교정 회로(800)의 보다 상세한 도면이다. 전압 기준 유닛(820)은 ADR421A 타입으로서 도시된다. 커패시터(C1, C2, 및 C3)는 ADR421A에 결합되고, +5V 기준 전압은 ADR421A의 VIN 입력에 제공된다. DAC(810)는 DIN(데이터 인), CLK(클럭), 및 CS(칩 선택) 입력 상에 디지털 데이터를 입력하는 MAX5223DAC로서 도시된다. 연산 증폭기(U3)는 4177 타입으로서 도시된다. 교정 회로(800)의 바람직한 실시예에서, 저항(R7)은 226.8kΩ 저항으로서 도시되고, 저항(R8)은 615.6kΩ 저항으로서 도시되고, 저항(R9)은 32.4kΩ 저항으로서 도시된다. 이러한 도면에 도시한 저항, 커패시터 및 전압 기준 유닛들에 대한 값뿐만 아니라 도 9에 도시한 디바이스 타입도 예시적이므로, 본 발명의 사상 및 범위 내에서 다른 값들이 이용될 수도 있음을 본 기술분야의 당업자라면 알 것이다.

[0110]

스위치(S9)를 폐쇄시킴으로써, 출력은  $2.5 * (-226.8 / 615.6) = -0.92105V$  만큼 변할 수 있다. 저항의 정밀도 및 2.5V 기준의 정확도로 인해, 이러한 증감분(delta)은 매우 정확하며, 교정 구성은 주로 이러한 정확도에 의존한다. DAC(810)의 정확도는 매우 중요하지는 않고, 교정 포인트를 이동시키는 데에만 이용된다. 몇몇 범위로 설정될 수 있는 ADC들(예를 들어 ADC(120))을 다루는 경우에, 이동가능한 교정 포인트가 바람직하다. 또한, 동일한 ADC 범위 내의 복수의 포인트들 부근의 이득 에러를 발견하고 이들을 평균함으로써, 본 방법은 ADC에서의 비선형성에 의해 유발되는 비전형적인 로컬 이득 에러에 의해 손상되는 것을 피한다. 차동 비선형(DNL: Differential Non-Linearity)은 모든 주요 캐리어들 부근에서 우대칭(even-symmetric)이므로, 스케일에 걸쳐 규칙적으로 분포된 교정 포인트 세트는 전체적인 이득 에러 측정에 대한 임의의 하나의 로컬 DNL의 영향을 최소화해야 한다. 또한, 스위치(S9)를 폐쇄함으로써 유발된 증감분을 발견하는 측정-스위치-측정 접근법은 통합된 아날로그 입력 전단(100) 또는 교정 회로(800)에서의 임의의 오프셋 에러가 하나의 측정값을 다른 측정값에서 뺌으로써 소거된다는 것을 보장한다. 이러한 방법은 이득 에러에만 초점을 맞추며, 오프셋은 계산되는 이득 교정 상수의 정확도에 영향을 미치지 않는다.

[0111]

교정 측정에서의 에러는 기준 전압에서의 비정확성, 615.5kΩ 및 226.8 kΩ 저항에서의 부정합, 및 제1 및 제2 측정 사이의 노이즈 차이에 의해서만 유발된다. DAC(120)의 출력상의 필터링되지 않은 노이즈는 무시할 수 없지만, 그 영향은 이동 교정 포인트 접근법의 내재하는 평균에 의하여, 본 실시예에서 완화된다. 본 발명의 실시예에 따른 교정 방법의 또 다른 구성에서, 각각의 교정 포인트 및/또는 스위치(S9) 상태에서의 추가적인 평균화가 또한 수행될 수 있다.

[0112]

소정의 교정 포인트에 대한 이득 교정 팩터가 이하의 식에 의해 발견되는데, 여기서  $X_1$ 는 개방된 스위치(S9)로 측정된 값이고,  $X_2$ 는 폐쇄된 스위치(S9)로 측정된 값이다:

[0113]

$$G_{CF} = 0.92105 / (X_1 - X_2)$$

[0114] 그 후에, 상이한 교정 포인트들에서 획득된  $G_{CF}$  값이 평균화되어, 통합된 아날로그 입력 전단(100)에 대한 교정 포인트를 획득한다. 이러한 팩터에서의 에러는  $X_1-X_2$  빼기에 의해 산술적으로 소거될 수 없는 에러 소스에만 관계한다: 기준 전압의 에러 및 연산 증폭기(U3) 부근의 226.8kΩ/615.6kΩ 증폭의 이득 에러. 이득 교정 팩터 에러는 이하와 같이 계산된다:

[0115] 
$$G_{CFERR} = (((REF + REF_{ERR}) ((226.8 \pm 0.02\%)/(615.6 \pm 0.02\%))) / 0.92105) - 1 \quad (33)$$

[0116] 교정 회로(800)의 바람직한 실시예에서 전압 기준 유닛으로서 이용된 ADR421A 소자에서, 교정이 1회 발생한다고 가정하면, 대략 25℃의 온도에서  $REF_{ERR}$ 은 ±3mV이다.

[0117] 
$$G_{CFERRHI} = ((2.503 (226.84536/615.47688))/0.92105) - 1 = 0.16\% \quad (34)$$

[0118] 
$$G_{CFERRLO} = ((2.497 (226.75464/615.72312))/0.92105) - 1 = -0.16\% \quad (35)$$

[0119] 따라서,  $G_{CF}$ 는 ±0.16%의 정확도를 갖는다.

[0120]  $G_{CF}$ 는 실제 이득에 대한 이상적인 이득의 비이며,  $G_{CFERROR}$ 은  $G_{CF}$  자체가 에러인 팩터이다. 따라서, 실제값은 이하와 같다:

[0121] 
$$G_{CFACTUAL} = G_{CF} (1 + G_{CFERR}) = (1/G_{ACTUAL})(1 + G_{CFERR}) \quad (36)$$

[0122] 이득 에러의 출력에 대한 영향은 이하와 같다:

[0123] 
$$V_{out} = V_{in} G_{ACTUAL} \quad (37)$$

[0124] 따라서, 계산된  $G_{CFACTUAL}$ 로 곱함으로써, 이하와 같이 된다:

[0125] 
$$\begin{aligned} V_{outG_{CFACTUAL}} &= V_{in} (G_{ACTUAL}/G_{ACTUAL}) (1 + G_{CFERR}) \\ &= V_{in} (1 + G_{CFERR}) \end{aligned}$$

[0126] 따라서, 실제로, 교정은 ADC 이득 에러를 교정 방법의 에러로 치환한다. 관련 에러들은 교정이 실제로 발생한 경우에 존재하는 이러한 에러들뿐이다. 교정이 실온에서 수행된다면, 전술한 식(34) 및 식(35)에서와 같이, 교정 기준에서의 온도 에러는 무시될 수도 있지만, 입력 회로 이득에서의 온도 관련 에러는 교정에 포함되지 않으므로 ADC 이득 에러의 합에 포함되어야 한다.

[0127] 교정이 온도 범위의 중간 부근에서 발생하는 것이 바람직하므로, 교정 포인트로부터 최대 온도 편위(excursion)는 단지 이러한 범위의 절반이고, 온도 관련 이득 에러는 내부 기준 온도로부터 미리 계산된 수의 절반에 기초한다. 구체화된 오프셋 에러 플러스 초기 내부 기준 에러는  $G_{CFERR}$ 에 의해 치환되는 팩터이다.

[0128] 통합된 아날로그 입력 전단(100)의 상이한 범위/이득 구성에 대한 교정 에러%를 표 1처럼 계산된 이하의 표 2에 나타낸다(CG<sub>SOFF</sub>, CG<sub>SERR</sub> 및 ADC<sub>OFF</sub> 값은 표 1에 나타낸 것과 동일하므로, 표 2에는 나타내지 않았음).

[0129] [표 2] - 최악의 경우에 교정된 에러

[0130]

FSIN	CSG GAIN	ADC <sub>MAX</sub>	ADC $G_{ERR}$	FS <sub>ERR%</sub>
200	0.05	10	.004725	0.6556
100	0.05	5	.004725	0.6558
50	0.05	2.5	.004725	0.6562
25	0.05	1.25	.004725	0.6570
10	1	0	.004725	0.6034
5	1	5	.004725	0.6117
2.5	1	2.5	.004725	0.6284
1.25	1	1.25	.004725	0.6618

1.25	8	10	.004725	0.7169
0.625	8	5	.004725	0.7726
0.3125	8	2.5	.004725	0.8841
0.15625	8	1.25	.004725	1.1070

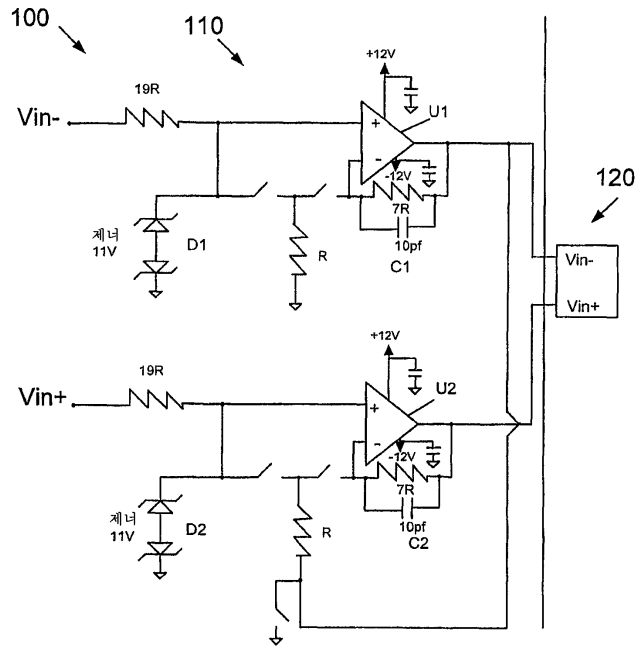
- [0131] 표 2에서 알 수 있는 바와 같이, 최후의 범위/이득 구성을 제외한 모두에 대하여(따라서, 단지 하나가 1%보다 약간 큼), 교정 회로(800)는 통합된 아날로그 입력 전단(100)에 대한 에러를 1%보다 작은 수용가능한 레벨로 감소시킨다.
- [0132] 본 발명의 제3 실시예에서, 다시 도1을 참조하면, 제너 다이오드(D1, D2)는 ±12V 클램핑 범위를 갖는 BAV 99 다이오드와 같은 낮은 커패시턴스 신호 다이오드 클램프(미도시)로 치환된다. 제3 실시예의 클램프 다이오드는 615.6kΩ 저항에서 바람직하지 못한 오프셋 전압을 발생시키는, 수용가능한 양보다 큰 전류 누설을 경험할 수 있다. 그러나, 사용된 클램프 다이오드의 타입에 기초하여, 전류 누설이 수용가능한 양으로 유지될 수 있다.
- [0133] 본 발명의 제4 실시예에서, 도 1을 다시 참조하면, ±12V까지 그 자신의 보호 다이오드를 갖는 Max 313 Quad 단극 단투(SPST: Single Pole Single Throw) 스위치와 같은 그 자신의 내부 보호 다이오드를 갖도록 스위치가 선택될 수 있다. 구성가능한 이득 스테이지에서 사용된 이러한 스위치에서, 스위치 단독의 내부 보호 다이오드가 초과전압 보호를 제공할 수 있으므로, 이러한 예에서 제1 실시예의 제너 다이오드(D1, D2)가 필요하지 않다. 또한, 전술한 실시예에서, 스위치(S2)는 어떠한 이득 모드에 대해서도 폐쇄되지 않으므로, 스위치(S2)가 구성가능한 이득 스테이지로부터 제거됨으로써 구성가능한 이득 스테이지의 제1(또는 다른) 실시예의 다른 구성에서 5개의 스위치만을 남겨둘 수 있다.
- [0134] 본 발명의 사상을 벗어나지 않고 다수의 다른 변경 및 수정이 본 발명에서 이루어질 수 있다. 이러한 변경 및 다른 변경의 범위는 첨부한 청구범위로부터 명백해질 것이다. 예를 들어, 구성가능한 이득 스테이지에 의해 출력된 신호를 수신하고 이러한 신호를 소정의 방식으로 프로세싱하는 A/D 외의 다른 디바이스에 대하여 임피던스 버퍼 및/또는 입력 신호 동적 범위 조정 메커니즘을 제공하도록 구성가능한 이득 스테이지가 이용될 수도 있다.

**도면의 간단한 설명**

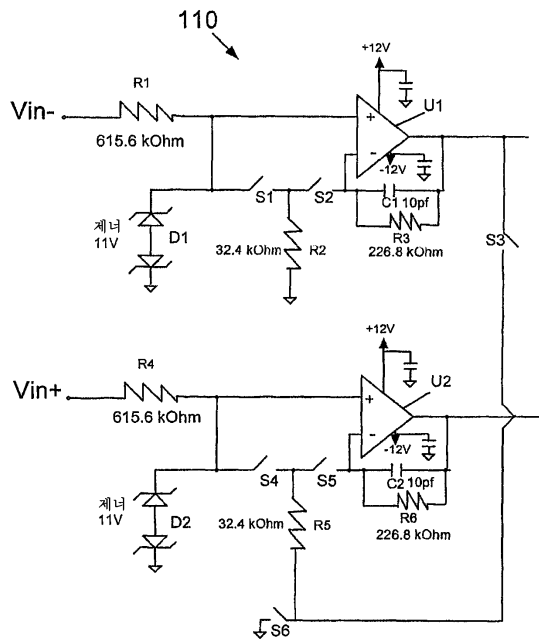
- [0010] 도 1은 본 발명의 일 실시예에 따른 통합된 아날로그 입력 전단의 전체적인 토폴로지(topology)를 도시하는 회로 레벨도이다.
- [0011] 도 2는 제1 실시예의 바람직한 구성에 제공된 실제 저항값 및 커패시턴스값을 갖는 통합된 아날로그 입력 전단의 구성가능한 이득 스테이지 부분을 도시하는 회로 레벨도이다.
- [0012] 도 3은 감쇠 모드에서 동작하는 구성가능한 이득 스테이지를 도시하는 회로 레벨도이다.
- [0013] 도 4는 단위(unity) 이득 모드에서 동작하는 구성가능한 이득 스테이지를 도시하는 레벨도이다.
- [0014] 도 5는 포지티브(positive) 이득 모드에서 동작하는 구성가능한 이득 스테이지를 도시하는 회로 레벨도이다.
- [0015] 도 6은 제1 실시예의 바람직한 구성에 따라 이용될 수 있는 아날로그-디지털 변환기를 도시하는 블록도이다.
- [0016] 도 7은 제1 실시예에 따른 시스템에 영향을 미치는 에러를 도시하는 블록도이다.
- [0017] 도 8은 본 발명의 제2 실시예에 따른, 통합된 아날로그 입력 전단에 결합된 교정 유닛을 도시하는 블록도이다.
- [0018] 도 9는 제2 실시예의 바람직한 구성에 따른 교정 유닛을 도시하는 회로 레벨도이다.

도면

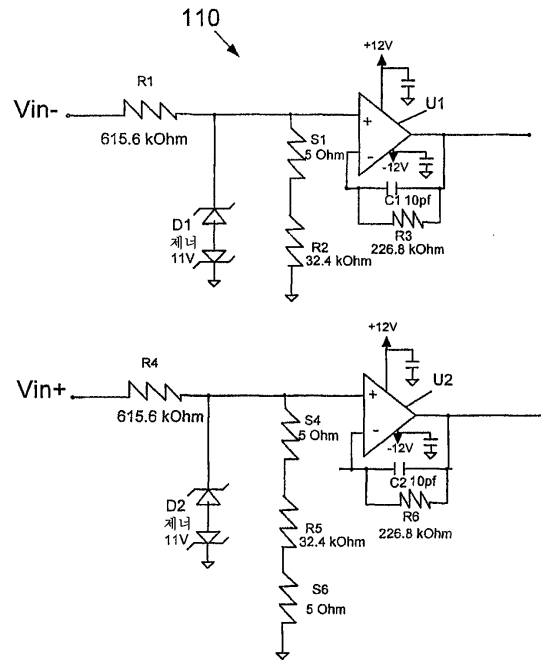
도면1



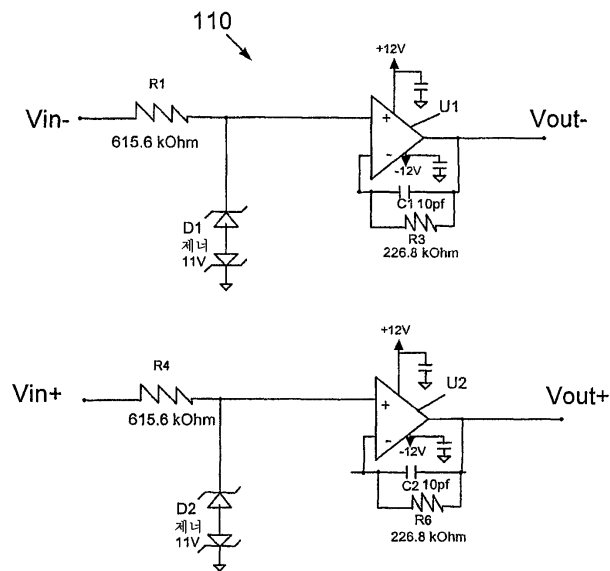
도면2



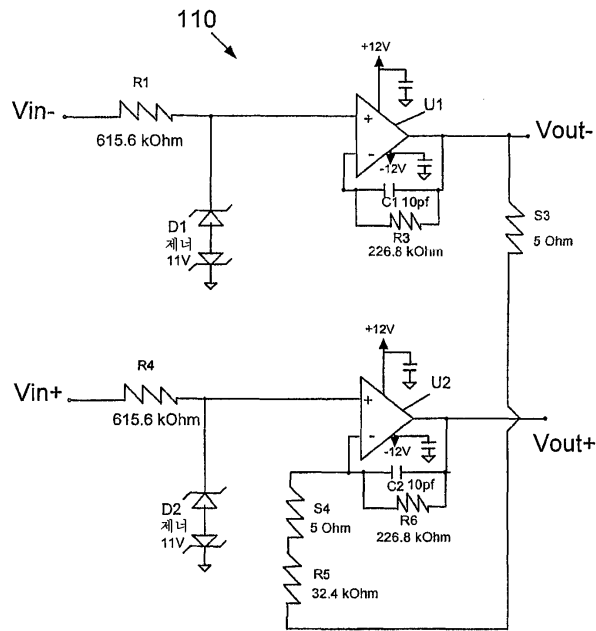
도면3



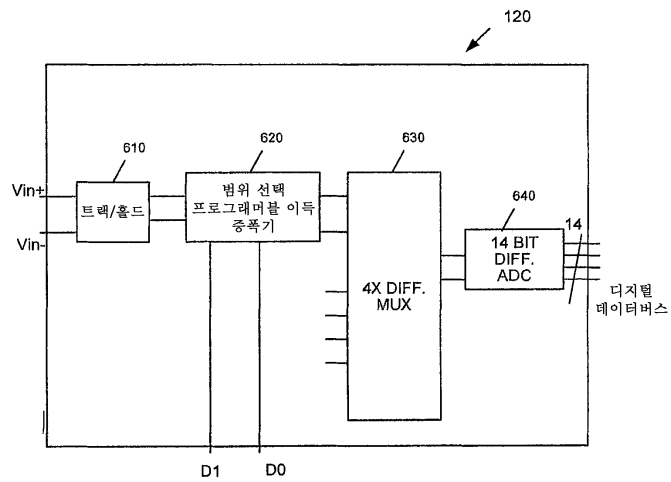
도면4



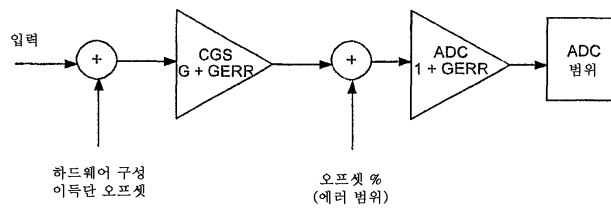
도면5



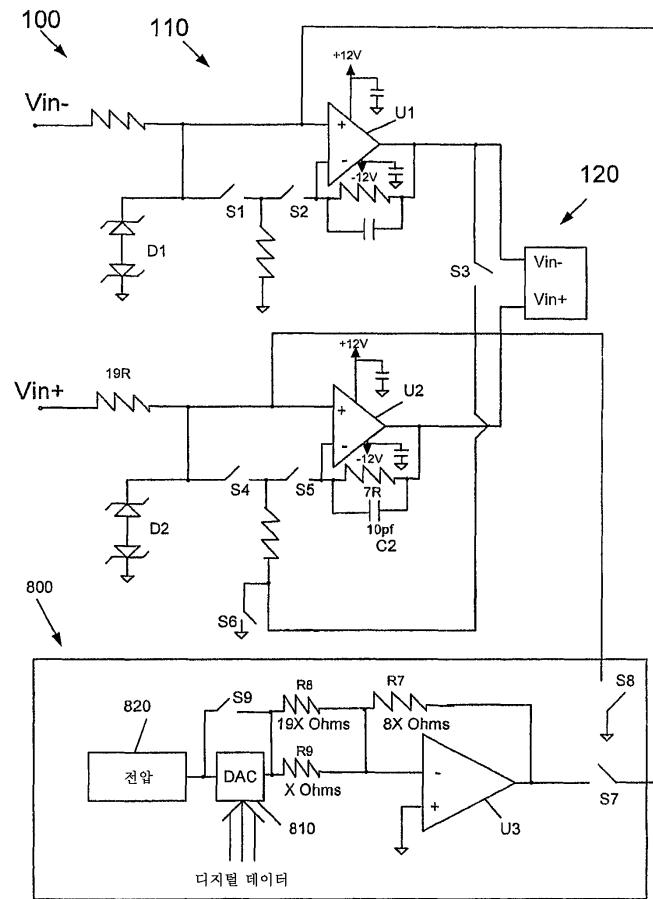
도면6



도면7



도면8



도면9

