

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4640102号
(P4640102)

(45) 発行日 平成23年3月2日(2011.3.2)

(24) 登録日 平成22年12月10日(2010.12.10)

(51) Int.Cl.

F 1

H O 4 N 5/341 (2011.01)

H O 4 N 5/335 4 1 O

H O 4 N 5/353 (2011.01)

H O 4 N 5/335 5 3 O

H O 4 N 5/369 (2011.01)

H O 4 N 5/335 6 9 O

H O 4 N 5/374 (2011.01)

H O 4 N 5/335 7 4 O

H O 4 N 5/376 (2011.01)

H O 4 N 5/335 7 6 O

請求項の数 2 (全 16 頁) 最終頁に続く

(21) 出願番号 特願2005-305267 (P2005-305267)
 (22) 出願日 平成17年10月20日(2005.10.20)
 (65) 公開番号 特開2007-116395 (P2007-116395A)
 (43) 公開日 平成19年5月10日(2007.5.10)
 審査請求日 平成19年12月28日(2007.12.28)

(73) 特許権者 000004329
 日本ビクター株式会社
 神奈川県横浜市神奈川区守屋町3丁目12番地
 (74) 代理人 100085235
 弁理士 松浦 兼行
 (72) 発明者 舟木 正紀
 神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内

審査官 井出 和水

最終頁に続く

(54) 【発明の名称】 全方位カメラ

(57) 【特許請求の範囲】

【請求項 1】

固体撮像素子を用いて全方位の撮像を行う全方位カメラにおいて、
 全方位の被写体からの光を反射する反射手段と、
 被写体の光学像を複数の全画素のフォトダイオードに露光の開始と終了のタイミングが全画素同時となるように露光して光電変換して得た電荷を全画素に蓄積した後、前記露光の期間に蓄積した電荷を各画素から前記撮像信号として順次出力する、前記固体撮像素子としてのグローバルシャッタ型CMOSセンサと、

前記反射手段により反射された前記被写体からの光を集光して、前記グローバルシャッタ型CMOSセンサに前記被写体の光学像を結像する集光用光学系と、

前記グローバルシャッタ型CMOSセンサから出力された撮像信号をパノラマ映像に展開する画像展開手段と、

を備え、

前記グローバルシャッタ型CMOSセンサは、

半導体基板上に形成された第1導電型のウェル、及び前記ウェルにおける所定の第1の領域とは異なる第2の領域に形成されて前記ウェルに接続する第2導電型の埋め込み部を有し、前記光学像を光電変換して電荷を蓄積するフォトダイオードと、

前記第1の領域上にゲート酸化膜を介して形成されたリング状ゲート電極と、前記リング状ゲート電極の中央開口部に対応する前記ウェル内の領域に形成された第1導電型の第1ソース部と、前記第1ソース部の周囲に前記リング状ゲート電極の外周に達しないよう

10

20

に、かつ、前記ゲート酸化膜に接しないように前記ウェル内に埋め込まれて形成されて前記第 1 ソース部に接続し前記フォトダイオードから転送された前記電荷を蓄積する第 2 導電型のソース近傍領域部と、前記ウェルにおける前記第 1 の領域とは異なる第 3 の領域に前記第 1 ソース部及び前記ソース近傍領域部に離間して形成された第 1 導電型の第 1 ドレイン部とを有し、前記ソース近傍領域部に蓄積された電荷を前記撮像信号として出力するリング状ゲートトランジスタと、

前記第 1 の領域上に、前記リング状ゲート電極の一部を覆うように形成された転送ゲート電極を有し、前記埋め込み部を第 2 ソース部とし、前記ソース近傍領域部を第 2 ドレイン部とし、前記フォトダイオードに蓄積された前記電荷を前記リング状ゲートトランジスタへ全画素一斉に転送する転送ゲートトランジスタと、
を画素毎に備え、

10

前記転送ゲート電極から前記リング状ゲート電極までの前記ゲート酸化膜の直下には前記ウェルが連続して存在しており、前記転送ゲート電極及び前記リング状ゲート電極の各電位に応じて前記転送ゲート電極と前記リング状ゲート電極との間の前記ウェルの表層部に電荷転送のバリアが発生又は消失し、前記グローバルシャッタ型 CMOS センサは、前記フォトダイオードにおける電荷の蓄積を、次の電荷転送が開始されるまで前記撮像信号の出力期間中も継続して行い、前記撮像信号をフレーム毎に連続して出力することを特徴とする全方位カメラ。

【請求項 2】

前記リング状ゲート電極の電位を制御するリング状ゲート電位制御回路部と、
前記転送ゲート電極の電位を制御する転送ゲート電位制御回路部と、
を更に備えていることを特徴とする請求項 1 記載の全方位カメラ。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は全方位カメラに係り、特に固体撮像素子を用いて全方位を撮像する全方位カメラに関する。

【背景技術】

【0002】

監視カメラやロボット用カメラはなるべく撮影範囲が広い方がよいが、従来のカメラは通常は画角が限られており、その結果、画角以上の範囲を監視するには複数のカメラを使用し、カメラを可動式にする必要があった。それに対して、1 台で 360 度の全方位を撮影する全方位カメラがある。

30

【0003】

図 5 は従来の全方位カメラの一例の構成図を示す。同図に示すように、従来の全方位カメラ 200 は、周囲 360 度の様子を映し出すミラー 201 と、ミラー 201 で反射された被写体からの光を集光する集光用光学系 202 と、固体撮像素子 203 と、画像展開手段 204 とから大略構成されている。ここで、ミラー 201 の形状としては、双曲面、円錐形、複数の曲線を組み合わせたものなど種々の方法が提案されている。集光用光学系 202 は、固体撮像素子 203 の撮像領域の大きさに被写体光学像が縮小、結像するように

40

【0004】

固体撮像素子 203 としては CCD (Charge Coupled Device: 電荷結合素子) 型撮像素子 (以下、単に CCD という) や CMOS (Complementary Metal-Oxide Semiconductor) 型撮像素子 (以下、CMOS センサという) が知られているが、CMOS センサは、CCD に比べて低電圧駆動が可能であり、多画素化で高精細な映像が得られるので、CMOS センサが用いられる。

【0005】

このような構造の全方位カメラでは、例えば撮像対象からの光が光路 205 に示すように、まずミラー 201 にて反射して集光用光学系 202 に入射し、この集光用光学系 20

50

2により固体撮像素子203の撮像領域の大きさに光学像を縮小して結像されて光電変換される。固体撮像素子203により光電変換されて得られた撮像信号は、画像展開手段204に供給される。ここで、ミラー201に映った被写体画像はその曲面に従って歪んでいるが、画像展開手段204により、入力撮像信号に対して、ミラー201の曲面から導き出される展開式で展開する処理を行うことにより、歪みのないパノラマ映像の映像信号が得られる。

【0006】

固体撮像素子203はCMOSセンサであるが、これは従来から知られているローリングシャッタ型CMOSセンサである（例えば、特許文献1参照）。このローリングシャッタ型CMOSセンサについて説明する。図6は上記の従来のCMOSセンサの一例の等価回路図を示す。同図に示すCMOSセンサは、簡単のため、単位画素1が横方向2画素、縦方向2画素の2×2画素の配置とされている。単位画素1は、被写体像を光電変換するフォトダイオード(PD)2と、信号電荷の増幅用MOS型電界効果トランジスタ（以下、MOSFET）3と、電荷転送用MOSFET4と、リセット用MOSFET5と、選択用MOSFET7とよりなり、電源ライン6がMOSFET3、5のドレインに接続され、増幅用MOSFET3のソースが選択用MOSFET7のドレインに接続されている。

10

【0007】

増幅用MOSFET3のゲート電極はフローティングディフュージョン(FD)になっており、フォトダイオード2の電荷が電荷転送用MOSFET4のドレイン・ソースを介して増幅用MOSFET3のゲート電極(FD)に転送される。また、増幅用MOSFET3のゲート電極(FD)の電位は、リセット用MOSFET5によりリセットされる。

20

【0008】

選択用MOSFET7がオン状態になると、増幅用MOSFET3のソースを選択用MOSFET7のドレイン・ソースを通して画素出力ライン8に導通させる。画素出力ライン8は定電流供給用MOSFET9のドレインに接続されている。定電流供給用MOSFET9は、増幅用MOSFET3のソースフォロア回路の負荷として作用する。定電流供給用MOSFET9は、ゲート電位供給ライン13のゲート電位により制御される。

【0009】

また、リセット用制御ライン10、電荷転送用制御ライン11、画素選択用制御ライン12は、それぞれリセット用MOSFET5、電荷転送用MOSFET4、選択用MOSFET7の各ゲート電極に接続されており、その電位はそれぞれパルス供給端子15、14、16から、MOSFET19、20、21のドレイン・ソースをそれぞれ通して供給される。

30

【0010】

垂直シフトレジスタ17は、行順次走査のために2×2画素の行を選択する回路で、その垂直シフトレジスタ出力線18-1、18-2が、各行のMOSFET19、20、21のゲート電極に接続されており、パルス供給端子15、14、16の端子に供給されたパルスがどの行の画素を制御するかを決定する。

【0011】

また、読み出しブロック22は、リセット信号出力を保持する容量23、光信号出力を保持する容量24、どちらの容量に保持するかを選択するスイッチ用MOSFET25及び26、水平出力線27、28に接続されたスイッチ用MOSFET29、30からなる。スイッチ用MOSFET25、26は端子37、38からそのゲート電極に供給されるパルスによりスイッチング制御される。

40

【0012】

水平シフトレジスタ34は、2×2画素のうち、どの列の画素の保持信号を水平出力線27、28に出力するかをスイッチ用MOSFET29、30のゲートに接続された水平シフトレジスタ出力線35-1、35-2への出力電位で決定する。また、水平出力線27、28をリセットするための電位を端子33から供給し、リセットのタイミングは端子

50

36から供給するパルスでスイッチ用MOSFET31、32をスイッチング制御して行う。水平出力線27、28は差動アンプ39の入力端子に接続されている。差動アンプ39はリセット信号出力と光信号出力の差をとり、その差信号をアンプ出力端子40からセンサ外に出力する。

【0013】

次に、図6に示す従来のCMOSセンサの動作について図7のタイミングチャートを併せ参照して説明する。なお、図6中のMOSFETはすべてN型とし、よって、MOSFETはそのゲート電位がハイレベル(High)でオン、ローレベル(Low)でオフとなる。

【0014】

まず、垂直シフトレジスタ出力線18-1の電位が図7(D)に示すように時刻t1でHighとなり、これにより1行目の画素1が選択される。続いて、パルス供給端子16の入力パルスが図7(C)に示すように時刻t2でHighになり、これにより1行目の画素1の選択用MOSFET7がオン状態になるため、1行目の画素1の増幅用MOSFET3のソースが選択用MOSFET7のドレイン・ソースと画素出力ライン8を通して定電流供給用MOSFET9につながり、ソースフォロア回路を形成する。

【0015】

この状態で、最初にパルス供給端子15に図7(B)に示すように一定時間Highのパルスが供給され、1行目の画素1のリセット用MOSFET5のドレイン・ソースを通して増幅用MOSFET3のゲート電極(FD)がリセットされる。その後の時刻t3で、パルス供給端子37の入力パルスが図7(I)に示すようにHighになり、スイッチ用MOSFET25をオン状態とし、容量23に1行目の画素1のソースフォロア回路から出力されたりセット信号出力が保持される。

【0016】

次に、パルス供給端子14に時刻t4で図7(A)に示すようにHighパルスが印加されると、1行目の画素1内の電荷転送用MOSFET4がオンし、1行目の画素1内のフォトダイオード2に蓄積されている電荷が電荷転送用MOSFET4のドレイン・ソースを介して増幅用MOSFET3のゲート電極(FD)に転送される。その後の時刻t5で、パルス供給端子38に図7(J)に示すようにHighパルスが印加されると、容量24に1行目の画素1のソースフォロア回路から出力された光信号出力が保持される。続いて、パルス供給端子16の入力パルスが図7(C)に示すように、時刻t6でLowになるため、1行目の画素1内の選択用MOSFET7がオフになり、1行目の画素1からの出力はなくなる。

【0017】

端子36の入力信号はこの間図7(H)に示すようにHighであり、水平出力ライン27、28はリセット状態になっている。しかし、上記の時刻t6で端子36の入力信号が図7(H)に示すようにLowになり、この状態で水平シフトレジスタ出力線35-1に図7(F)に示すHighパルスを印加すると、1列目のスイッチ用MOSFET29、30がそれぞれオンとされるため、1列目の容量23、24の各信号が1列目のスイッチ用MOSFET29、30を通して水平出力ライン27、28にそれぞれ出力されて差動アンプ39に供給される。差動アンプ39は1列目の容量23、24の各信号、すなわち、リセット信号出力と光信号出力との差をとり、増幅用MOSFET3のしきい値ばらつきに起因したノイズを除去した光信号を出力端子40より出力する。

【0018】

次に、端子36に図7(H)に示す時刻t7でHighパルスを印加すると、水平出力ライン27、28が再びリセットされ、その後水平シフトレジスタ出力線35-2に、図7(G)に示すように時刻t8でHighパルスが印加され、2列目のスイッチ用MOSFET29、30がそれぞれオンとされるため、2列目の容量23、24の各信号が2列目のスイッチ用MOSFET29、30を通して水平出力ライン27、28にそれぞれ出力されて差動アンプ39に供給され、2列目の信号が1列目と同様に差動アンプ39から

10

20

30

40

50

出力端子 40 に出力される。

【0019】

その後、図 7 (D) に示す時刻 t9 で垂直シフトレジスタ出力線 18 - 1 の電位が Low となり、1 行目の処理が終わる。次に時刻 t10 で図 7 (E) に示すように、垂直シフトレジスタ出力線 18 - 2 の電位が High になり、以下 1 行目と同様な処理が行われ、全画素の読み出しが終了する。

【0020】

従って、この CMOS センサの場合、1 行目と 2 行目のフォトダイオード 2 で光電変換しているタイミングが異なる。このような撮像方式をローリングシャッタ、あるいはフォーカルプレーンと呼ぶ。

10

【0021】

【特許文献 1】特開 2003 - 17677 号公報

【発明の開示】

【発明が解決しようとする課題】

【0022】

しかしながら、上記の従来の全方位カメラでは、固体撮像素子 203 としてローリングシャッタ型 CMOS センサを使っているが、ローリングシャッタ型 CMOS センサでは画素 1 行毎にフォトダイオード 2 に蓄積しているタイミングが異なるため、動いている被写体を撮像しようとする、撮像した被写体画像が変形するという問題が生じる。

20

【0023】

この様子を図 8 及び図 9 を使って説明する。図 8 は撮像の様子を示す模式図で、固体撮像素子 (ローリングシャッタ型 CMOS センサ) 203 上に、ミラー 201 の映像が映っている様子を示している。固体撮像素子 (ローリングシャッタ型 CMOS センサ) 203 の撮像範囲 210 に、ミラー 201 とミラー 201 に映っている映像が 211 で表現されている。この映像 211 を読み出すとき、直線のライン 214 毎に、矢印 213 で示すスキャン方向で順列的に読み出す。

【0024】

さて、このようにして読み出された映像信号を図 5 の画像展開手段 204 で展開するときに、例えば左右端にあたる部分を、図 8 の切断面 212 に設定して、ミラー 201 に映った映像 211 をパノラマ展開すると、図 9 のようになる。図 9 に示すように、切断面 212 はパノラマ映像の左右端になる。固体撮像素子 (ローリングシャッタ型 CMOS センサ) 203 上では直線だったライン 214 は、図 9 に示すように、パノラマ展開後では複雑な曲線になる。

30

【0025】

固体撮像素子 (ローリングシャッタ型 CMOS センサ) 203 では、ライン 214 毎にフォトダイオード 2 に蓄積されるタイミングが異なるため、動いている被写体画像が変形するが、その被写体画像の変形の様子は、場所により複雑になり、図 5 の画像展開手段 204 では容易に修正処理ができないという問題がある。

【0026】

これを解決するためには、固体撮像素子 (ローリングシャッタ型 CMOS センサ) 203 の撮像領域の前方にメカニカルシャッタを設けて、そのオープン期間に対応して全ラインの 1 フレーム期間の露光を行い、そのクローズ期間で各 1 ラインずつ順次読み出しを行うことで、露光プロセスと信号読み出しプロセスを分離する方法などが有効であるが、機構が複雑になるという問題がある。

40

【0027】

本発明は以上の点に鑑みなされたもので、固体撮像素子としてグローバルシャッタ型 CMOS センサを用いることにより、動きのある被写体に対しても歪みの無い鮮明な全方位のパノラマ画像を得ることが可能な全方位カメラを提供することを目的とする。

【課題を解決するための手段】

【0028】

50

本発明は上記の目的を達成するため、固体撮像素子を用いて全方位の撮像を行う全方位カメラにおいて、全方位の被写体からの光を反射する反射手段と、被写体の光学像を複数の全画素のフォトダイオードに露光の開始と終了のタイミングが全画素同時となるように露光して光電変換して得た電荷を全画素に蓄積した後、露光の期間に蓄積した電荷を各画素から撮像信号として順次出力する、固体撮像素子としてのグローバルシャッタ型CMOSセンサと、反射手段により反射された被写体からの光を集光して、グローバルシャッタ型CMOSセンサに被写体の光学像を結像する集光用光学系と、グローバルシャッタ型CMOSセンサから出力された撮像信号をパノラマ映像に展開する画像展開手段と、を備え、上記グローバルシャッタ型CMOSセンサは、

半導体基板上に形成された第1導電型のウェル、及びウェルにおける所定の第1の領域とは異なる第2の領域に形成されてウェルに接続する第2導電型の埋め込み部を有し、光学像を光電変換して電荷を蓄積するフォトダイオードと、第1の領域上にゲート酸化膜を介して形成されたリング状ゲート電極と、リング状ゲート電極の中央開口部に対応するウェル内の領域に形成された第1導電型の第1ソース部と、第1ソース部の周囲にリング状ゲート電極の外周に達しないように、かつ、ゲート酸化膜に接しないようにウェル内に埋め込まれて形成されて第1ソース部に接続しフォトダイオードから転送された電荷を蓄積する第2導電型のソース近傍領域部と、ウェルにおける第1の領域とは異なる第3の領域に第1ソース部及びソース近傍領域部に離間して形成された第1導電型の第1ドレイン部とを有し、ソース近傍領域部に蓄積された電荷を撮像信号として出力するリング状ゲートトランジスタと、第1の領域上に、リング状ゲート電極の一部を覆うように形成された転送ゲート電極を有し、埋め込み部を第2ソース部とし、ソース近傍領域部を第2ドレイン部とし、フォトダイオードに蓄積された電荷をリング状ゲートトランジスタへ全画素一斉に転送する転送ゲートトランジスタと、を画素毎に備え、

転送ゲート電極からリング状ゲート電極までのゲート酸化膜の直下にはウェルが連続して存在しており、転送ゲート電極及びリング状ゲート電極の各電位に応じて転送ゲート電極とリング状ゲート電極との間のウェルの表層部に電荷転送のバリアが発生又は消失し、グローバルシャッタ型CMOSセンサは、フォトダイオードにおける電荷の蓄積を、次の電荷転送が開始されるまで撮像信号の出力期間中も継続して行い、撮像信号をフレーム毎に連続して出力することを特徴とする。

【0030】

また、上記の目的を達成するため、本発明は、リング状ゲート電極の電位を制御するリング状ゲート電位制御回路部と、転送ゲート電極の電位を制御する転送ゲート電位制御回路部と、を更に備えていることを特徴とする。

【発明の効果】

【0032】

本発明によれば、グローバルシャッタ型CMOSEリアセンサを用いたことにより、撮像画像は被写体の画像と異なる画像歪みは発生しないため、画像展開手段により撮像信号をパノラマ展開したときに、被写体画像が動いていても、そのパノラマ展開後の画像が場所により複雑に変形するということがなくなり、その結果、従来に比べて歪みが十分に補正された鮮明な全方位のパノラマ画像を得ることができる。また、メカニカルシャッタが不要であるので、構成が複雑となることはない。

【発明を実施するための最良の形態】

【0033】

次に、本発明の一実施の形態について図面と共に説明する。図1は本発明になる全方位カメラの一実施の形態の構成図を示す。同図において、全方位カメラ100は、周囲360度の様子を映し出すミラー101と、光路105を経てミラー101に入射してミラー101で反射された被写体からの光を集光する集光用光学系102と、固体撮像素子としてのグローバルシャッタ型CMOSセンサ103と、画像展開手段104とから大略構成されている。本実施の形態の全方位カメラ100は、従来の全方位カメラ200と比較すると、固体撮像素子としてグローバルシャッタ型CMOSセンサ103を用いた点に特徴

がある。

【 0 0 3 4 】

グローバルシャッタ型CMOSセンサ103以外の、ミラー101、集光用光学系102は従来のミラー201、集光用光学系202と同一であり、ミラー101の形状としては、双曲面、円錐形、複数の曲線を組み合わせたものなど種々のものがあり、また、集光用光学系102は、グローバルシャッタ型CMOSセンサ103の撮像領域の大きさに被写体光学像が縮小、結像するようにする。また、画像展開手段104も従来の画像展開手段204と同様の構成とされており、グローバルシャッタ型CMOSセンサ103からの撮像信号に対して、ミラー101の曲面から導き出される展開式で展開処理を行い、ミラー101の曲面に従って歪んでいる映像から歪みの無いパノラマ映像を得る。

10

【 0 0 3 5 】

次に、グローバルシャッタ型CMOSセンサ103について詳しく説明する。図2はグローバルシャッタ型CMOSセンサの一実施の形態の構成図を示し、同図(A)は平面図、同図(B)は同図(A)のX-X'線に沿う縦断面図を示す。図2(A)、(B)に示すように、本実施の形態の固体撮像素子111であるグローバルシャッタ型CMOSセンサは、p⁺型基板41上にp⁻型エピタキシャル層42を成長し、このエピタキシャル層42の表面にnウェル43がある。nウェル43上にはゲート酸化膜44を挟んで第1のゲート電極である平面形状がリング状のゲート電極45が形成されている。

【 0 0 3 6 】

リング状ゲート電極45の中心部に対応したnウェル43の表面にはn⁺型のソース領域46が形成されており、そのソース領域46に隣接してソース近傍p型領域47が形成され、更にソース領域46とソース近傍p型領域47の外側の離間した位置にはn⁺型のドレイン領域48が形成されている。更に、ドレイン領域48の下nウェル43中には埋め込みのp⁻型領域49がある。この埋め込みのp⁻型領域49とnウェル43は、図2(A)に示す埋め込みフォトダイオード50を構成している。

20

【 0 0 3 7 】

埋め込みフォトダイオード50とリング状ゲート電極45との間には、第2のゲート電極である転送ゲート電極51がある。ドレイン領域48、リング状ゲート電極45、ソース領域46、転送ゲート電極51には、それぞれメタル配線であるドレイン電極配線52、リング状ゲート電極配線53、ソース電極配線(出力線)54、転送ゲート電極配線55が接続されている。また、上記の各構成の上方には、図2(B)に示すように遮光膜56が形成されており、その遮光膜56の埋め込みフォトダイオード50に対応した位置には開口部57が穿設されている。この遮光膜56は金属、あるいは有機膜等で形成される。光は、開口部57を通して埋め込みフォトダイオード50に達して光電変換される。

30

【 0 0 3 8 】

次に、CMOSセンサの画素構造と撮像素子全体の構造について、電気回路で表現した図3と共に説明する。同図において、まず、画素はm行n列に画素敷き詰め領域61に配置されている。図3ではこれらm行n列の画素のうち、s行t列の一画素62を代表として等価回路で表現している。この画素62は、リング状ゲートMOSFET63と、フォトダイオード64と、転送ゲートMOSFET65とからなり、リング状ゲートMOSFET63のドレインがフォトダイオード64のn側端子とドレイン電極配線66(図2の52に相当)に接続され、転送ゲートMOSFET65のソースがフォトダイオード64のp側端子に接続され、ドレインがリング状ゲートMOSFET63のバックゲートに接続されている。

40

【 0 0 3 9 】

なお、上記のリング状ゲートMOSFET63は、図2(B)ではリング状ゲート電極45直下のソース近傍p型領域47をゲート領域とし、n⁺型のソース領域46及びn⁺型のドレイン領域48を有するnチャネルMOSFETである。また、上記の転送ゲートMOSFET65は、図2(B)では転送ゲート電極51直下のnウェル43をゲート領域、フォトダイオード50の埋め込みのp⁻型領域49をソース領域、ソース近傍p型領

50

域 47 をドレインとする p チャンネル MOSFET である。

【0040】

図 3 において、m 行 n 列の各画素から 1 フレーム分の信号を読み出すために、まず読み出しを始める合図を出すフレームスタート信号を発生させる回路 67 がある。このフレームスタート信号は撮像素子の外から与えられてもよい。このフレームスタート信号は垂直シフトレジスタ 68 に供給される。垂直シフトレジスタ 68 は、m 行 n 列の各画素のうちの何行目の画素を読み出すかの信号を出力する。

【0041】

各行の画素はリング状ゲート電極、転送ゲート電極、ドレイン電極の電位を制御する制御回路に接続されており、これらの制御回路は垂直レジスタ 68 の出力信号が供給される。例えば、s 行目の各画素のリング状ゲート電極は、リング状ゲート電極配線 69 (図 2 の 53 に相当) を介してリング状ゲート電位制御回路 70 に接続され、各画素の転送ゲート電極は、転送ゲート電極配線 71 (図 2 の 55 に相当) を介して転送ゲート電位制御回路 72 に接続され、各画素のドレイン電極は、ドレイン電極配線 66 (図 2 の 52 に相当) を介してドレイン電位制御回路 73 に接続されている。上記の各制御回路 70、72、73 には垂直シフトレジスタ 68 の出力信号が供給される。

【0042】

なお、リング状ゲート電極は、行毎に制御するので横方向に配線するが、転送ゲート電極は全画素で一斉に制御するので、配線方向は問わず、縦方向でもよい。ここでは横方向に配線するものとして表現する。ドレイン電位制御回路 73 は、全画素一斉に制御するが、行毎に制御する可能性もあるので、フレームスタート信号と垂直レジスタ 68 の両方と接続して表現している。

【0043】

画素 62 のリング状ゲート MOSFET 63 のソース電極は、ソース電極配線 74 (図 2 の 54 に相当) を介して 2 分岐され、一方はスイッチ SW1 を介してソース電極電位を制御するソース電位制御回路 75 に接続され、他方はスイッチ SW2 を介して信号読み出し回路 76 に接続されている。信号を読み出すときにはスイッチ SW1 をオフ、スイッチ SW2 をオンにし、ソース電位を制御する時にはスイッチ SW1 をオン、スイッチ SW2 をオフにする。信号は縦方向に出すので、ソース電極の配線方向は縦にする。

【0044】

信号読み出し回路 76 は次のように構成されている。画素 62 の出力はリング状ゲート MOSFET 63 のソースから行われ、出力線 74 には負荷、例えば電流源 77 が繋がっている。従って、ソースフォロア回路となっている。電流源 77 にはキャパシタ C1 とキャパシタ C2 の各一端がスイッチ sc1 とスイッチ sc2 を介して繋がっている。他端が接地されているキャパシタ C1、C2 の各一端は、また差動アンプ 78 の反転入力端子と非反転入力端子に繋がっており、両キャパシタ C1 及び C2 の電位差を差動アンプ 78 から出力するようになっている。

【0045】

このような信号読み出し回路 76 は CDS 回路 (相関二重サンプリング回路) と呼ばれ、ここに描かれた方式以外にも種々の回路が提案されており、この回路に限るわけではない。信号読み出し回路 76 から出力された信号は、出力スイッチ swt を介して出力される。同じ列にある出力スイッチ swt は、水平シフトレジスタ 79 から出力される信号によりスイッチング制御される。

【0046】

次に、図 3 に示す CMOS センサの駆動方法について、図 4 のタイミングチャートと共に説明する。まず、図 4 (1) に示す期間では、埋め込みのフォトダイオード (図 2 (A) の 50、図 3 の 64 等) に光が入射し、光電変換効果により電子・ホール対が発生し、フォトダイオードの埋め込み p⁺ 型領域 49 にホールが蓄積される。このとき転送ゲート電極 51 の電位はドレイン電位 V_{dd} と同じになっており、転送ゲート MOSFET 65 はオフ状態である。これらの蓄積は、前フレームの読み出し操作が行われている時に同時

10

20

30

40

50

に実行されている。

【 0 0 4 7 】

続く図 4 (2) に示す期間では、前フレームの読み出しが終了すると、同図 (A) に示すように新しいフレームスタート信号が発信されて、次のフレームの読み出しが始まる。最初に行うのは全画素一斉にフォトダイオード (図 2 (A) の 5 0、図 3 の 6 4 等) からリング状ゲート電極 (図 2 の 4 5) のソース近傍 p 型領域 (図 2 の 4 7) にホールを転送することである。そのため、図 4 (B) に示すように転送ゲート電位制御回路 7 2 から出力される転送ゲート制御信号が V_{dd} から L_{ow} 2 に下がり、転送ゲート電極 (図 2 の 4 1) の電位が L_{ow} 2 となり、転送ゲート MOSFET 6 5 がオン状態になる。

【 0 0 4 8 】

このとき、リング状ゲート電位制御回路 7 0 により制御されるリング状ゲート電極配線 6 9 の電位は、図 4 (C) に示すように、 L_{ow} から L_{ow} 1 になるが、 L_{ow} 2 の方が L_{ow} 1 よりも大きい。 L_{ow} 1 は L_{ow} と同じでもよい。最も簡便には L_{ow} 1 = L_{ow} = 0 (V) に設定する。

【 0 0 4 9 】

一方、ソース電位制御回路 7 5 からスイッチ SW 1 を介してソース電極配線 7 4 からリング状ゲート MOSFET 6 3 のソースに供給されるソース電位をはじめとする、全画素のソース電位は図 4 (D) に示すように電位 S 1 に設定される。 $S 1 > L_{ow}$ 1 であり、これにより、リング状ゲート MOSFET 6 3 がオフのままであり、電流が流れないようにする。この結果、全画素のフォトダイオードに蓄積された電荷 (ホール) が、対応する画素のリング状ゲート電極の下に一斉に転送される。

【 0 0 5 0 】

図 2 (B) に示すリング状ゲート電極 4 5 の下の領域で、ソース近傍 p 型領域 4 7 が最もポテンシャルが低いので、フォトダイオードに蓄積されていたホールはソース近傍 p 型領域 4 7 に達し、そこに蓄積される。ホールが蓄積される結果、ソース近傍 p 型領域 4 7 の電位が上昇する。

【 0 0 5 1 】

続いて、図 4 (3) に示す期間では、同図 (B) に示すように転送ゲート電極が再び V_{dd} になり、転送ゲート MOSFET 6 5 がオフになる。これにより、フォトダイオード (図 2 (A) の 5 0、図 3 の 6 4 等) では再び光電変換効果により電子・ホール対が発生し、フォトダイオードの埋め込み p⁻ 型領域 4 9 にホールが蓄積され始める。この蓄積動作は次の電荷転送時まで続けられる。

【 0 0 5 2 】

一方、読み出し操作は行単位で順番に行われるので、1 行目 ~ (s - 1) 行目を読み出す期間 (3) では、リング状ゲート電極の電位は図 4 (C) に示すように L_{ow} の状態で、ソース近傍 p 型領域 4 7 にホールを蓄積したまま待機状態となる。ソース電位は他の行からの信号読み出しが行われている間、その画素からの信号の値により、様々な値をとり得る。また、リング状ゲート電極電位は行毎に様々な値をとり得るが、s 行目では L_{ow} に設定され、リング状ゲート MOSFET 6 3 がオフ状態である。

【 0 0 5 3 】

続く図 4 (4) ~ (6) に示す期間では、画素の信号読み出しが行われる。s 行目 t 列目の画素 6 2 について代表してこの信号読み出し動作について説明するに、まず、ソース近傍 p 型領域 4 7 にホールを蓄積した状態で、図 4 (E) に示す垂直シフトレジスタ 6 8 の出力信号が、同図 (H) に示すようにローレベルである期間 (4) において、リング状ゲート電位制御回路 7 0 からリング状ゲート電極配線 6 9 に出力される制御信号により、リング状ゲート電極 4 5 の電位を図 4 (K) に示すように、 L_{ow} から V_{g1} に上げる。

【 0 0 5 4 】

ここで、上記の電位 V_{g1} は、前述した各電位 L_{ow} 、 L_{ow} 1、 V_{dd} との間に
 $L_{ow} < L_{ow} 1 < V_{g1} < V_{dd}$ (ただし、 $L_{ow} < V_{dd}$)
 なる不等式が成立する電位である。また、上記の期間 (4) ではスイッチ SW 1 が図 4 (

10

20

30

40

50

I) に示すようにオフ、スイッチ S W 2 が同図 (J) に示すようにオン、スイッチ s c 1 が同図 (M) に示すようにオン、スイッチ s c 2 が同図 (N) に示すようにオフとされる。

【 0 0 5 5 】

この結果、リング状ゲート M O S F E T 6 3 のソースに接続されたソースフォロア回路が働き、リング状ゲート M O S F E T 6 3 のソース電位は、図 4 (L) に示すように期間 (4) では $S 2 (= V g 1 - V t h 1)$ となる。ここで、 $V t h 1$ とはバックゲート (ソース近傍 p 型領域 4 7) にホールがある状態での、リング状ゲート M O S F E T 6 3 のしきい値電圧である。このソース電位 S 2 がオンとされているスイッチ s c 1 を通してキャパシタ C 1 に記憶される。

10

【 0 0 5 6 】

続く図 4 (5) に示す期間では、リング状ゲート電位制御回路 7 0 からリング状ゲート電極配線 6 9 に出力される制御信号により、リング状ゲート電極 4 5 の電位を図 4 (K) に示すように H i g h 1 に上げると同時に、同図 (I)、(J) に示すようにスイッチ S W 1 をオン、スイッチ S W 2 をオフとすると共に、ソース電位制御回路 7 5 から出力されるソース電位を同図 (L) に示すように H i g h s に上げる。ここで、 $H i g h 1$ 、 $H i g h s > L o w 1$ である。

【 0 0 5 7 】

上記の電位 H i g h 1 及び H i g h s の値は同じであっても異なってもよいが、設計の簡単のためには $H i g h 1$ 、 $H i g h s = V d d$ が望ましい。簡便な設定では、 $H i g h 1 = H i g h s = V d d$ とする。また、リング状ゲート M O S F E T 6 3 がオンして電流が流れないような電位設定にすることが望ましい。この結果、ソース近傍 p 型領域 4 7 のポテンシャルが上昇し、n ウェル 4 3 のバリアを越えてホールがエピタキシャル層 4 2 に排出される (リセット) 。

20

【 0 0 5 8 】

続く図 4 (6) に示す期間では、再び前記期間 (4) と同じ信号読み出し状態にする。ただし、期間 (4) とは異なり、図 4 (M)、(N) に示すように、スイッチ s c 1 はオフ、スイッチ s c 2 はオンとする。リング状ゲート電極は図 4 (K) に示すように期間 (4) と同じ $V g 1$ とする。しかし、この期間 (6) では直前の期間 (5) でホールが基板に排出されていて、ソース近傍 p 型領域 4 7 にはホールが存在しないので、リング状ゲート M O S F E T 6 3 のソース電位は、図 4 (L) に示すように期間 (6) では $S 0 (= V g 1 - V t h 0)$ となる。ここで $V t h 0$ は、バックゲート (ソース近傍 p 型領域 4 7) にホールがない状態でのリング状ゲート M O S F E T 6 3 のしきい値電圧である。

30

【 0 0 5 9 】

このソース電位 S 0 はオンとされたスイッチ s c 2 を介してキャパシタ C 2 に記憶される。差動アンプ 7 8 はキャパシタ C 1 と C 2 の電位差を出力する。すなわち、差動アンプ 7 8 は $(V t h 0 - V t h 1)$ を出力する。この出力値 $(V t h 0 - V t h 1)$ は、ホール電荷によるしきい値変化分である。その後、水平シフトレジスタ 7 9 から出力される図 4 (F) に示すパルスのうち、同図 (O) に示す t 列目の出力パルスに基づき、図 3 の出力スイッチ s w t がオンとされ、この s w t のオン期間に図 4 (P) にハッチングにより模式的に示すように、差動アンプ 7 8 からのホール電荷によるしきい値変化分が画素 6 2 の出力信号 V o u t としてセンサ外へ出力される。

40

【 0 0 6 0 】

続いて、図 4 に (7) で示す期間では、再びリング状ゲート電極 4 5 の電位を図 4 (B) に示すように L o w にし、ソース近傍 p 型領域 4 7 にはホールがない状態で、全ての行の信号処理が終了するまで (s + 1 行 ~ n 行の画素の読み出しが終了するまで) 待機する。これらの読み出し期間中、フォトダイオード 6 4 では光電変換効果によるホールの蓄積が進行している。その後、前記期間 (1) に戻って、ホールの転送から繰り返す。これにより、各画素から図 4 (G) に示す出力信号が読み出される。すべての画素から信号を読み出すと、再び次のフレームが開始される。

50

【 0 0 6 1 】

上記の図 2 (A)、(B) に示す構成の固体撮像素子は、リング状のゲート電極 4 5 を持つリング状ゲート MOS F E T 6 3 が増幅用 MOS F E T であり、図 3 に示したように各画素内に増幅用 MOS F E T を持つという意味で、C M O S センサの一種である。そして、この C M O S センサは、フォトダイオードに蓄積された電荷 (ホール) が、対応する画素のリング状ゲート電極の下のソース近傍 p 型領域 4 7 に一斉に転送されるようにすることで、グローバルシャッタを実現している。

【 0 0 6 2 】

なお、図 4 の期間 (5) のリセット時のソース電極配線 7 4 の電位供給は、ソース電位制御回路 7 5 から供給する以外の次の方法もある。すなわち、上記期間 (5) でスイッチ S W 1、S W 2 をともにオフとして、ソース電極配線 7 4 をフローティングにする。ここでリング状ゲート電極配線 6 9 の電位を H i g h 1 とすると、リング状ゲート MOS F E T 6 3 がオン状態となり、ソース電極にドレインから電流が供給され、ソース電極電位が上昇する。この結果、ソース近傍 p 型領域 4 7 のポテンシャルが持ち上げられ、n ウェル 4 3 のバリアを越えて、ホールが p 型エピタキシャル層 4 2 に排出される (リセット)。ホールが完全に排出されたときのソース電極電位は、H i g h 1 - V t h 0 になる。この方法では、ソース電位制御回路 7 5 のうち、H i g h s を供給するトランジスタを削減することができ、その結果、チップ面積を減らすことができる。

10

【 0 0 6 3 】

なお、図 3 の画素 6 2 の回路構成は簡略化して示してある。画素 6 2 の回路は、厳密には、転送ゲート MOS F E T 6 5 のソースとリング状ゲート MOS F E T 6 3 のバックゲートとの間に、リング状ゲート電極配線 6 9 と転送ゲート電極配線 7 1 の各電位に連動したスイッチが設けられる構成である。このスイッチは、リング状ゲート電極配線 6 9 の電位 L o w 1 と、転送ゲート電極配線 7 1 の電位 L o w 2 との間に、L o w 1 L o w 2 の関係があるときはオン状態になり、L o w 1 > L o w 2 の関係があるときにはオフ状態になる。

20

【 0 0 6 4 】

このスイッチを設けることにより、リング状ゲート電極 4 5 (電位 L o w 1) の下の基板電位が、転送ゲート電極 6 1 (電位 L o w 2) の下の基板電位よりも高くなっていて、リング状ゲート電極 4 5 (電位 L o w 1) の下の基板電位がバリアとして働き、ホールがソース近傍 p 型領域 4 7 に達することができないという現象を回路的に表現できる。しかしながら、転送時は上記の L o w 1 L o w 2 の条件は、電位制御回路 7 0、7 2 等により常に満たされているので、図 3 ではこのスイッチを省略して図示している。

30

【 0 0 6 5 】

このように、本実施の形態で用いるグローバルシャッタ型 C M O S センサ 1 0 3 は、図 2 ~ 図 4 と共に説明したように、露光は各ライン毎にタイミングがずれることなく同一の 1 フレーム期間で行われ、一定期間の露光後、グローバルシャッタ型 C M O S センサ 1 0 3 内の転送ゲート (図 3 の転送ゲート MOS F E T 6 5 等) により、全画素の電荷が電荷転送期間のタイミングで読み出し回路に一斉に転送される。その後、読み出し回路により読み出し期間内で、順次各画素からの信号が読み出される。このことにより、移動する被写体を撮像した場合でも、撮像画像は被写体の画像と異なる画像歪みは発生しない。

40

【 0 0 6 6 】

このため、図 1 に示した本実施の形態の画像展開手段 1 0 4 が、グローバルシャッタ型 C M O S センサ 1 0 3 から出力された映像信号をパノラマ展開して、図 9 に示したようなパノラマ展開後の画像を得たときに、被写体画像が動いていても、そのパノラマ展開後の画像が場所により複雑に変形するということがなくなり、その結果、従来に比べて歪みが十分に補正された全方位のパノラマ画像を得ることができる。また、メカニカルシャッタが不要であるので、構成が複雑化することや消費電力の増加が避けられる。

【 図面の簡単な説明 】

【 0 0 6 7 】

50

【図 1】本発明の全方位カメラの一実施の形態のブロック図である。

【図 2】図 1 中のグローバルシャッタ型 CMOS センサの 1 画素分の素子構造の平面図とその X - X' 線に伴う断面図である。

【図 3】本発明で用いるグローバルシャッタ型 CMOS センサの全体構成を電気等価回路で示した図である。

【図 4】図 2 の CMOS センサの動作を説明するタイミングチャートである。

【図 5】従来の全方位カメラの一例のブロック図である。

【図 6】従来の全方位カメラで用いられるローリングシャッタ型 CMOS センサの一例の回路図である。

【図 7】図 6 の動作説明用タイミングチャートである。

10

【図 8】全方位カメラの撮像素子上に映っている映像の一例を示す図である。

【図 9】図 8 の映像をパノラマ展開した後のパノラマ映像の一例を示す図である。

【符号の説明】

【 0 0 6 8 】

4 3 n ウェル

4 5 リング状ゲート電極

4 6 n⁺ 型ソース領域

4 7 ソース近傍 p 型領域

4 8 n⁺ 型ドレイン領域

4 9 埋め込み p⁻ 型領域

20

5 0、6 4 フォトダイオード

5 1 転送ゲート電極

5 2、6 6 ドレイン電極配線

5 3、6 9 リング状ゲート電極配線

5 4、7 4 ソース電極配線（出力線）

5 5、7 1 転送ゲート電極配線

6 1 画素敷き詰め領域

6 2 画素

6 3 リング状ゲート MOS FET

6 5 転送ゲート MOS FET

30

1 0 0 全方位カメラ

1 0 1 ミラー

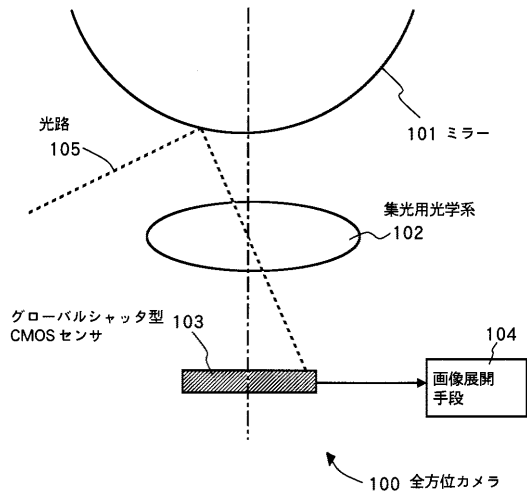
1 0 2 集光用光学系

1 0 3 グローバルシャッタ型 CMOS センサ

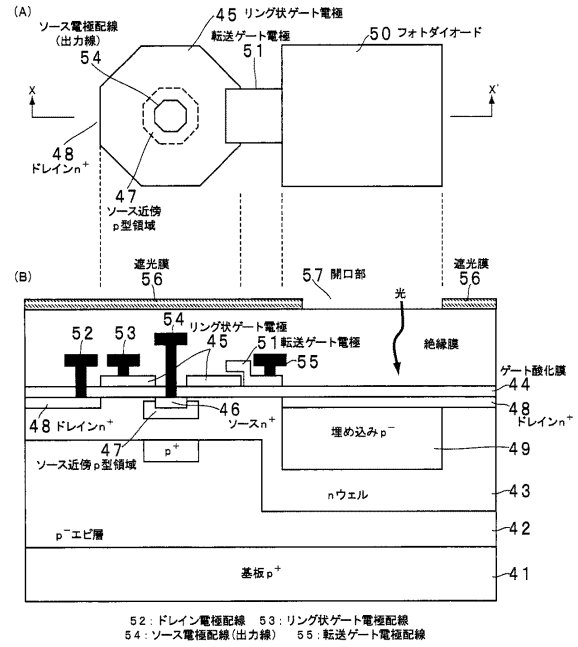
1 0 4 画像展開手段

1 0 5 光路

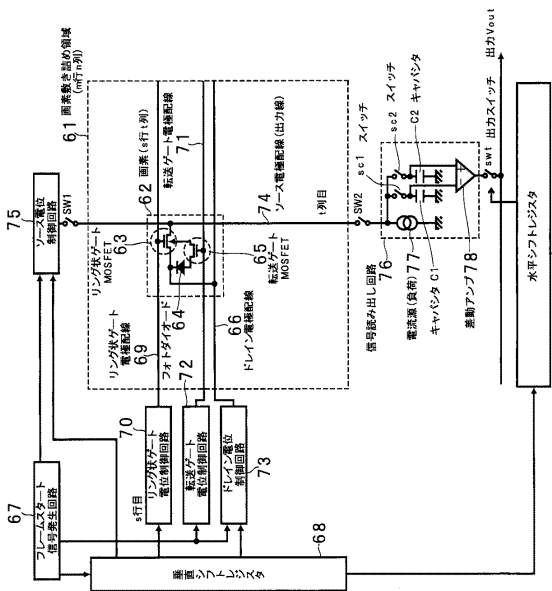
【図 1】



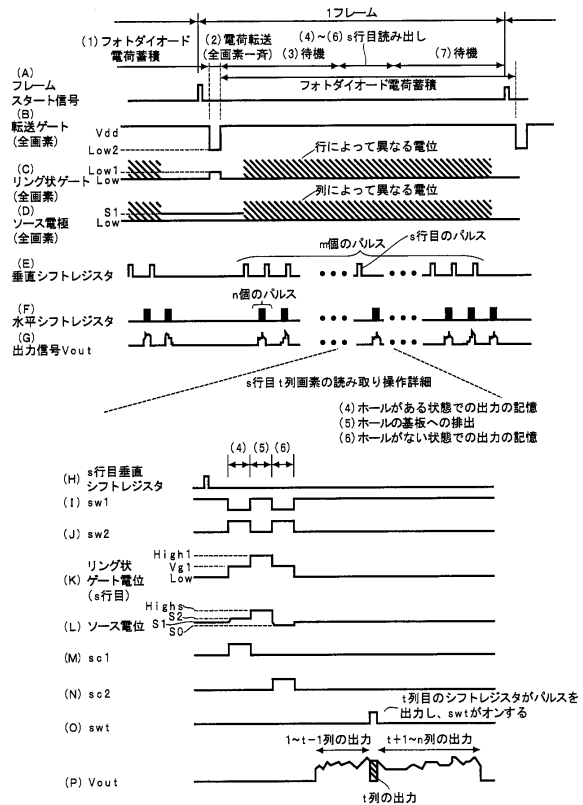
【図 2】



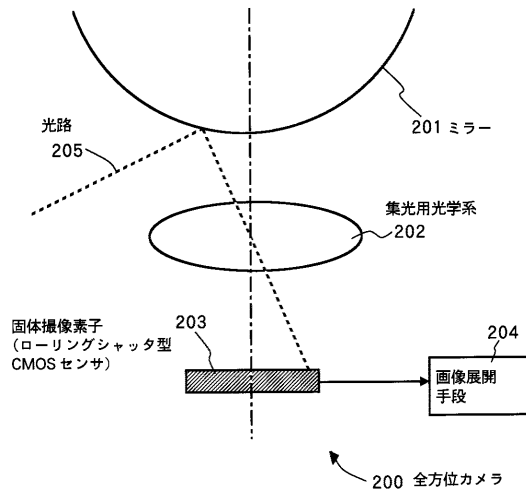
【図 3】



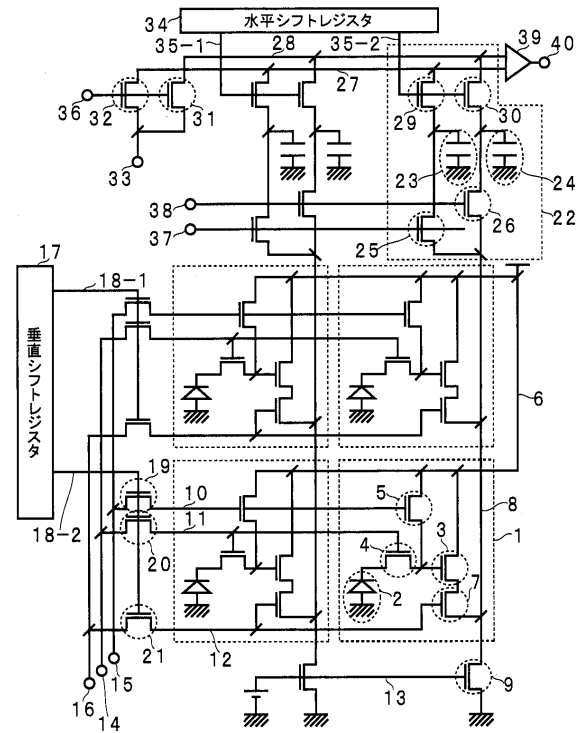
【図 4】



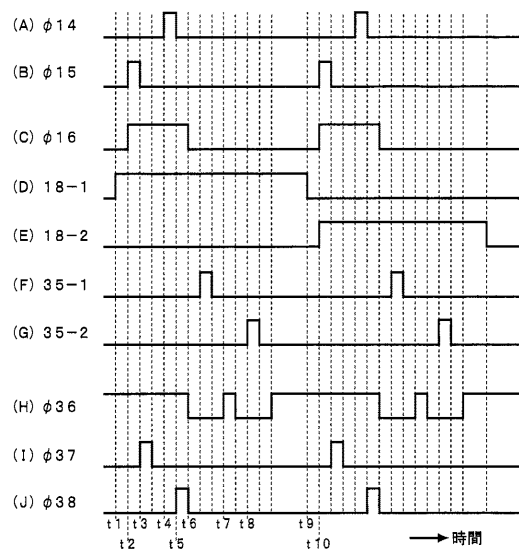
【図 5】



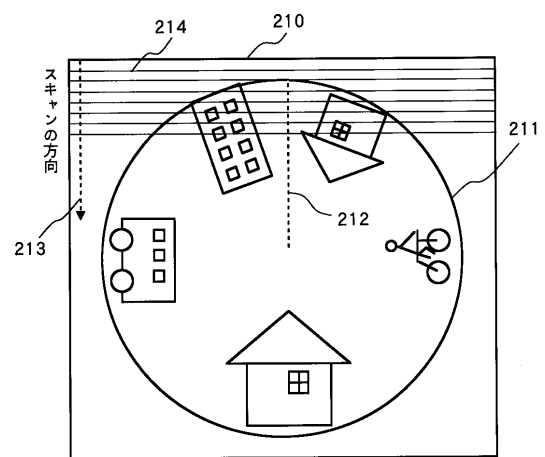
【図 6】



【図 7】

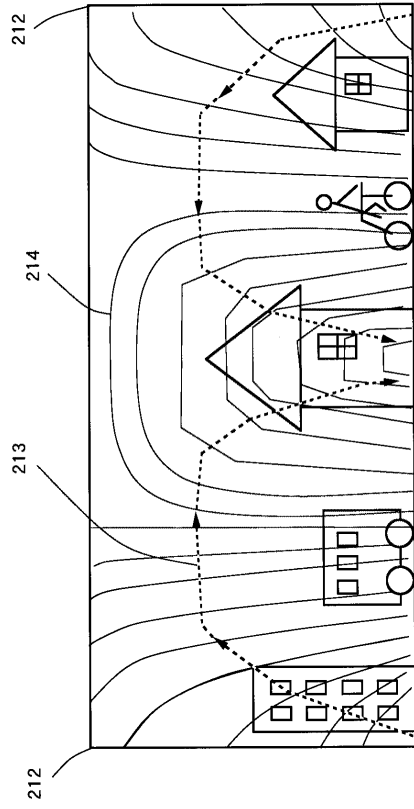


【図 8】



- 210: 撮像範囲
 211: ミラーとミラーに映っている映像
 212: パノラマ展開する時の切断線
 213: 固体撮像素子のスキャン方向
 214: 固体撮像素子の行

【図 9】



 フロントページの続き

(51)Int.Cl.		F I		
H 0 4 N	5/225	(2006.01)	H 0 4 N	5/225 Z
			H 0 4 N	5/225 D

(56)参考文献 特開 2 0 0 2 - 2 9 0 8 0 7 (J P , A)
 特開平 1 0 - 0 4 1 4 9 3 (J P , A)
 特開 2 0 0 5 - 0 6 5 0 7 4 (J P , A)
 特開 2 0 0 2 - 1 3 4 7 2 9 (J P , A)
 特開 2 0 0 5 - 0 9 4 6 1 3 (J P , A)
 特開 2 0 0 1 - 3 3 3 3 0 3 (J P , A)
 特開 2 0 0 4 - 1 5 9 1 5 5 (J P , A)
 国際公開第 2 0 0 5 / 0 1 3 0 0 1 (W O , A 1)
 特開 2 0 0 4 - 0 8 7 9 6 3 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
 H 0 4 N 5 / 3 3 5
 H 0 4 N 5 / 2 2 5
 H 0 1 L 2 1 / 1 4 6