

República Federativa do Brasil
Ministério do Desenvolvimento, Indústria
e do Comércio Exterior
Instituto Nacional da Propriedade Industrial

(21) **PI0710528-2 A2**

(22) Data de Depósito: 05/04/2007
(43) Data da Publicação: 16/08/2011
(RPI 2119)



★ B R P I O 7 1 0 5 2 8 A 2 ★

(51) *Int.Cl.:*
H04N 7/24 2011.01
H04N 7/64 2011.01

(54) Título: **MÉTODO E APARELHO PARA TRANSMITIR SINAL DE TRANSMISSÃO DIGITAL EM SISTEMA VSB AVANÇADO (A-VSB) EM QUE O PACOTE DE TRANSPORTE SEM CAMPO DE ADAPTAÇÃO É FORNECIDO EM LOCALIZAÇÃO FIXA NAS FATIAS DE CAMPO DE DADOS**

(30) Prioridade Unionista: 28/03/2007 US 11/692,509, 06/04/2007 US 60/789,603, 06/04/2007 US 60/789,603, 28/03/2007 US 11/692,509

(73) Titular(es): Samsung Electronics CO., LTD.

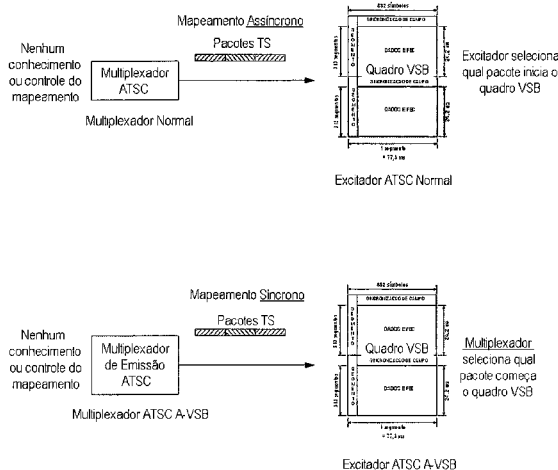
(72) Inventor(es): Eui-jun Park, Hae-joo Jeong, Jin-Hee Jeong, Jong-hun Kim, Joon-soo Kim, Jung-Pil Yu, Kum-ran Ji, Yong-Sik Kwon

(74) Procurador(es): Orlando de Souza

(86) Pedido Internacional: PCT KR2007001667 de 05/04/2007

(87) Publicação Internacional: WO 2007/114663de 11/10/2007

(57) **Resumo:** MÉTODO E APARELHO PARA TRANSMITIR SINAL DE TRANSMISSÃO DIGITAL EM SISTEMA VSB AVANÇADO (A-VSB) EM QUE O PACOTE DE TRANSPORTE SEM CAMPO DE ADAPTAÇÃO É FORNECIDO EM LOCALIZAÇÃO FIXA NAS FATIAS DE CAMPO DE DADOS. Um método de processar um sinal de transmissão digital inclui gerar um fluxo de transporte que inclui uma pluralidade de pacotes de transporte; selecionar um dos pacotes de transporte como o pacote inicial a ser mapeado em um primeiro segmento de dados de um quadro de dados codificado; e construir quadros de dados determinísticos no fluxo de transporte iniciando com o pacote inicial; em que pelo menos um dos 52 pacotes de transporte não tem um campo de adaptação; em que todos os restantes dos 52 pacotes de transporte de fato têm um campo de adaptação; e em que o pelo menos um pacote de transporte que não possui o campo de adaptação é fornecido em uma localização fixa em cada uma das fatias.



MÉTODO E APARELHO PARA TRANSMITIR SINAL DE TRANSMISSÃO
DIGITAL EM SISTEMA VSB AVANÇADO (A-VSB) EM QUE O PACOTE DE
TRANSPORTE SEM CAMPO DE ADAPTAÇÃO É FORNECIDO EM
LOCALIZAÇÃO FIXA NAS FATIAS DE CAMPO DE DADOS

5 CAMPO TÉCNICO

Aspectos da invenção relacionam-se em parte a aprimoramentos no Sistema de Televisão Digital (DTV) do Comitê de Sistemas de Televisão Avançados (ATSC).

HISTÓRICO DA TECNOLOGIA

10 O sistema ATSC DTV utiliza um sistema de transmissão de banda lateral vestigial de 8 símbolos (8-VSB) que é suscetível a problemas de recepção em certas aplicações e sob certas condições, como em aplicações móveis e em comunicação por canais sujeitos ao desvanecimento Doppler.

15 Uma versão aprimorada do sistema 8-VSB denominado de Enhanced-VSB (E-VSB) foi desenvolvida. O sistema E-VSB permite que um fluxo de dados aprimorados ou robusto seja transmitido. Este fluxo de dados aprimorado ou robusto pretende resolver alguns dos problemas de recepção que
20 ocorrem no sistema 8-VSB. No entanto, o sistema E-VSB ainda é suscetível de problemas de recepção. Aspectos da invenção foram desenvolvidos em parte em um esforço para resolver os problemas de recepção que ocorrem nos sistemas 8-VSB e E-VSB, e inclui uma versão aprimorada desses sistemas
25 conhecida como o sistema Advanced-VSB (A-VSB).

REVELAÇÃO DA INVENÇÃO

De acordo com um aspecto da invenção, um método de processar um sinal de transmissão digital inclui gerar um fluxo de transporte que inclui uma pluralidade de pacotes
30 de transporte, cada um dos pacotes de transporte tendo 187

bytes, cada um dos bytes tendo 8 bits, os 187 bytes incluindo 3 bytes de identificador de pacote (PID); selecionar um dos pacotes de transportes como o pacote inicial a ser mapeado dentro de um primeiro segmento de dados de um quadro de dados codificado; e construir quadros de dados determinísticos no fluxo de transporte começando com o pacote inicial, cada um dos quadros de dados determinísticos tendo 2 campos de dados, cada um dos campos de dados tendo 6 fatias, cada uma das fatias tendo 52 pacotes de transporte; em que pelo menos um dos 52 pacotes de transporte não tem um campo de adaptação e tem 187 bytes, cada um dos bytes tendo 8 bits, os 187 bytes incluindo 3 bytes de PID, seguidos de 184 bytes de dados. em que todos os restantes dos 52 pacotes de transporte tem, cada um, 187 bytes, cada um dos bytes tendo 8 bits, os 187 bytes incluindo 3 bytes de PID, seguido por 2 bytes de cabeçalho do campo de adaptação (AF), seguido por 182-N bytes de dados; e em que o pelo menos um pacote de transporte que não tem o campo de adaptação é provido a uma localização fixa em cada uma das fatias.

Aspectos adicionais e/ou vantagens da invenção serão explicitados em parte na descrição que segue e, em parte, será óbvia da descrição, ou poderá ser aprendida pela prática da invenção.

25 EFEITOS VANTAJOSOS

Embora descrita n contexto de um sistema ATSC para utilização em televisão digital, é compreendido que aspectos da invenção podem ser utilizados em outros sistemas de transmissão.

30 Ademais, a multiplexação estatística provou ser muito

eficiente para transmitir fluxos múltiplos por um canal único, e maioria dos irradiadores o adotaram ou pode ser esperados que o adotem no futuro. A multiplexação estatística é um sistema de comunicação no modo de pacote, como é A-VSB de acordo com um aspecto da invenção, e assim oferece outra oportunidade para implementar A-VSB.

DESCRIÇÃO SUCINTA DOS DESENHOS

Estes e/ou outros aspectos e vantagens da invenção tornar-se-ão aparentes e mais prontamente apreciados da descrição seguinte de versões da invenção, tomados em conjunto com os desenhos acompanhantes, dos quais:

A Figura 1 mostra mapeamentos assíncronos e síncronos de pacotes de fluxo de transporte (TS) ATSC para um quadro VSB de acordo com um aspecto da invenção, com o mapeamento produzindo um quadro determinístico (DF) de acordo com um aspecto da invenção.

A Figura 2 mostra um diagrama de blocos de pré-codificadores/codificadores de treliça utilizados para ilustrar um aspecto da invenção.

A Figura 3 mostra um VSB normal e um quadro A-VSB de acordo com um aspecto da invenção.

A Figura 4 mostra um circuito para efetuar um restabelecimento de treliça determinístico (DTR) de acordo com um aspecto da invenção.

A Figura 5 mostra um diagrama de blocos de um transmissor ATSC DTV utilizando uma sequência de referência suplementar (SRS) de acordo com um aspecto da invenção.

A Figura 6 mostra um diagrama de blocos de um multiplexador de emissão ATSC utilizando o SRS de acordo com um aspecto da invenção.

A Figura 7 mostra um sintaxe de pacote TS normal de acordo com um aspecto da invenção.

A Figura 8 mostra um pacote TS sem SRS de acordo com um aspecto da invenção.

5 A Figura 9 mostra um fluxo de transporte normal de acordo com um aspecto da invenção.

A Figura 10 mostra um sintaxe de pacote TS normal com um campo de adaptação de acordo com um aspecto da invenção.

10 A Figura 11 mostra um pacote TS que porta SRS de acordo com um aspecto da invenção.

A Figura 12 mostra um fluxo de transporte com pacotes SRS de acordo com um aspecto da invenção.

A Figura 13 mostra um diagrama de blocos de um enchedor SRS de acordo com um aspecto da invenção.

15 A Figura 14 mostra um fluxo de transporte portando SRS de acordo com um aspecto da invenção.

A Figura 15 mostra um fluxo de transporte portando SRS com paridade acrescentada pelo codificador Reed-Solomon na Figura 5, de acordo com um aspecto da invenção.

20 A Figura 16 mostra um entrelaçador de byte ATSC emitido para $N=26(\text{SRS})+2(\text{cabeçalho AF})$ de acordo com um aspecto da invenção.

A Figura 17 mostra o significado de "0ésimo byte[0,...,51 pacotes] de acordo com um aspecto da
25 invenção.

A Figura 18 mostra conceitualmente como um entrelaçador de byte ATSC converte 52 segmentos contendo, cada um, 26 bytes de dados no padrão SRS em um fluxo de transporte em 26 segmentos contendo, cada um, 52 bytes
30 contíguos de dados no padrão SRS em um fluxo de

transmissão.

A Figura 19 mostra um diagrama de blocos de um bloco codificador de modulação codificada por treliça (TCM) com correção de paridade de acordo com um aspecto da invenção.

5 A Figura 20 mostra um diagrama de blocos detalhado do bloco codificador TCM na Figura 19 de acordo com um aspecto da invenção.

A Figura 21 mostra uma fatia (52 segmentos) de um gabarito de quadro determinístico (DF) para utilização com
10 SRS de acordo com um aspecto da invenção.

A Figura 22 mostra valores de byte de padrão armazenados em uma memória de padrão SRS de acordo com um aspecto da invenção.

A Figura 23 mostra um entrelaçador de byte ATSC
15 emitido quando 35 bytes de dados de padrão SRS são utilizados que mostra porque mais de 27 bytes de dados no padrão SRS não podem ser utilizados.

A Figura 24 mostra como um limite de fatia corta a região rotulada "C" na Figura 16 nos segmentos 5 a 9.

20 A Figura 25 mostra um entrelaçador de byte ATSC emitido para 27 bytes de dados no padrão SRS (o número Máximo permitido de bytes de dados de padrão(que aparece nos segmentos 5 a 31.

A Figura 26 mostra uma fatia (52 segmentos) de um
25 gabarito de quadro determinístico (DF) para utilização com SRS de acordo com um aspecto da invenção que inclui um pacote {Null,PAT,PMT} sem um campo de adaptação ser fornecido em uma localização fixa em um quadro.

A Figura 27 mostra conceitualmente a funcionalidade de
30 uma rede de frequência única ATSC harmonizada (SFN).

A Figura 28 mostra uma configuração de sistema para a funcionalidade de um SFN harmonizado e de A-VSB.

A Figura 29 mostra a inserção de um pacote de inicialização de quadro VSB (VFIP) no último pacote TS (623^{ésimo}) em um quadro VSB.

A Figura 30 mostra o mapeamento de byte em um entrelaçador de 52 segmentos ATSC.

A Figura 31 mostra posições dos bytes de um VFIP no entrelaçador de 52 segmentos ATSC.

10 A Figura 32 mostra as posições de byte em um VFIP utilizado para o restabelecimento de treliça determinístico (DTR).

A Figura 33 mostra conceitualmente um contador PPS utilizado em um SFN.

15 A Figura 34 mostra linhas de tempo de sincronização SFN que mostram sintaxe e semântica de tempo para um ATSC SFN.

A Figura 35 mostra um diagrama de blocos de um transmissor ATSC DTV modificado para utilização com um fluxo turbo de acordo com um aspecto da invenção.

A Figura 36 mostra um diagrama de blocos do multiplexador de emissão ATSC (MUX) para utilização com um fluxo turbo no transmissor ATSC DTV modificado por turbo na Figura 35 de acordo com um aspecto da invenção.

25 A Figura 37 mostra um fluxo de transporte turbo entrado no pré-processador turbo na Figura 36 de acordo com um aspecto da invenção.

A Figura 38 mostra um diagrama de blocos do pré-processador turbo na Figura 36 de acordo com um aspecto da invenção.

30

A Figura 39 mostra um fluxo de transporte turbo com paridade acrescentada pelo codificador Reed-Solomon (RS) no pré-processador turbo na Figura 38 de acordo com um aspecto da invenção.

5 A Figura 40 mostra a expansão de um byte para dois bytes efetuada no fluxo de transporte turbo com paridade pelo fazedor de marca de lugar no pré-processador turbo na Figura 38 em modo de codificação de velocidade de 1/2 de acordo com um aspecto da invenção.

10 A Figura 41 mostra a expansão de um byte para quatro bytes efetuada no fluxo de transporte turbo com paridade pelo fazedor de marca de lugar no pré-processador turbo na Figura 38 no modo de codificação de velocidade de 1~4 de acordo com um aspecto da invenção.

15 A Figura 42 mostra um fluxo de transporte turbo expandido emitido do pré-processador turbo na Figura 38 de acordo com um aspecto da invenção.

20 A Figura 43 mostra um fluxo de transporte que porta dados turbo que são entrados no aleatorizador no transmissor ATSC DTV modificado por turbo na Figura 35 de acordo com um aspecto da invenção.

25 A Figura 44 mostra um fluxo de transporte que porta dados turbo com paridade acrescentada pelo codificador Reed-Solomon (RS) no transmissor ATSC DTV modificado por turbo na Figura 35 de acordo com um aspecto da invenção.

A Figura 45 mostra um diagrama de blocos do pós-processador turbo no transmissor ATSC DTV modificado por turbo na Figura 35 de acordo com um aspecto da invenção.

30 A Figura 46 mostra um diagrama de blocos do codificador externo no pós-processador turbo na Figura 45

de acordo com um aspecto da invenção.

A Figura 47 mostra entradas e saídas d codificador externo nas Figuras 45 e 46 em modo de codificação de velocidade de 1/2 de acordo com um aspecto da invenção.

5 A Figura 48 mostra entradas e saídas d codificador externo nas Figuras 45 e 46 em modo de codificação de velocidade de 1/4 de acordo com um aspecto da invenção.

A Figura 49 mostra uma explanação gráfica de uma regra de entrelaçamento de bit para um comprimento de entrelaçamento de 4 utilizado pelo entrelaçador externo no pós-processador turbo na Figura 45 de acordo com um aspecto da invenção.

A Figura 50 mostra uma fatia (52 segmentos) de um gabarito de quadro determinístico (DF) para utilização com o modo de fluxo turbo 2 ou 4 de acordo com um aspecto da invenção.

A Figura 51 mostra uma fatia (52 segmentos) de um gabarito de quadro determinístico (DF) para utilização com o modo de fluxo turbo 5 ou 6 de acordo com um aspecto da invenção.

A Figura 52 mostra uma fatia (52 segmentos) de um gabarito de quadro determinístico (DF) para utilização tanto com SRS e o modo de fluxo turbo 2 ou 4 de acordo com um aspecto da invenção.

25 A Figura 53 mostra uma fatia (52 segmentos) de um gabarito de quadro determinístico (DF) para utilização tanto com SRS e o modo de fluxo turbo 5 ou 6 de acordo com um aspecto da invenção.

A Figura 54 mostra uma estrutura de bit de sinalização no modo A-VSB utilizado em um esquema de sinalização no

modo A-VSB de acordo com um aspecto da invenção.

A Figura 55 mostra códigos Walsh de (16) bits utilizados no esquema de sinalização no modo A-VSB de acordo com um aspecto da invenção.

5 A Figura 56 mostra um diagrama de um entrelaçador de byte de 52 segmentos ATSC de acordo com um aspecto da invenção.

A Figura 57 mostra um primeiro estágio da manipulação de 52 pacotes de entrada com SRS no entrelaçador de byte na
10 Figura 56 de acordo com um aspecto da invenção.

A Figura 58 mostra um segundo estágio de manipulação dos 52 pacotes de entrada com SRS no entrelaçador de byte na Figura 56 de acordo com um aspecto da invenção.

A Figura 59 mostra um terceiro estágio de manipulação dos 52 pacotes de entrada com SRS no entrelaçador de byte
15 na Figura 56 de acordo com um aspecto da invenção.

A Figura 60 mostra o mapeamento de 52 pacotes de entrada efetuado pelo entrelaçador de byte na Figura 56 de acordo com um aspecto da invenção.

20 A Figura 61 mostra o mapeamento de 104 pacotes de entrada efetuados pelo entrelaçador de byte na Figura 56 de acordo com um aspecto da invenção.

A Figura 62 mostra o detalhe de um mapeamento efetuado pelo entrelaçador de byte na Figura 56 quando 26 bytes são
25 utilizados para SRS de acordo com um aspecto da invenção.

MELHOR MODO PARA REALIZAR A INVENÇÃO

Será feita referência agora em detalhe a versões da invenção, exemplos das quais são mostrados nos desenhos acompanhantes, em que números de referência iguais referem-
30 se a elementos iguais no todo. As versões são descritas

abaixo para explicar a presente invenção pela referência às Figuras.

Aspectos da invenção descritos abaixo incluem quadro determinístico (DF), restabelecimento de treliça determinístico (DTR), sequência de referência suplementar (SRS), rede de frequência única (SFN), e fluxo turbo. Esses aspectos da invenção são descritos no contexto do sistema ATSC DTV 8-VSB como parte de um sistema Advanced-VSB (A-VSB), mas não são limitados ao uso em tal contexto.

10 A descrição seguinte pressupõe uma familiaridade com o Advanced Television Systems Committee (ATSC) Digital Television System (DTV) que incorpora aspectos do sistema MPEG-2, detalhes do qual são descritos nas normas correspondentes. Exemplos dessas normas que poderão ser
15 relevantes são ATSC A/52B, Digital Audio Compression Standard (AC-3, E-AC-3), Revision B, 14 de junho de 2005; ATSC A/53E, ATSC Digital Television Standard (A/53), Revision E, 27 de dezembro de 2005; Working Draft Amendment 2 to ATSC Digital Television Standard (A/53C) with
20 Amendment 1 and Corrigendum 1; ATSC A/54^a, Recommended Practice: Guide to the Use of the ATSC Digital Television Standard, 4 de dezembro de 2003; ATSC A110/A, Synchronization Standard for Distributed Transmission, Revision A, 19 de julho de 2005; ISO/IEC IS 13818-
25 1:2000(E), Information technology - Generic coding of moving pictures and associated audio information: Systems (second edition) (MPEG-2); e ISO/IEC IS 13818-2:2000(E), Information technology - Generic coding of moving pictures and associated audio information: Video (second edition)
30 (MPEG-2), o conteúdo dos quais são aqui incorporados por

referência em sua inteireza.

Quadro determinístico e restabelecimento de treliça determinístico preparam o sistema 8-VSB para ser operado de maneira determinística. No sistema A-VSB, o multiplexador de emissão tem conhecimento e sinaliza o início do quadro 8-VSB para o excitador A-VSB. Este conhecimento a priori do multiplexador de emissão permite que a multiplexação inteligente seja efetuada de acordo com um aspecto da invenção.

10 A ausência de sinais de treinamento de equalizador adequados estimulou projetos de receptor com uma sobredependência em técnicas de equalização cegas. SRS oferece uma solução de sistema com sinais de treinamento de equalizador adequados acoplado com os mais recentes avanços
15 algorítmicos nos princípios de projeto de receptor para atingir novos níveis de desempenho em ambientes dinâmicos. SRS melhora a recepção de fluxo normal. No entanto, é compreendido que outras seqüências de treinamento podem ser utilizadas em outros aspectos da invenção.

20 A funcionalidade SFN é fornecida no sistema A-VBS como uma abordagem inteiramente harmonizada que funciona com os demais recursos A-VSB.

O fluxo turbo de acordo com aspectos da invenção fornece um novo nível de capacidade de correção de erro.
25 Isto trás a recepção robusta em termos de limite de receptor SNR mais baixo e melhoramentos nos ambientes multi-via A recepção de fluxo normal em um receptor de legado não é afetada pelo fluxo turbo.

Uma aplicação inicial do sistema A-VSB pode ser
30 encarar questões de recepção de serviços de fluxo principal

em modos de operação fixa ou portátil em aplicações ATSC DTV. O sistema A-VSB é compatível para trás e oferecerá opções aos irradiadores terrestres para nivelar a mudança tecnológica e satisfazer expectativas de consumidor em
5 mutação indo para frente.

O quadro determinístico (DF) é um elemento do sistema A-VSB, e sua finalidade é tornar o mapeamento dos pacotes de fluxo de transporte ATSC um processo síncrono. Atualmente, este mapeamento é um processo assíncrono. O
10 multiplexador ATSC atual em um estúdio produz um fluxo de transporte de velocidade fixa com nenhum conhecimento da estrutura de quadro de camada física 8-VSB ou o mapeamento de pacotes. Esta situação é mostrada na metade superior da Figura 1.

15 O excitador ATSC (A/53) normal escolhe aleatoriamente um pacote para mapear dentro do primeiro segmento de um quadro VSB. Nenhum conhecimento desta decisão (e assim a posição temporal de qualquer pacote de fluxo de transporte no quadro VSB) é conhecido do multiplexador no fluxo
20 ascendente. No sistema ATSC A-VSB aqui revelado, o multiplexador de emissão toma uma decisão deliberada de qual pacote o excitador ATSC deve mapear dentro do primeiro segmento do quadro VSB. Esta decisão é então sinalizada para o excitador A-VSB que opera como um escravo para o
25 multiplexador de emissão. O pacote inicial acoplado com o conhecimento da estrutura do quadro VSB fixo, dá ao multiplexador de emissão conhecimento da posição de cada pacote no quadro VSB. Esta situação é mostrada na metade inferior da Figura 1. Esta mudança fundamental na seleção
30 do pacote inicial funcionará em harmonia com o excitador A-

VSB para efetuar a multiplexação inteligente. O DF permite o pré-processamento especial no multiplexador de emissão e pós-processamento síncrono no excitador.

O quadro determinístico permite o uso de um multiplexador de emissão e um excitador A-VSB. O multiplexador de emissão mostrado na metade inferior da Figura 1 é um multiplexador ATSC de finalidade especial que é utilizado em um estúdio ou centro de operação da rede (NOC) e alimenta diretamente um ou mais transmissores 8-VSB todos tendo um excitador A-VSB. Assim, o termo multiplexador de "emissão" é utilizado. No entanto, outros multiplexadores poderão ser utilizados e não precisam ser multiplexadores de finalidade especial.

A primeira mudança compatível no projeto de sistema ATSC é o travamento necessário tanto do relógio de fluxo de transporte de multiplexador de emissão como o relógio de símbolo do excitador A-VSB para uma referência de frequência universalmente disponível. A referência de 10 MHz de um receptor GPS é utilizada para esta finalidade no exemplo aqui revelado. Travamento tanto do relógio de símbolo como o de fluxo de transporte a uma referência externa fornece a estabilidade necessária e gerenciamento de memória provisória de maneira simples e direta. Um benefício adicional aos receptores de legado e aos novos receptores ATSC será um relógio de símbolo ATSC estável, sem o jitter que pode ocorrer com o projeto de sistema atual. A interface de fluxo de transporte preferida suportada no multiplexador de emissão e no excitador A-VSB será uma interface serial assíncrona (ASI). No entanto, outros relógios e outras interfaces podem ser utilizados.

O multiplexador de emissão é considerado como sendo um mestre, e sua sintaxe e semântica sinalizará para o excitador A-VSB que opera como o escravo qual pacote de fluxo de transporte deve ser utilizado como o primeiro segmento de dados VSB em um quadro VSB. Como o sistema está operando com relógios síncronos, o sistema sabe com 100% de certeza quais 624 pacotes de fluxo de transporte (TS) compõem o quadro VSB com o excitador A-VSB escravizado para a sintaxe e a semântica do multiplexador de emissão. Um simples contador de quadros que conta 624 pacotes TS numerados de 0 a 623 é fornecido no multiplexador de emissão. Quando SFN for utilizado conforme descrito abaixo, DF é alcançado através da inserção de um pacote de inicialização de quadro VSB (VFIP) no último TS (623º) em um quadro VSB conforme descrito em detalhe abaixo. No entanto, se SFN não for utilizado, então outra sintaxe simples pode ser utilizada. Um exemplo de tal sintaxe simples é o sinal de cadência do quadro de dados (CS) descrito em ATSC A/110 que é inserido em um fluxo de transporte ao inverter o valor de um byte de sincronização do pacote MPEG-2 uma vez a cada 624 pacotes. O valor normal do byte de sincronização do pacote MPEG-2 é de 0x47, e o valor invertido do byte sincronizado do pacote MPEG-2 é 0xB8. Esta sintaxe pode ser aplicado aos aspectos da invenção ao inserir em cada quadro de dados codificado um sinal inicial de construção do quadro que indica que a construção de um novo quadro está sendo iniciada ao inverter o valor de um byte de sincronização do segmento de dados uma vez a cada 624 segmentos de dados iniciando em um primeiro dos quadros de dados codificados com um

selecionado dos segmentos de dados correspondente a um pacote de transporte que foi selecionado como o pacote inicial a ser mapeado dentro de um primeiro segmento de dados do primeiro dos quadros de dados codificados. O quadro ATSC VSB pode ser visualizado pelo multiplexador de emissão como sendo dividido em 12 grupos ou fatias cada um tendo (52) segmentos de dados.

O restabelecimento de treliça determinístico (DTR) é outro elemento do sistema A-VSB, e é uma operação que restabelece os estados de codificador de modulação codificada por treliça (TCM) (estados pré-codificador e de codificador de treliça) no excitador ATSC a um estado determinístico conhecido em localizações temporais selecionadas no quadro VSB. A Figura 2 mostra que os estados dos (12) pré-codificador/codificadores de treliça são aleatórios. Nenhum conhecimento externo desses estados pode ser obtido devido à natureza aleatória desses estados no excitador A/53 atual. O DTR fornece um mecanismo para forçar todos os codificadores TCM ao estado zero (um estado determinístico conhecido).

A Figura 4 mostra um circuito de (1 de 12) codificadores TCM modificados utilizados em um sistema VSB (8T-VSB) de 8 treliças. Dois novos circuitos multiplexadores (MUX) foram acrescentados aos portões de lógica existentes no circuito mostrado. Quando a entrada de restabelecimento estiver inativa (Reset=0), o circuito opera como um codificador 8-VSB normal. Quando a entrada de restabelecimento estiver ativa (Reset=1), o circuito efetua uma operação de restabelecimento de estado conforme descrito abaixo em conjunto com a Tabela 1 seguinte.

Tabela 1

Tabela de restabelecimento de treliça

Reseta tt=0	(S0 S1 S2) att=0	(X0 X1)att =0	S0 S1 S2)att =1	(X0 X1)att =1	(S0 S1 S2)Nextsta teatt=2	Output (Z2 Z1 Z0)
1	0,0,0	0,0	0,0,0	0,0	0,0,0	000
1	0,0,1	0,1	0,0,0	0,0	0,0,0	000
1	0,1,0	0,0	1,0,0	1,0	0,0,0	000
1	0,1,1	0,1	1,0,0	1,0	0,0,0	000
1	1,0,0	1,0	0,0,0	0,0	0,0,0	000
1	1,0,1	1,1	0,0,0	0,0	0,0,0	000
1	1,1,0	1,0	1,0,0	1,0	0,0,0	000
1	1,1,1	1,1	1,0,0	1,0	0,0,0	000

A tabela de verdade dos dois portais XOR na Figura 4 declara que "quando ambas as entradas estão em níveis lógicos iguais (quer 0 ou 1), a saída do portal XOR é sempre 0 (zero)". Observe que há três prendedores D (S0, S1, S2) na Figura 4 que formam a memória do codificador TCM. Estes podem estar em um de dois estados possíveis (0 ou 1). Portanto, como é mostrado na segunda coluna da Tabela 1, há (8) possíveis estados iniciais da memória do codificador TCM. A Tabela 1 mostra o resultado lógico quando a entrada de restabelecimento estiver mantida ativa (Reset=1) por dois períodos consecutivos de relógio de símbolo. Independentemente dos estados iniciais da memória do codificador TCM, os estados são forçados a um estado zero conhecido (S0=S1=S2) após dois períodos de relógio de símbolo. Isto é mostrado na penúltima coluna rotulada "Next State". Assim, um restabelecimento de treliça

determinístico (DTR) pode ser forçado sobre dois períodos de relógio de símbolo.

Adicionalmente, entradas de forçar de estado zero (X0,X1 na Figura 4) estão disponíveis. Estes são entradas de codificador TCM que forçam os estados do codificador TCM para zero, e eles são produzidos durante os dois períodos de relógio de símbolo. A operação DTR pode ser explicada conforme segue. No momento do restabelecimento, isto é, quando a entrada de restabelecimento torna-se ativa (Reset=1), os dois multiplexadores desconectam as entradas normais (D0, D1 na Figura 4) do codificador TCM e conectam as entradas de forçar para estado zero no codificador TCM para os próximos dois períodos de relógio de símbolo. Então estados do codificador TCM são forçados para zero pelas entradas de forçar o estado zero. Essas entradas de forçar o estado zero interpretam um papel de importância para corrigir erros de paridade induzidos por uma operação DTR conforme descrito posteriormente.

O momento apropriado para restabelecer os estados do codificador TCM depende da aplicação. Algumas aplicações para DTR são descritas abaixo.

Se introduzido imediatamente após uma operação DTR, uma sequência de bits selecionada, com base nos estados iniciais conhecidos do codificador TCM, irá gerar um padrão conhecido de símbolo. Isto é utilizado para gerar uma sequência de referência suplementar (SRS) como será descrito posteriormente. O momento apropriado para restabelecer os estados do codificador TCM é assim os primeiros 2 símbolos (4 bits) de cada Codificador TCM (1 de 12) que processa SRS. Este processo irá criar um padrão

conhecido do receptor em localizações conhecidas do quadro VSB, que permitirá o equalizador do receptor identificar o padrão.

Em uma rede de frequência única (SFN) conforme será descrito posteriormente, a operação DTR é síncrona com os bytes de enchimento DTR portados no pacote de inicialização do quadro VSB (VFIP) para fazer com que todos os pré-codificadores/codificadores de treliça em todos os excitadores no SFN assumam os mesmos estados. Cada um dos 12 bytes de enchimento nos mapas VFIP para (1 de 12) pré-codificador/codificadores de treliça em uma maneira determinística.

Embora vários exemplos de aplicações para DTR tenham sido descritas, a utilização do DTR não é limitada a essas aplicações, e DTR pode ser utilizado em qualquer aplicação que requeira que os estados do codificador TCM sejam restabelecidos para estados conhecidos em uma ocasião particular.

Seqüência de referência suplementar (SRS) é outro elemento do sistema A-VSB. O sistema ATSC 8-BSB atual precisa de melhorias para fornecer recepção confiável em ambientes fixos, internos, e portáteis suscetíveis à interferência multi-via dinâmica. O princípio básico do SRS é inserir periodicamente uma seqüência conhecida especial em um quadro VSB determinístico de maneira tal que o equalizador do receptor pode utilizar esta seqüência conhecida para mitigar a interferência multi-via dinâmica e outras condições de canal adversas e adaptar-se a um canal que muda dinamicamente.

Quando os estados do codificador TCM foram forçados a

um estado determinístico conhecido por um DTR, uma sequência conhecida pré-calculada apenas de bits (um padrão SRS) é então processado de imediato de maneira predeterminada em localizações temporais específicas na entrada de entrelaçador do quadro. Os símbolos resultantes na saída do entrelaçador, devido ao modo como o entrelaçador ATSC funciona, aparecerão como padrões de símbolos contíguos conhecidos em localizações conhecidas no quadro VSB, que estará disponível para o receptor como uma sequência de treinamento de equalizador adicional. A Figura 3 mostra o quadro VSB normal na esquerda e o quadro A-VSB na direita com o SRS ativado. O quadro A-VSB tem SRS de aparecimento freqüente disponível para um receptor ATSC de projeto A-VSB novo. Os dados a serem utilizados nos pacotes de fluxo de transporte para criar esta sequência de símbolos conhecida é introduzida dentro do sistema de maneira compatível para trás utilizando os mecanismos padrões existentes. Este dado é portado no campo de adaptação do MPEG2. Assim, os padrões existentes são nivelados, e a compatibilidade é assegurada.

O codificador RS que precede o entrelaçador calcula a paridade RS. Devido ao restabelecimento dos codificadores TCM, os bytes de paridade RS calculados estão errados e precisam ser corrigidos. Assim, uma etapa de processamento adicional corrige os erros de paridade nos pacotes selecionados. Todos os pacotes com erros de paridade terão sua paridade RS recodificada. Um entrelaçador de segmento de (52) bytes com propriedades de dispersão de tempo singulares que gera bytes de padrão SRS contíguos é nivelado para ter tempo adequado para recodificar os bytes

de paridade. O tempo necessário para fazer isto restringe o número máximo de bytes de padrão SRS.

Para acrescentar o recurso SRS ao sistema de transmissão ATSC DTV RF (o sistema VSB), um transmissor ATSC DTV é modificado como é mostrado na Figura 5, de acordo com um aspecto da invenção. O algoritmo de cronogramação do multiplexador de emissão A-VSB leva em conta um gabarito de quadro determinístico predefinido para o SRS. Os pacotes gerados são preparados para pós-processamento SRS em um excitador A-VSB.

Os pacotes são primeiro aleatorizados, e então o enchedor SRS enche a área de enchimento nos campos de adaptação dos pacotes com uma sequência predefinida (dados do padrão SRS). A área de enchimento significa uma área em que alguns dados são enchidos. Por exemplo, a área de enchimento poderá incluir um sinalizador de dados Private. Juntamente com todos os pacotes de dados, os pacotes contendo SRS também são processados para correções de erro de encaminhamento com o código Reed Solomon (207, 187). Após o entrelaçamento do byte, os pacotes são codificados na velocidade de 2/3 no bloco codificador de treliça. Em cada instante de aparecimento SRS, o restabelecimento de treliça determinístico (DTR) é efetuado para gerar uma saída de símbolo conhecida.

DTR necessariamente implica algumas mudanças de símbolo (2 símbolos para cada codificador TCM) no instante de aparecimento do SRS. Como essas mudanças ocorrem após a codificação de Reed-Solomon, os bytes de paridade RS calculados anteriormente não estão mais corretos. Para corrigir esses bytes de paridade errôneos, os bytes de

paridade são recalculados e os bytes de paridade recalculados substituem os antigos bytes de paridade no TCM com o bloco DTR na Figura 5. Os blocos seguintes são geralmente os mesmos que o excitador ATSC VSB padrão e os dados passam através deles. Agora, cada bloco na Figura 5
5 será examinado um a um.

Um exemplo de um multiplexador de emissão A-VSB para SRS é mostrado na Figura 6. Em princípio, o multiplexador de serviço para SRS na Figura 6 coloca os campos de
10 adaptação (AF) em todos os pacotes TS para posterior processamento SRS. A sintaxe do pacote TS MPEG-2 é mostrada na Figura 7 de acordo com um aspecto da invenção. Um pacote TS MPEG-2 sem AF é representado na Figura 8, de acordo com um aspecto da invenção que cumpre com a sintaxe mostrada na
15 Figura 7. Este pacote tem uma sincronia MPEG-2 de um byte, um cabeçalho de 3 bytes, e 184 bytes de carga (resultando no total de comprimento de 188 bytes). Um fluxo de transporte com pacotes sem AF é mostrado na Figura 9 de acordo com um aspecto da invenção.

20 O controle do campo de adaptação no cabeçalho TS gira em um campo de adaptação tendo o comprimento de (N) bytes que inclui um cabeçalho de campo de adaptação de 2 bytes, deixando (N-2) bytes para portar dados do padrão SRS. A sintaxe do pacote com AF é mostrada na Figura 10 de acordo
25 com um aspecto da invenção. O campo de adaptação é essencialmente utilizado para ajustar o tamanho da carga durante o encapsulamento do fluxo elementar pacotizado (PES) e portar o PCR e assim por diante. Um pacote SRS típico é representado na Figura 11 de acordo com um aspecto
30 da invenção, e um fluxo de transporte com pacotes SRS é

mostrado na Figura 12 de acordo com um aspecto da invenção, que será a saída do multiplexador de serviço para SRS mostrado na Figura 6.

A estrutura de quadro para SRS será descrita agora. Um
5 quadro 8-VSB tem dois campos de dados. Cada campo de dados tem um segmento de sincronização de campo de dados e 312 segmentos de dados. A fatia VSB é definida como um grupo de 52 segmentos de dados. Como o quadro VSB tem $2 \times 312 / 52 = 12$ fatias, esta granularidade de 52 segmentos de dados cabe
10 bem com as características especiais do entrelaçador VSB do segmento de 52 ATSC utilizado no sistema de transmissão ATSC DTV 8-VSB.

Em uma situação real, há várias outras peças de informação que precisam ser portadas no campo de adaptação
15 juntamente com o SRS para ser compatível com a norma MPEG-2. Essas outras peças de informação podem ser uma referência do relógio do programa (PCR), uma referência do relógio de programa original (OPCR), um contador de splice, dados privados, e assim por diante. Da perspectiva ATSC e
20 MPEG-2 de um multiplexador de emissão, o PCR e o contador de Splice precisam ser portados quando necessário juntamente com o SRS. Isto impõe uma restrição durante a geração do pacote TS pois o PCR está localizado onde os primeiros 6 bytes de padrão SRS seriam enchidos. Esta
25 restrição pode ser facilmente acomodada ao utilizar o elemento de quadro determinístico (DF) do sistema A-VSB. Como a estrutura do quadro A-VSB precisa ser determinística, posições dos segmentos de dados com PCR são fixas. Um excitador projetado para SRS conhece a posição
30 temporal do PCR e do contador de Splice, e enche

apropriadamente os bytes de padrão SRS para evitar sobregravar o PCR e o contador de Splice. A Figura 21 mostra uma fatia (52 segmentos) de um gabarito de quadro determinístico (DF) para utilização com o SRS de acordo com um aspecto da invenção. O gabarito SRS DF estipula que o 15^{ésimo} (19^{ésimo}) segmento em cada fatia pode ser um pacote portador de PCR (contador de splice). Isto tem por base o fato de que os irradiadores geralmente utilizam apenas o PCR e o contador de Splice da norma MPEG-2. No entanto, a norma MPEG-2 provê para muitos outros tipos de dados a serem transmitidos nos pacotes TS, como OPCR, comprimento de extensão do campo de adaptação, dados privados, etc., e se esses dados são necessários pelos irradiadores no futuro, o gabarito SRS DF poderá ser modificado para proteger esses dados de serem gravados por cima pelos dados no padrão SRS.

A norma MPEG-2 requer que um pacote portador de PCR apareça no fluxo de transporte pelo menos uma vez a cada 100 ms. A norma ATSC utiliza pacotes de transporte MPEG-2, e tem o mesmo requisito de que o pacote portador de PCR apareça no fluxo de transporte pelo menos uma vez a cada 100 ms. A norma da Digital Video Broadcasting (DVB), que é uma alternativa para a norma ATSC, e que, como a norma ATSC, utiliza fluxos de transporte MPEG-2, requer que um pacote portador de PCR apareça no fluxo de transporte pelo menos uma vez a cada 40 ms. Quando da utilização do SRS no sistema A-VSB aqui descrito, o 15^{ésimo} segmento em cada fatia do fluxo de transporte é um pacote portador de PCR. Cada fatia toma 4,03 ms, de modo que um pacote portador de PCR apareça a cada 4,03 ms, assim superando de longe os

requisitos das normas MPEG-2, da ATSC, e da DVB.

Obviamente, uma velocidade de dados de carga normal com SRS será reduzida dependendo dos (N-2) bytes dos dados de padrão SRS na Figura 14. (N-2) pode ser 0 a 26, com 0 (nenhum SRS) sendo normal no ATSC 8-VSB. Os (N-2) bytes recomendados dos dados de padrão SRS são {10,20,26} bytes. A Tabela 2 seguinte lista quatro modos SRS {0,1,2,3} correspondentes aos (N-2) bytes de {0,10,20,26}, em que "Mbps" significa megabits por segundo. No entanto, outros modos podem ser definidos em outros aspectos da invenção.

Tabela 2

SRS-n Recomendado

Modo SRS	Modo 0	Modo 1	Modo 2	Modo 3
Comprimento SRS	0 byte	10 bytes	20 bytes	26 bytes
Perda de carga	0 MKbps	24 Mbps	2,27 Mbps	2,89 Mbps

Os modos SRS são sinalizados para o excitador do multiplexador de emissão, e são codificados Walsh em bytes reservados para A-VSB no segmento de sincronização do campo de dados. O esquema de sinalização detalhado é descrito abaixo na seção intitulada "Um esquema de sinalização no modo A-VSB". A Tabela 2 mostra também a perda de carga associada a cada modo. Como uma fatia leva 4,03 ms, a perda de carga devida ao SRS de 10 bytes é de 1,24 Mbps conforme calculado pela expressão seguinte:

$$\frac{(10+2) \text{ bytes} * 52 \text{ pacotes}}{4,03 \text{ ms}} * 8 = 1,24 \text{ Mbps}$$

De modo similar, a perda de carga devida ao SRS de 20 bytes é de 2,27 Mbps, e a perda de carga devido ao

SRS de 26 bytes é de 2,89 Mbps.

A operação básica do enchedor SRS é de encher os bytes de padrão SRS na área de enchimento do AF em cada pacote TS. Na Figura 13, a memória do padrão SRS é ativada pelo
 5 sinal de controle no tempo de enchimento SRS. O sinal de controle também comuta a saída do enchedor SRS para a memória de padrão SRS. A Figura 14 representa o fluxo de transporte portando bytes de padrão SRS no AFT de acordo com um aspecto da invenção.

10 O enchedor SRS não pode gravar por cima de um PCR quando o pacote portador de PCR for enviado em um fluxo multiplex. Como o excitador sabe que o 15^{ésimo} pacote em uma fatia do multiplexador de emissão porta um PCR, o enchedor SRS pode proteger o PCR do pacote. De modo similar, o
 15 enchedor SRS também pode proteger o contador de Splice. No entanto, é compreendido que outros elementos do pacote podem ser designados para proteção em outros aspectos da invenção.

A Figura 22 mostra valores de byte de padrão
 20 armazenados em uma memória de padrão SRS. Esses valores são projetados para dar um bom desempenho para a equalização no receptor. Os valores na faixa diagonal cinza clara, que varia de 0 a 15, são alimentados aos codificadores TCM no DTR. Os 4 MSBs desses bytes tendo valores de 0 a 15 são
 25 efetivamente substituídos pelas entradas de força de estado zero em um excitador.

Dependendo do modo SRS selecionado, diferentes valores desses valores de byte de padrão SRS são utilizados. Por exemplo, no SRS modo 1, 10 bytes de dados de padrão SRS por
 30 pacote são utilizados o que resulta nos valores na 4ª à 13ª

coluna da Figura 22 sendo utilizados. No SRS modo 2, os valores da 4ª à 23ª coluna são utilizados. No SRS modo 3, os valores da 4ª à 29ª coluna são utilizados. No entanto, outros valores podem ser utilizados em outros aspectos da invenção.

Um fluxo de transporte que porta SRS é então alimentado ao codificador Reed-Solomon (RS) na Figura 5. A saída do codificador RS é mostrada na Figura 15, que é um exemplo de uma versão com paridade afixada do fluxo de transporte portador de SRS de acordo com um aspecto da invenção.

A Figura 16 mostra a saída do entrelaçador de byte na Figura 5, Veja a discussão abaixo na seção intitulada "Mapeamento de entrelaçador de byte ATSC" para compreender o mapeamento do entrelaçador de byte exato. As Figuras 57 a 62 discutidas naquela seção, mostram graficamente como manipular os bytes de entrada para obter os bytes entrelaçados finais.

A região rotulada "A" na Figura 16 contém bytes no padrão SRS, enquanto as regiões rotuladas "B" contém bytes de paridade. A região rotulada "C" contém bytes a serem substituídos pelo DTR, e as regiões rotuladas "D" contém os bytes de paridade a serem recalculados para corrigir o desvio introduzido pelo DTR. A região rotulada "E" contém bytes do cabeçalho do campo de adaptação. A Figura 17 explica como interpretar "0ésimo bytes [0,-1,-2,...,-51 pacotes] na Figura 16. Um número de pacote negativo nada significa exceto uma urdem relativa entre os pacotes. O -1^{ésimo} pacote é o pacote anterior ao 0^{ésimo} pacote.

Observe que (N) bytes dos dados de padrão SRS contidos

em 52 segmentos na Figura 16 estão dispostos verticalmente pelo mapeamento do entrelaçador de byte ATSC, resultando em (N) segmentos, cada um contendo 52 bytes contínuos de dados do padrão SRS. Os 52 bytes contíguos de dados no padrão SRS em cada um dos (N) segmentos serve como uma seqüência de treinamento que é utilizada por um equalizador consciente de SRS em um receptor.

Mais especificamente, o gabarito SRS DF na Figura 21 mostra que cada um dos 62 segmentos contém 10, 20, ou 26 bytes de dados no padrão SRS no fluxo de transporte. O entrelaçador de byte ATSC converte esta disposição de dados no padrão SRS no fluxo de transporte em 10, 20, ou 26 segmentos cada um deles contendo 52 bytes contíguos de dados no padrão SRS no fluxo de transmissão. A Figura 16 mostra um exemplo em que 52 segmentos cada contendo 26 bytes numerados de 5 a 30, cada um deles contendo 52 bytes contíguos de dados no padrão SRS no fluxo de transmissão. Como pode ser observado da Figura 16, o entrelaçador de byte ATSC converte os 52 segmentos cada um contendo 207 de bytes totais no fluxo de transporte em 207 segmentos cada um deles contendo 52 bytes no fluxo de transporte. Este processo de conversão é mostrado conceitualmente na Figura 18 em que a parcela superior corresponde à Figura 15, o pequeno bloco no meio rotulado "Entrelaçamento de Byte" corresponde ao bloco rotulado "Entrelaçamento de Byte" na Figura 5, e a parcela inferior corresponde à Figura 16.

A Figura 3 mostra um quadro A-VSB na direita com o SRS ativado. Cada uma das 12 áreas em formato rombóide na Figura 3 corresponde à combinação das regiões rotuladas "A" e "C" na Figura 3, e contém parcelas de 10, 20, ou 26

segmentos cada um deles contendo 52 bytes contíguos de dados no padrão SRS, ou 208 símbolos contínuos pois 1 byte é igual a 4 símbolos. Assim, uma sequência conhecida de 52 bytes contíguos ou de 208 símbolos contíguos de dados no padrão SRS aparece em 120, 240 ou 312 segmentos dos 626 segmentos em um quadro A-VSB para utilização como uma sequência de treinamento por um equalizador do receptor. Este treinamento freqüente do equalizador do receptor é muito eficaz para mitigar a interferência multi-via dinâmica e outras condições de canal adversas e adaptá-lo a um canal com mudança dinâmica.

A Figura 19 mostra um diagrama de blocos de um bloco codificador TCM com correção de paridade. O recodificador RS recebe entradas de força no estado zero do bloco do codificador TCM. Após sintetizar a palavra de informação do código RS das entradas de força de estado zero, o recodificador RS calcula os bytes de paridade. Quando os bytes de paridade a serem substituídos chegarem, esses bytes de paridade são substituídos pelos valores gerados pelo OR exclusivo desses bytes de paridade e os bytes de paridade recalculados do recodificador RS.

O bloco do codificador de treliça mostrado na Figura 19 inclui um subdivisor de dados de 12 vias, 12 codificadores TCM, e um de-subdivisor de dados de 12 vias conforme é mostrado na Figura 20. O comportamento do codificador TCM é descrito no Anexo D do ATSC A/83E anteriormente citado acima. Os 12 codificadores de treliça para o A-VSB têm funcionalidade de DTR. As entradas de força zero são alimentadas para o bloco seguinte, que calcula os bytes de paridade recodificados. No entanto, é

compreendido que outros tipos de codificadores TCM podem ser utilizados nos outros aspectos da invenção.

Como foi discutido acima, o número (N-2) de bytes de dados no padrão SRS pode ser de 0 a 26 bytes, com modos
5 recomendados sendo 10, 20, e 26 bytes. Na verdade, até 27 bytes de dados no padrão SRS podem ser utilizados, mas é preferível utilizar um máximo de 26 bytes de dados no padrão SRS para fornecer uma margem de segurança para recalcular bytes de paridade para corrigir pelo desvio de
10 paridade introduzido pelo restabelecimento da treliça determinístico (DTR) referido acima. Quando o DTR é efetuado, os 4 MSBs dos valores de byte no padrão SRS mostrados na faixa diagonal cinza clara na Figura 22 são efetivamente substituídas pelas entradas de força de estado
15 zero em um excitador para restabelecer os codificadores TCM. Isto introduz um desvio de paridade, e os bytes de paridade correspondentes a esses bytes no padrão SRS precisam ser recalculados no recodificador RS na Figura 19.

A Figura 23 mostra uma saída do entrelaçador de byte
20 ATSC que mostra por que mais de 27 bytes dos dados no padrão SRS não podem ser utilizados. A Figura 23 é a mesma que a Figura 16, exceto que 36 bytes de dados no padrão SRS são utilizados na Figura 23, enquanto 26 bytes de dados no padrão SRS são utilizados na Figura 16. Na Figura 16, a
25 região rotulada "A" na Figura 23 contém bytes no padrão SRS, enquanto as regiões rotuladas "B" contém bytes de paridade. A região rotulada "C" contém bytes a serem substituídos pelo DTR, e as regiões rotuladas "D" contém os bytes de paridade a serem recalculados para corrigir o
30 desvio de paridade introduzido pelo DTR. A região rotulada

"E" contém bytes do cabeçalho do campo de adaptação. Como pode ser observado da Figura 23, nos segmentos numerados 32 a 39 correspondentes aos bytes 28 a 35 dos 35 bytes de dados no padrão SRS, os bytes no padrão SRS na região rotulada "A" aparecem após os bytes de paridade a serem recalculados na região rotulada "D". Isso significa que os bytes de paridade a serem recalculados na região rotulada "D" correspondentes aos bytes 28 a 35 dos 35 bytes de dados no padrão SRS já passaram através do bloco do codificador TCM mostrado na Figura 19, tornando impossível recalcular qualquer um dos bytes de paridade a serem recalculados na região rotulada "D" para os bytes 28 a 35 dos 35 bytes dos dados no padrão SRS.

Como pode ser observado da Figura 16, a região rotulada "C" que contém bytes a serem substituídos pelo DTR contém menos bytes nos segmentos 5 a 9 do que nos segmentos 10 a 31. Especificamente, a região rotulada "C" contém 7 bytes no segmento 5, 8 bytes no segmento 6, 9 bytes no segmento 7, 10 bytes no segmento 8, 11 bytes no segmento 8, e 12 bytes em cada um dos segmentos 10 a 31. Isto ocorre por causa de um limite de fatia corta a região rotulada "C" nos segmentos 5 a 9. O limite de fatia é um limite no fluxo de transmissão entre dados obtidos de duas fatias de 52 segmentos de dados no fluxo de transporte. Assim, se a região rotulada "C" continua 12 bytes em cada um dos segmentos 5 a 9, alguns desses bytes viriam de uma fatia e os outros bytes viriam de outra fatia. Por exemplo, no segmento 5, 7 bytes viriam de uma fatia e 5 bytes viriam de outra fatia. Cada um dos bytes na região rotulada "C" restabelece um dos 12 codificadores de treliça na Figura 2

durante o DTR. Os bytes de paridade correspondentes aos bytes na região rotulada "C" precisam ser recalculados para corrigir o desvio de paridade introduzido pelo DTR. Isto não pode ser feito para todos os bytes na outra fatia pois os bytes de paridade correspondentes aparecem com antecedência no fluxo de transmissão como resultado da operação do entrelaçador de byte ATSC. Como os segmentos 5 a 9 não contêm 12 bytes a serem substituídos pelo DTR, não é possível inicializar todos os 12 dos codificadores de treliça na Figura 2 durante o DTR para os segmentos 5 a 9. Assim, no segmento 5, 7 dos 12 codificadores de treliça na Figura 2 são restabelecidos durante o DTR. No segmento 6, 8 dos 12 codificadores de treliça são restabelecidos. No segmento 7, 9 dos 12 codificadores de treliça são restabelecidos. No segmento 8, 10 dos 12 codificadores de treliça são restabelecidos. No segmento 9, 11 dos 12 codificadores de treliça são restabelecidos. Em cada um dos segmentos 10 a 31, todos os codificadores de treliça são restabelecidos.

A Figura 24 mostra como um limite de fatia corte a região rotulada "C" na Figura 16 nos segmentos 5 a 9. Na Figura 24, a região rotulada "Initialized Stuff Byte" corresponde à região rotulada "C" na Figura 16. Os limites de fatia são as linhas diagonais formadas pelos bytes do -50° e do -51° pacotes.

A Figura 25 mostra um entrelaçador de byte ATSC emitido para 27 bytes de dados no padrão SRS (o número máximo permitido de bytes de dados de padrão) que aparecem nos segmentos 5 a 31. A região rotulada "A" contém bytes de inicialização do codificador de treliça que são utilizados

para restabelecer os 12 codificadores de treliça na Figura 2 durante o restabelecimento de treliça determinístico (DTR). A região rotulada "B" contém bytes de entrada do codificador de treliça para gerar uma seqüência de treinamento SRS no fluxo de transmissão. A região rotulada "C" contém bytes que correspondem a codificadores de treliça que não podem ser inicializados nos segmentos 5 a 9. As regiões rotuladas "D" nos segmentos 5 a 10 contêm os 6 bytes PCR que são portados no 15º pacote no fluxo de transporte como é mostrado na Figura 21. Os bytes na região "D" nos segmentos 5 a 9 correspondem a codificadores de treliça que não podem ser inicializados. Os 12 caracteres 1 a 9, A, B, e C na Figura 25 identificam os 12 codificadores de treliça numerados de #0 a #11 na Figura 2. Isto é, o caractere 1 identifica o codificador de treliça #0, o caractere 2 identifica o codificador de treliça #1, e assim por diante, até o caractere C que identifica a treliça #11.

Como pode ser observado das regiões rotuladas "C" e "D" na Figura 25, no segmento 5 (correspondente ao byte 1 dos dados no padrão SRS), os cinco codificadores de treliça identificados pelos caracteres C, 5, 6, 7 e 8 não podem ser inicializados. No segmento 6 (correspondente ao byte 2 dos dados no padrão SRS), os quatro codificadores de treliça identificados pelos caracteres 9, A, B e C não podem ser inicializados. No segmento 7 (correspondente ao byte 3 dos dados no padrão SRS), os três codificadores de treliça identificados pelos caracteres 6, 7, e 8 não podem ser inicializados. No segmento 8 (correspondente ao byte 4 dos dados no padrão SRS), os dois codificadores de treliça identificados pelos caracteres 3 e 4 não podem ser

inicializados. No segmento 9 (correspondente ao byte 5 dos dados no padrão SRS), o um codificador de treliça identificado pelo caractere C não pode ser inicializado. No segmento 8 (correspondente ao byte 4 dos dados no padrão SRS), os dois codificadores de treliça identificados pelos caracteres 3 e 4 não podem ser inicializados. No segmento 9 (correspondente ao byte 5 dos dados no padrão SRS) o um codificador de treliça identificado pelo caractere C não pode ser inicializado. Nos segmentos 10 a 31 (correspondentes aos bytes 6 a 27 dos dados no padrão SRS), todos os 12 dos codificadores de treliça podem ser inicializados. Os vários codificadores de treliça que não podem ser inicializados nos segmentos 5 a 9 não podem ser utilizados para codificar dados no padrão SRS naqueles segmentos pois os dados no padrão SRS codificados não casariam com a seqüência conhecida dos dados no padrão SRS que é esperado pelo equalizador do receptor como resultado da incapacidade de inicializar os codificadores de treliça. Portanto, o enchedor SRS na Figura 5 é projetado para não gravar por cima os bytes nas regiões rotuladas "C" na Figura 25 quando ele enche os bytes no padrão SRS dentro dos campos de adaptação no fluxo de transporte. Isto é, o enchedor SRS não enche esses bytes com bytes no padrão SRS armazenados na memória do padrão SRS como é mostrado na Figura 22. Outrossim, o enchedor SRS é projetado para não gravar por cima dos bytes na região rotulada "D" na Figura 25 que contém os 6 bytes PCR que são portados no 15° pacote no fluxo de transporte.

Como pode ser observado do gabarito de quadro determinístico (DF) para utilização com SRS mostrado na

Figura 21, todos os segmentos ou pacotes têm um campo de adaptação. No entanto, as restrições ATSC atuais na norma MPEG-2 impedem todos os pacotes de terem um campo de adaptação. Por exemplo, um pacote identificado por um valor
 5 program_map_PID (identificador do pacote) não pode ter um campo de adaptação para qualquer finalidade exceto para sinalizar com o discontinuity_indicator que o version_number (Seção 2.4.4.9 do ISSO/IEC 13818-1 [C3]) poderá ser descontínuo. Outrossim, um pacote identificado
 10 pelo PID 0x0000 (o PAT (tabela de associação de programa) PID) não pode ter um campo de adaptação para qualquer finalidade exceto sinalizar com o discontinuity_indicator que version_number (Seção 2.4.4.5 do ISSO/IEC 13818-1 [C]) poderá ser descontínuo.

15 Um meio de resolver este conflito com a norma ATSC é revogar as restrições do ATSC na norma MPEG-2 em vista dos benefícios substanciais fornecidos pela utilização do SRS que permite ao equalizador do receptor mitigar a interferência multi-via dinâmica e outras condições de
 20 canal adversas e adaptar-se a um canal com mudanças dinâmicas.

Outra maneira de resolver este conflito com a norma ATSC é fornecer um pacote sem um campo de adaptação em uma localização fixa no quadro, similar ao que é feito ao
 25 tornar o 15° pacote no quadro um pacote portador de PCR e o 19° pacote no quadro um pacote portador de contador de Splice.

Por exemplo, a Figura 26 mostra uma fatia (52 segmentos) de um gabarito de quadro determinístico (/df)
 30 para utilização com SRS de acordo com um aspecto da

invenção em que um pacote {Null,PAT,PMT} sem um campo de adaptação é fornecido em uma localização fixa no quadro. PAT significa tabela de associação de programa, e PMT significa tabela de mapa de programa. Quando 10 bytes de dados no padrão SRS são utilizados, o pacote sem o campo de adaptação é fornecido no 16° pacote. Quando 20 bytes de dados no padrão SRS são utilizados, o pacote sem um campo de adaptação é fornecido no 25° pacote. Quando 26 bytes de dados no padrão SRS são utilizados, o pacote sem o campo de adaptação é fornecido no 31° pacote. No entanto, é compreendido que em outros aspectos da invenção, um tipo diferente de pacote sem um campo de adaptação pode ser fornecido no 10°, 25°, 31°, ou qualquer outro pacote, e que dois ou mais pacotes sem um campo de adaptação pode ser fornecido em localizações fixas no quadro.

Se outras peças de informação são para serem entregues juntamente com o PCR, elas podem ser designadas a uma localização fixa no quadro exatamente como é feito com o PCR. A Figura 26 mostra um exemplo em que o 15° pacote que porta PCT também porta dados privados e um comprimento de extensão do campo de adaptação. Essas outras peças de informação reduzirão o número de bytes dos dados no padrão SRS que podem ser portados no campo de adaptação do 15° pacote. No entanto, é compreendido que em outros aspectos da invenção, essas outras peças de informação podem ser portadas em um ou mais pacotes que não o 15° pacote, e que um ou mais outras peças de informação diferentes podem ser portadas no 15° pacote e/ou em um ou mais pacotes que não o 15° pacote.

Como foi descrito acima, dados no padrão SRS são

portados em um campo de adaptação de um pacote de fluxo de transporte. No entanto, a invenção não é limitada a tal implementação, e dados de padrão similares para treinar o equalizador do receptor podem ser portados diretamente na

5 carga de um pacote de fluxo de transporte utilizando a tubulação de dados A/90 que é descrita na norma ATSC Data Broadcast Standard A/90 (Including Amendment 1 and Corrigendum 1 and Corrigendum 2), 26 de julho de 2000, o conteúdo da qual são aqui incorporados por referência em

10 sua inteireza.

Uma rede de frequência única harmonizada (SFN) é outro elemento do sistema A-VSB. A norma ATSC A/110A, Synchronization Standard for Distributed Transmission, Revision A, 19 de julho de 2005, descreve os três elementos

15 seguintes ATSC 8-VSB que precisam ser sincronizados em cada excitador para produzir símbolos coerentes de múltiplos transmissores ATSC 8-VSB configurados em um SFN.

1. Sincronização da Frequência do Piloto ou Portadora 8-VSB
- 20 2. Sincronização do Quadro de Dados
3. Sincronização do Pré-Codificador/Codificador de treliça

A Figura 27 mostra o multiplexador de emissão emitindo um pacote operacional e de gerenciamento (OMP) com um PID

25 reservado de 0x1FFA aproximadamente uma vez por segundo. Este pacote especial é denominado de pacote de inicialização de quadro VSB (VFIP), e ele tem a sintaxe necessária e trabalha em harmonia com o excitador A-VSB, os significados semânticos são definidos para eficiente e

30 eficazmente criar a funcionalidade extensível necessária

para um ATSC SFN.

A Figura 28 apresenta a configuração de sistema para um SFN harmonizado e a funcionalidade A-VSB. No entanto, outras configurações podem ser utilizadas para outras
5 redes.

A sincronização de frequência do piloto ou portadora 8-VSB pode ser alcançada ao utilizar uma técnica bem conhecida ao travar a frequência portadora do excitador a uma referência de frequência universalmente disponível como
10 a referência de 10 MHz de um receptor GPS. Esta sincronização irá regular o aparente deslocamento Doppler observado pelo receptor ATSC do SFN em áreas de cobertura sobrepostas e deve ser controlada para $\pm 0,5$ Hz.

A sincronização de quadro de dados requer que todos os
15 excitadores em um SFN escolham o mesmo pacote TS do TS de entrada para iniciar um quadro de dados VSB. A sincronização do quadro de dados é implicitamente alcançada no sistema A-VSB pela inserção de um pacote VFIP TS. O VFIP sempre aparece como o último (624°) pacote TS em um quadro
20 VSB). Os pacotes TS em um quadro VSB são numerados de 0 a 623, de modo que o 624° pacote é numerado 623. O significado semântico é que o excitador A-VSB precisa inserir um segmento de sincronização de campo de dado com nenhuma inversão PN63 diretamente após o último bit do
25 VFIP. Então ele precisa continuar com a construção do quadro VSB normal iniciando com o pacote TS seguinte (0) como o primeiro segmento de dados do quadro VSB seguinte.

Esta abordagem simples e direta é mostrada na Figura 29. O quadro ATSC A/53 VSB tem 624 segmentos de carga.
30 Esses 624 segmentos de carga portam dados equivalentes a

624 pacotes TS. Embora o entrelaçador de byte convolucional de 52 segmentos contínuos espalha dados de qualquer pacote TS particular através dos limites do quadro VSB, um quadro VSB porta dados equivalentes a 624 pacotes TS. O multiplexador de emissão tem sua velocidade de dados travada a uma referência GPS externa de 10 MHz. O multiplexador de emissão simplesmente inicia ao selecionar um pacote TS sendo gerado atualmente e toma a decisão de que este pacote TS começará um quadro VSB, e então começa a contar 624 pacotes TS (0 a 623) inclusive deste pacote selecionado. Este é o contenedor dos dados que é igual à carga em um quadro VSB que será produzido fluxo abaixo pelo excitador ATSC. Esta contagem (0 a 623) torna-se o sinal de cadência do quadro de dados do quadro VSB. Esta contagem (0 a 623) sempre será mantida pelo multiplexador de emissão e é a essência para toda a cronometragem e pré-processamento A-VSB futuro. Esta decisão precisa agora ser sinalizada para todos os excitadores que participam do SFN de modo que eles podem seguir a decisão feita pelo multiplexador de emissão para atingir a sincronização do quadro inicial e manter esta condição.

Isto é mostrado no diagrama como a inserção de um VFIP com o PID reservado 0xFFFA como o último pacote (623) de um quadro VSB. Quando inserido, o VFIP aparecerá apenas neste sulco de pacote (623) e será inserido em uma periodicidade conforme definida no sintaxe VFIP (normalmente aproximadamente uma por segundo).

A sincronização do pré-codificador/codificador de treliça é tornada simples ao utilizar a sinergia do elemento de restabelecimento de treliça determinístico

(DTR) do sistema A-VSB. Mas para compreender esta sinergia requer um conhecimento em profundidade do entrelaçador de byte convolucional contínuo de 52 segmentos ATSC. A Figura 30 abaixo mostra o mapeamento de byte no entrelaçador de 52 segmentos ATSC. Os bytes são cronometrados em uma direção esquerda-para-a-direita e enviados para os estágios seguintes do entrelaçador intra-segmento de treliça e finalmente os (12) pré-codificador/codificadores de treliça.

Novamente, um sistema "determinístico" é aquele em que a saída pode ser prevista com 100% de certeza. A complexidade deste processo de entrelaçador é bem compreendida agora e será equilibrada e aproveitada. Este deve tornar-se uma das potências temporais do sistema ATSC como foi mencionado anteriormente. Uma descrição sucinta desta Figura 31 mostra a inserção de sincronização do campo de dados (nenhuma inversão PN53) em resposta a um VFIP no último sulco de pacote (623) do quadro anterior. (Sincronismo de campo é realmente inserido posteriormente no processo mas é aqui mostrado para auxiliar na compreensão.) As setas diagonais mostram as posições assumidas pelos bytes do pacote 623 (VFIP) no entrelaçador. Alguns dos bytes VFIP residem no último grupo de 52 segmentos antes do fim do quadro anterior (não mostrado). Os bytes restantes estão no primeiro 52 segmentos do quadro atual (mostrado). Observe os (4) bytes 52-55, 104-107, 156-159 marcados em cada uma das três seções diagonais no topo. Esses bytes são marcados com legendas que identificam os (12) pré-codificador/codificadores de treliça numerados 1,2,3,4,5,6,7,8,9,A,B,C(hex) que receberão esses bytes

quando esses bytes saírem do entrelaçador, passarem através do entrelaçador intra-segmento de treliça, e entram nos (12) pré-codificador/codificadores de treliça correspondentes como é mostrado na Figura 31.

5 Ao saber disso com 100% de certeza, um restabelecimento de treliça determinístico (DTR) é disparado em todos os excitadores no SFN quando cada um desses (12) bytes primeiro entram em seu respectivo pré-codificador/codificador de treliça. Isto ocorrerá de
10 maneira serial sobre (4) segmentos e efetivamente sincroniza todos (12) pré-codificador/codificadores de treliça em todos os excitadores de maneira determinística.

As posições de byte (52-55, 104-107, 156-159) utilizadas no VFIP para DTR são mostradas na Figura 32.
15 Eles mapeiam dentro das (12) posições de byte mostradas anteriormente no entrelaçador da Figura 31. Cada byte utilizado para DTR causará um erro de byte determinístico no decodificador RS quando o VFIP é recebido.

Com um total de 12 bytes sendo utilizados, é um fato
20 que cada VFIP terá um erro de pacote TS pois isto irá causar 12 erros de byte que supera o limite de correção de 10 erros de byte do decodificador RS. O espaço não utilizado restante no VFIP é utilizado para sintaxe para o tempo e controle do SFN, e será explicado a seguir. Deve
25 ser bem compreendido que VFIP é um pacote operacional e de gerenciamento (OMP) que permite a operação muito eficiente de um ATSC SFN. O erro de pacote nunca ocorrerá em qualquer pacote que não o VFIP. O sintaxe de tempo e de controle portado no VFIP é protegido pela paridade RS adicional, que
30 serve a duas finalidades. Primeiro, proteger contra erros

no enlace da rede de distribuição para os transmissores e, segundo, permitir equipamento de teste e de medição (T&M) automatizado especial no campo para recuperar a carga do VFIP para fins de teste e de medição da rede.

5 O sintaxe de tempo a ser acrescentado no VFIP permitirá que cada excitador calcule um retardo para compensar pela rede de distribuição e permitir o controle temporal rígido do tempo de emissão dos símbolos coerentes das antenas de todos os transmissores em um SFN. Isto
10 controla o espalhamento de retardo observado pelos receptores.

A eficiência deste novo método de sincronização é que, basta inserir um VFIP, a sincronização de quadro de dados torna-se implícita. Outrossim, todos pré-
15 codificador/codificadores de treliça são sincronizados após os primeiros 4 segmentos do quadro de dados VSB. Isto tudo ocorre sem qualquer necessidade de qualquer sintaxe no próprio VFIP. Esta ação causará símbolos coerentes só pela inserção de um VFIP. Para obter controle rígido no tempo da
20 emissão e controle do transmissor auxiliar, sintaxe adicional é acrescentada.

A Tabela 3 seguinte mostra a sintaxe VFIP de acordo com um aspecto da invenção.

Tabela 3

25 **Sintaxe do pacote de inicialização de quadro VSB (VFIP)**

Sintaxe	Número de bits	Identificador
transport_packet_header	32	bslbf
om_type	8	bslbf
section_length	8	uimbsf
sync_time_stamp	24	uimbsf

maximum_delay	24	uimsbf
network_id	12	uimsbf
om_tier_test	4	bslbf
for(i=0;i<4;i++){		
tier_maximum_delay }	24	uimsbf
}		
Field_T&M	40	bslbf
for(i=0;i<20;i++) {		
tx_address	12	uimsbf
reserved	4	'1111'
tx_time_offset	16	uimsbf
tx_power	12	uipfmsbf
tx_id_level	3	uimsbf
tx_data_inhibit	1	uimsbf
}		
crc_32	32	rpchof
for(i=0;i<n;i++) {		
stuffing_byte	8	uimsbf
VFIP_ECC	160	uimsbf

Os identificadores na Tabela 3 possuem os significados seguintes. O identificador "bslbf" significa "cadeia de bit, bit esquerdo primeiro". O identificador "uimsbf" significa "integral não assinada, bit mais significativo primeiro". O identificador "uipfmsbf" significa "integral não assinada mais fração, bit mais significativo primeiro". O identificador "rpchof" significa "coeficientes de polinomial restante, ordem mais alta primeiro". Outros detalhes desses identificadores são omitidos porque eles são bem conhecidos na tecnologia.

Os elementos de sintaxe sync_time_stamp e

maximum_delay são utilizados para compensar todos os transmissores no SFN pelo atraso desigual ou variado no tempo na rede de distribuição. A rede de distribuição SFN é normalmente conectada por fibra óptica, microonda, ou
 5 enlace de satélite, ou por um pedaço de cabo coaxial se o transmissor estiver co-localizado no estúdio. O elemento de sintaxe tx_time_offset é utilizado para fazer sintonia fina ou ajustar o tempo de cada transmissor individual no SFN.

O multiplexador de emissão e todos os excitadores no
 10 SFN têm um relógio de referência de 1 pulso por segundo (PPS) e um simples contador binário de 24 bits como é mostrado na Figura 33. Este relógio de referência de 1 PPS é utilizado para restabelecer o contador binário de 24 bits para zero na borda elevada do relógio de referência de 1
 15 PPS. O contador é cronometrado por uma referência de frequência de 10 MHz e conta de 0 a 9.999.999 (0x000000 a 0x98967F hex) em um segundo, e então restabelece. Este contador simples forma a base para todos os carimbos de tempo utilizados no SFN. Observe que tanto o elemento de
 20 sintaxe sync_time_stamp como maximum_delay possuem 24 bits. O multiplexador de emissão gera carimbos de tempo ao inserir o valor atual de seu contador de 24 bits a um ponto de referência no tempo. Como todos os contadores e todos os nós no SFN são sincronizados ao relógio de referência de 1
 25 PPS GPS, suas contagens estão em sincronia e este mecanismo de carimbo de tempo simples funciona graças ao GPS.

As linhas de tempo de sincronização SFN mostradas na Figura 34 mostram a sintaxe de tempo e a semântica para um ATSC SFN. O VFIP é mostrado com os principais elementos de
 30 sintaxe de tempo (sync_time_stamp (STS), maximum_delay

(MD), e tx_time_offset (OD)).

Uma descrição sucinta deve acrescentar clareza a este processo. O elemento de sintaxe sync_time_stamp (STS) é mostrado e tem 24 bits que portam o valor do contador de 24 bits no multiplexador de emissão observado no instante que o VFIP deixa o multiplexador de emissão e entra na rede de distribuição. O elemento de sintaxe maximum_delay (OD) tem 24 bits e indica o retardo que todos os transmissores estabelecerão. O valor de maximum_delay precisa ser mais longo que o retardo da via mais longa da rede de distribuição. Maximum_delay é um valor de sistema entrado pelo projetista da rede. O elemento de sintaxe tx_time_offset (OD) dá a cada transmissor uma sintonia fina individual, e é utilizado para otimizar a rede. O tempo de emissão para cada transmissor individual é dado por $STS+MD+OD=\text{tempo de emissão}$.

Os elementos de sintaxe listados na Tabela 3 acima são descritos abaixo.

transport_packet_header deverá se enquadrar nos sistemas ISSO 13818-1. O valor PID para VFIP deverá ser 0xFFFA. VFIP é uma forma de um pacote operacional e de gerenciamento (OMP) conforme definido em ATSC A/110 referido acima e conforme referenciado no ATSC Code Point Registry (doc. #TSG-575r34, 18 de abril de 2006, disponível em WWW.atsc.org/standards). O payload_unit_start_indicator não é utilizado pela função de sincronização VSB e deverá ser fixado em 1. O valor transport_priority não é utilizado pela função de sincronização VSB e deverá ser fixada em 1. O valor transport_scrambling_control deverá ser fixado em 00 (não misturado). O valor adaptation_field_control deverá

ser fixado para 01 (apenas carga). Quando o SRS é portado no campo de adaptação, o valor deverá ser fixado em 11 (campo de adaptação seguido da carga). Se o máximo de 28 bytes for utilizado para o SRS (2 bytes para o cabeçalho do campo de adaptação e 26 bytes para os dados no padrão SRS) isto limita o número máximo de transmissores endereçáveis com um VFIP para 15 no pior caso.

om_type_value deverá ser fixado em 0x20, ou deverá ter um valor na faixa de 0x20-0x2F e ser designado em sequência começando com 0x20. Cada VFIP pode endereçar até (20) transmissores. Isto permite a cada irradiador um máximo de 320 (alto, médio, baixo) transmissores de energia incluindo estações tradutoras que podem ser endereçadas com a sintaxe VFIP.

section_length. section_length especifica o número de bytes seguindo imediatamente após o campo section_length até, e inclusive, o último byte do crc_32, mas não incluindo quaisquer stuffing_bytes ou o VFIP_ECC.

sync_time_stamp. O sync_time_stamp do VFIP contém a diferença no tempo, expressa como um número de 100ns intervalos, entre o último pulso do relógio de referência de 1 PPS (derivado, por exemplo, do GPS) no instante que o VFIP é transmitido dentro da rede de distribuição.

maximum_delay. O valor maximum_delay deverá ser maior que a via de retardo mais longa na rede de distribuição. A unidade é 100 ns e a faixa do valor maximum_delay é 0x000000 a 0x98967F, que é igual ao retardo Máximo de 1 seg.

network_id. Um campo integral não assinado de 12 bits que representa a rede em que o transmissor está localizado

que fornece um valor semente para 12 dos 24 bits utilizados para fixar a seqüência de símbolo de um código singular designado a cada transmissor. Todos os transmissores dentro de uma rede deverão utilizar o mesmo padrão de 12 bits.

5 `om_tier_test`. Um campo de 4 bits que indica se um canal de controle para o equipamento de teste e de medição automatizado (um canal T&M) está ativo, e quantas camadas de tradutores DTV são utilizados no SFN. O bit mais à esquerda indica se o canal T&M está ativo, com (1) indicando que o canal T&M está ativo e (0) indicando que o canal T&M está inativo. Os últimos três bits indicam o número de camadas de tradutores DTV no SFN, com (000) indicando nenhum tradutor DTV, (001) indicando uma camada de tradutores DTV, (010) indicando duas camadas de tradutores DTV, (011) indicando três camadas de tradutores DTV, e (100) indicando quatro camadas de tradutores DTV.

20 `tier_maximum_delay`. O valor `maximum_delay` deverá ser maior que a via de retardo mais longa na rede de distribuição. A unidade é 100 ns e a faixa do valor `maximum_delay` é 0x0000 a 0x98967F, que é igual a um retardo máximo de 1 seg.

25 `Field_T&M`. Canal de sinalização a ser determinado (TDB) para controlar T&M de campo remoto e monitorar equipamento que é visualizado para a manutenção e a operação de um SFN.

30 `tx_address`. Um campo integral não assinado de 12 bits que porta o endereço do transmissor ao qual os campos seguintes são relevantes e que deverão ser utilizados para semear uma parcela do gerador de seqüência de código de marca d'água, também pode ser transmissor em camada de

tradutor SFN.

tx_time_offset. Um campo integral assinado de 16 bits que indica o valor do recuo de tempo, mensurado em intervalos de 100 ns, permite a opção de tempo de emissão de ajuste fino de cada transmissor individual para otimizar a cronometragem da rede.

tx_power. Uma integral não assinada de 12 bits mais fração que indica o nível de energia ao qual o transmissor ao qual ele é endereçado deve ser fixado. Os 8 bits mais significativos indicam a energia em DBS integrais em relação a 0 dBm, e os 4 bits menos significativos indicam a energia em frações de um dB. Quando fixado em zero, tx_power deverá indicar que o transmissor ao qual o valor é endereçado não está operando atualmente na rede.

tx_id_level. Um campo integral não assinado de 3 bits que indica para qual dos 8 níveis (incluindo desligado) um sinal de marca d'água de cada transmissor deverá ser fixado.

tx_data_inhibit. Um campo de um bit que indica quando a informação tx_data não deve ser codificada dentro do sinal de marca d'água RF.

crc_32. Um campo de 32 bits que contém um valor CRC que dá uma saída zero de registradores em um decodificador CRC de 32 bits após processar todos os bytes no VFIP, excluindo os bytes de enchimento, e bytes VFIP_ECC.

'stuffing_byte. Cada stuffing_byte tem o valor de 0xFF.

VFIP_ECC. Um campo integral não assinado de 160 bits que porta o valor de 20 bytes de código de correção de erro utilizado para proteger os 164 bytes de carga restantes do

pacote.

O excitador precisa ter um meio de aceitar o valor de retardo de transmissor e de antena (TAD), que é um valor de 15 bits e representa um número de intervalos de 100 ns. O valor TAD deverá incluir o retardo total do ponto do sistema em que o tempo de saída do transmissor é mensurado e controlado até a saída da antena. O valor é entrado no comissionamento do sítio do transmissor por um engenheiro que calculou o retardo exato para permitir a maior precisão no controle de espalho de retardo projetado observado pelos receptores. A compensação TAD deverá ser efetuada através de um cálculo realizado pelo transmissor utilizando um valor fixo de TAD determinado para aquele transmissor.

Fluxo turbo é outro elemento do sistema A-VSB. O fluxo turbo de acordo com um aspecto da invenção oferece um fluxo de bit robusto que é independente do fluxo normal padrão. O fluxo turbo é assim operacional de maneira compatível para trás com o fluxo normal padrão. O fluxo turbo tem de ser suficientemente tolerante da distorção de sinal grave para suportar outras aplicações de transmissão. O desempenho robusto do fluxo turbo é alcançado por correção de erro de encaminhamento adicional e um entrelaçador exterior ao custo de alguma perda de velocidade TS. Além de um melhoramento sobre o baixo SNR do fluxo normal padrão, o fluxo turbo oferece uma vantagem adicional de diversidade de tempo que é fornecida pelo entrelaçador exterior.

O excitador ATSC DTV é modificado como é mostrado na Figura 35 para permitir o fluxo turbo. Um multiplexador de emissão A-VSB (MUX) recebe um fluxo normal e outro fluxo TS (um flux turbo). Então o multiplexador de emissão ATSC

monta quadros determinísticos (DF) para o fluxo turbo. Em um DF selecionado, o multiplexador de emissão insere os marcadores de lugar necessários para os dados turbo, que servem como depósitos para bits redundantes serem gerados
 5 pelo codificador exterior no pós-processador turbo.

No excitador, pacotes nos quadros são aleatorizados e então codificados no código Reed Solomon (207, 187). Após o entrelaçamento de byte, eles são manipulados no processador turbo. Após serem processados no bloco codificador TCM na
 10 velocidade 2/3, eles são então combinados com sincronização do campo de dados e símbolos de sincronização de segmento para formar um quadro VSB.

No multiplexador de emissão ATSC, um pré-processamento do fluxo turbo é realizado. Isto é mostrado na Figura 36. O
 15 multiplexador de emissão aceita pacotes TS turbo, que não possuem byte de sincronização (um pacote de 187 bytes). Os pacotes TS turbo são pré-processados antes de serem alimentados ao multiplexador de serviço que gera quadros determinísticos. A Figura 37 mostra um exemplo de um fluxo
 20 de transporte turbo de acordo com um aspecto da invenção. Como o fluxo turbo é visível apenas para um receptor A-VSB, o fluxo de transporte turbo pode ser não apenas um TS MPEG-2 padrão mas também um fluxo codec avançado ou outro fluxo semelhante em outros aspectos da invenção.

25 O bloco pré-processador turbo é detalhado na Figura 38. O fluxo turbo é codificado por RS e 20 bytes de paridade RS (207, 187) são afixadas a cada pacote TS turbo. A Figura 39 mostra as saídas do codificador RS (207, 187). Então, o fabricante de marcador de lugar no pré-processador
 30 turbo insere marcadores de lugar necessários ao expandir

byte a byte. Como inserir marcadores de lugar depende da velocidade do fluxo turbo. Quando a codificação de velocidade de 1/2 está em uso, um byte é expandido para 2 bytes como é mostrado na Figura 40. Quando a codificação de
5 velocidade de 1/4 está em uso, um byte é expandido para 4 bytes conforme é mostrado na Figura 41. As saídas do pré-processador turbo são mostradas na Figura 42.

A seguir o multiplexador de serviço do fluxo turbo insere os pacotes TS turbo pré-processados dentro de áreas
10 de enchimento nos campos de adaptação dos quadros determinísticos. Conseqüentemente, um pacote TS turbo tem de ser cortado (se necessário, em vários lugares) para caber dentro dessas áreas. As saídas do multiplexador de emissão são mostradas na Figura 43. O número de pacotes TS
15 turbo acomodados em um campo varia dependendo do modo de fluxo turbo.

Similar ao DF para SRS, várias peças de informação como PCR e contador de Splice precisam ser entregues no campo de adaptação juntamente com o fluxo turbo para ser
20 compatível com a norma MPEG-2. De modo que PCR e posições de contador de Splice são fixadas no 15° e no 19° pacotes em uma fatia como o caso do SRS DF.

A Figura 50 mostra uma fatia (52 segmentos) de um gabarito de quadro determinístico (DF) para uso com o modo
25 de fluxo turbo 2 ou 4 de acordo com um aspecto da invenção. Pacotes TS turbo são portados em cada quarto pacote. Na Figura 50, PCR e posições do contador de Splice são mostrados no 15° e no 19° pacotes de uma fatia.

Há (7) modos definidos por uma velocidade de código de
30 codificador exterior e um comprimento de campo de

adaptação. A combinação desses dois parâmetros é confinada a (2) velocidades de código $\{1/2, 1/4\}$ e (3) comprimentos de campo de adaptação $\{86, 128, 384 \text{ bytes}\}$ no sistema A-VSB. Este resultará em (6) velocidades de dados turbo eficazes. No modo 0, o fluxo turbo é desligado. Isto é resumido na Tabela 4 seguinte.

Tabela 4

Modos de fluxo turbo

Modo de fluxo	0	1	2	3	4	5	6
Bytes de dados turbo (N-2) por 4 segmentos	0	86	128	86	128	384	384
Bytes de dados turbo por campo	0	6708	9984	6708	9984	29952	29952
Pacotes turbo por campo	0	8	12	16	24	36	72
Bytes de dados turbo usados por campo	0	6624	9936	6624	9936	29808	29808
Bytes turbo não usados por	0	84	48	84	48	144	144

campo							
Velocidade de código		1/4	1/4	1/2	1/2	1/4	1/2
Perda TS normal (Mbps)	0	2,19	3,30	2,19	3,30	9,88	9,88
Velocidade TS turbo (Mbps)	0	0,5	0,75	0,99	1,49	2,24	4,47
Bloco de processamento turbo (bits)	0	8944	13312	8944	13312	{13312,39936}	{13312,39936}

Um pedaço de um pacote de turbo truncado é denominado dado turbo. Na Tabela 4, bytes de dados turbo por campo significa o espaço reservado para dados turbo nos 312 pacotes normais (um campo).

5 O ponto inicial de um pacote turbo será sincronizado ao primeiro byte na área de dados turbo no campo. O número de pacotes turbo acomodados em um campo é pacotes turbo por campo na Tabela 4. Como o número não cabe exatamente toda a área de dados turbo, há alguns bytes residuais (marcados
10 "não utilizados" na Figura 43) ao final. Esses bytes não utilizados são enchidos com bytes de enchimento em um aspecto da invenção.

Por exemplo, no modo fluxo turbo 2, dados turbo por campo tem $128 \times 312 / 4 = 9984$ bytes. Como $9984 \text{ bytes} = 12 \text{ pacotes} \times (207 \times 4) \text{ bytes} + 48 \text{ bytes residuais}$, isto acomoda 12
15 pacotes TS turbo. A estrutura de quadro no modo fluxo turbo2 é mostrada na Figura 50.

A Figura 51 mostra uma fatia (52 segmentos) de um gabarito de quadro determinístico (DF) para uso com o modo fluxo turbo 5 ou 6 de acordo com um aspecto da invenção. Na Figura 51, PCR e posições de contador de Splice são mostradas nos 15° e no 19° pacotes de uma fatia. No modo fluxo turbo 5 ou 6, como os dados turbo por cada conjunto de 4 pacotes normais é de 384 bytes (184 bytes*2+16 bytes), dois pacotes normais são inteiramente dedicados para portar dados turbo. Nesse caso, um pacote nulo é utilizado em vez de um pacote normal. Ao utilizar um pacote nulo, os 2 bytes do espaço do cabeçalho AF que seria necessário em um pacote normal também pode portar dados turbo. Desta forma, 184*2 bytes de dados turbo são portados em dois pacotes nulos e os outros 16 bytes de dados turbo são portados no AF do pacote normal seguinte como é mostrado na Figura 51.

O modo de fluxo turbo selecionado precisa ser sinalizado ao excitador e ao receptor pelo esquema de sinalização descrito abaixo na seção intitulada "Esquema de Sinalização no Modo A-VSB".

Um sistema de transporte aleatorizado que porta dados turbo é então alimentado ao codificador RS na Figura 35. A saída do codificador RS é mostrada na Figura 44, que é apenas uma versão afixada por paridade do fluxo de transporte de porte de dados turbo. O bloco seguinte, o entrelaçador de byte, espalha este fluxo byte a byte. O fluxo de transporte espalhado é entrado no pós-processador turbo.

Basicamente, o pós-processador turbo toca apenas bytes de dados turbo. Os dados turbo são extraídos no extrator de dados turbo. Marcadores de lugar em um byte de dados turbo

são enchidos com bits de redundância acrescentados pelo codificador exterior e dados turbo são entrelaçados no entrelaçador externo bit a bit como é mostrado na Figura 45. O enchedor de dados turbo coloca os dados turbo processados no lugar.

Como os marcadores de lugar dos dados turbo são enchidos aqui, os bytes de paridade RS afixados no bloco anterior não estão mais corretos. Esses bytes de paridade incorretos são corrigidos no bloco de correção de paridade após o enchedor de dados turbo na Figura 45.

Um exemplo do extrator de dados turbo mostrado na Figura 45 obtém dados turbo de pacotes entrelaçados por byte. A quantidade dos dados turbo extraídos são o tamanho de bloco pós-processamento turbo. Este tamanho de bloco é especificado em bits na Tabela 4. Por exemplo, o tamanho do bloco nos modos do fluxo turbo 1 e 3 é de 8944 bits. Conseqüentemente, o comprimento do entrelaçador exterior é também de 8944 bits. O tamanho de bloco nos modos de fluxo turbo 2 e 4 são 13312 bits. Conseqüentemente, o comprimento do entrelaçador externo também é de 13312 bits. O tamanho do bloco nos modos de fluxo turbo 5 e 6 é {13312,39936} bits, o que significa que o tamanho do bloco é de 39936 bits, e o comprimento de entrelaçador externo pode ser ou 39936 bits, ou pode ser 13312 bits repetido três vezes, pois $39936/13312=3$. Isto é, um entrelaçador exterior tendo um comprimento de entrelaçador exterior de 39936 pode ser implementado por três entrelaçadores exteriores em seqüência, cada um deles tendo um comprimento de entrelaçador exterior de 13312 bits.

Um exemplo do codificador exterior utilizado no

processador turbo é representado na Figura 46. O codificador exterior recebe 1 bit (D) e produz 1 bit (Z) tanto no modo de velocidade 1/2 como no modo de velocidade 1/4. A diferença entre dois modos é a maneira em que os bytes de entrada tendo marcadores de lugar são tratados para gerar bytes de saída. Isto é claramente explicado nas Figuras 47 e 48. No modo de velocidade 1/2, (4) bits (D3, D2, D1, D0) por byte são alimentados ao codificador exterior, enquanto no modo de velocidade de 1/4, (2) bits (D1, D0) por byte são alimentados para o codificador exterior.

No início de um novo bloco, o estado de codificador exterior é fixado para 0. Nenhum bit de terminação de treliça é apensado ao final de um bloco. Como o tamanho do bloco é relativamente longo, a capacidade de correção de erro não é deteriorada muito. Erros residuais possíveis são corrigidos pela correção de erro de encaminhamento (FEC) da camada alta (código RS) no pré-processador turbo.

O entrelaçador exterior mistura os bits de saída do codificador exterior. A regra de entrelaçamento do bit é definida por uma expressão de congruência linear conforme segue:

$$\Pi(i) = (P \cdot i + D_{\text{mod}4}) \bmod L$$

Para um comprimento de entrelaçamento dado (L), esta regra de entrelaçamento tem 5 parâmetros (P, D0, D1, D2, D3) que são definidos na Tabela 5 seguinte.

Tabela 5

Parâmetros de regra de entrelaçamento

L	P	D ₀	D ₁	D ₂	D ₃
8944	45	0	0	2700	7376

13312	81	0	0	2916	12948
-------	----	---	---	------	-------

Cada modo de fluxo turbo especifica o comprimento de entrelaçamento (L) como é mostrado na Tabela 4, em que o comprimento de entrelaçamento (L) é igual ao tamanho do bloco de processamento turbo. Por exemplo, e sem limitação a ele, o comprimento de entrelaçamento $L = 13312$ é utilizado no fluxo turbo modo 2. Este comprimento corresponde aos símbolos de dados turbo dentro de 52 pacotes normais. Assim, o extrator de dados turbo no fluxo turbo modo 2 coleta dados turbo em 52 pacotes normais e o codificador exterior enche os marcadores de lugar. Finalmente, o entrelaçador exterior toma dados turbo para misturar. A regra de entrelaçamento é gerada conforme segue de acordo com a Tabela 5:

$$\Pi(i) = \begin{cases} (81 \cdot i) \bmod 13312 & i \bmod 4 == 0,1 \\ (81 \cdot i + 2916) \bmod 13312 & i \bmod 4 == 2 \\ (81 \cdot i + 12948) \bmod 13312 & i \bmod 4 == 3 \end{cases}$$

Uma regra de entrelaçamento é interpretada como "o $i^{\text{ésimo}}$ bit no bloco é colocado na $i^{\text{ésima}}$ posição de bit após o entrelaçamento". A Figura 49 explica uma regra de entrelaçamento de comprimento 4 por meio de exemplo. Após o entrelaçamento de bit, os dados turbo são enchidos no AF dos 52 pacotes normais pelo enchedor de dados turbo.

SRS e fluxo turbo também podem ser utilizados juntos ao inserir bytes no padrão SRS dentro do campo de adaptação de cada pacote de transporte normal, e também inserir dados turbo dentro dos campos de adaptação de pelo menos alguns pacotes de transporte normais. Dependendo do modo de fluxo turbo que está sendo utilizado, um pacote de transporte normal poderá portar bytes no padrão SRS, dados turbo, e

dados normais, ou poderá portar bytes de padrão SRS e dados normais mas nenhum dado turbo, ou poderá portar bytes no padrão SRS e dados turbo mas nenhum dado normal.

A Figura 52 mostra uma fatia (52 segmentos) de um gabarito de quadro determinístico para uso tanto como no SRS e no fluxo turbo no modo 2 e 4 de acordo com um aspecto da invenção que é uma combinação do gabarito de quadro determinístico para uso com SRS mostrado na Figura 21, como o gabarito de quadro determinístico para uso com o fluxo turbo modo 2 ou 4 mostrado na Figura 50. No fluxo turbo modo 2 ou 4, dados turbo por cada conjunto de 4 pacotes normais são de 128 bytes. Assim, o primeiro pacote normal em cada conjunto de 4 pacotes normais porta 128 bytes de dados turbo e $54 - (10, 20, 26)$ bytes de dados normais, e o segundo, terceiro, e quarto pacotes normais em cada conjunto de 4 pacotes normais porta, cada um, $182 - (10, 20, 26)$ bytes de dados normais, em que $(10, 20, 26)$ indica o número de bytes dos dados no padrão SRS que estão sendo utilizados, isto é, 10, 20 ou 26 bytes.

Assim, se 10 bytes de dados no padrão SRS estão sendo utilizados, o primeiro pacote normal porta 128 bytes de dados turbos $54 - 10 = 44$ bytes de dados normais e o segundo, terceiro e quarto pacotes normais portam, cada um, $182 - 10 = 172$ bytes de dados normais. Se 20 bytes de dados no padrão SRS estão sendo utilizados, o primeiro pacote normal porta 128 bytes de dados turbo e $54 - 20 = 34$ bytes de dados normais, e o segundo, terceiro, e quarto pacotes normais portam, cada um, $182 - 20 = 162$ bytes de dados normais. Se 26 bytes de dados no padrão SRS estão sendo utilizados, o primeiro pacote normal porta 128 bytes de dados turbo e $54 -$

26=28 bytes de dados normais e o segundo, terceiro, e quarto pacotes normais portam, cada um, $182-26=156$ bytes de dados normais.

A Figura 53 mostra uma fatia (52 segmentos) de um gabarito de quadro determinístico para utilização com tanto ambos o SRS e o fluxo turbo modo 5 ou 6 de acordo com um aspecto da invenção que é uma combinação do gabarito de quadro determinístico para utilização com SRS mostrado na Figura 21, como o gabarito de quadro determinístico para utilização com fluxo turbo modo 5 ou 6 mostrado na Figura 51. No fluxo turbo modo 5 ou 6, dados turbo por cada conjunto de 4 pacotes normais é de 384 bytes. Assim, o primeiro e o segundo pacotes normais em cada conjunto de 4 pacotes normais porta, cada um, $182-(10,20,26)$ bytes de dados turbo, o terceiro pacote normal em cada conjunto de 4 pacotes normais porta $20+2*(10,20,26)$ bytes de dados turbo e $162-3*(10,20,26)$ de dados normais, e o quarto pacote normal em cada conjunto de 4 pacotes normais porta $182-(10,20,26)$ bytes de dados normais, em que (10,20,26) indica o número de bytes de dados no padrão SRS que estão sendo utilizados, isto é, 10, 20, ou 26 bytes.

Assim, se 10 bytes de dados no padrão SRS estiverem sendo utilizados, o primeiro e o segundo pacotes normais porta, cada um, $182-10=172$ bytes de dados turbo, o terceiro pacote normal porta $20+2*10=40$ bytes de dados turbo e $162-3*10=132$ bytes de dados normais, e o quarto pacote normal porta $182-10=172$ bytes de dados normais. Se 20 bytes de dados no padrão SRS estiverem sendo utilizados, o primeiro e o segundo pacotes normais porta, cada um, $182-20=162$ bytes de dados normais, o terceiro pacote normal porta

20+2*20=60 bytes de dados turbo e 162-3*20=102 bytes de dados normais, e o quarto pacote normal porta 182-20=162 bytes de dados normais. Se 26 bytes de dados no padrão SRS estiverem sendo utilizados, o primeiro e o segundo pacotes normais portam, cada um, 182-26=156 bytes de dados turbo, o terceiro pacote normal porta 20+2*26=72 bytes de dados turbo e 162-3*26=84 bytes de dados normais, e o quarto pacote normal porta 182-26=156 bytes de dados normais.

ESQUEMA DE SINALIZAÇÃO NO MODO A-VSB

Os recursos SRS e fluxo turbo descritos acima supõem que cada modo é conhecido do receptor A-VSB. O esquema de sinalização no modo A-VSB satisfaz esta tarefa.

Será descrita agora uma norma de sinalização de modo. Informação sobre o modo atual é transmitida em 104 símbolos reservados de cada segmento de sincronização de campo de dados. Especificamente, como é mostrado na Figura 54, símbolos 1 a 48 dos 104 símbolos reservados são alocados para transmitir informação sobre SRS e modos do fluxo turbo, símbolos 49 a 82 são reservados, símbolos 83 e 84 são reservados, e símbolos 85 a 92 são alocados para métodos de transmissão de dados aprimorados. Nos campos de dados pares, as polaridades dos símbolos 83 a 92 deverá ser invertida das polaridades dos símbolos 83 a 92 nos campos de dados ímpares. Os símbolos 93 a 102 são alocados para pré-código. No entanto, é compreendido que outras alocações podem ser utilizadas em outros aspectos da invenção.

Para mais informação, consulte "Working Draft Amendment 2 to ATSC Digital Television Standard (A/53C) with Amendment 1 and Corrigendum 1" referido acima que é aqui incorporado por referência em sua inteireza.

Será descrita agora uma estrutura de bit de sinalização no modo A-VSB. Códigos Walsh de (16) bits são utilizados no segmento de sincronização do campo de dados para distinguir diferentes entre diferentes SRS e modos de

5 fluxo turbo. O primeiro (16) sulco de bits especifica um modo SRS. O segundo e o terceiro sulco de (16) bits especifica modos de fluxo turbo, em que o segundo sulco de (16) bits especifica uma velocidade de dados de fluxo turbo e o terceiro sulco de (16) bits especifica uma velocidade

10 de codificação. Os (34) bits são reservados para utilização futura. A estrutura de bit de sinalização no modo A-VSB é resumida na Figura 54. Exemplos dos códigos Walsh de (15) bits são mostrados na Figura 55, em que o "Modulation Symbol Index" é o número (#) do código Walsh, e "Walsh Chip within Symbol" são os elementos individuais dos códigos

15 Walsh. No entanto, é compreendido que outras estruturas de bit de sinalização no modo A-VSB podem ser utilizadas em outros aspectos da invenção.

Exemplos de mapeamentos entre códigos Walsh e modos A-VSB são os seguintes.

20

Um exemplo de um mapeamento entre números de bytes no padrão SRS por pacote e códigos Walsh de (16) bits é mostrado na Tabela 6 seguinte:

Tabela 6

25 **Mapeamento do SRS-n**

Bytes no padrão SRS por pacote	Nº de código Walsh utilizado
0	1
10	3
20	6

26	14
----	----

Os códigos Walsh não utilizados dos (15) bits são reservados para outros números de bytes no padrão SRS por pacote que podem ser utilizados em outros aspectos da invenção. No entanto, é compreendido que mapeamentos que não aquele mostrado na Tabela 6 podem ser utilizados em outros aspectos da invenção.

Um exemplo de um mapeamento entre velocidades de dados turbo e códigos Walsh de (16) bits é mostrado na Tabela 7 seguinte:

10 Tabela 7

Mapeamento de velocidade de dados turbo

Proporção de mistura de dados turbo	Bytes de dados turbo por 4 segmentos	Velocidade de dados turbo		Nº de código Walsh utilizado
		Codificação 1/2	Codificação 1/4	
0	0			3
10,27%	86	0,99 (16 pacotes)	0,5 (8 pacotes)	4
15,46%	128	1,49 (24 pacotes)	0,75 (12 pacotes)	9
46,26%	384	4,47 (72 pacotes)	2,24 (36 pacotes)	12

Os códigos Walsh não utilizados de (16) bits são reservados para outras velocidades de dados turbo que podem ser utilizados em outros aspectos da invenção. No entanto, é compreendido que mapeamentos que não aquele mostrado na

Tabela 7 podem ser utilizados em outros aspectos da invenção.

Se necessário, a proporção de mistura de dados turbo mostrada na Tabela 7 pode ser aumentada até 100% no futuro.

- 5 Um exemplo de um mapeamento entre velocidades de código e suporte de fluxos turbo múltiplos e códigos Walsh de (16) bits é mostrado na Tabela 8 seguinte:

Tabela 8

Mapeamento de outros parâmetros

Item	Nº de código Walsh utilizado
Nº de fluxos turbo 0	2
Nº de fluxos turbo 1, velocidade de codificação 1/2	5
Nº de fluxos turbo 1, velocidade de codificação 1/4	7
Nº de fluxos turbo 2, velocidade de codificação 1/2	9
Nº de fluxos turbo 2, velocidade de codificação 1/4	11

- 10 Os códigos Walsh não utilizados são reservados para outras configurações que podem ser utilizadas em outros aspectos da invenção. No entanto, é compreendido que mapeamentos que não aquele mostrado na Tabela 8 podem ser utilizados em outros aspectos da invenção.

- 15 Os últimos 50 bits deverão ser espaço reservado. É sugerido que esses bits sejam enchidos com uma continuação de valores invertidos de códigos Walsh de (16) bits para modos SRS e velocidades de dados turbo.

Todos os segmentos de sincronização de campo de dados

transmitem o modo atual. Quando o modo atual muda para o modo seguinte, o modo seguinte é transmitido em segmentos de sincronização de campo de dados pares durante os 16 quadros seguintes. Após os 16 quadros seguintes, o modo
5 seguinte torna-se válido, o sistema opera no modo seguinte, e todos os segmentos de sincronização de campo de dados transmitem o modo seguinte.

MAPEAMENTO DE ENTRELAÇAMENTO DE BYTE ATSC

A Figura 56 mostra um diagrama de um entrelaçador de
10 byte de 52 segmentos ATSC que é parte do sistema ATSC 8-VSB. Como é crucial compreender o mapeamento exato do entrelaçador de bytes para o A-VSB, um procedimento de mapeamento gráfico é desenvolvido.

A Figura 57 mostra um primeiro estágio de manipulação
15 de 52 pacotes de entrada com SRS no entrelaçador de bytes na Figura 56. A Figura 58 mostra um segundo estágio de manipulação dos 52 pacotes de entrada com SRS no entrelaçador de bytes na Figura 56. A Figura 59 mostra o terceiro estágio de manipulação dos 52 pacotes de entrada
20 com SRS no entrelaçador de bytes da Figura 56.

A Figura 60 mostra o mapeamento de 52 pacotes de entrada efetuado pelo entrelaçador de bytes da Figura 56, e a Figura 61 mostra o mapeamento de 104 pacotes de entrada efetuada pelo entrelaçador de bytes da Figura 56.

25 A Figura 62 mostra um detalhe do mapeamento efetuado pelo entrelaçador de bytes da Figura 56 quando 26 bytes são utilizados para SRS.

Embora várias versões da invenção foram mostradas e descritas, seria apreciado por aqueles habilitados na
30 tecnologia que mudanças poderão ser feitas nessas versões

sem desviar dos princípios e espírito da invenção, o escopo da qual é definido nas reivindicações e seus equivalentes.

REIVINDICAÇÕES

1. Método de processar um sinal de transmissão digital, caracterizado pelo fato de compreender:

gerar um fluxo de transporte que compreende uma
5 pluralidade de pacotes de transporte, cada um dos pacotes de transporte tendo 187 bytes, cada um dos bytes tendo 8 bits, os 187 bytes incluindo 3 bytes identificador de pacote (PID);

selecionar um dos pacotes de transporte como o pacote
10 inicial a ser mapeado dentro de um primeiro segmento de dados de um quadro de dados codificado; e

construir quadros de dados determinísticos no fluxo de transporte começando com o pacote inicial, cada um dos quadros de dados determinísticos tendo 2 campos de dados,
15 cada um dos campos de dados tendo 6 fatias, cada uma das fatias tendo 52 pacotes de transporte;

em que pelo menos um dos 52 pacotes de transporte não tem um campo de adaptação e tem 187 bytes, cada um dos bytes tendo 8 bits, os 187 bytes incluindo 3 bytes PID,
20 seguidos de 184 bytes de dados;

em que todos os restantes dos 52 pacotes de transporte tendo, cada um, 187 bytes, cada um dos bytes tendo 8 bits, os 187 bytes incluindo 3 bytes PID, seguidos de 2 bytes de cabeçalho de campo de adaptação (AF) que especificam um
25 campo de adaptação tendo o comprimento de N bytes, seguido de N bytes de campo de adaptação, seguido de 182-N bytes de dados; e

em que o pelo menos um pacote de transporte que não tem o campo de adaptação é fornecido em uma localização
30 fixa em cada uma das fatias.

2. Método, de acordo com a reivindicação 1, caracterizado pelo fato de que pelo menos um pacote de transporte que não possui um campo de adaptação é um pacote nulo.

5 3. Método, de acordo com a reivindicação 2, caracterizado pelo fato de o pacote nulo ser um pacote {Null,PAT,PMT}, com PAT sendo uma tabela de associação de programa, e PMT sendo uma tabela de mapa de programa.

10 4. Método, de acordo com a reivindicação 1, caracterizado pelo fato de um dos 62 pacotes de transporte não possui um campo de adaptação; e

em que 51 dos 52 pacotes de transporte de fato têm um campo de adaptação.

15 5. Método, de acordo com a reivindicação 1, caracterizado pelo fato de o número dos pacotes de transporte que tem um campo de adaptação deve ser maior que o número dos pacotes de transporte que não têm o campo de adaptação.

20 6. Método ,de acordo com a reivindicação 1, caracterizado pelo fato de ainda compreender inserir uma sequência de referência suplementar (SRS) no fluxo de transporte ao inserir bytes no padrão SRS nos campos de adaptação dos pacotes de transporte que têm um campo de adaptação de modo que pelo menos alguns dos N bytes do
25 campo de adaptação são bytes no padrão SRS.

7. Método, de acordo com a reivindicação 6, caracterizado pelo fato de a localização física do pelo menos um pacote de transporte que não tem um campo de adaptação depende de um número de bytes no padrão SRS no
30 campo de adaptação de cada um dos pacotes de transporte que

têm um campo de adaptação.

8. Método, de acordo com a reivindicação 7, caracterizado pelo fato de haver 10 bytes no padrão SRS no campo de adaptação de cada um dos pacotes de transporte que
5 têm um campo de adaptação; e

em que o pelo menos um pacote de transporte que não tem um campo de adaptação ser um pacote de transporte que não tem um campo de adaptação e é fornecido no 16º pacote de cada uma das fatias.

10 9. Método, de acordo com a reivindicação 7, caracterizado pelo fato de haver 20 bytes no padrão SRS no campo de adaptação de cada um dos pacotes de transporte que possuem um campo de adaptação; e

em que o pelo menos um pacote de transporte que não
15 possui um campo de adaptação ser um pacote de transporte que não tem um campo de adaptação e é fornecido no 25º pacote de cada uma das fatias.

10. Método, de acordo com a reivindicação 7, caracterizado pelo fato de haver 26 bytes no padrão SRS no
20 campo de adaptação de cada um dos pacotes de transportes que possui um campo de adaptação; e

em que o pelo menos um pacote de transporte que não possui um campo de adaptação ser um pacote de transporte que não possui um campo de adaptação e ser fornecido no 31º
25 pacote de cada uma das fatias.

11. Método, de acordo com a reivindicação 1, caracterizado pelo fato de os quadros de dados determinísticos cumprem com as restrições do ATSC (Advanced Television Systems Committee) em um fluxo de transporte
30 MPEG-2.

12. Método de processar um sinal de transmissão digital, caracterizado pelo fato de compreender:

gerar um fluxo de transporte que compreende uma pluralidade de pacotes de transporte, cada um dos pacotes de transporte tendo 187 bytes, cada um dos bytes tendo 8 bits, os 187 bytes incluindo 3 bytes identificadores de pacote (PID);

selecionar um dos pacotes de transporte como o pacote inicial a ser mapeado dentro de um primeiro segmento de dados de um quadro de dados codificado; e

construir quadros de dados determinísticos no fluxo de transporte começando com o pacote inicial, cada um dos quadros de dados determinísticos tendo 2 campos de dados, cada um dos campos de dados tendo 6 fatias, cada uma das fatias tendo 52 pacotes de transporte;

em que pelo menos um dos 52 pacotes de transporte não possui um campo de adaptação e tem 187 bytes, cada um dos bytes tendo 8 bits, os 187 bytes incluindo e bytes PID, seguidos de 184 bytes de dados;

em que todos os restantes dos 52 pacotes de transporte têm, cada um, 187 bytes, cada um dos bytes tendo 8 bits, os 187 bytes incluindo 3 bytes PID, seguidos de 2 bytes de cabeçalho do campo de adaptação (AF) que especifica um campo de adaptação tendo o comprimento de N bytes, seguido de N bytes do campo de adaptação, seguido de 182-N bytes de dados; e

em que o método ainda compreender inserir uma seqüência de referência suplementar (SRS) no fluxo de transporte ao inserir bytes no padrão SRS nos campos de adaptação dos pacotes de transporte que possuem um campo de

adaptação de modo que pelo menos alguns dos N bytes do campo de adaptação são bytes no padrão SRS.

13. Método, de acordo com a reivindicação 12, caracterizado pelo fato de pelo menos um pacote de transporte que não possui um campo de adaptação ser um pacote nulo.

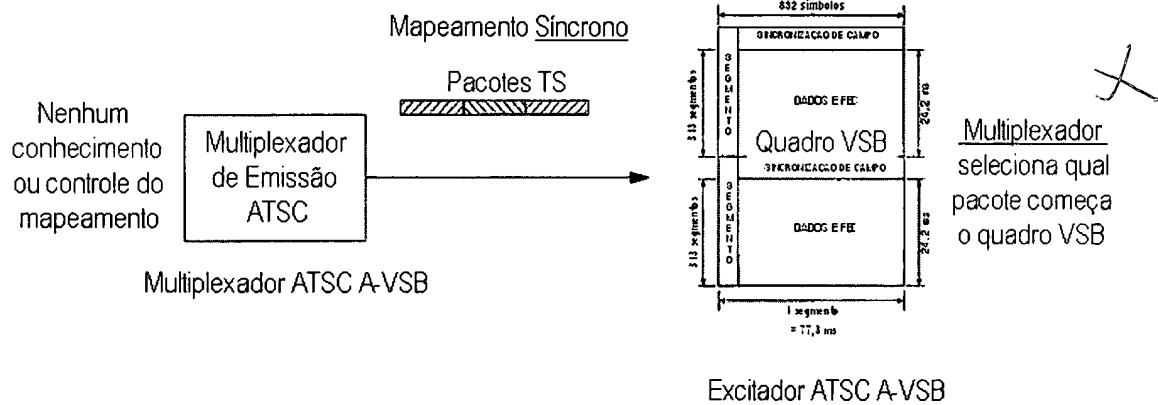
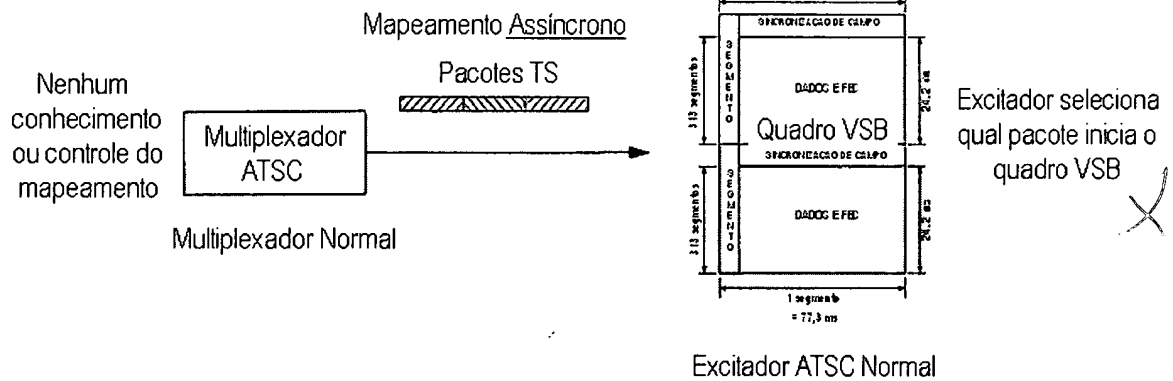
14. Método, de acordo com a reivindicação 13, caracterizado pelo fato de o pacote nulo ser um pacote (Null,PAT,PMT), com PAT sendo uma tabela associada a programa, e PMT sendo uma tabela de mapa de programa.

15. Método, de acordo com a reivindicação 12, caracterizado pelo fato de um dos 52 pacotes de transporte não possuir um campo de adaptação; e

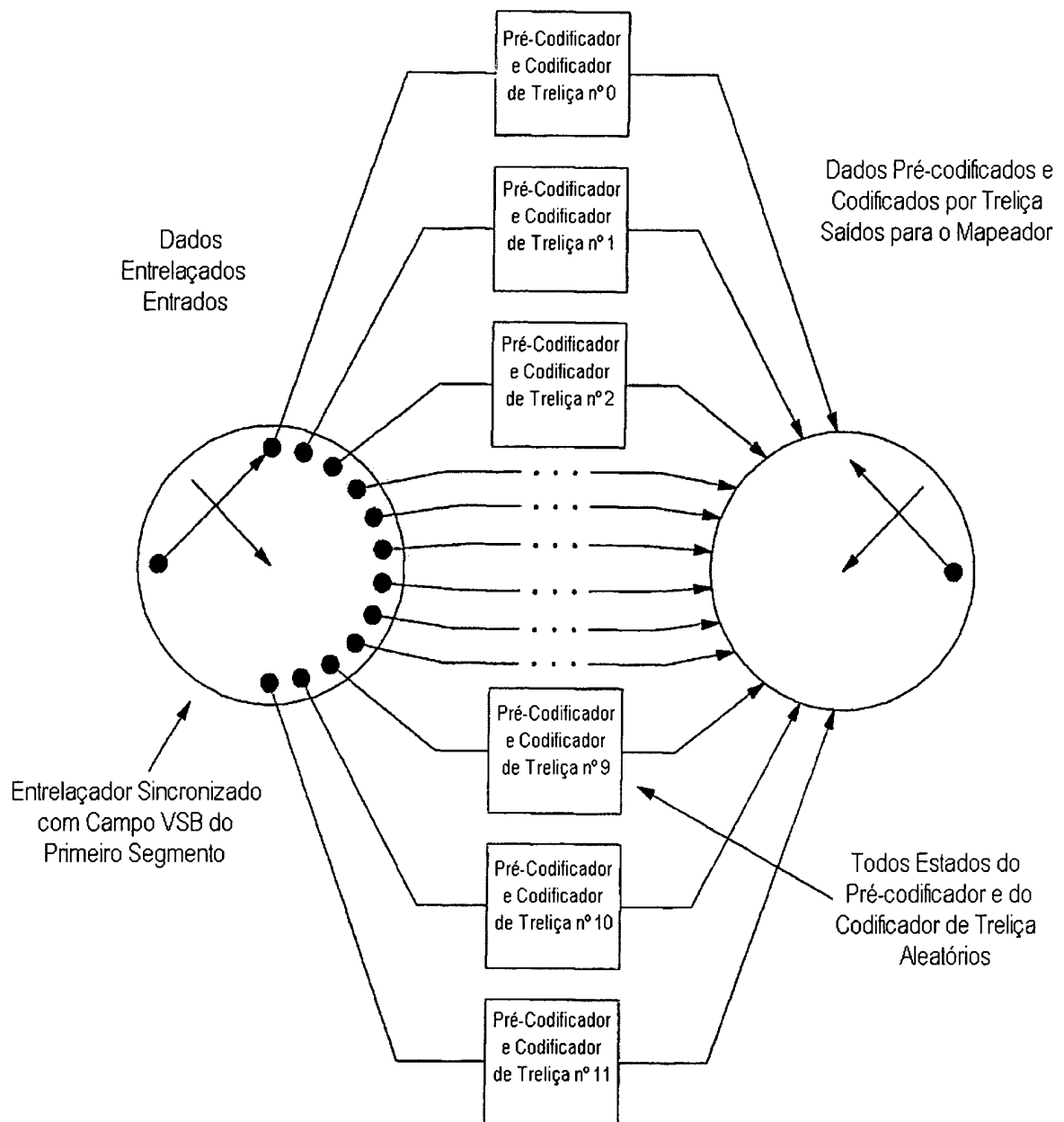
em que 51 dos 52 pacotes de transporte de fato possuem um campo de adaptação.

16. Método, de acordo com a reivindicação 12, caracterizado pelo fato de o número dos pacotes de transporte que possuem um campo de adaptação ser maior que o número dos pacotes de transporte que não possuem um campo de adaptação.

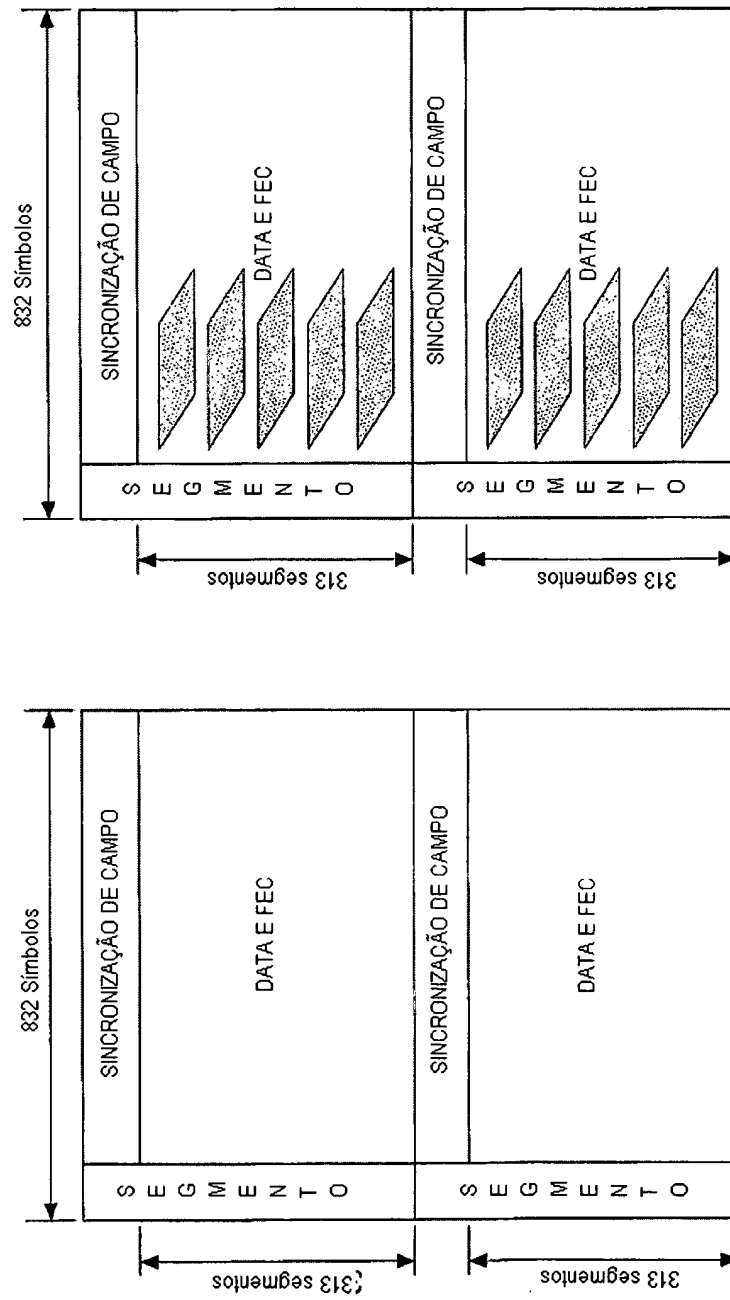
17. Método ,de acordo com a reivindicação 12, caracterizado pelo fato de os quadros de dados determinísticos cumprem com as restrições do ATSC (Advanced Television Systems Committee) sobre o fluxo de transporte MPEG-2.



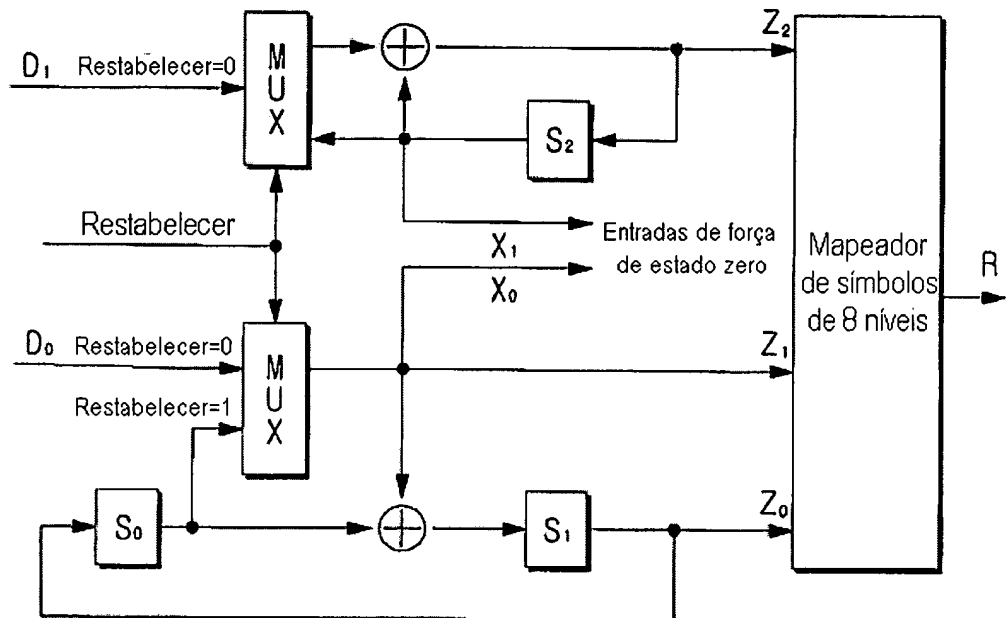
[Fig. 2]



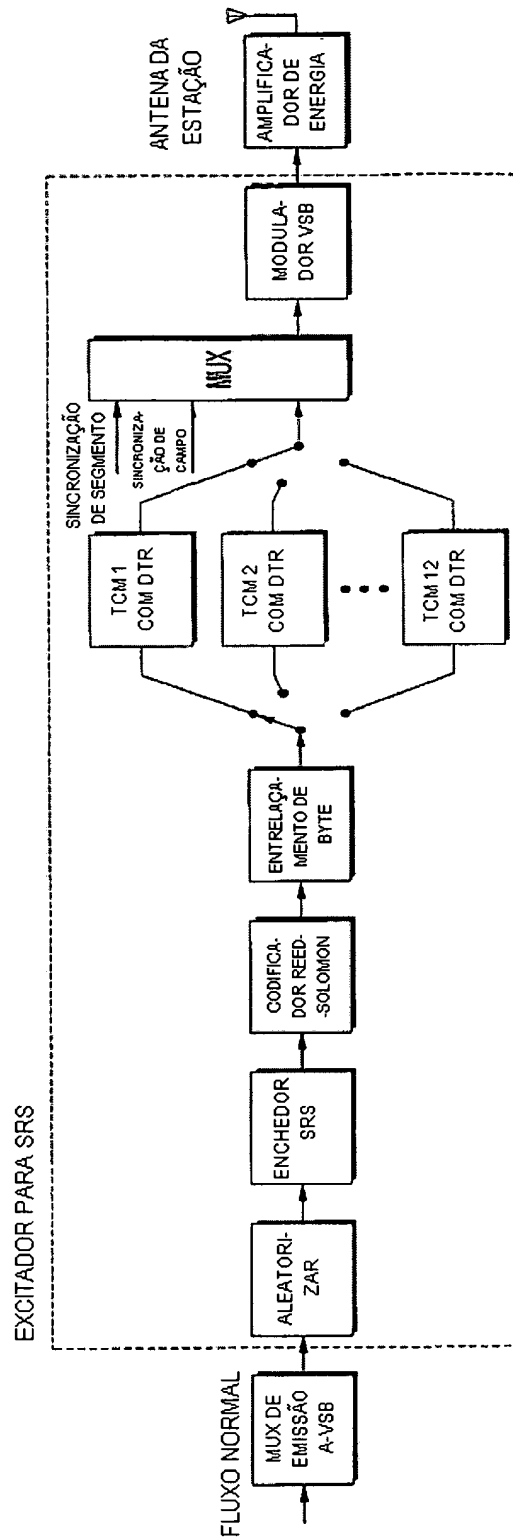
[Fig. 3]



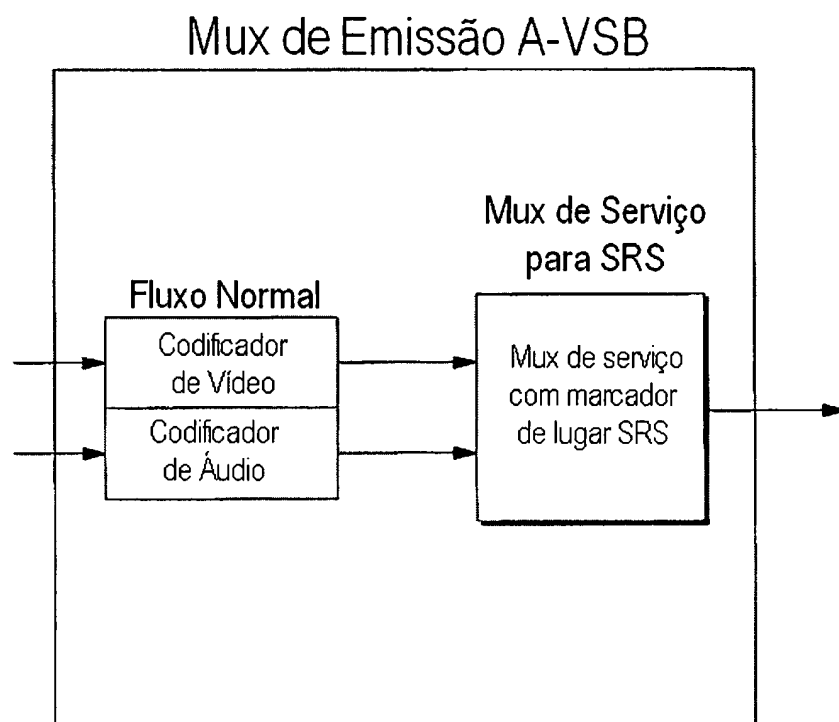
[Fig. 4]



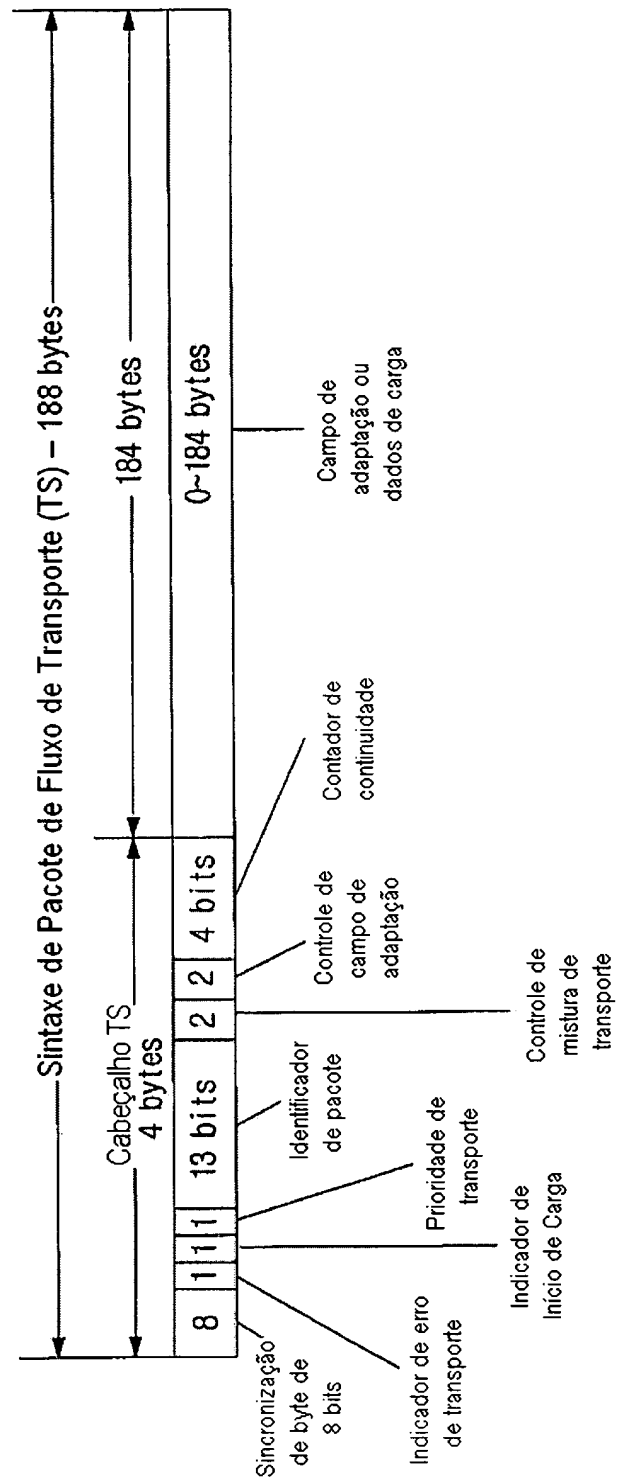
[Fig. 5]



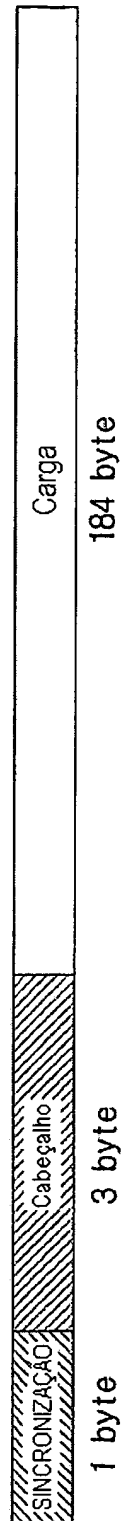
[Fig. 6]



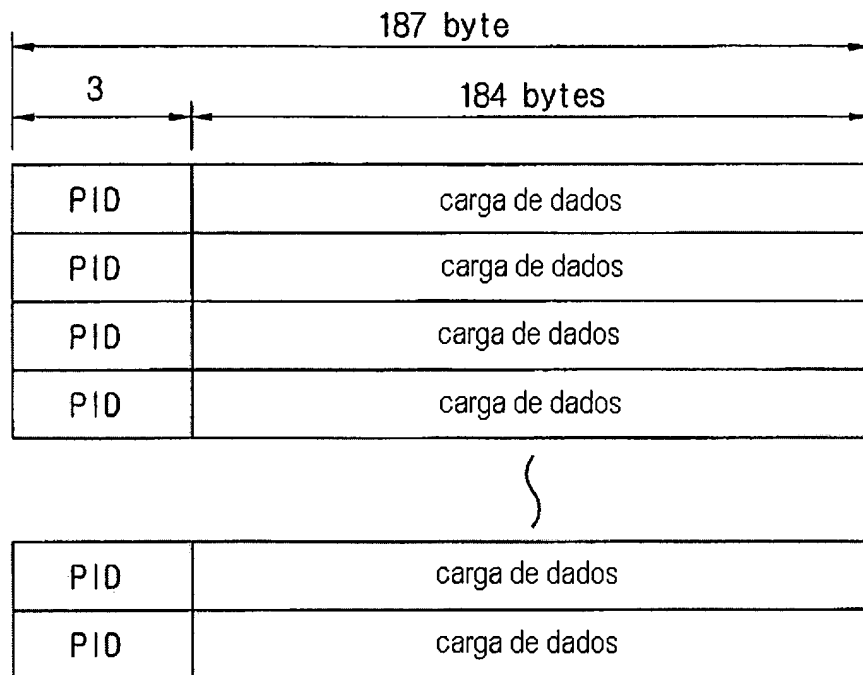
[Fig. 7]



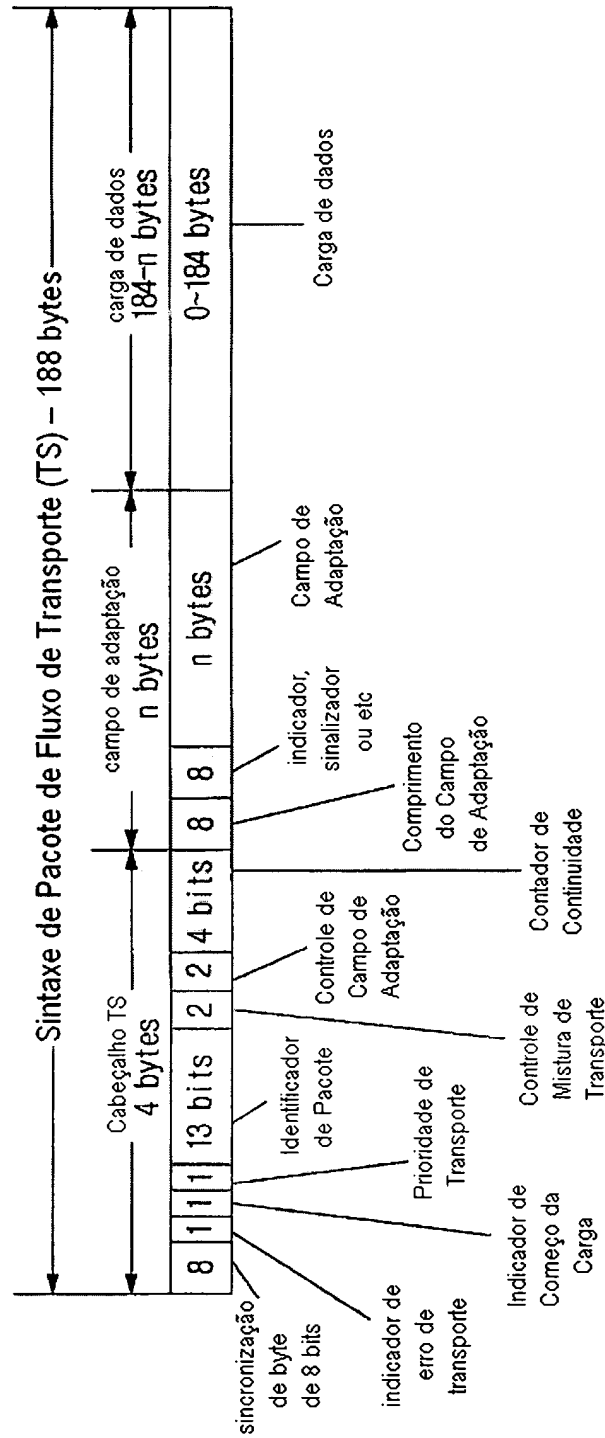
[Fig. 8]



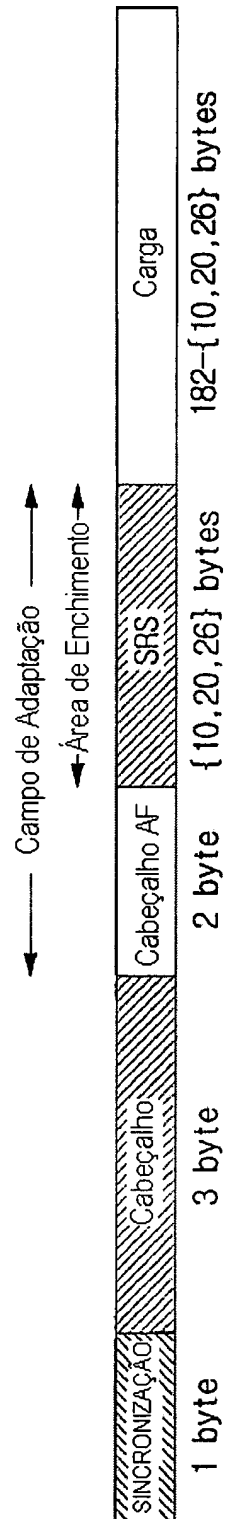
[Fig. 9]



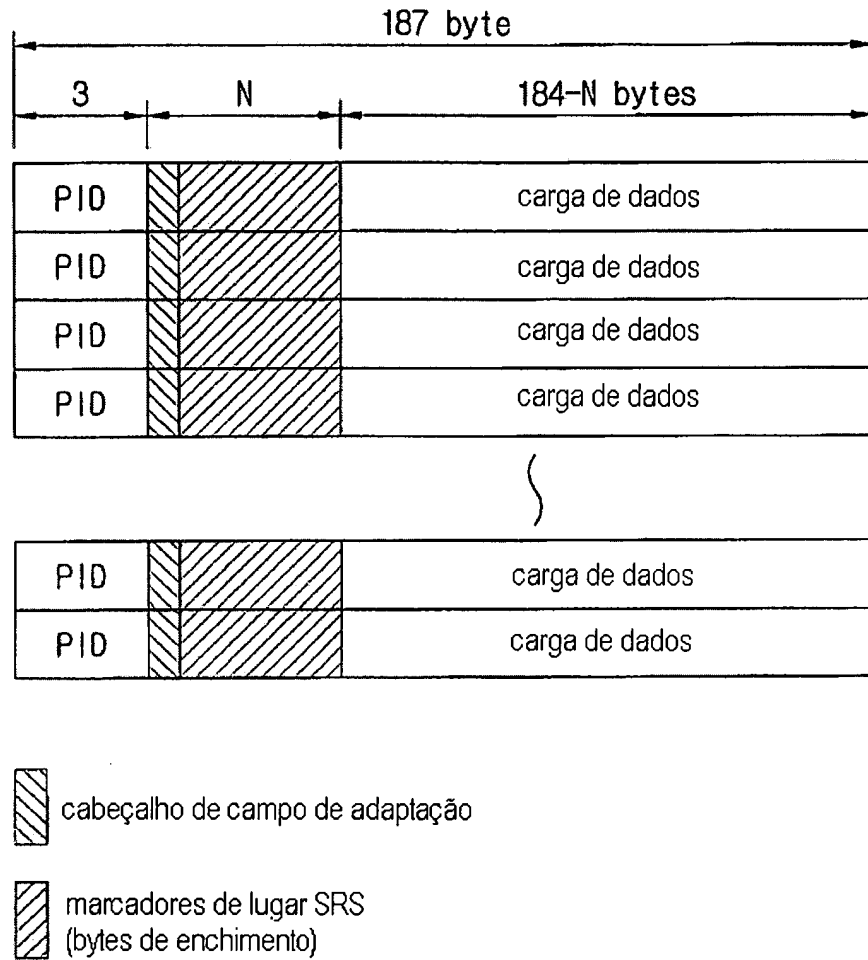
[Fig. 10]



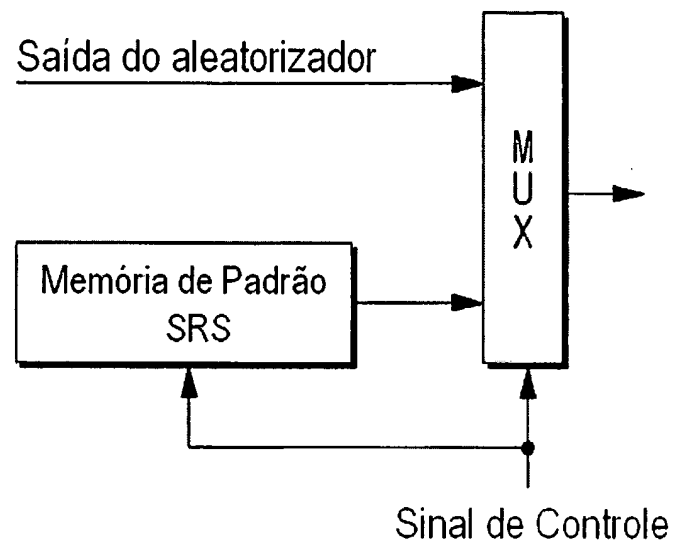
[Fig. 11]



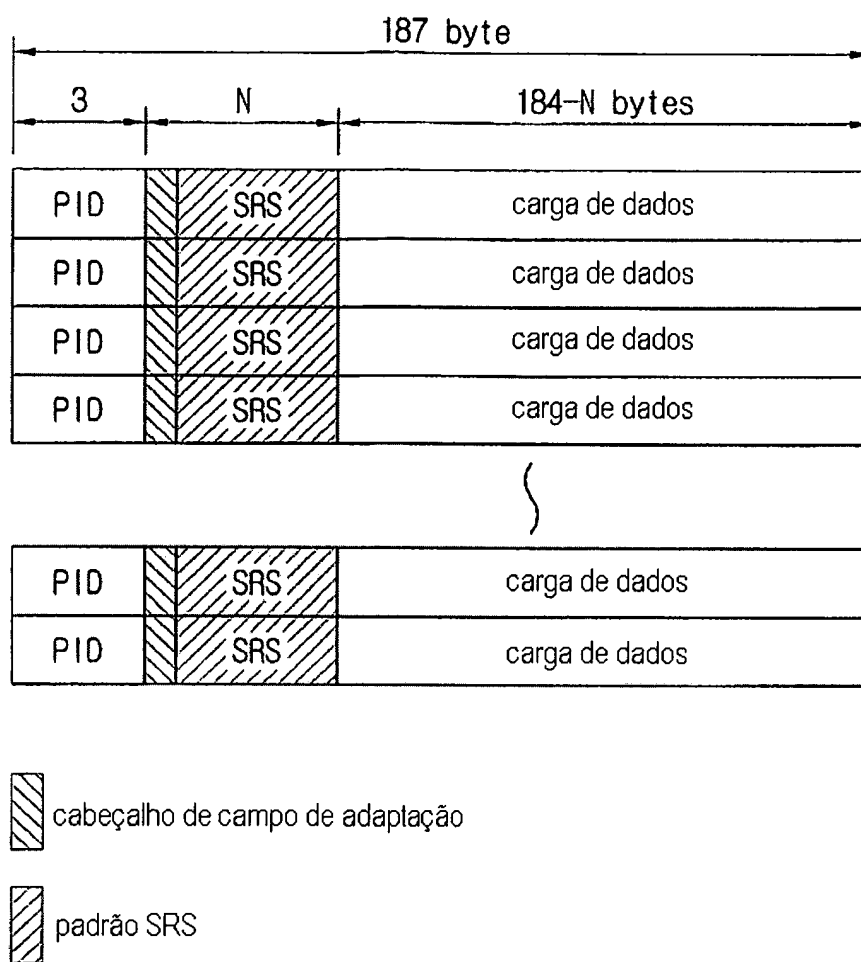
[Fig. 12]



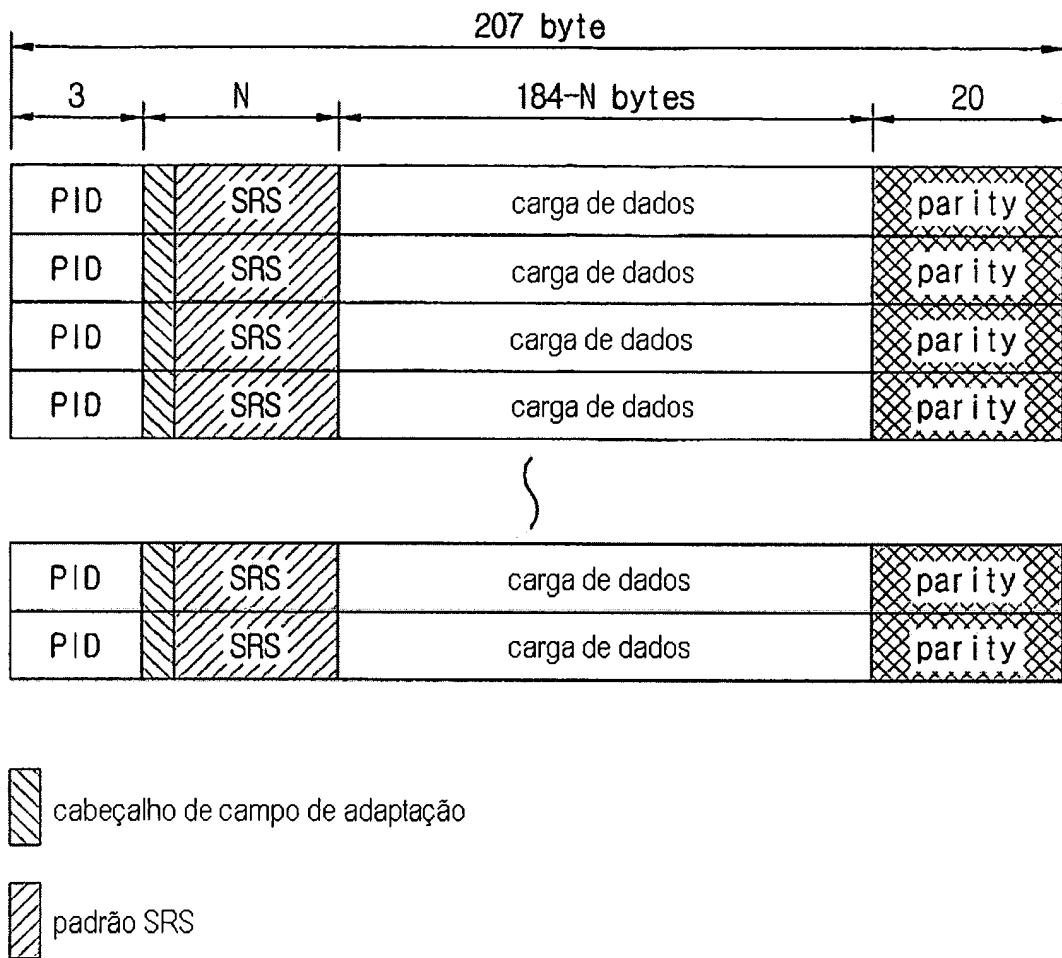
[Fig. 13]



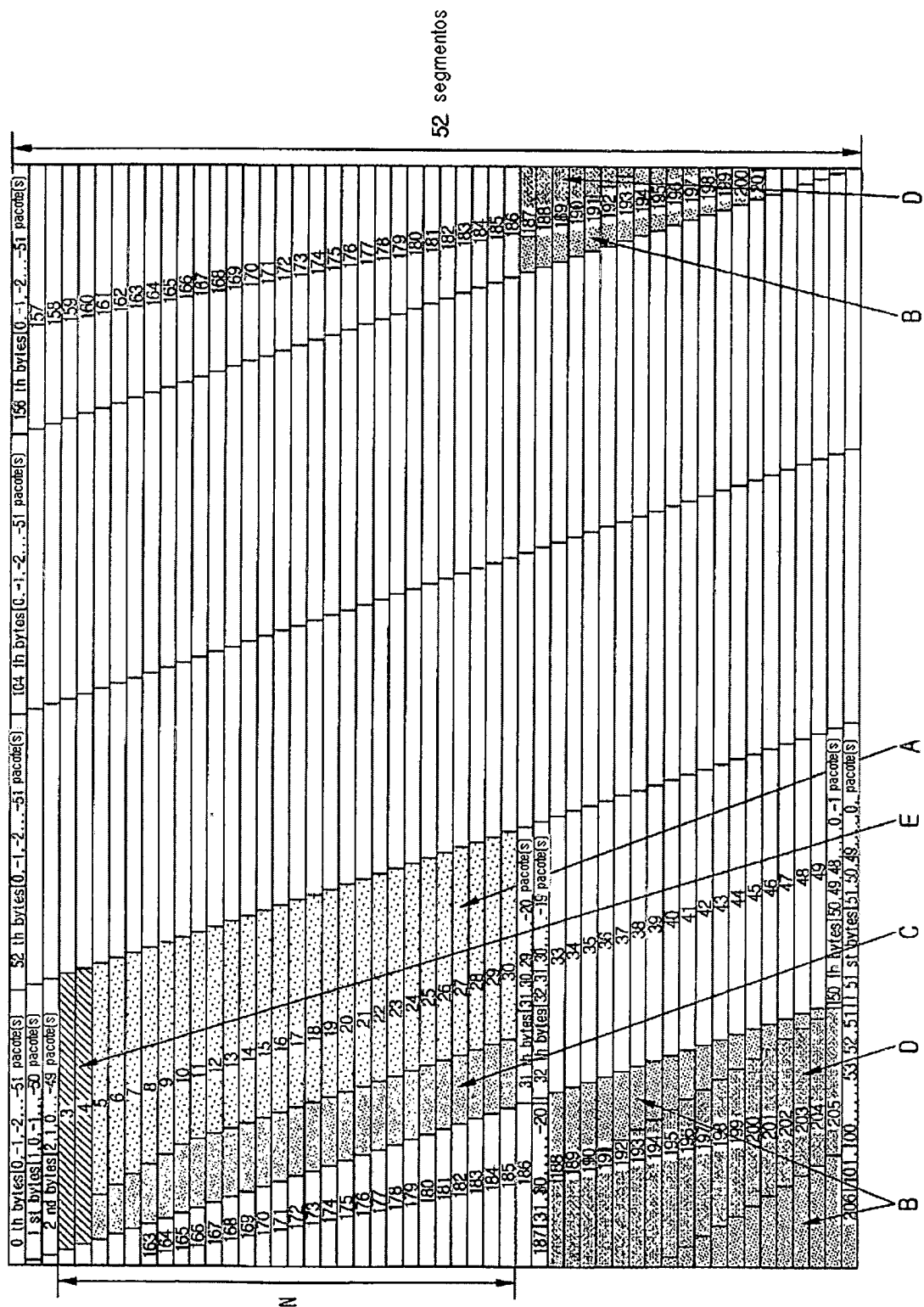
[Fig. 14]



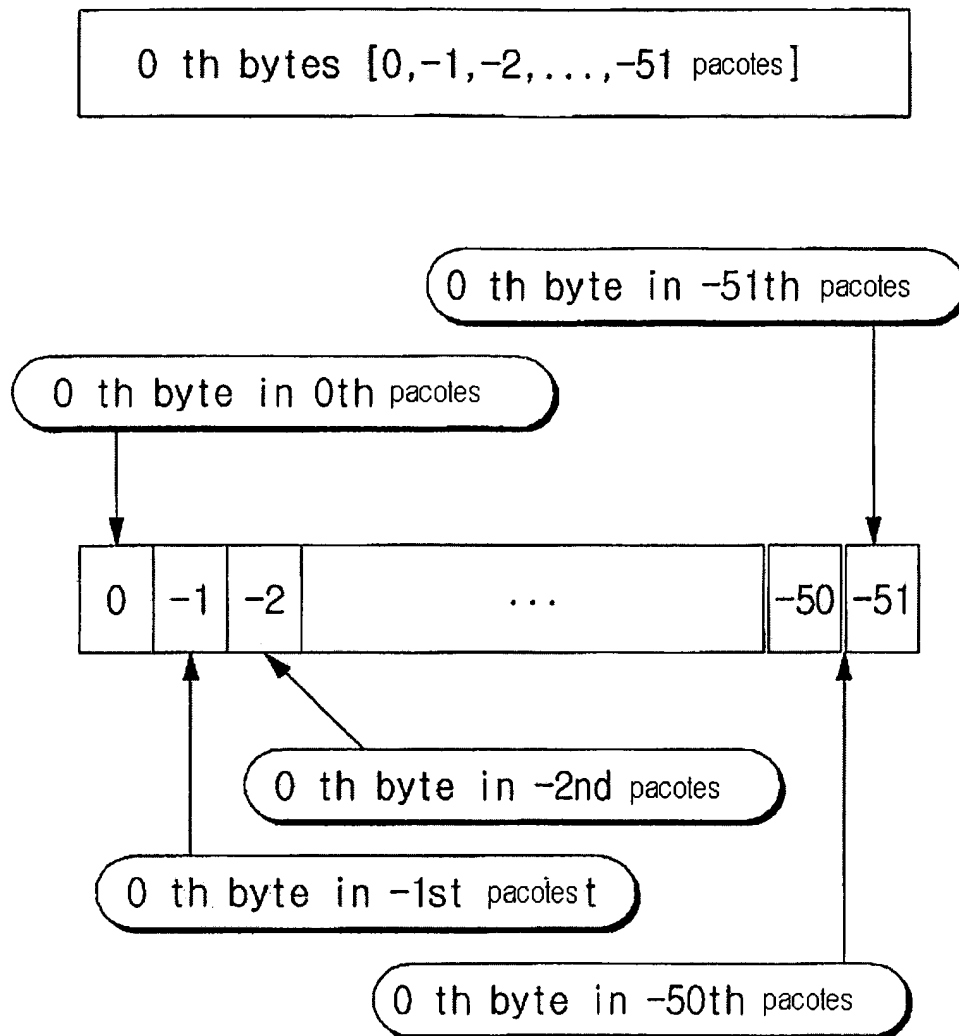
[Fig. 15]



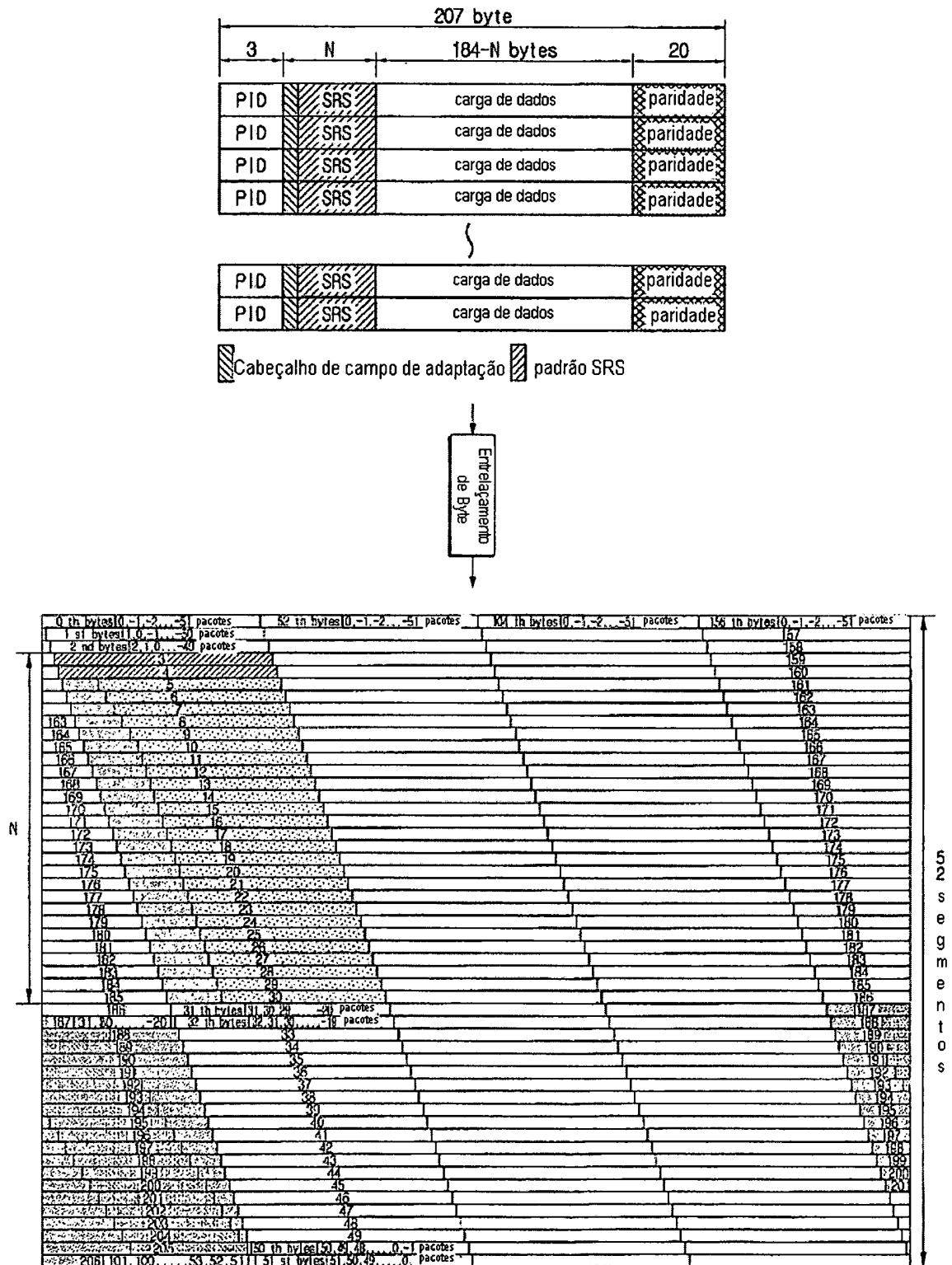
[Fig. 16]



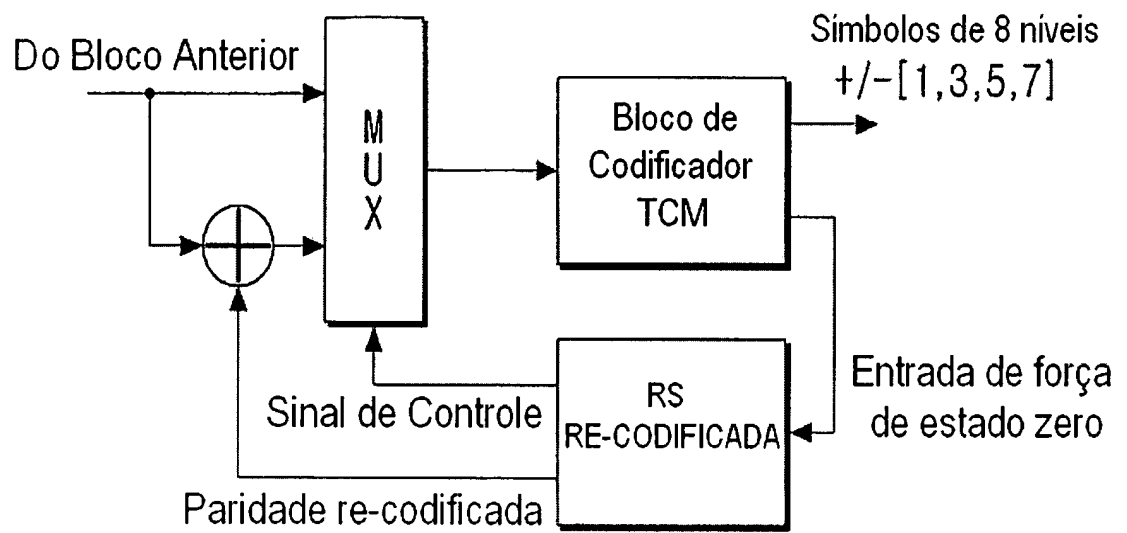
[Fig. 17]



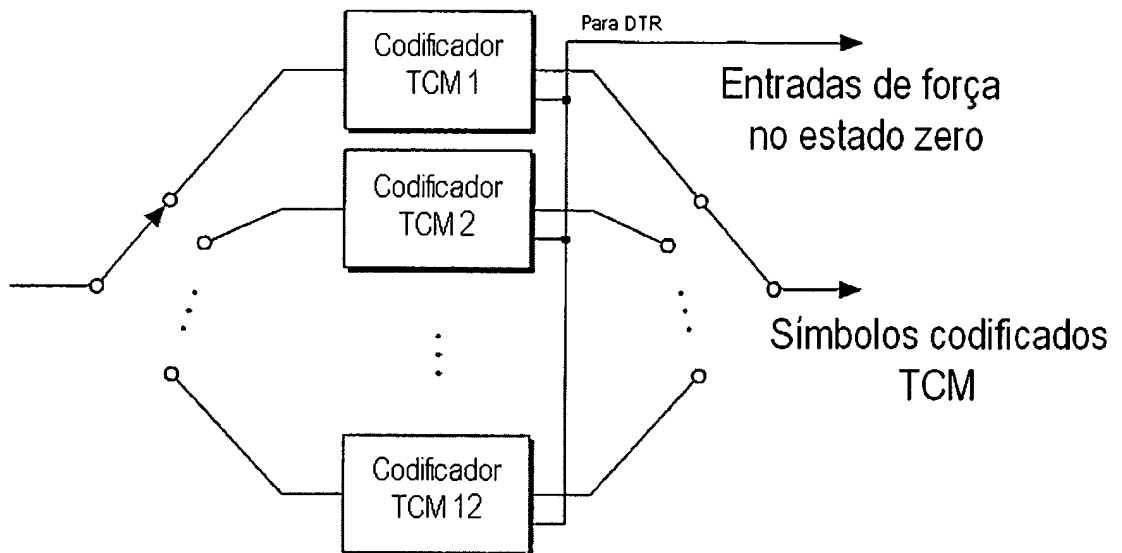
[Fig. 18]



[Fig. 19]



[Fig. 20]



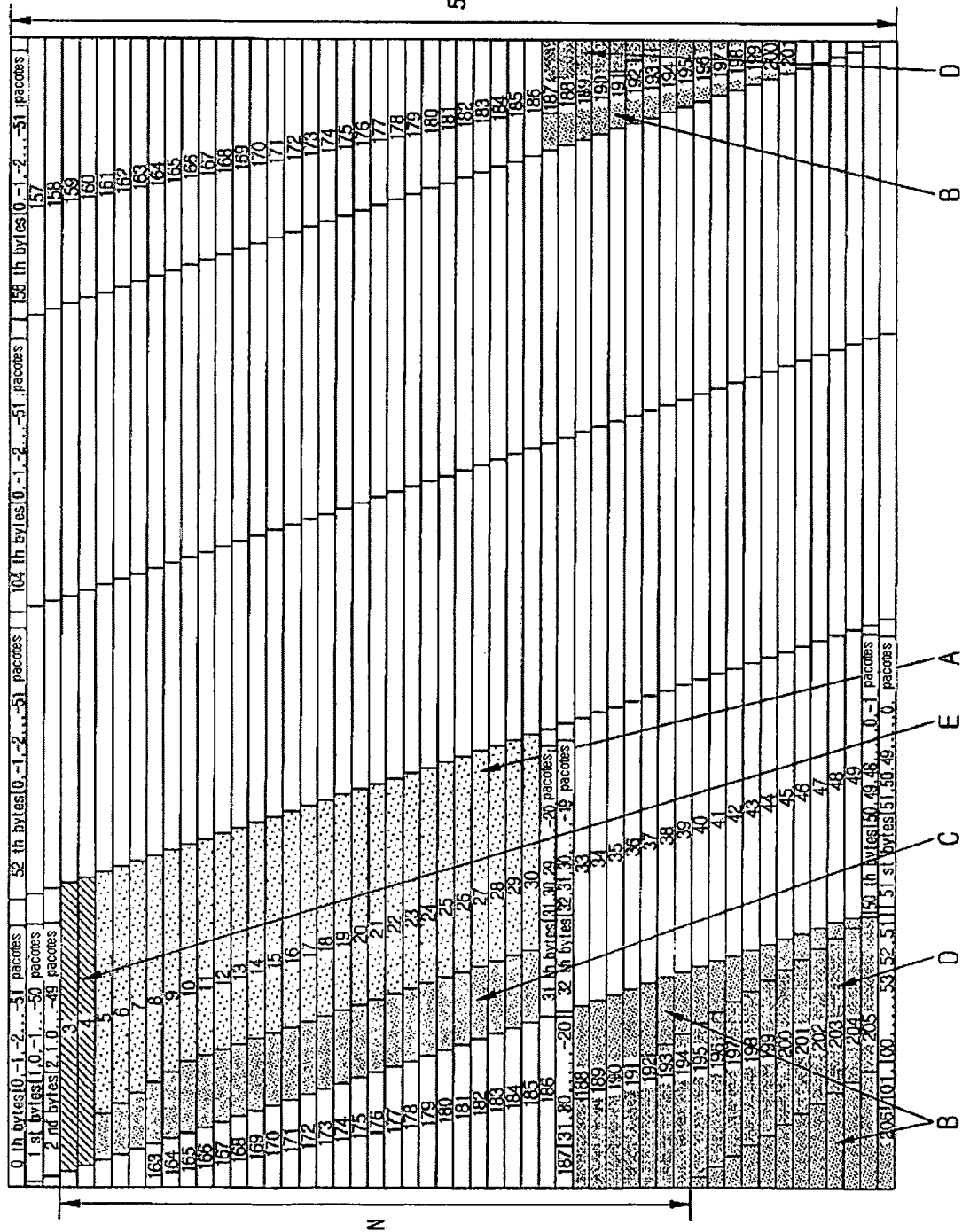
[Fig. 21]

[illegible]

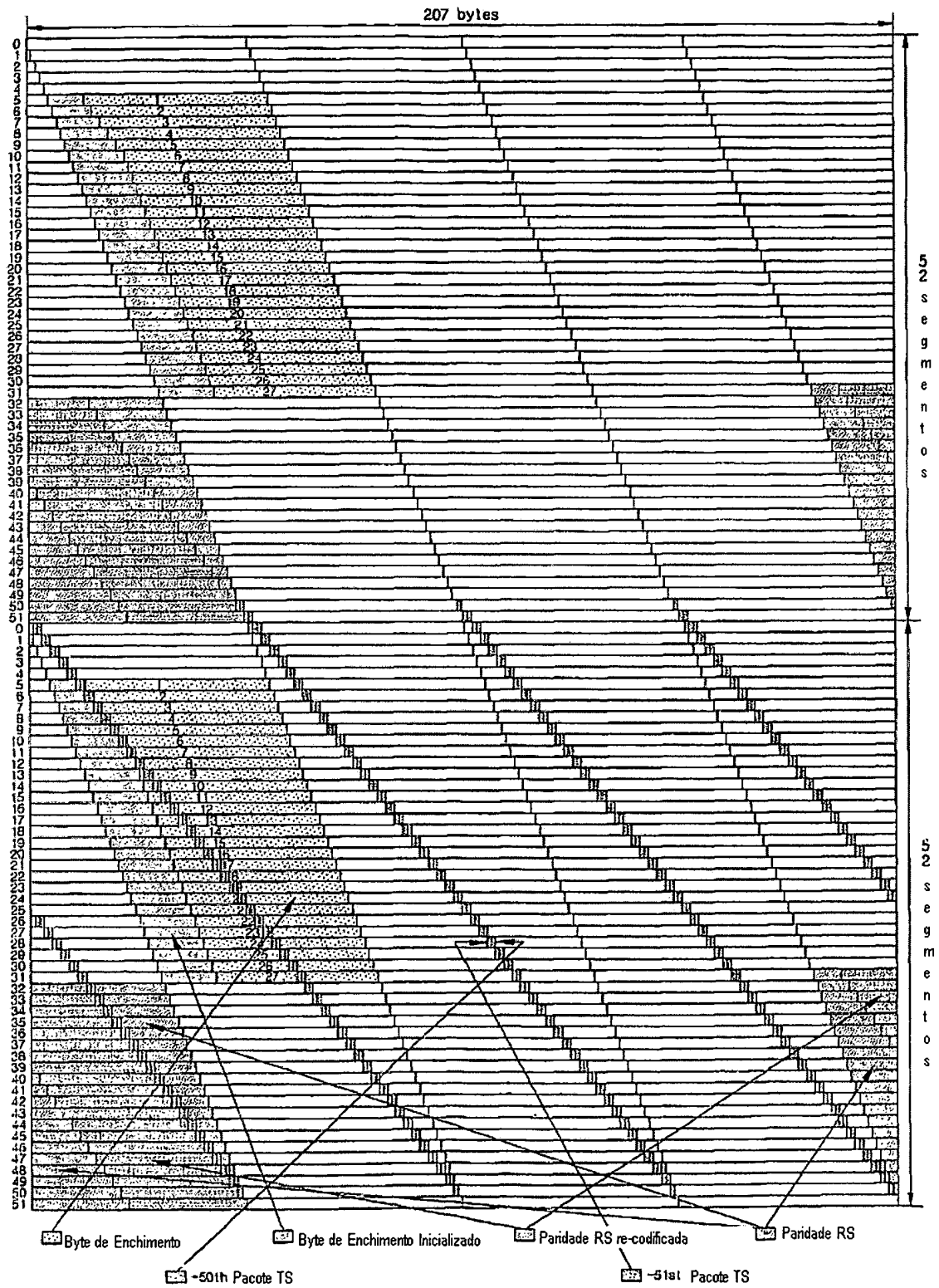
[Fig. 22]

col 1	coluna 2	coluna 3	c. 4	c. 5	c. 6	c. 7	c. 8	c. 9	c. 10	c. 11	c. 12	c. 13	c. 14	c. 15	c. 16	c. 17	c. 18	c. 19	c. 20	c. 21	c. 22	c. 23	c. 24	c. 25	c. 26	c. 27	c. 28	c. 29				
	3 bytes	2 bytes	10 bytes { SRS modo 1 }										10 bytes { SRS modo 2 }										6 bytes { SRS modo 3 }									
1	Cabegão LPEC	Cabegão AF	4	0	7	1	9	11	3	44	3	200	144	17	31	242	131	24	133	0	67	63	144	63	153	223	78	252				
2	Cabegão LPEC	Cabegão AF	15	0	15	7	11	0	13	15	1	224	176	181	176	243	228	57	69	94	160	101	33	160	99	19	9	228				
3	Cabegão LPEC	Cabegão AF	15	14	3	6	2	5	0	3	1	218	247	241	180	234	184	223	68	157	212	177	9	119	226	35	30	109				
4	Cabegão LPEC	Cabegão AF	13	12	5	12	10	0	7	11	13	1	68	235	182	121	101	237	219	212	181	81	130	82	249	120	245	158				
5	Cabegão LPEC	Cabegão AF	8	10	4	12	14	13	13	6	1	15	0	182	34	84	144	124	231	83	127	138	229	18	2	41	128	255				
6	Cabegão LPEC	Cabegão AF	6	7	1	1	4	14	7	5	16	19	4	9	92	25	34	189	57	177	15	68	121	173	143	142	16	223				
7	Cabegão LPEC	Cabegão AF	0	8	0	8	8	12	0	7	5	16	19	4	11	235	46	39	174	173	58	229	183	83	58	233	58	82				
8	Cabegão LPEC	Cabegão AF	0	228	0	0	1	1	9	5	0	5	7	11	12	4	215	241	68	247	80	123	214	241	155	34	166	198				
9	Cabegão LPEC	Cabegão AF	0	239	22	12	8	8	1	13	9	8	12	45	4	7	1	20	155	205	112	0	61	158	162	218	83	14				
10	Cabegão LPEC	Cabegão AF	0	155	84	82	8	13	14	0	6	8	0	2	19	0	14	19	84	139	188	18	85	87	29	62	202	87				
11	Cabegão LPEC	Cabegão AF	107	108	52	167	162	15	15	15	1	8	0	16	0	3	10	10	13	183	55	200	10	38	82	233	22	233				
12	Cabegão LPEC	Cabegão AF	127	0	220	115	213	150	1	14	5	8	2	8	9	3	0	45	10	14	70	243	71	53	59	44	148	89				
13	Cabegão LPEC	Cabegão AF	215	0	0	70	244	188	148	2	3	7	11	15	14	12	6	7	73	2	0	76	102	99	151	203	246	211				
14	Cabegão LPEC	Cabegão AF	84	0	0	0	208	181	35	242	15	8	14	5	14	14	0	14	4	1	13	2	195	208	70	227	177	142				
15	Cabegão LPEC	Cabegão AF	reservado para PCR										70	228	23	14	14	8	7	12	3	6	12	5	7	14	1	208	91	245	63	70
16	Cabegão LPEC	Cabegão AF	140	158	207	205	167	85	180	88	227	242	3	8	14	14	14	10	13	15	14	6	0	8	145	150	55	232				
17	Cabegão LPEC	Cabegão AF	218	155	42	75	160	57	22	149	248	118	143	10	3	6	0	12	13	12	10	6	15	6	0	154	158	232				
18	Cabegão LPEC	Cabegão AF	8	89	81	43	97	228	182	12	216	40	93	154	13	0	5	14	2	5	11	3	15	6	4	0	51	38				
19	Cabegão LPEC	Cabegão AF	112	188	251	8	89	154	78	0	137	252	83	85	123	3	0	1	10	8	6	7	7	3	9	4	12	108				
20	Cabegão LPEC	Cabegão AF	0	14	100	113	128	45	11	241	213	122	62	59	146	160	18	15	14	2	14	8	7	3	8	2	6	1				
21	Cabegão LPEC	Cabegão AF	0	2	234	151	110	33	36	69	148	110	237	192	177	41	201	9	11	1	5	1	7	1	15	0	14					
22	Cabegão LPEC	Cabegão AF	0	77	0	134	83	210	158	101	135	212	165	218	108	10	108	17	6	12	0	0	1	7	19	19	8	6	10			
23	Cabegão LPEC	Cabegão AF	45	148	47	106	153	35	130	189	149	105	28	7	26	229	229	188	237	5	10	15	14	3	15	9	13	8				
24	Cabegão LPEC	Cabegão AF	145	0	178	28	248	250	218	118	106	35	249	125	171	19	232	118	147	142	13	2	18	2	18	12	0					
25	Cabegão LPEC	Cabegão AF	158	0	0	116	254	55	232	251	248	173	108	66	127	189	84	47	58	49	204	15	0	8	8	1	6	8				
26	Cabegão LPEC	Cabegão AF	136	0	0	173	205	244	10	43	203	191	28	123	59	132	180	184	221	62	221	12	10	11	8	7	1					
27	Cabegão LPEC	Cabegão AF	0	0	0	0	202	222	12	156	120	158	46	64	235	186	250	226	238	148	206	97	4	0	0	6	4	9				
28	Cabegão LPEC	Cabegão AF	124	114	56	228	185	18	88	38	180	94	138	56	115	22	116	18	156	75	217	38	183	55	0	1	2	12				
29	Cabegão LPEC	Cabegão AF	168	134	56	195	121	148	85	127	122	247	237	32	207	51	87	81	17	169	208	22	6	223	129	5	4	9				
30	Cabegão LPEC	Cabegão AF	63	58	91	195	81	28	132	187	189	58	168	68	54	8	73	215	146	140	183	82	147	85	171	33	2	6				
31	Cabegão LPEC	Cabegão AF	0	251	224	155	177	53	7	171	23	88	88	222	108	240	185	248	221	232	253	48	248	185	43	204	48	9				
32	Cabegão LPEC	Cabegão AF	0	234	135	77	175	87	236	247	237	142	143	168	210	254	148	8	74	98	58	163	101	137	163	107	125	243				
33	Cabegão LPEC	Cabegão AF	0	226	221	197	83	84	58	138	40	227	101	178	182	107	4	251	130	237	245	203	50	181	104	67	75	21				
34	Cabegão LPEC	Cabegão AF	0	120	223	181	87	251	233	108	222	221	31	123	208	99	181	143	226	206	204	115	81	245	155	190	237	49				
35	Cabegão LPEC	Cabegão AF	128	103	227	229	251	234	149	48	134	10	155	174	113	161	111	44	253	9	79	69	84	217	147	241	195	164				
36	Cabegão LPEC	Cabegão AF	131	0	78	105	200	9	135	126	168	4	237	218	58	69	198	158	164	123	238	155	57	244	43	59	141	230				
37	Cabegão LPEC	Cabegão AF	185	0	0	128	167	185	45	204	175	142	184	200	204	129	111	238	203	81	223	200	154	121	212	13	125	228				
38	Cabegão LPEC	Cabegão AF	78	0	0	0	223	165	28	87	189	87	160	187	108	212	7	131	109	202	144	238	129	42	184	215	204	73				
39	Cabegão LPEC	Cabegão AF	0	0	0	0	0	235	103	184	108	31	10	24	75	158	168	192	144	72	13	73	19	228	162	171	166	154				
40	Cabegão LPEC	Cabegão AF	58	252	170	83	239	141	171	24	29	29	37	111	83	33	196	204	222	24	104	153	232	58	6	228	141	176				
41	Cabegão LPEC	Cabegão AF	23	189	07	185	108	135	209	136	12	207	101	37	212	120	187	108	243	230	23	165	231	82	223	188	81	117				
42	Cabegão LPEC	Cabegão AF	33	188	220	156	108	205	142	7	188	83	148	222	187	120	20	112	97	141	207	251	110	99	200	132	243	237				
43	Cabegão LPEC	Cabegão AF	0	122	123	21	98	209	88	8	175	199	209	43	171	248	228	105	21	70	4	203	85	34	140	14	187	137				
44	Cabegão LPEC	Cabegão AF	0	222	3	109	25	93	40	216	252	63	226	180	218	71	228	228	87	29	44	202	178	115	154	219	128	22				
45	Cabegão LPEC	Cabegão AF	0	223	97	71	138	250	248	255	182	34	100	71	84	57	61	139	107	76	160	12	25	130	182	184	239	143				
46	Cabegão LPEC	Cabegão AF	0	180	169	242	185	238	137	0	65	205	87	47	38	41	211	223	25	116	49	148	81	228	80	125	83	145				
47	Cabegão LPEC	Cabegão AF	242	222	224	209	110	229	133	237	255	0	165	168	28	185	130	208	48	31	55	66	228	72	17	74	52	51				
48	Cabegão LPEC	Cabegão AF	184	0	201	165	146	88	201	31	89	158	83	246	226	223	160	135	214	225	203	26	35	81	17	38	168	222				
49	Cabegão LPEC	Cabegão AF	196	0	0	147	81	218	7	187	176	82	51	2	71	70	124	240	148	3	10	269	47	337	174	3	182	50				
50	Cabegão LPEC	Cabegão AF	486	0	0	0	18	136	169	95	17	104	234	34	72	85	180	23	33	32	172	151	185	195	237	239	190	92				
51	Cabegão LPEC	Cabegão AF	0	0	0	0	0	27	69	70	249	227	43	134	68	138	110	251</														

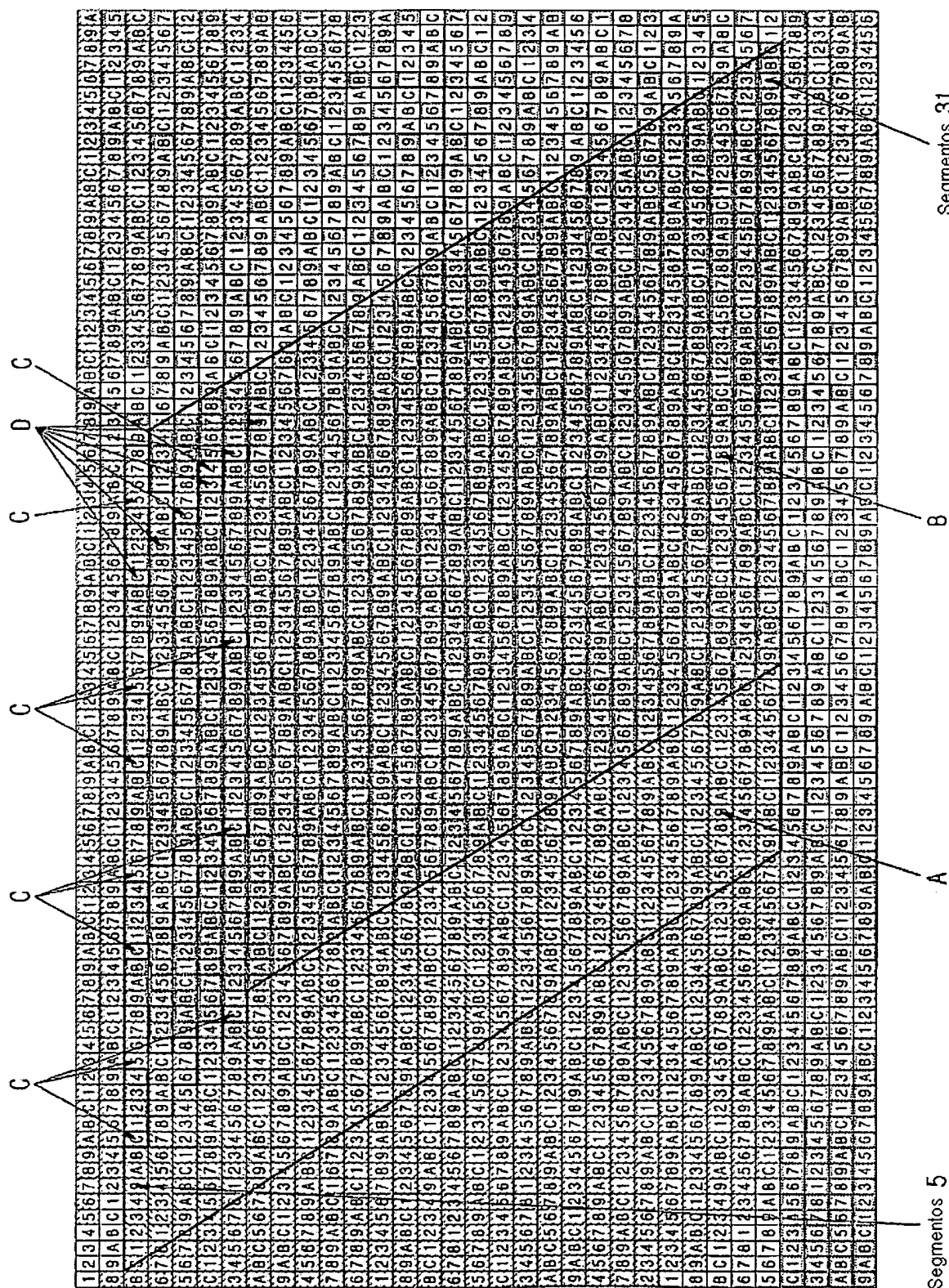
52 segmentos



[Fig. 24]



[Fig. 25]

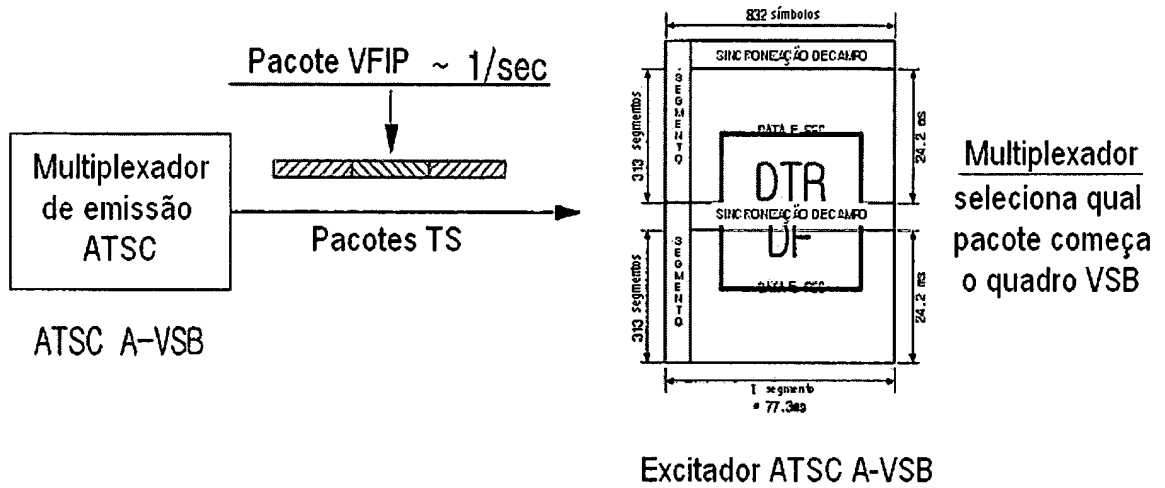


[Fig. 26]

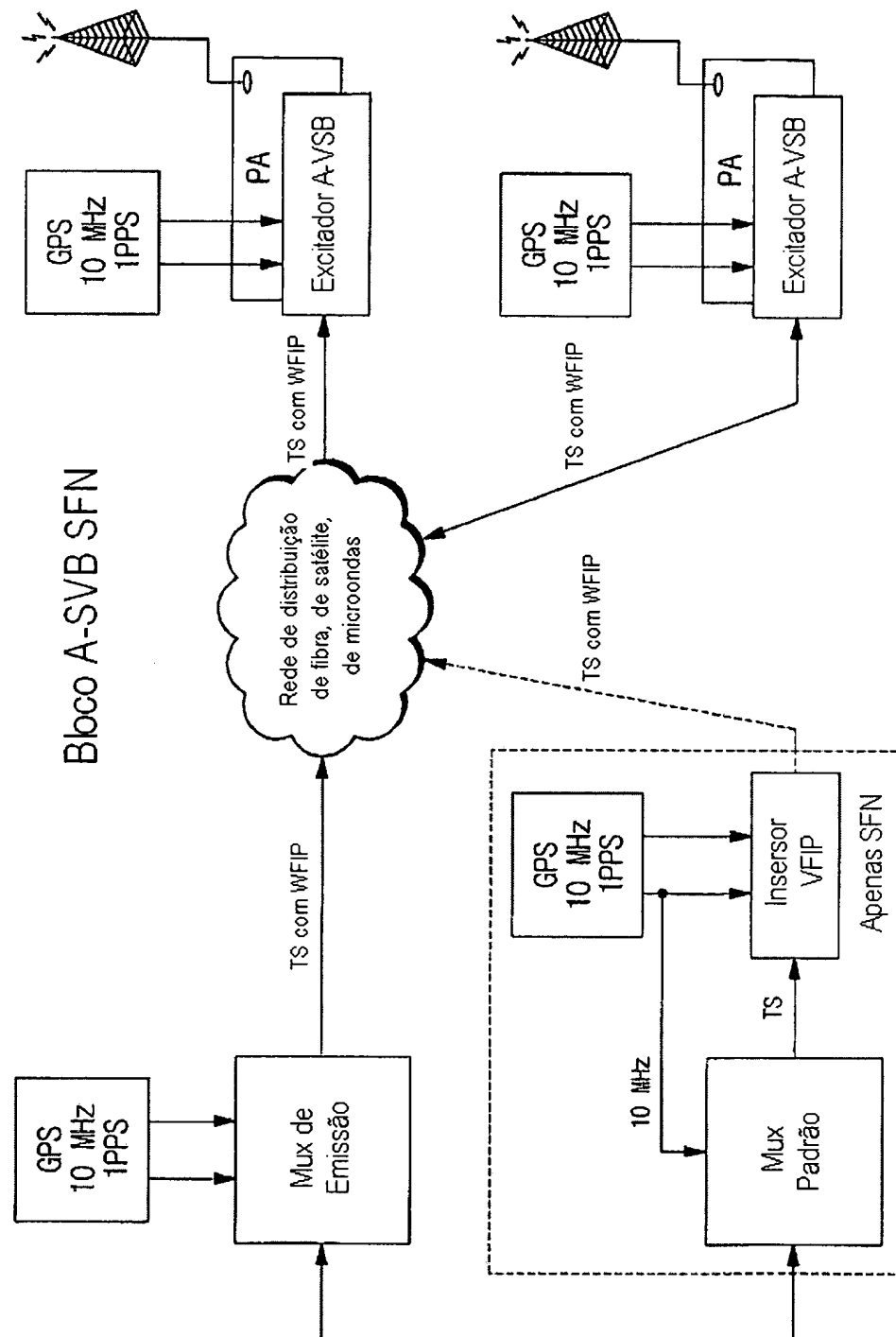
[illegible]

[Fig. 27]

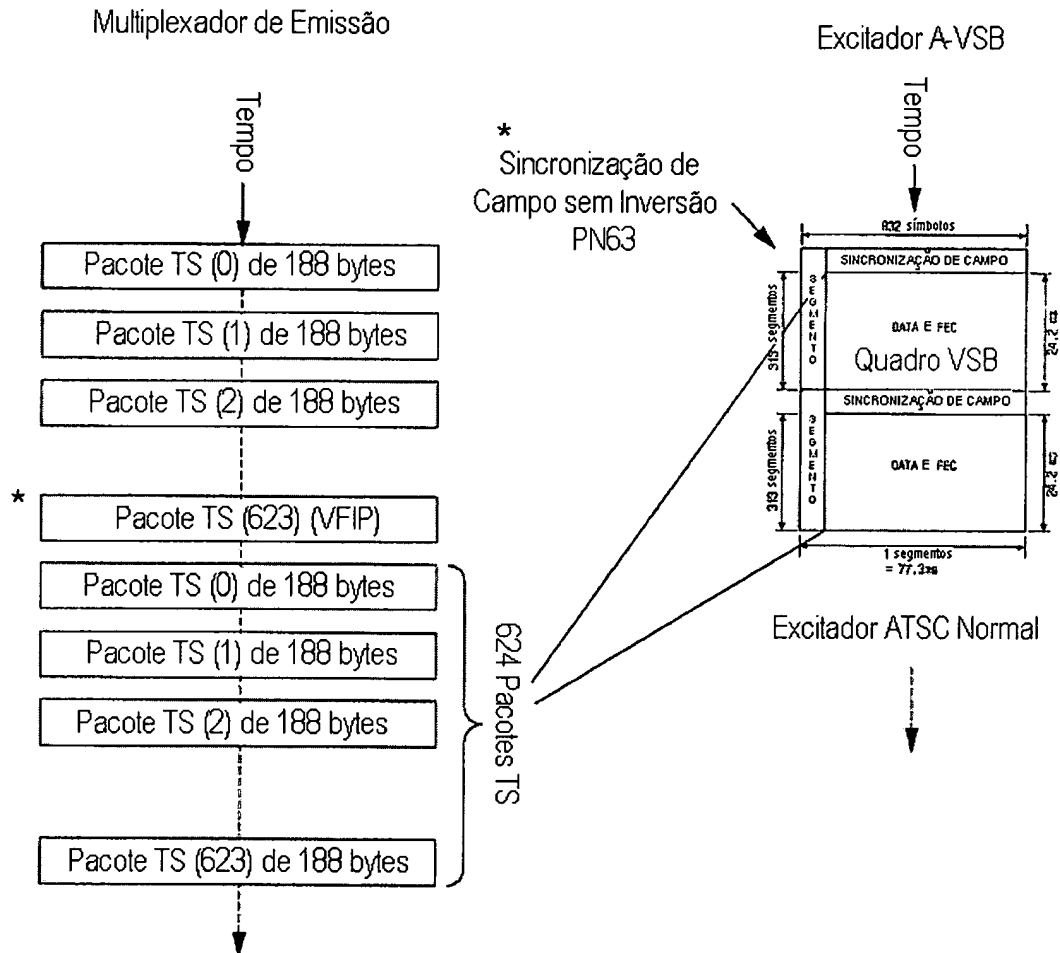
Funcionalidade ATSC SFN Harmonizada



[Fig. 28]

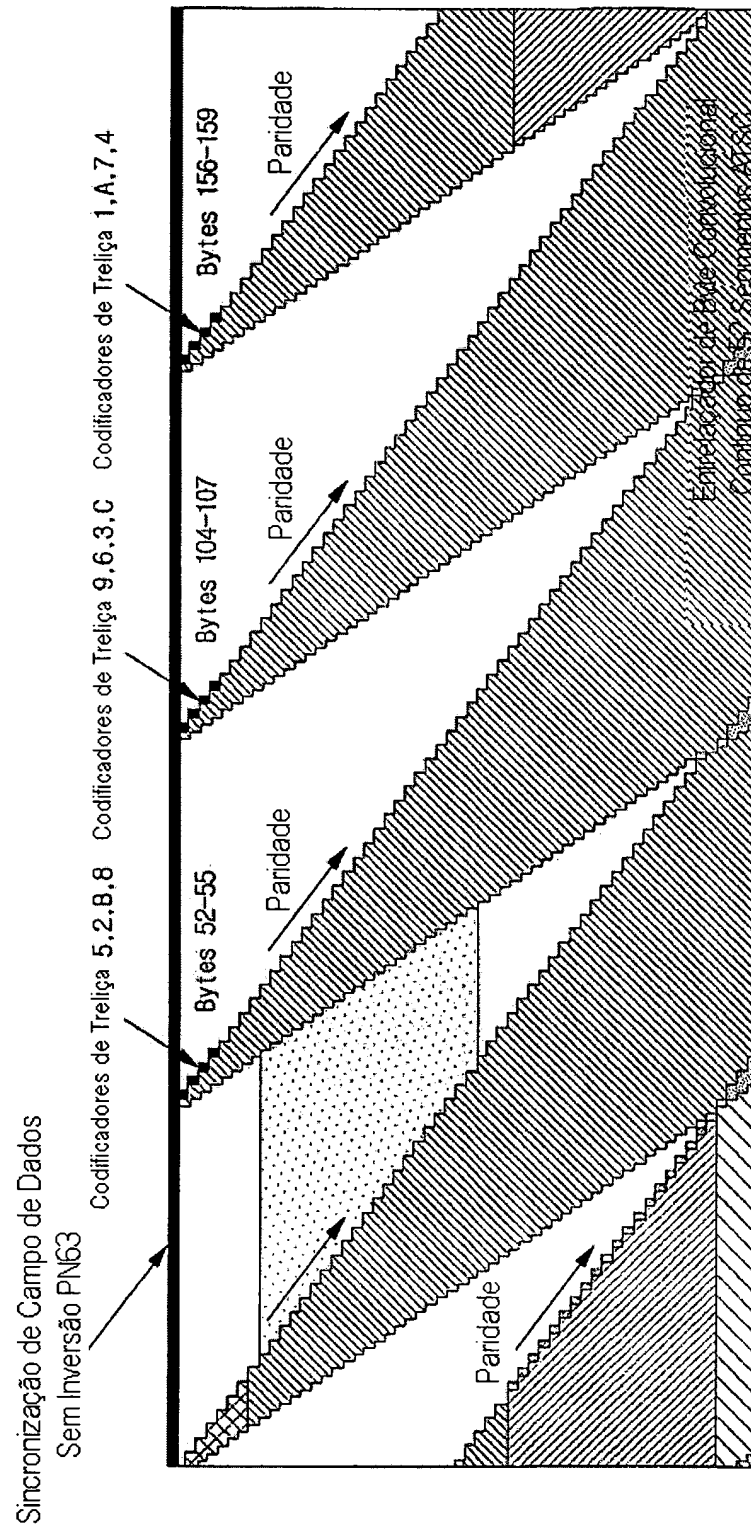


[Fig. 29]

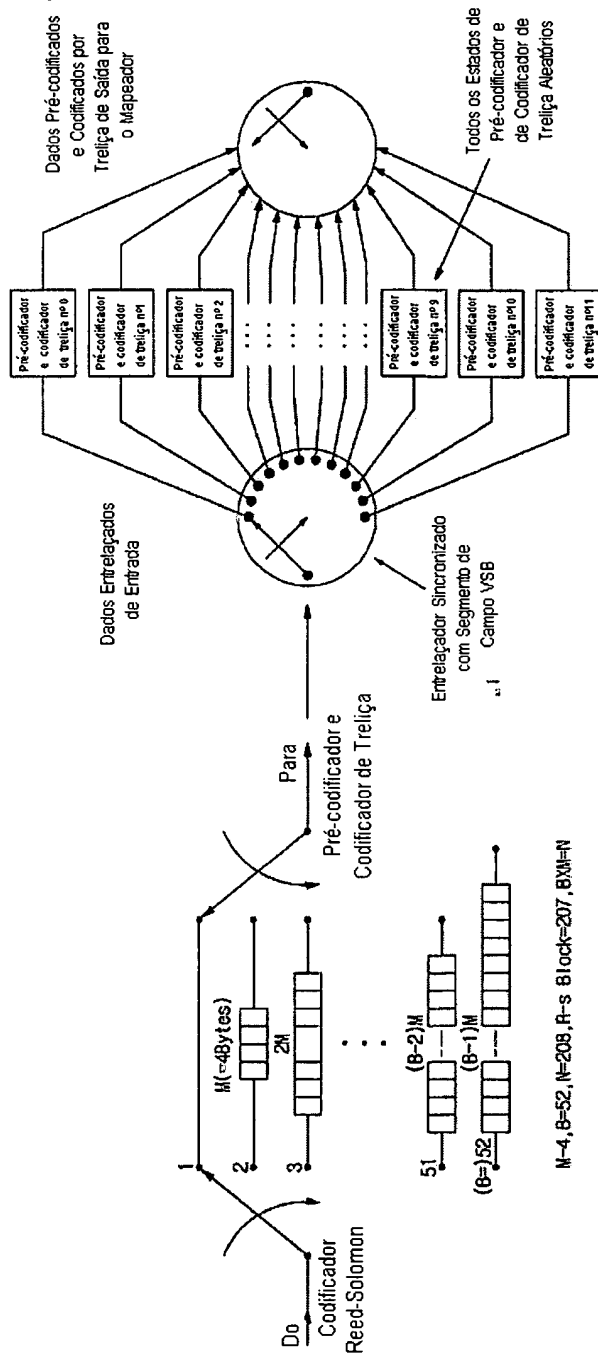


[Fig. 30]

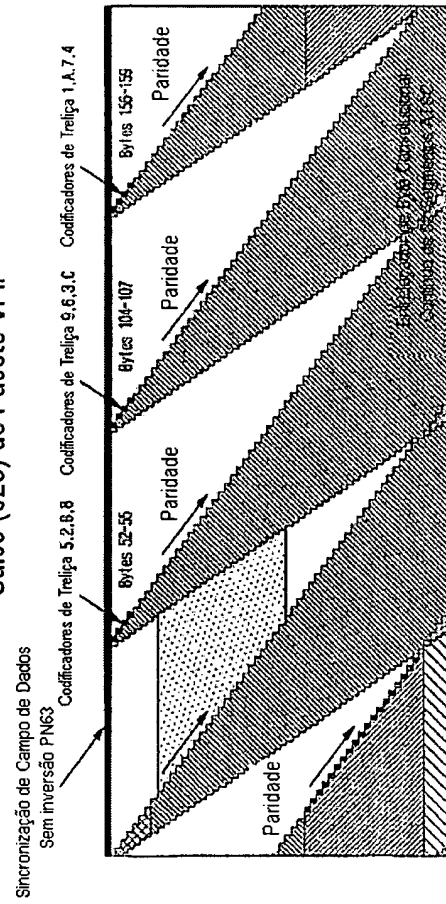
Sulco (623) do Pacote VFIP



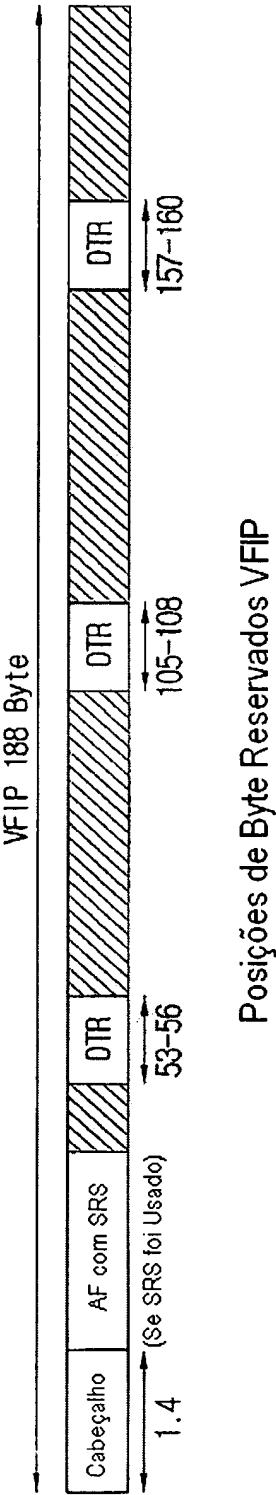
[Fig. 31]



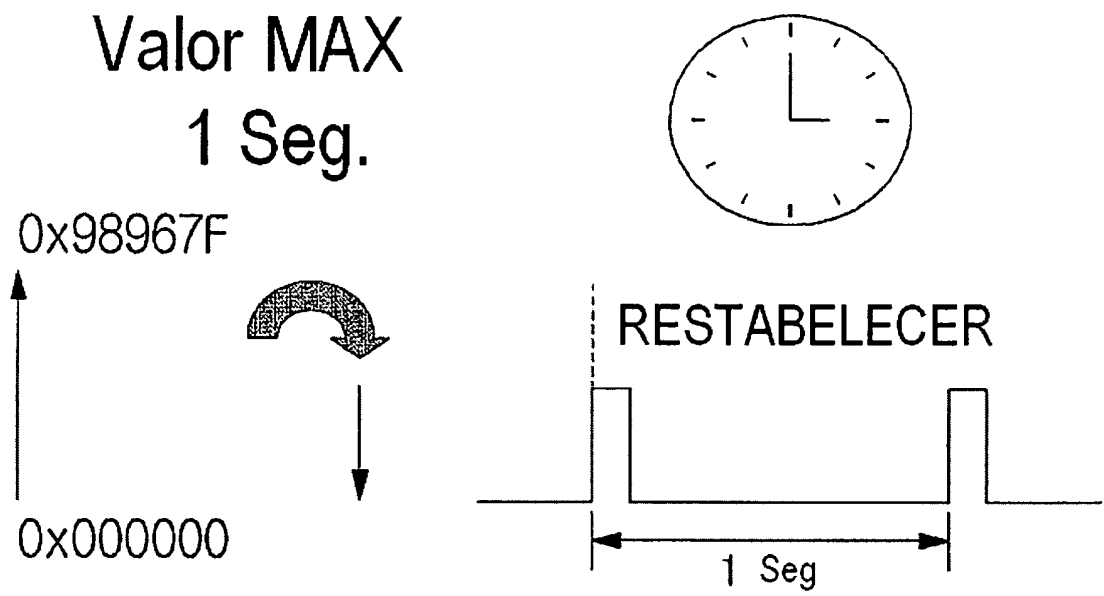
Sulco (623) de Pacote VFIP



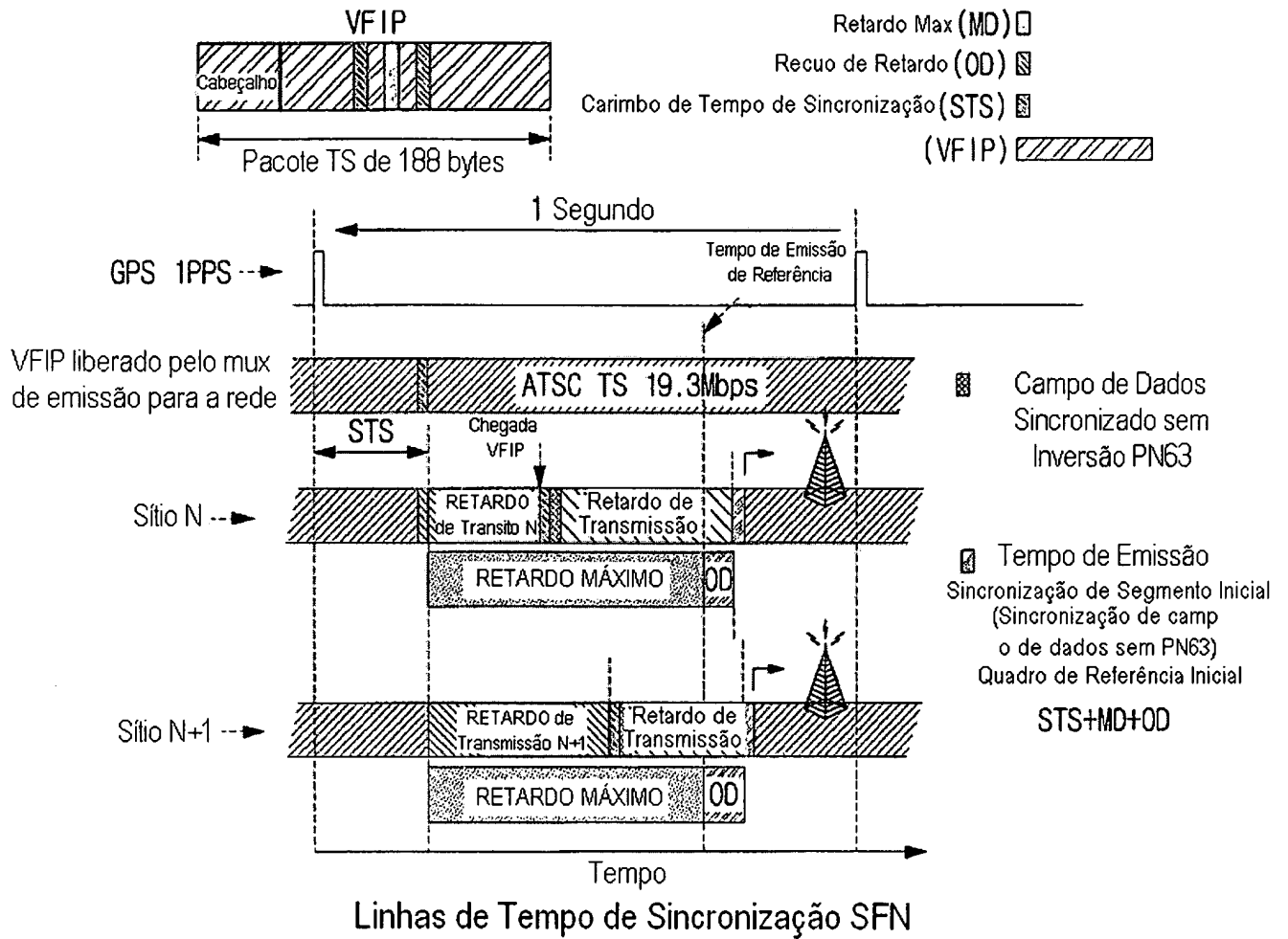
[Fig. 32]



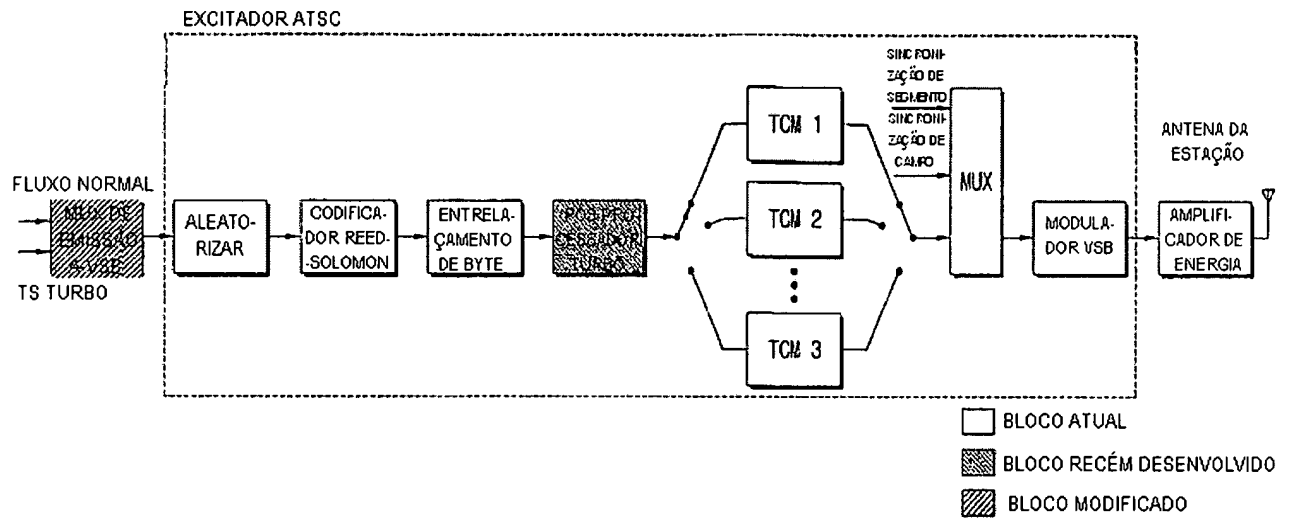
[Fig. 33]



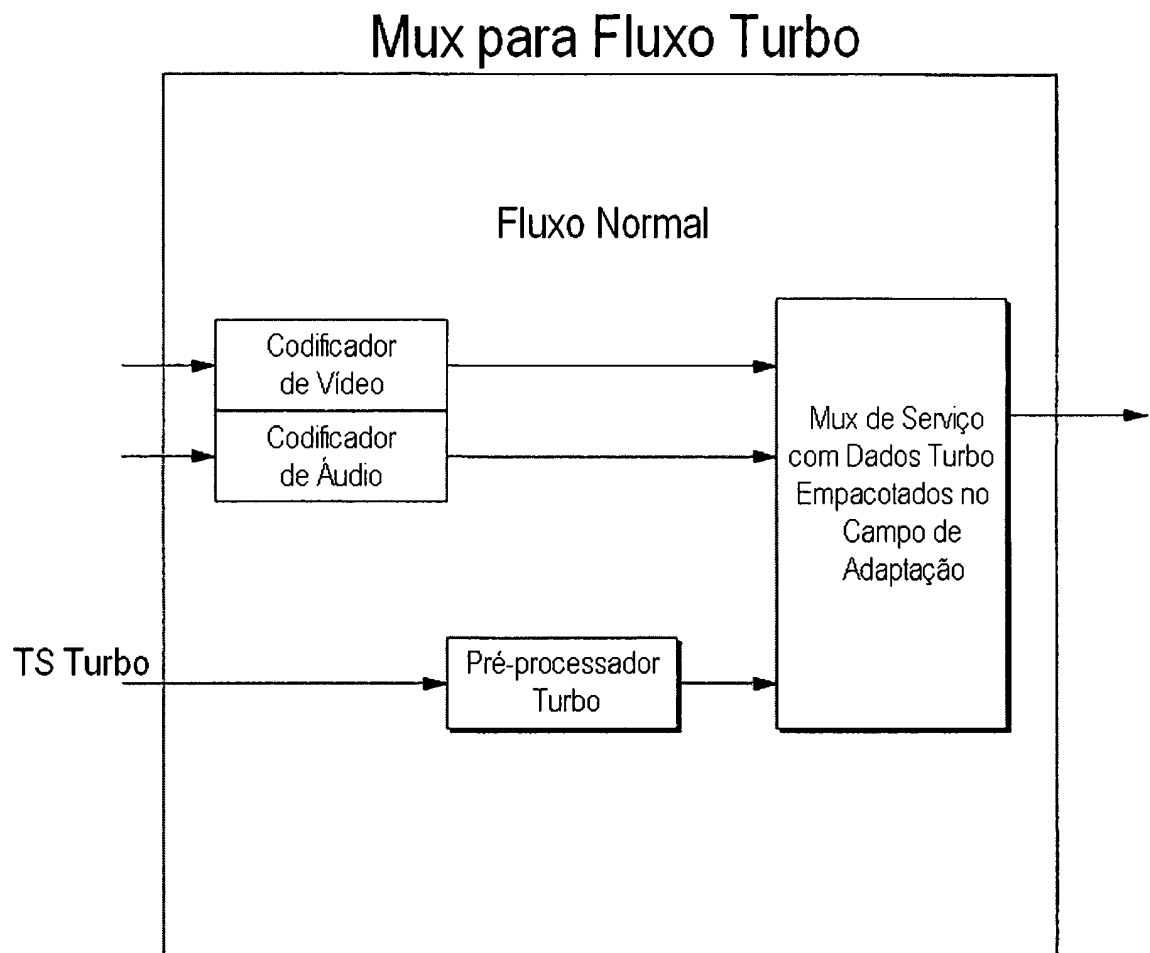
[Fig. 34]



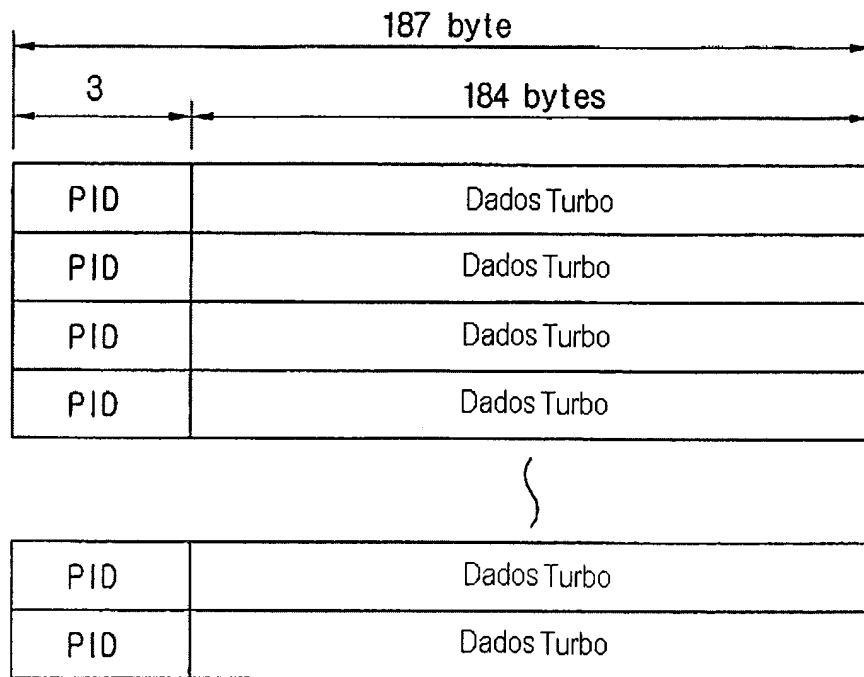
[Fig. 35]



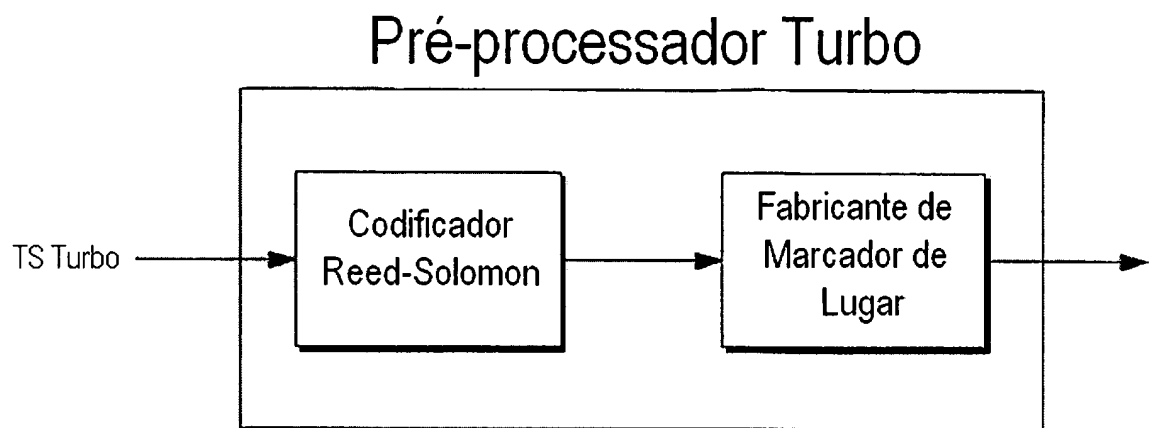
[Fig. 36]



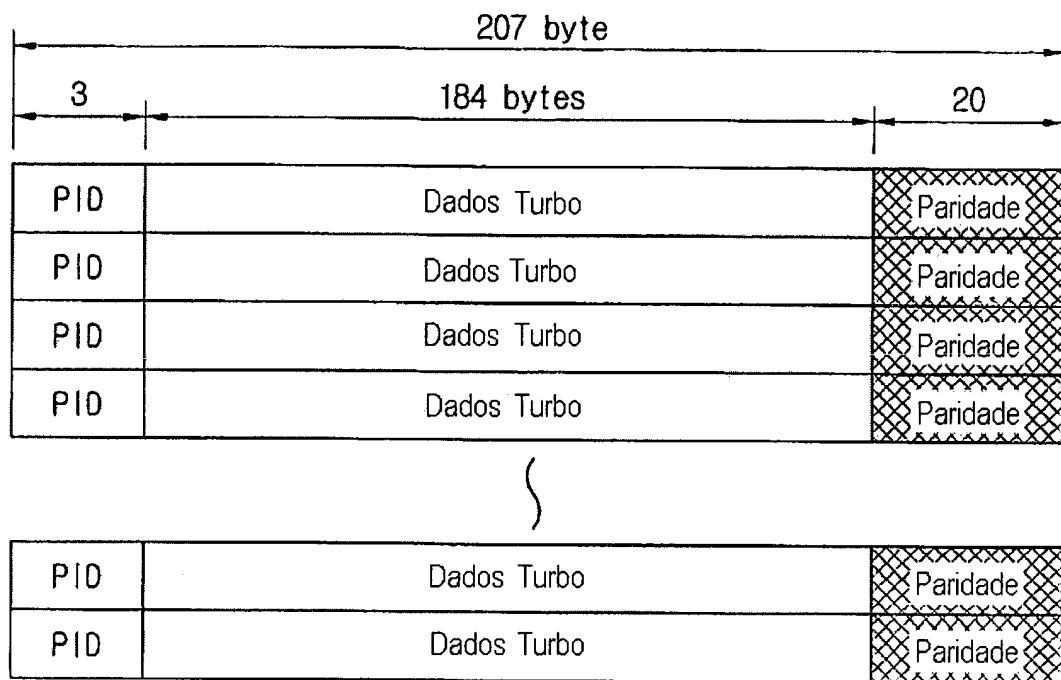
[Fig. 37]



[Fig. 38]

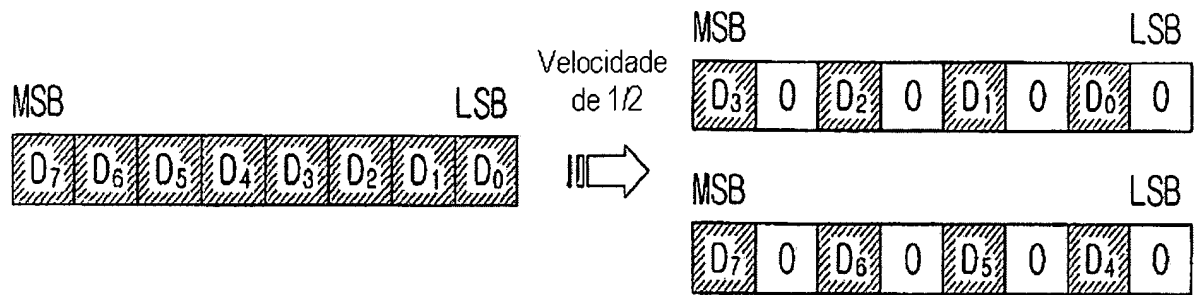


[Fig. 39]



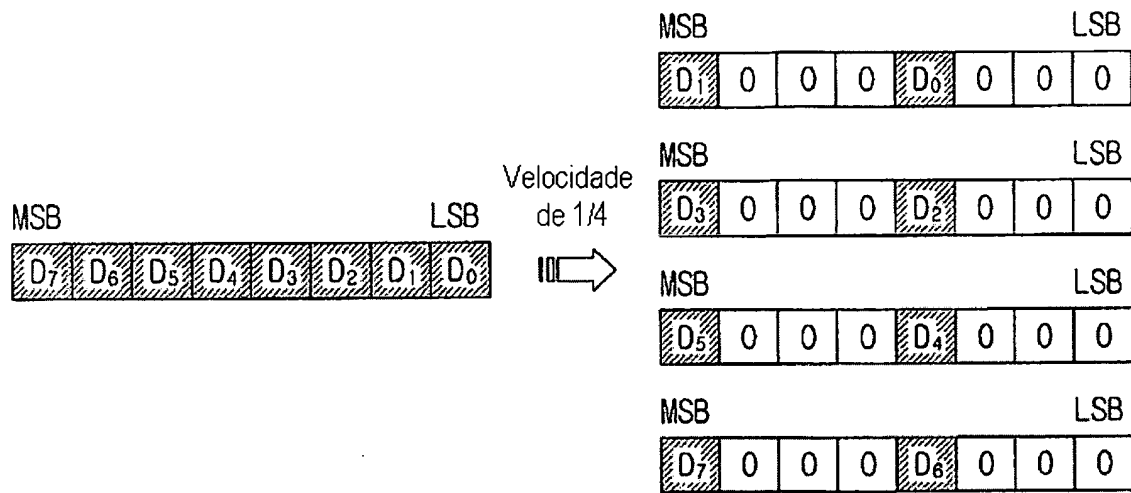
[Fig. 40]

Expansão de 2 [1byte $\rightarrow$ 2bytes]

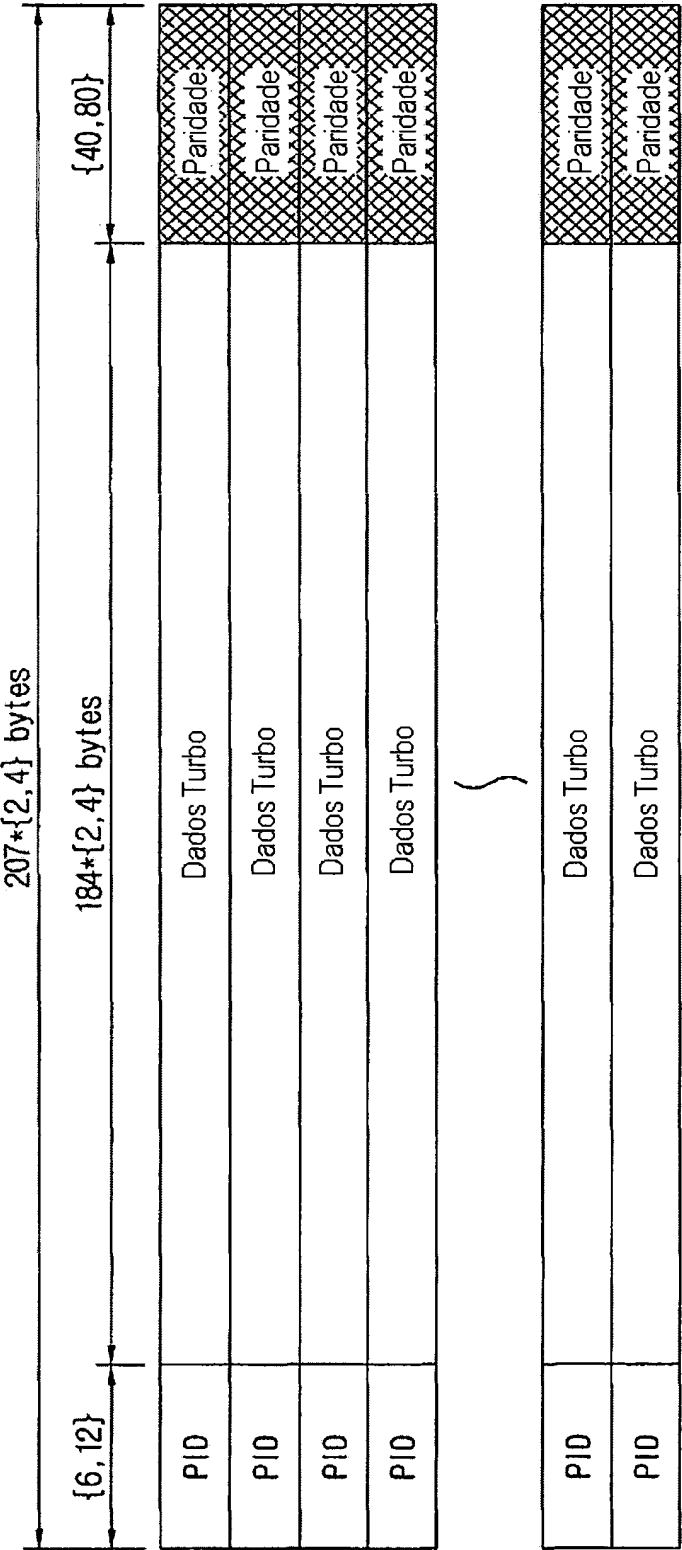


[Fig. 41]

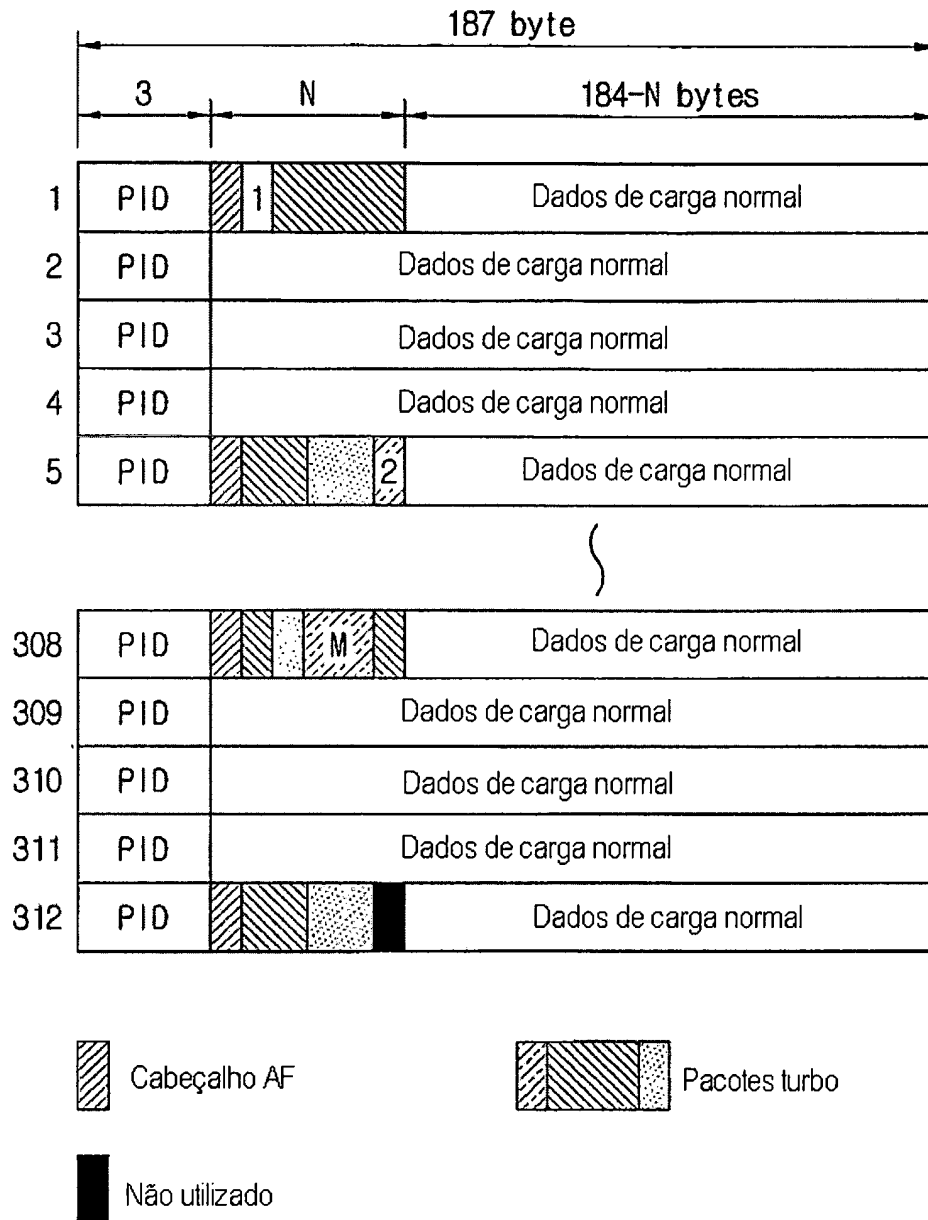
Expansão de 4 [1byte → 4bytes]



[Fig. 42]

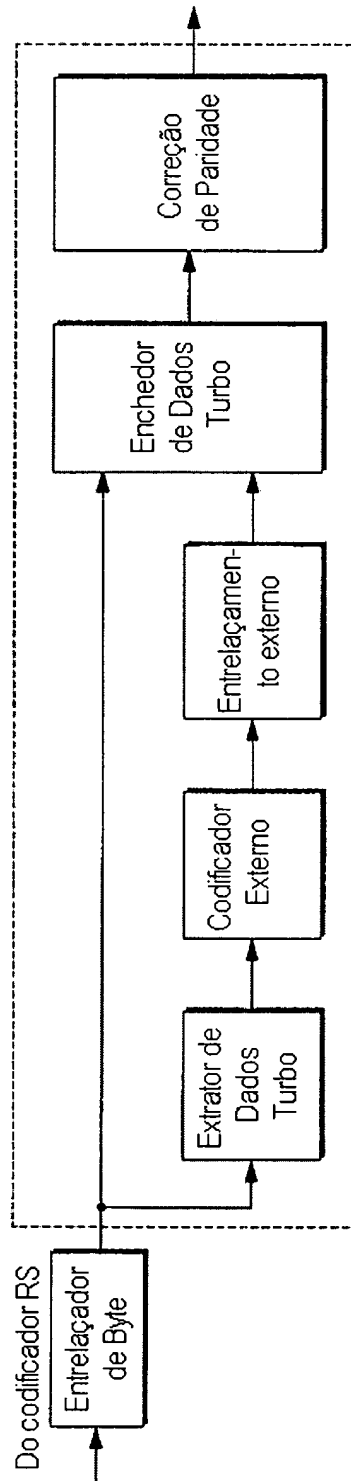


[Fig. 43]

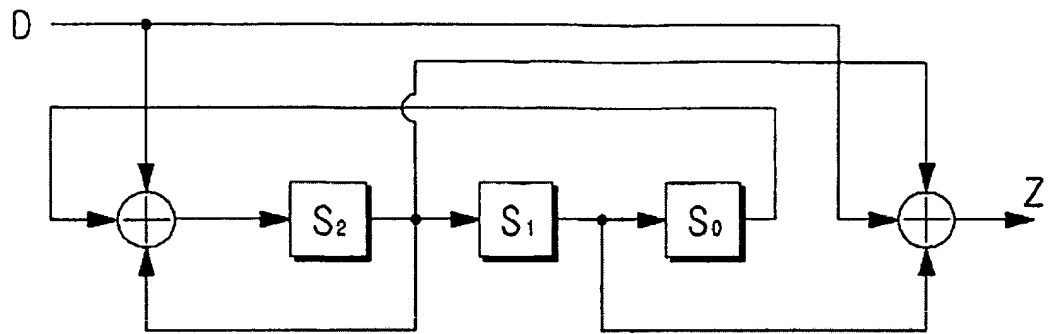


[Fig. 45]

Pós-processador Turbo

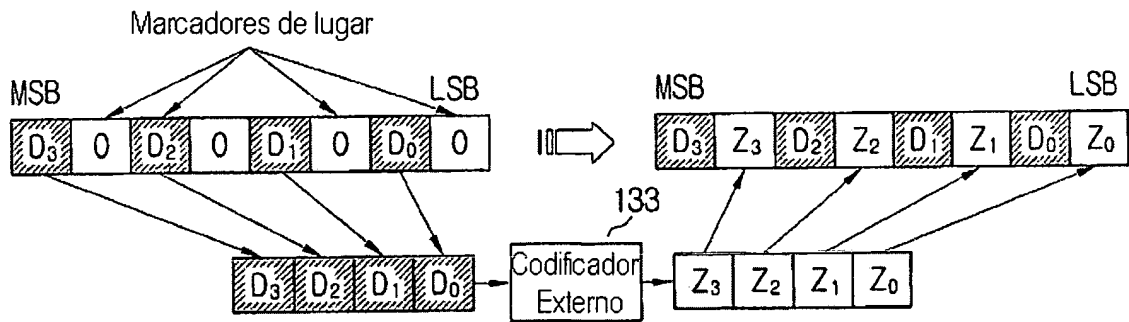


[Fig. 46]



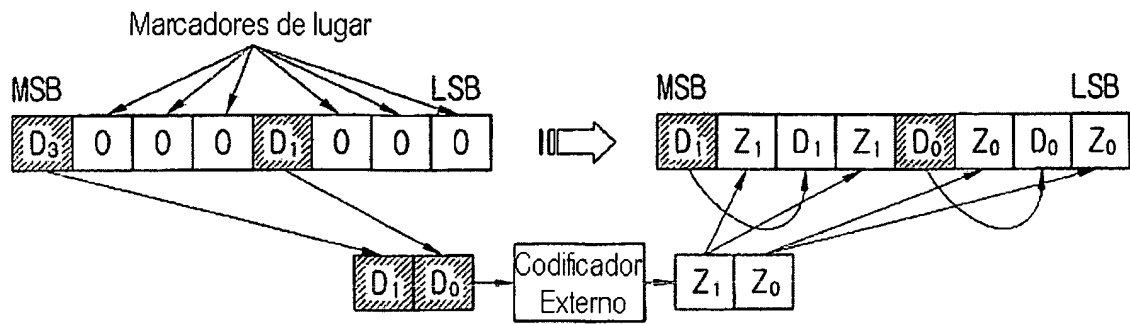
[Fig. 47]

Codificação de 1/2 velocidade



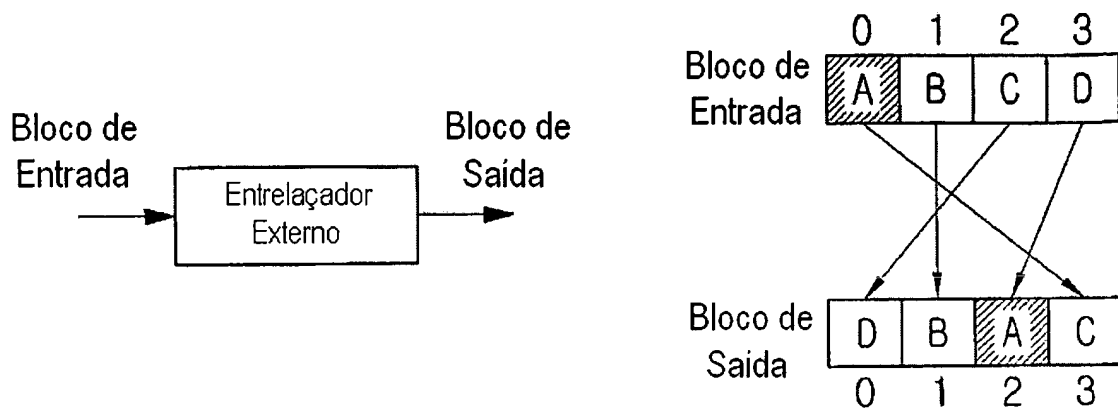
[Fig. 48]

Codificação de 1/2 velocidade



[Fig. 49]

Regra de entrelaçamento ($L=4$) = $\{n(i) | i=0, 1, 2, 3\} = \{2, 1, 3, 0\}$



[Fig. 50]

	3 bytes	2 bytes	128 bytes	54 bytes
1	PID	Cabeçalho AF	128 bytes de dados turbo	54 bytes de dados normais
2	PID		184 bytes de dados normais	
3	PID		184 bytes de dados normais	
4	PID		184 bytes de dados normais	
5	PID	Cabeçalho AF	128 bytes de dados turbo	54 bytes de dados normais
6	PID		184 bytes de dados normais	
7	PID		184 bytes de dados normais	
8	PID		184 bytes de dados normais	
9	PID	Cabeçalho AF	128 bytes de dados turbo	54 bytes de dados normais
10	PID		184 bytes de dados normais	
11	PID		184 bytes de dados normais	
12	PID		184 bytes de dados normais	
13	PID	Cabeçalho AF	128 bytes de dados turbo	54 bytes de dados normais
14	PID		184 bytes de dados normais	
15	PID	Cabeçalho AF	reservado para PCR(6 bytes)	176 bytes de dados normais
16	PID		184 bytes de dados normais	
17	PID	Cabeçalho AF	128 bytes de dados turbo	54 bytes de dados normais
18	PID		184 bytes de dados normais	
19	PID	Cabeçalho AF	Splice(1 byte)	184 bytes de dados normais
20	PID		184 bytes de dados normais	
21	PID	Cabeçalho AF	128 bytes de dados turbo	54 bytes de dados normais
22	PID		184 bytes de dados normais	
23	PID		184 bytes de dados normais	
24	PID		184 bytes de dados normais	
25	PID	Cabeçalho AF	128 bytes de dados turbo	54 bytes de dados normais
26	PID		184 bytes de dados normais	
27	PID		184 bytes de dados normais	
28	PID		184 bytes de dados normais	
29	PID	Cabeçalho AF	128 bytes de dados turbo	54 bytes de dados normais
30	PID		184 bytes de dados normais	
31	PID		184 bytes de dados normais	
32	PID		184 bytes de dados normais	
33	PID	Cabeçalho AF	128 bytes de dados turbo	54 bytes de dados normais
34	PID		184 bytes de dados normais	
35	PID		184 bytes de dados normais	
36	PID		184 bytes de dados normais	
37	PID	Cabeçalho AF	128 bytes de dados turbo	54 bytes de dados normais
38	PID		184 bytes de dados normais	
39	PID		184 bytes de dados normais	
40	PID		184 bytes de dados normais	
41	PID	Cabeçalho AF	128 bytes de dados turbo	54 bytes de dados normais
42	PID		184 bytes de dados normais	
43	PID		184 bytes de dados normais	
44	PID		184 bytes de dados normais	
45	PID	Cabeçalho AF	128 bytes de dados turbo	54 bytes de dados normais
46	PID		184 bytes de dados normais	
47	PID		184 bytes de dados normais	
48	PID		184 bytes de dados normais	
49	PID	Cabeçalho AF	128 bytes de dados turbo	54 bytes de dados normais
50	PID		184 bytes de dados normais	
51	PID		184 bytes de dados normais	
52	PID		184 bytes de dados normais	

[Fig. 51]

	3 bytes	2 bytes	128 bytes	182~128 bytes
1	PID		184 bytes de dados normais	
2	PID		184 bytes de dados normais	
3	PID	Cabeçalho AF	16 bytes de dados turbo	166 bytes de dados normais
4	PID		184 bytes de dados normais	
5	PID		184 bytes de dados normais	
6	PID		184 bytes de dados normais	
7	PID	Cabeçalho AF	16 bytes de dados turbo	166 bytes de dados normais
8	PID		184 bytes de dados normais	
9	PID		184 bytes de dados normais	
10	PID		184 bytes de dados normais	
11	PID	Cabeçalho AF	16 bytes de dados turbo	166 bytes de dados normais
12	PID		184 bytes de dados normais	
13	PID		184 bytes de dados normais	
14	PID		184 bytes de dados normais	
15	PID	Cabeçalho AF	reservado para PCR(6 bytes)	16 bytes de dados turbo 0 160 bytes de dados normais
16	PID		184 bytes de dados normais	
17	PID		184 bytes de dados normais	
18	PID		184 bytes de dados normais	
19	PID	Cabeçalho AF	Splice(1 byte)	16 bytes de dados turbo 165 bytes de dados normais
20	PID		184 bytes de dados normais	
21	PID		184 bytes de dados normais	
22	PID		184 bytes de dados normais	
23	PID	Cabeçalho AF	16 bytes de dados turbo	166 bytes de dados normais
24	PID		184 bytes de dados normais	
25	PID		184 bytes de dados normais	
26	PID		184 bytes de dados normais	
27	PID	Cabeçalho AF	16 bytes de dados turbo	166 bytes de dados normais
28	PID		184 bytes de dados normais	
29	PID		184 bytes de dados normais	
30	PID		184 bytes de dados normais	
31	PID	Cabeçalho AF	16 bytes de dados turbo	166 bytes de dados normais
32	PID		184 bytes de dados normais	
33	PID		184 bytes de dados normais	
34	PID		184 bytes de dados normais	
35	PID	Cabeçalho AF	16 bytes de dados turbo	166 bytes de dados normais
36	PID		184 bytes de dados normais	
37	PID		184 bytes de dados normais	
38	PID		184 bytes de dados normais	
39	PID	Cabeçalho AF	16 bytes de dados turbo	166 bytes de dados normais
40	PID		184 bytes de dados normais	
41	PID		184 bytes de dados normais	
42	PID		184 bytes de dados normais	
43	PID	Cabeçalho AF	16 bytes de dados turbo	166 bytes de dados normais
44	PID		184 bytes de dados normais	
45	PID		184 bytes de dados normais	
46	PID		184 bytes de dados normais	
47	PID	Cabeçalho AF	16 bytes de dados turbo	166 bytes de dados normais
48	PID		184 bytes de dados normais	
49	PID		184 bytes de dados normais	
50	PID		184 bytes de dados normais	
51	PID	Cabeçalho AF	16 bytes de dados turbo	166 bytes de dados normais
52	PID		184 bytes de dados normais	

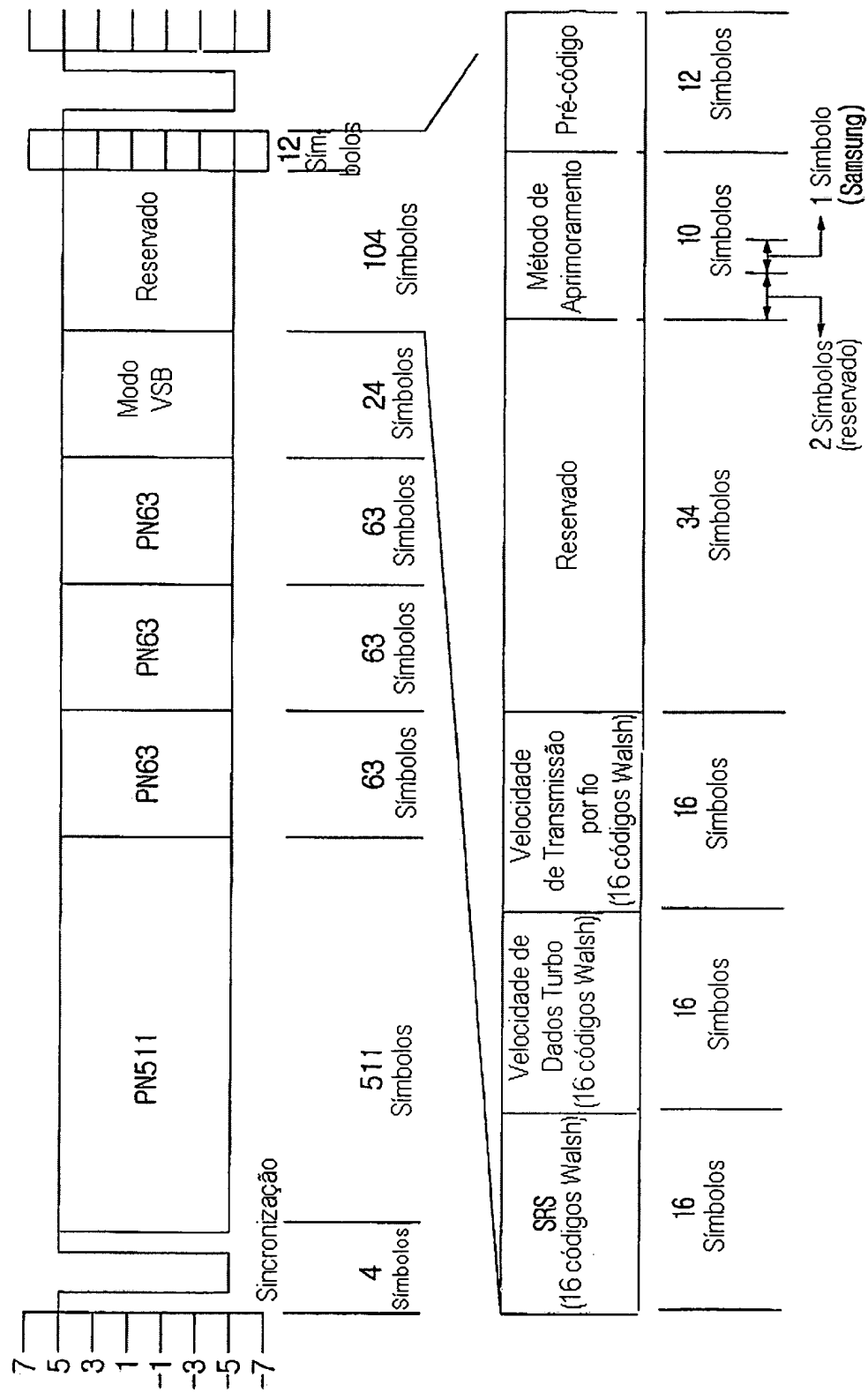
—

[illegible]

—

[illegible]

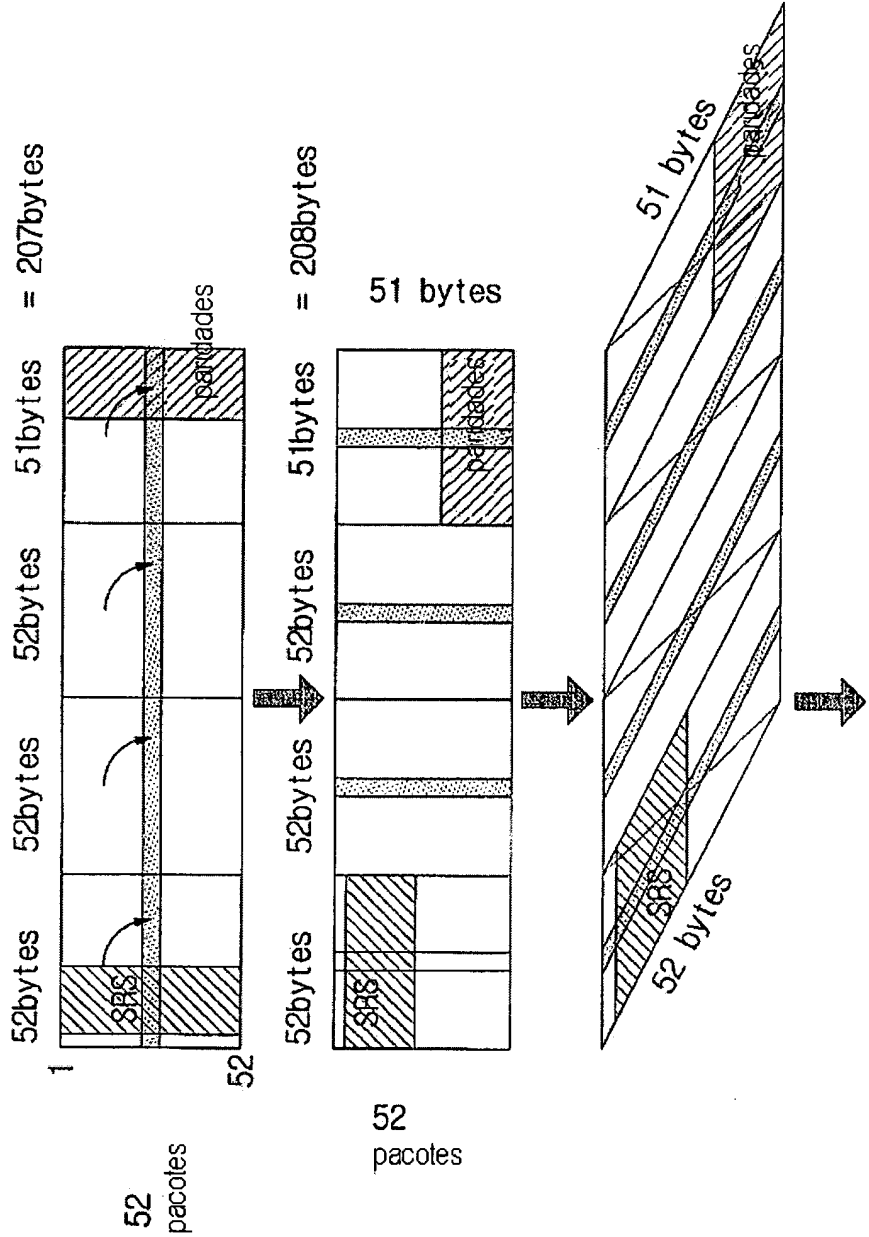
[Fig. 54]



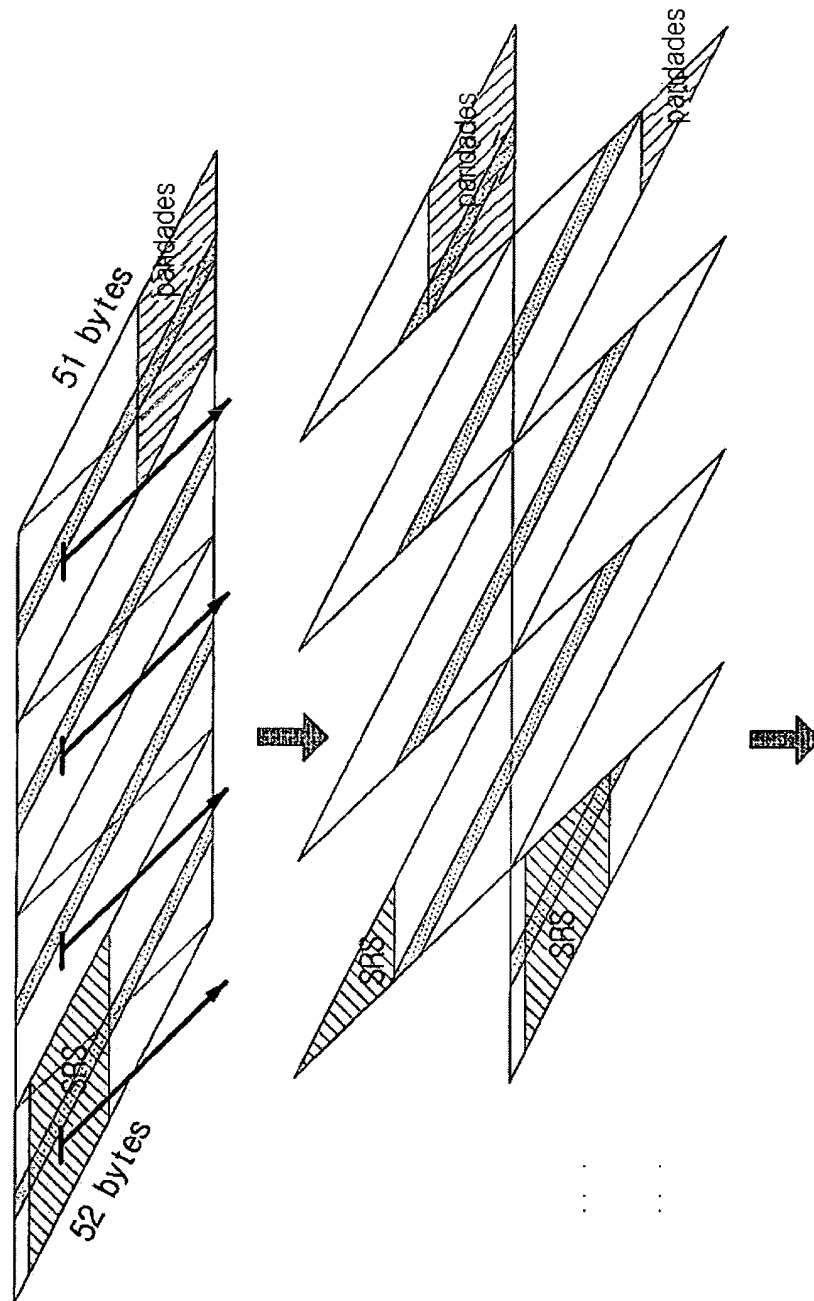
[Fig. 55]

		Chip Walsh dentro do Símbolo															
		0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
Índice de Símbolo de Modulação	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
	2	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
	3	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1	0
	4	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
	5	0	1	0	1	1	0	1	0	0	1	0	1	1	0	1	0
	6	0	0	1	1	1	1	0	0	0	0	1	1	1	1	0	0
	7	0	1	1	0	1	0	0	1	0	1	1	0	1	0	0	1
	8	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
	9	0	1	0	1	0	1	0	1	1	0	1	0	1	0	1	0
	10	0	0	1	1	0	0	1	1	1	1	0	0	1	1	0	0
	11	0	1	1	0	0	1	1	0	1	0	0	1	1	0	0	1
	12	0	0	0	0	1	1	1	1	1	1	1	1	0	0	0	0
	13	0	1	0	1	1	0	1	0	1	0	1	0	0	1	0	1
	14	0	0	1	1	1	1	0	0	1	1	0	0	0	0	1	1
	15	0	1	1	0	1	0	0	1	1	0	0	1	0	1	1	0

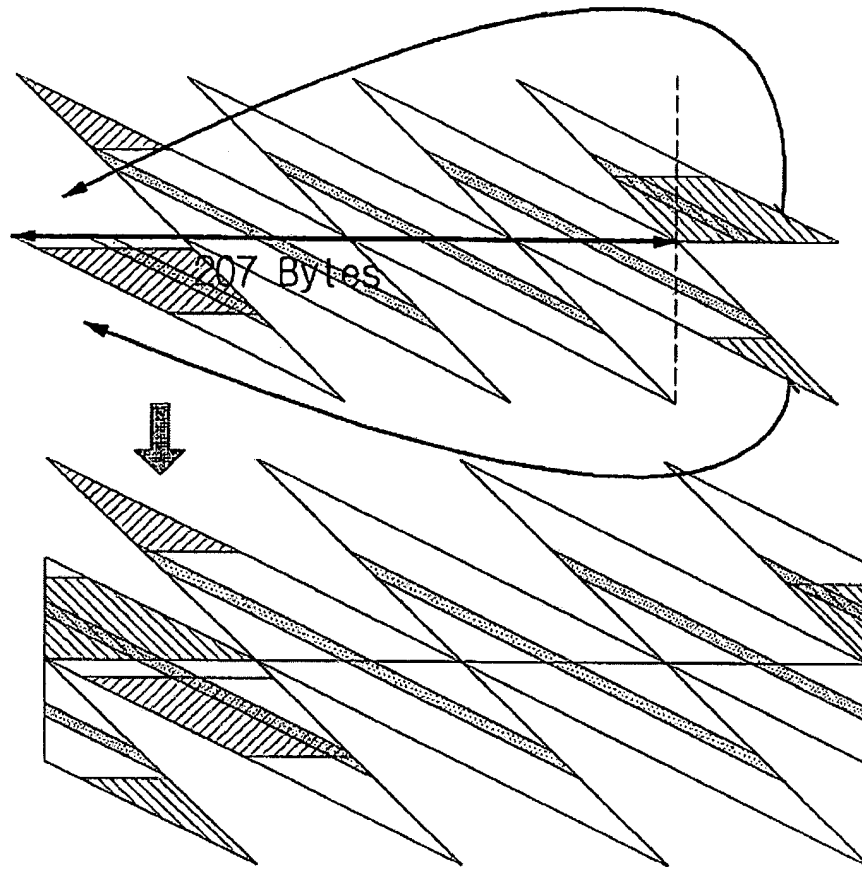
[Fig. 57]



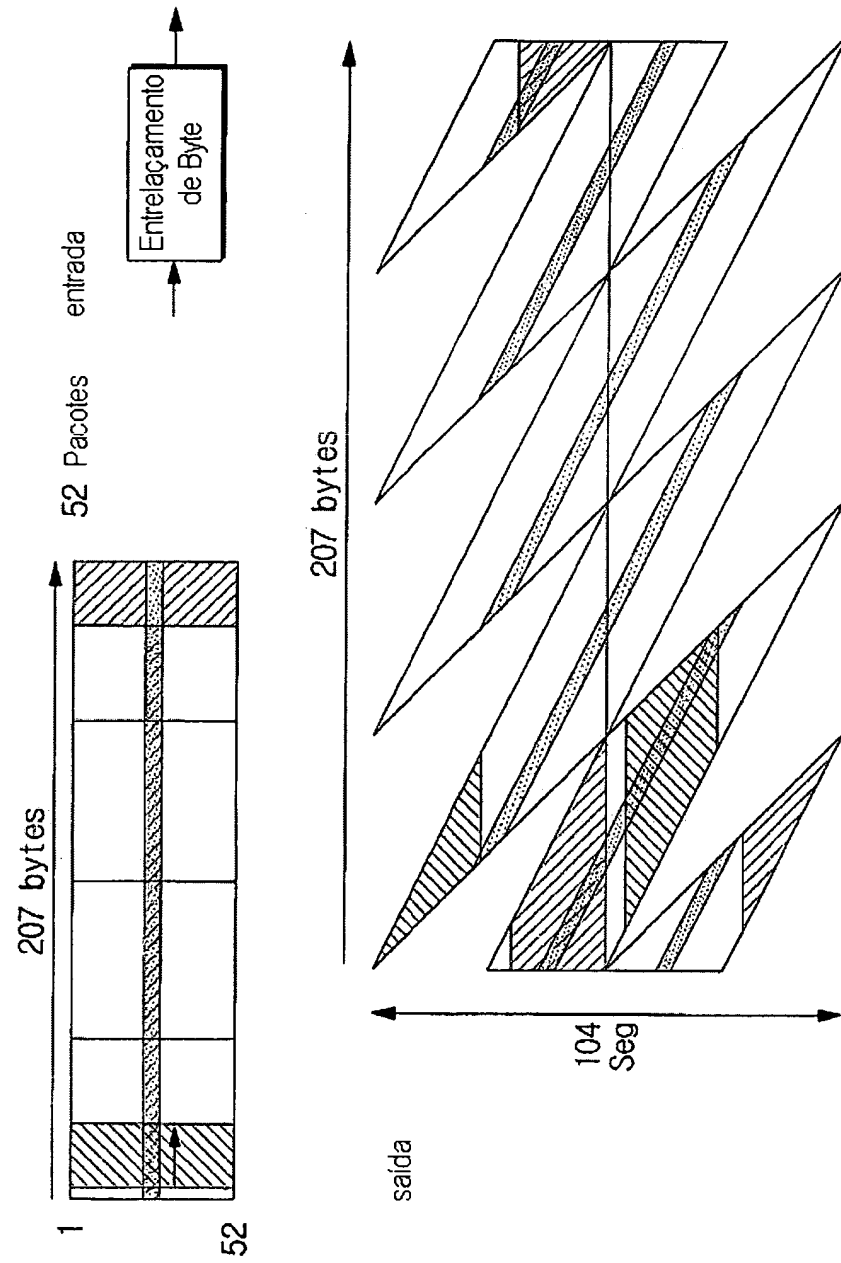
[Fig. 58]



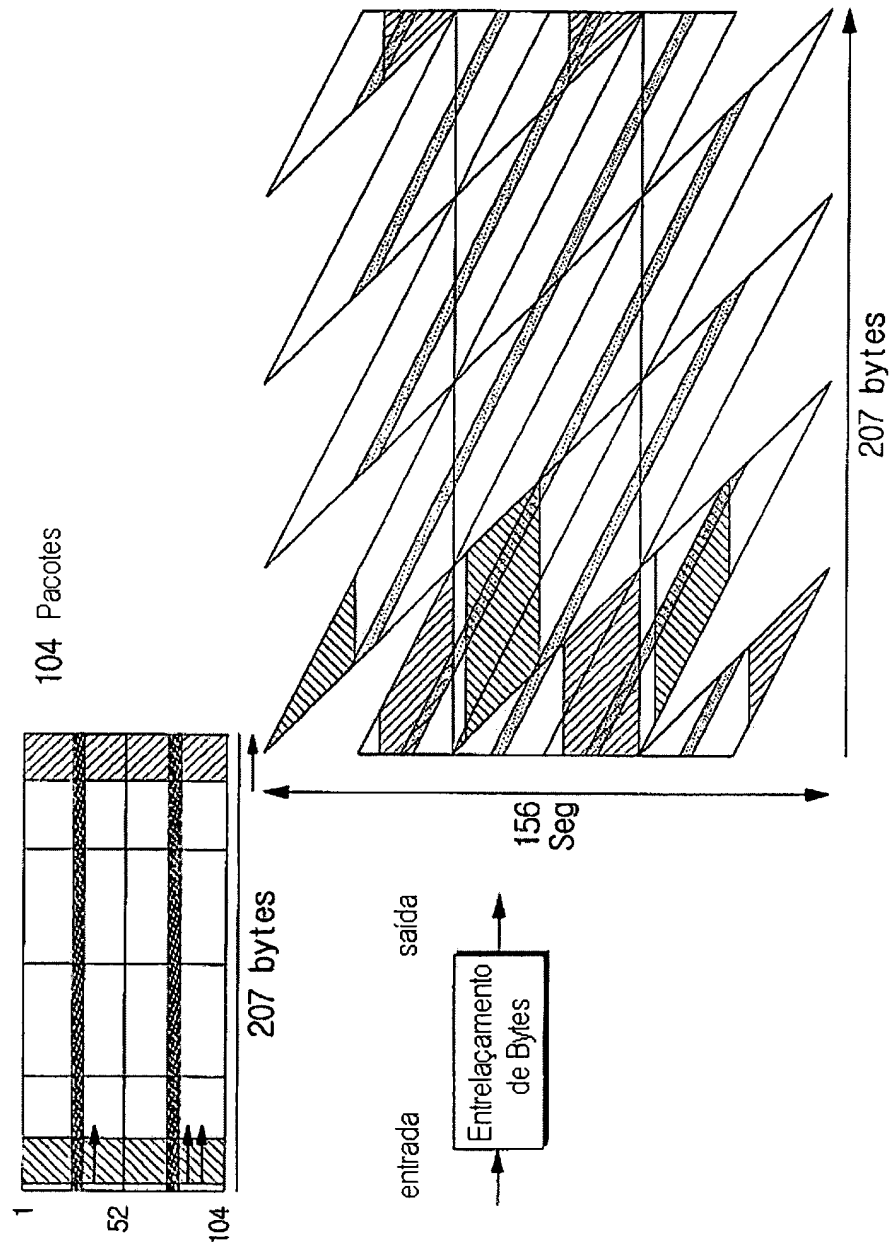
[Fig. 59]



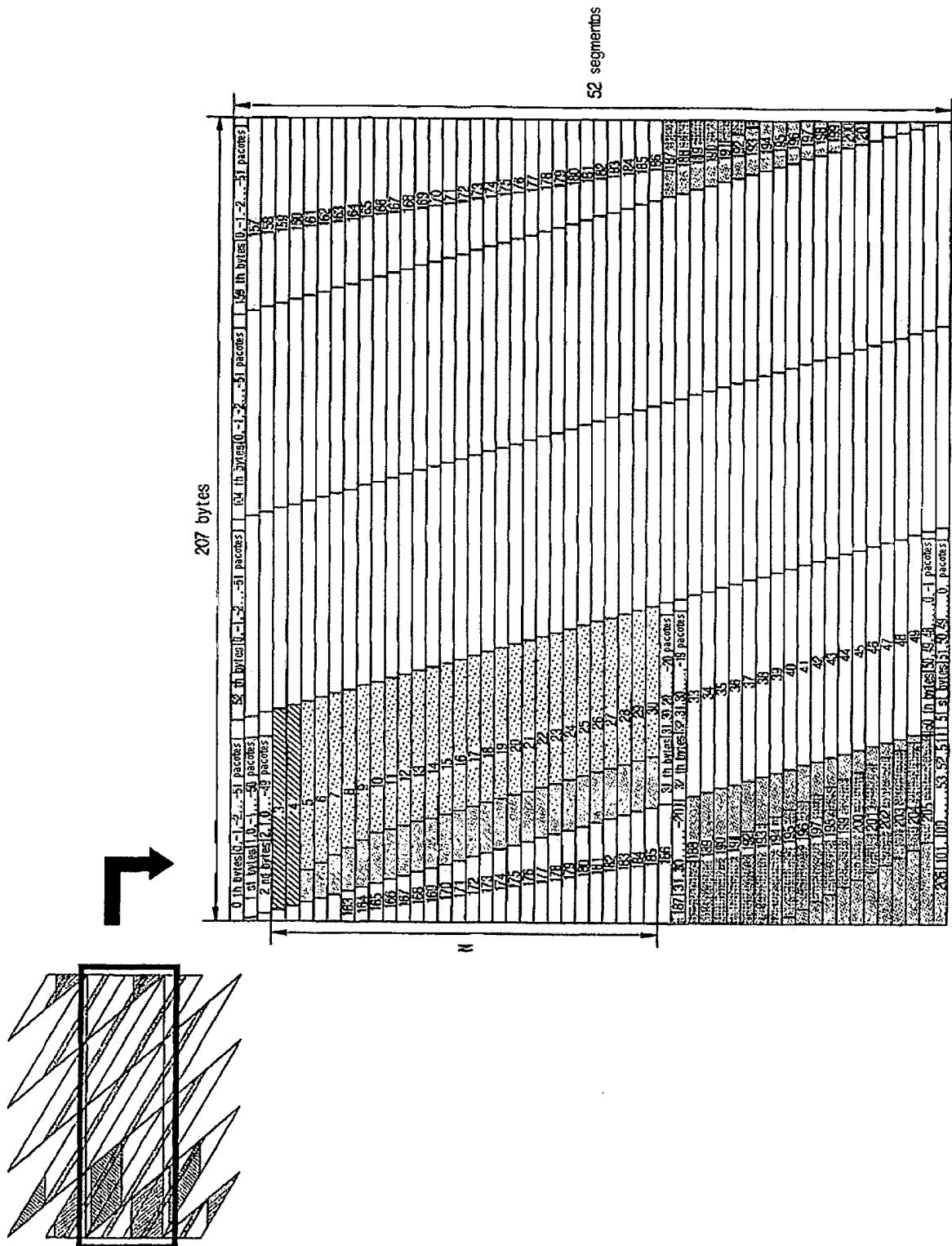
[Fig. 60]



[Fig. 61]



[Fig. 62]



**MÉTODO E APARELHO PARA TRANSMITIR SINAL DE TRANSMISSÃO
DIGITAL EM SISTEMA VSB AVANÇADO (A-VSB) EM QUE O PACOTE DE
TRANSPORTE SEM CAMPO DE ADAPTAÇÃO É FORNECIDO EM
LOCALIZAÇÃO FIXA NAS FATIAS DE CAMPO DE DADOS**

- 5 Um método de processar um sinal de transmissão digital inclui gerar um fluxo de transporte que inclui uma pluralidade de pacotes de transporte; selecionar um dos pacotes de transporte como o pacote inicial a ser mapeado em um primeiro segmento de dados de um quadro de dados
- 10 codificado; e construir quadros de dados determinísticos no fluxo de transporte iniciando com o pacote inicial; em que pelo menos um dos 52 pacotes de transporte não tem um campo de adaptação; em que todos os restantes dos 52 pacotes de transporte de fato têm um campo de adaptação; e em que o
- 15 pelo menos um pacote de transporte que não possui o campo de adaptação é fornecido em uma localização fixa em cada uma das fatias.