



(12)发明专利

(10)授权公告号 CN 106531107 B

(45)授权公告日 2019.02.19

(21)申请号 201611229642.4

(22)申请日 2016.12.27

(65)同一申请的已公布的文献号
申请公布号 CN 106531107 A

(43)申请公布日 2017.03.22

(73)专利权人 武汉华星光电技术有限公司
地址 430070 湖北省武汉市东湖开发区高
新大道666号生物城C5栋

(72)发明人 李亚锋

(74)专利代理机构 深圳市德力知识产权代理事
务所 44265

代理人 林才桂 刘巍

(51)Int.Cl.
G09G 3/36(2006.01)

(56)对比文件

- CN 104217690 A, 2014.12.17,
- CN 103854621 A, 2014.06.11,
- CN 105096889 A, 2015.11.25,
- CN 105895046 A, 2016.08.24,
- CN 106157912 A, 2016.11.23,
- CN 104835476 A, 2015.08.12,
- CN 104732939 A, 2015.06.24,
- CN 104978944 A, 2015.10.14,
- US 2016027526 A1, 2016.01.28,

审查员 韩慧龙

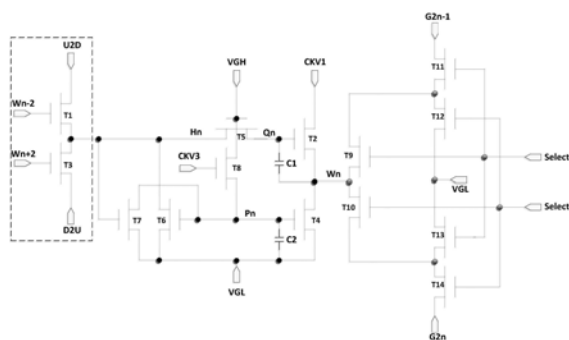
权利要求书2页 说明书10页 附图9页

(54)发明名称

GOA电路

(57)摘要

本发明涉及一种GOA电路。该GOA电路包括：第一薄膜晶体管(T1)至第十四薄膜晶体管(T14)，第一电容(C1)和第二电容(C2)。本发明在现有的GOA电路架构的基础上增加了薄膜晶体管(T9~T14)组成的一控制单元，引入一组相位相反的控制信号(Select1、Select2)，主要作用是将GOA电路栅极输出一分为二。在一些特殊的显示模式下，数据(Data)信号对应的频率将会减半，对应的驱动功耗也会降低。本发明提供一种GOA电路，可以有效的减小GOA电路所占的布局空间，对发展窄边框技术起到一定的帮助作用；在一些特殊的显示模式下能够降低面板的驱动功耗。



1. 一种GOA电路,其特征就在于,包括级联的多个GOA电路单元,设 n 为自然数,负责输出第 $2n-1$ 行和第 $2n$ 行水平扫描信号的第 n 级GOA电路单元包括:

第一薄膜晶体管(T1),其栅极连接第 $n-2$ 级GOA电路单元的第一节点(W_{n-2}),源极和漏极分别连接第二节点(H_n)和输入正向扫描控制信号(U2D);

第二薄膜晶体管(T2),其栅极连接第三节点(Q_n),源极和漏极分别连接第 n 级GOA电路单元的第一节点(W_n)和输入第一时钟信号(CKV1);

第三薄膜晶体管(T3),其栅极连接第 $n+2$ 级GOA电路单元的第一节点(W_{n+2}),源极和漏极分别连接第二节点(H_n)和输入反向扫描控制信号(D2U);

第四薄膜晶体管(T4),其栅极连接第四节点(P_n),源极和漏极分别连接第 n 级GOA电路单元的第一节点(W_n)和恒压低电位(VGL);

第五薄膜晶体管(T5),其栅极连接恒压高电位(VGH),源极和漏极分别连接第二节点(H_n)和第三节点(Q_n);

第六薄膜晶体管(T6),其栅极连接第四节点(P_n),源极和漏极分别连接第二节点(H_n)和恒压低电位(VGL);

第七薄膜晶体管(T7),其栅极连接第二节点(H_n),源极和漏极分别连接第四节点(P_n)和恒压低电位(VGL);

第八薄膜晶体管(T8),其栅极输入第二时钟信号(CKV3),源极和漏极分别连接第四节点(P_n)和恒压高电位(VGH);

第九薄膜晶体管(T9),其栅极输入第一控制信号(Select1),源极和漏极中的一个连接第 n 级GOA电路单元的第一节点(W_n),源极和漏极中的另一个连接第十一薄膜晶体管(T11)的源极和漏极中的一个和第十二薄膜晶体管(T12)的源极和漏极中的一个;

第十薄膜晶体管(T10),其栅极输入第二控制信号(Select2),源极和漏极中的一个连接第 n 级GOA电路单元的第一节点(W_n),源极和漏极中的另一个连接第十三薄膜晶体管(T13)的源极和漏极中的一个和第十四薄膜晶体管(T14)的源极和漏极中的一个;

第十一薄膜晶体管(T11),其栅极输入第一控制信号(Selecct1),源极和漏极中的另一个连接第 n 级GOA电路单元的第一信号输出点(G_{2n-1});

第十二薄膜晶体管(T12),其栅极输入第二控制信号(Selecct2),源极和漏极中的另一个连接恒压低电位(VGL);

第十三薄膜晶体管(T13),其栅极输入第一控制信号(Selecct1),源极和漏极中的另一个连接恒压低电位(VGL);

第十四薄膜晶体管(T14),其栅极输入第二控制信号(Selecct2),源极和漏极中的另一个连接第 n 级GOA电路单元的第二信号输出点(G_{2n});

第一电容(C1),其两端分别连接第三节点(Q_n)和第 n 级GOA电路单元的第一节点(W_n);

第二电容(C2),其两端分别连接第四节点(P_n)和恒压低电位(VGL)。

2. 如权利要求1所述的GOA电路,其特征就在于,该第 n 级GOA电路单元还包括:

第十五薄膜晶体管(T15),其栅极输入第二控制信号(Selecct2),源极和漏极分别连接第 n 级GOA电路单元的第一信号输出点(G_{2n-1})和恒压低电位(VGL);

第十六薄膜晶体管(T16),其栅极输入第一控制信号(Selecct1),源极和漏极分别连接第 n 级GOA电路单元的第二信号输出点(G_{2n})和恒压低电位(VGL);

第十七薄膜晶体管(T17),其栅极输入第三控制信号(Selecct3),源极连接第n级GOA电路单元的第一信号输出点(G2n-1),漏极连接第十八薄膜晶体管(T18)的源极和漏极中的一个;

第十八薄膜晶体管(T18),其栅极输入第三控制信号(Selecct3),源极和漏极中的另一个连接第n级GOA电路单元的第一节点(Wn);

第十九薄膜晶体管(T19),其栅极输入第三控制信号(Selecct3),源极和漏极中的一个连接第n级GOA电路单元的第一节点(Wn),源极和漏极中的另一个连接第二十薄膜晶体管(T20)的源极和漏极中的一个;

第二十薄膜晶体管(T20),其栅极输入第三控制信号(Selecct3),源极和漏极中的另一个连接第n级GOA电路单元的第二信号输出点(G2n)。

3.如权利要求1或2所述的GOA电路,其特征在于,该第一时钟信号(CKV1)和第二时钟信号(CKV3)为占空比为0.25的矩形波,该第一时钟信号(CKV1)和第二时钟信号(CKV3)之间相位相差二分之一周期。

4.如权利要求2所述的GOA电路,其特征在于,正常显示状态下,该第一控制信号(Selecct1)、第二控制信号(Selecct2)交替为高电平,第三控制信号(Selecct3)一直为低电平。

5.如权利要求2所述的GOA电路,其特征在于,低功率显示状态下,第一控制信号(Selecct1)、第二控制信号(Selecct2)均为低电平,第三控制信号(Selecct3)一直为高电平。

6.如权利要求1所述的GOA电路,其特征在于,对于最初一级GOA电路单元,正向扫描开始时,从该第n-2级GOA电路单元的第一节点(Wn-2)输入高电平信号作为启动信号。

7.如权利要求1所述的GOA电路,其特征在于,对于最后一级GOA电路单元,反向扫描开始时,从该第n+2级GOA电路单元的第一节点(Wn+2)输入高电平信号作为启动信号。

8.如权利要求5所述的GOA电路,其特征在于,该低功率显示状态为待机模式。

9.如权利要求5所述的GOA电路,其特征在于,该低功率显示状态为省电模式。

GOA电路

技术领域

[0001] 本发明涉及液晶显示器领域,尤其涉及一种GOA电路。

背景技术

[0002] 阵列基板行驱动(Gate Driver On Array,简称GOA)技术是利用现有薄膜晶体管液晶显示器阵列(Array)制程将栅极(Gate)行扫描驱动信号电路制作在阵列基板上,实现对栅极逐行扫描的驱动方式的一项技术。

[0003] 而对于现有的GOA电路在设计时,都是通过多级级联的方式实现栅极的逐行输出。参见图1,其为现有的GOA电路示意图,图1上部GOA单元对应输出第n行水平扫描信号,图1下部GOA单元对应输出第n+1行水平扫描信号。现以第n级GOA单元为例来说明现有GOA电路的结构,现有的GOA电路包括级联的多个GOA电路单元,其中输出第n行水平扫描信号的第n级GOA电路单元包括:薄膜晶体管T1,其栅极连接第n-2级GOA电路单元的信号输出点Gn-2,源极和漏极分别连接节点Hn和输入正向扫描控制信号U2D;薄膜晶体管T2,其栅极连接节点Qn,源极和漏极分别连接第n级GOA电路单元的信号输出点Gn和输入时钟信号CKV1;薄膜晶体管T3,其栅极连接第n+2级GOA电路单元的信号输出点Gn+2,源极和漏极分别连接节点Hn和输入反向扫描控制信号D2U;薄膜晶体管T4,其栅极连接节点Pn,源极和漏极分别连接信号输出点Gn和恒压低电位VGL;薄膜晶体管T5,其栅极连接恒压高电位VGH,源极和漏极分别连接节点Hn和节点Qn;薄膜晶体管T6,其栅极连接节点Pn,源极和漏极分别连接节点Hn和恒压低电位VGL;薄膜晶体管T7,其栅极连接节点Hn,源极和漏极分别连接节点Pn和恒压低电位VGL;薄膜晶体管T8,其栅极输入时钟信号CKV3,源极和漏极分别连接节点Pn和恒压高电位VGH;电容C1,其两端分别连接节点Qn和信号输出点Gn;电容C2,其两端分别连接节点Pn和恒压低电位VGL。节点Q(即Qn)为用于控制栅极驱动信号输出的点;节点P(即Pn)为用于维持Q点及Gn点低电平的稳定点。图1中虚线框部分即为GOA电路的正反向扫描单元。第n+1级GOA电路单元电路结构与第n级类似,不再赘述。

[0004] 参见图2,其为图1的GOA电路正向扫描时序示意图,现结合图1,对电路的具体工作过程(正向扫描)介绍如下:

[0005] 以Gn级输出为例;正向扫描时:U2D为高电平,D2U为低电平;

[0006] 阶段1,预充电:Gn-2与U2D同时为高电平,T1导通,Hn点被预充电。当Hn点为高时,T5处于导通状态,Qn点被预充电。当Hn点为高时,T7处于导通状态,Pn点被拉低;

[0007] 阶段2,Gn输出高电平:在阶段1中,Qn点被预充电,C1对电荷具有一定的保持作用,T2处于导通状态,CKV1的高电平输出到Gn端;

[0008] 阶段3,Gn输出低电平:C1对Qn点的高电平具有保持作用,而此时CKV1的低电平将Gn点拉低;

[0009] 阶段4,Qn点拉低到VGL:当Gn+2为高电平,此时D2U为低电平,T3处于导通的状态,那么Qn点被拉低到VGL;

[0010] 阶段5,Qn点及Gn点低电平维持阶段:当Qn点变为低电平后,T7处于截止状态,当

CKV3跳变为高电平时T8导通,P点被充电,那么T4和T6均处于导通的状态,可以保证Qn点及Gn点低电平的稳定,同时C2对Pn点的高电平具有一定的保持作用。

[0011] 当然Gn+1级输出原理上于Gn输出相似,只是控制时序按照一定的规律循环。

[0012] 参见图3,其为图1的GOA电路反向扫描时序示意图,现结合图1,对电路的具体工作过程(反向扫描)介绍如下:

[0013] 以Gn级输出为例;正向扫描时:U2D为高电平,D2U为低电平;

[0014] 阶段1,预充电:Gn+2与D2U同时为高电平,T3导通,Hn点被预充电。当Hn点为高时,T5处于导通状态,Qn点被预充电。当Hn点为高时,T7处于导通状态,Pn点被拉低;

[0015] 阶段2,Gn输出高电平:在阶段1中,Qn点被预充电,C1对电荷具有一定的保持作用,T2处于导通状态,CKV1的高电平输出到Gn端;

[0016] 阶段3,Gn输出低电平:C1对Qn点的高电平具有保持作用,而此时CKV1的低电平将Gn点拉低;

[0017] 阶段4,Qn点拉低到VGL:当Gn-2为高电平,此时U2D为低电平,T1处于导通的状态,那么Qn点被拉低到VGL;

[0018] 阶段5,Qn点及Gn点低电平维持阶段:当Qn点变为低电平后,T7处于截止状态,当CKV3跳变为高电平时T8导通,P点被充电,那么T4和T6均处于导通的状态,可以保证Qn点及Gn点低电平的稳定,同时C2对Pn点的高电平具有一定的保持作用。

[0019] 当然Gn+1级输出原理上于Gn输出相似,只是控制时序按照一定的规律循环。一方面,按照目前LCD的发展趋势,窄边框越来越受到大家的欢迎,尤其是左右边框的减小。对于现有的GOA电路在设计时,都是通过多级级联的方式实现栅极(Gate)的逐行输出,GOA电路图见图1,对应Gn+1、Gn级输出,详细时序见图2和图3。以全高清(FHD)隔行(Interlace)驱动方式为例,单边共计960级栅极输出,那么就对应480级图1所示的布局(Layout)。当左右边框(border)在不断减小时,现有的GOA电路设计方式可能就不能满足设计需求。

[0020] 另一方面,有时为了满足现实画面高品质的需求,数据(Data)驱动多采用点反转(Dot Inversion)的方式,也就是数据信号要不停的高低跳变,但是对于点反转而而言对应的功耗相对较高,功耗计算公式见下:

$$[0021] \quad P = \frac{1}{2} * C * f * V^2$$

[0022] 其中,C为电容,f为频率,V为电压。

发明内容

[0023] 本发明的目的在于提出一种新的GOA电路架构,减小GOA电路所占的布局空间。

[0024] 为实现上述目的,本发明提供了一种GOA电路,包括级联的多个GOA电路单元,设n为自然数,负责输出第2n-1行和第2n行水平扫描信号的第n级GOA电路单元包括:

[0025] 第一薄膜晶体管,其栅极连接第n-2级GOA电路单元的第一节点,源极和漏极分别连接第二节点和输入正向扫描控制信号;

[0026] 第二薄膜晶体管,其栅极连接第三节点,源极和漏极分别连接第n级GOA电路单元的第一节点和输入第一时钟信号;

[0027] 第三薄膜晶体管,其栅极连接第n+2级GOA电路单元的第一节点,源极和漏极分别

连接第二节点和输入反向扫描控制信号；

[0028] 第四薄膜晶体管,其栅极连接第四节点,源极和漏极分别连接第n级GOA电路单元的第一节点和恒压低电位；

[0029] 第五薄膜晶体管,其栅极连接恒压高电位,源极和漏极分别连接第二节点和第三节点；

[0030] 第六薄膜晶体管,其栅极连接第四节点,源极和漏极分别连接第二节点和恒压低电位；

[0031] 第七薄膜晶体管,其栅极连接第二节点,源极和漏极分别连接第四节点和恒压低电位；

[0032] 第八薄膜晶体管,其栅极输入第二时钟信号,源极和漏极分别连接第四节点和恒压高电位；

[0033] 第九薄膜晶体管,其栅极输入第一控制信号,源极和漏极中的一个连接第n级GOA电路单元的第一节点,源极和漏极中的另一个连接第十一薄膜晶体管的源极和漏极中的一个和第十二薄膜晶体管的源极和漏极中的一个；

[0034] 第十薄膜晶体管,其栅极输入第二控制信号,源极和漏极中的一个连接第n级GOA电路单元的第一节点,源极和漏极中的另一个连接第十三薄膜晶体管的源极和漏极中的一个和第十四薄膜晶体管的源极和漏极中的一个；

[0035] 第十一薄膜晶体管,其栅极输入第一控制信号,源极和漏极中的另一个连接第n级GOA电路单元的第一信号输出点；

[0036] 第十二薄膜晶体管,其栅极输入第二控制信号,源极和漏极中的另一个连接恒压低电位；

[0037] 第十三薄膜晶体管,其栅极输入第一控制信号,源极和漏极中的另一个连接恒压低电位；

[0038] 第十四薄膜晶体管,其栅极输入第二控制信号,源极和漏极中的另一个连接第n级GOA电路单元的第二信号输出点；

[0039] 第一电容,其两端分别连接第三节点和第n级GOA电路单元的第一节点；

[0040] 第二电容,其两端分别连接第四节点和恒压低电位。

[0041] 其中,该第n级GOA电路单元还包括：

[0042] 第十五薄膜晶体管,其栅极输入第二控制信号,源极和漏极分别连接第n级GOA电路单元的第一信号输出点和恒压低电位；

[0043] 第十六薄膜晶体管,其栅极输入第一控制信号,源极和漏极分别连接第n级GOA电路单元的第二信号输出点和恒压低电位；

[0044] 第十七薄膜晶体管,其栅极输入第三控制信号,源极连接第n级GOA电路单元的第一信号输出点,漏极连接第十八薄膜晶体管的源极和漏极中的一个；

[0045] 第十八薄膜晶体管,其栅极输入第三控制信号,源极和漏极中的另一个连接第n级GOA电路单元的第一节点；

[0046] 第十九薄膜晶体管,其栅极输入第三控制信号,源极和漏极中的一个连接第n级GOA电路单元的第一节点,源极和漏极中的另一个连接第二十薄膜晶体管的源极和漏极中的一个；

[0047] 第二十薄膜晶体管,其栅极输入第三控制信号,源极和漏极中的另一个连接第n级GOA电路单元的第二信号输出点。

[0048] 其中,该第一时钟信号和第二时钟信号为占空比为0.25的矩形波,该第一时钟信号和第二时钟信号之间相位相差二分之一周期。

[0049] 其中,正常显示状态下,该第一控制信号、第二控制信号交替为高电平,第三控制信号一直为低电平。

[0050] 其中,低功耗显示状态下,第一控制信号、第二控制信号均为低电平,第三控制信号一直为高电平。

[0051] 其中,对于最初一级GOA电路单元,正向扫描开始时,从该第n-2级GOA电路单元的第一节点输入高电平信号作为启动信号。

[0052] 其中,对于最后一级GOA电路单元,反向扫描开始时,从该第n+2级GOA电路单元的第一节点输入高电平信号作为启动信号。

[0053] 其中,该低功耗显示状态为待机模式。

[0054] 其中,该低功耗显示状态为省电模式。

[0055] 综上,本发明提供一种GOA电路,可以有效的减小GOA电路所占的布局空间,对发展窄边框技术起到一定的帮助作用;在一些特殊的显示模式下能够降低面板的驱动功耗。

附图说明

[0056] 下面结合附图,通过对本发明的具体实施方式详细描述,将使本发明的技术方案及其他有益效果显而易见。

[0057] 附图中,

[0058] 图1为现有的GOA电路示意图;

[0059] 图2为图1的GOA电路正向扫描时序示意图;

[0060] 图3为图1的GOA电路反向扫描时序示意图;

[0061] 图4为本发明的GOA电路第二较佳实施例的示意图;

[0062] 图5为图4的GOA电路正向扫描时序示意图;

[0063] 图6为图4的GOA电路反向扫描时序示意图;

[0064] 图7为本发明的GOA电路第二较佳实施例对应数据驱动的示意图;

[0065] 图8为本发明的GOA电路第一较佳实施例的示意图;

[0066] 图9为图8的GOA电路正向扫描时序示意图;

[0067] 图10为图8的GOA电路反向扫描时序示意图。

具体实施方式

[0068] 参见图8,其为本发明的GOA电路第一较佳实施例的示意图,本发明的GOA电路包括级联的多个GOA电路单元,设n为自然数,负责输出第2n-1行和第2n行水平扫描信号的第n级GOA电路单元包括:

[0069] 薄膜晶体管T1,其栅极连接第n-2级GOA电路单元的节点W_{n-2},源极和漏极分别连接节点H_n和输入正向扫描控制信号U_{2D};

[0070] 薄膜晶体管T2,其栅极连接节点Q_n,源极和漏极分别连接第n级GOA电路单元的节

点 W_n 和输入时钟信号CKV1;

[0071] 薄膜晶体管T3,其栅极连接第 $n+2$ 级GOA电路单元的节点 W_{n+2} ,源极和漏极分别连接节点 H_n 和输入反向扫描控制信号D2U;

[0072] 薄膜晶体管T4,其栅极连接节点 P_n ,源极和漏极分别连接第 n 级GOA电路单元的节点 W_n 和恒压低电位VGL;

[0073] 薄膜晶体管T5,其栅极连接恒压高电位VGH,源极和漏极分别连接节点 H_n 和节点 Q_n ;

[0074] 薄膜晶体管T6,其栅极连接节点 P_n ,源极和漏极分别连接节点 H_n 和恒压低电位VGL;

[0075] 薄膜晶体管T7,其栅极连接节点 H_n ,源极和漏极分别连接节点 P_n 和恒压低电位VGL;

[0076] 薄膜晶体管T8,其栅极输入时钟信号CKV3,源极和漏极分别连接节点 P_n 和恒压高电位VGH;

[0077] 薄膜晶体管T9,其栅极输入控制信号Select1,源极和漏极中的一个连接第 n 级GOA电路单元的节点 W_n ,源极和漏极中的另一个连接薄膜晶体管T11的源极和漏极中的一个和薄膜晶体管T12的源极和漏极中的一个;

[0078] 薄膜晶体管T10,其栅极输入控制信号Select2,源极和漏极中的一个连接第 n 级GOA电路单元的节点 W_n ,源极和漏极中的另一个连接薄膜晶体管T13的源极和漏极中的一个和薄膜晶体管T14的源极和漏极中的一个;

[0079] 薄膜晶体管T11,其栅极输入控制信号Selecct1,源极和漏极中的另一个连接第 n 级GOA电路单元的信号输出点 G_{2n-1} ;

[0080] 薄膜晶体管T12,其栅极输入控制信号Selecct2,源极和漏极中的另一个连接恒压低电位VGL;

[0081] 薄膜晶体管T13,其栅极输入控制信号Selecct1,源极和漏极中的另一个连接恒压低电位VGL;

[0082] 薄膜晶体管T14,其栅极输入控制信号Selecct2,源极和漏极中的另一个连接第 n 级GOA电路单元的信号输出点 G_{2n} ;

[0083] 电容C1,其两端分别连接节点 Q_n 和第 n 级GOA电路单元的节点 W_n ;

[0084] 电容C2,其两端分别连接节点 P_n 和恒压低电位VGL。

[0085] 图8中虚线框部分为GOA电路的正反向扫描单元。

[0086] 参见图9,其为图8的GOA电路正向扫描时序示意图。现结合图8,对电路的具体工作过程(正向扫描)介绍如下:

[0087] 以输出 G_{2n-1} 和 G_{2n} 行扫描信号的 W_n 级GOA单元为例;正向扫描时:U2D为高电平,D2U为低电平;

[0088] 阶段1,预充电: W_{n-2} 与U2D同时为高电平,T1导通, H_n 点被预充电。当 H_n 点为高时,T5处于导通状态, Q_n 点被预充电。当 H_n 点为高时,T7处于导通状态, P_n 点被拉低;

[0089] 阶段2, W_n 输出高电平:在阶段1中, Q_n 点被预充电,C1对电荷具有一定的保持作用,T2处于导通状态,CKV1的高电平输出到 W_n 端;

[0090] 阶段3, W_n 输出低电平:C1对 Q_n 点的高电平具有保持作用,而此时CKV1的低电平将

Wn点拉低；

[0091] 阶段4, Qn点拉低到VGL: 当Wn+2为高电平, 此时D2U为低电平, T3处于导通的状态, 那么Qn点被拉低到VGL;

[0092] 阶段5, Qn点及Wn点低电平维持阶段: 当Qn点变为低电平后, T7处于截止状态, 当CKV3跳变为高电平时T8导通, Pn点被充电, 那么T4和T6均处于导通的状态, 可以保证Qn点及Wn点低电平的稳定, 同时C2对Pn点的高电平具有一定的保持作用。

[0093] 本发明与现有技术的主要区别在于引入了T9~T14组成的控制单元。在Wn输出为低电平时, Selecct1对应高电平, T9、T11处于打开的状态, G2n-1被拉低。Selecct2对应高电平, T10、T14处于打开的状态, G2n被拉低。当在Wn输出为高电平时, Selecct1对应高电平, T9、T11处于打开的状态, G2n-1被拉拉高。Selecct2对应高电平, T10、T14处于打开的状态, G2n被拉高。

[0094] 由图9可见, 时钟信号CKV1和时钟信号CKV3为占空比为0.25的矩形波, 该时钟信号CKV1和时钟信号CKV3之间相位相差二分之一周期。

[0095] 对于最初一级GOA电路单元, 正向扫描开始时, 需要在该第n-2级GOA电路单元的第一节点Wn-2输入高电平信号作为启动信号。

[0096] 参见图10, 其为图8的GOA电路反向扫描时序示意图。现结合图8, 对电路的具体工作过程(反向扫描)介绍如下:

[0097] 以输出G2n-1和G2n行扫描信号的Wn级GOA单元为例; 正向扫描时: D2U为高电平, U2D为低电平;

[0098] 阶段1, 预充电: Wn+2与D2U同时为高电平, T3导通, Hn点被预充电。当Hn点为高时, T5处于导通状态, Qn点被预充电。当Hn点为高时, T7处于导通状态, Pn点被拉低;

[0099] 阶段2, Wn输出高电平: 在阶段1中, Qn点被预充电, C1对电荷具有一定的保持作用, T2处于导通状态, CKV1的高电平输出到Wn端;

[0100] 阶段3, Wn输出低电平: C1对Qn点的高电平具有保持作用, 而此时CKV1的低电平将Wn点拉低;

[0101] 阶段4, Qn点拉低到VGL: 当Gn-2为高电平, 此时U2D为低电平, T1处于导通的状态, 那么Qn点被拉低到VGL;

[0102] 阶段5, Qn点及Wn点低电平维持阶段: 当Qn点变为低电平后, T7处于截止状态, 当CKV3跳变为高电平时T8导通, Pn点被充电, 那么T4和T6均处于导通的状态, 可以保证Qn点及Wn点低电平的稳定, 同时C2对Pn点的高电平具有一定的保持作用。

[0103] 本发明与现有技术的主要区别在于引入了T9~T14组成的控制单元。在Wn输出为低电平时, Selecct2对应高电平, T10、T14处于打开的状态, G2n被拉低。Selecct1对应高电平, T9、T11处于打开的状态, G2n-1被拉低。当在Wn输出为高电平时, Selecct2对应高电平, T10、T14处于打开的状态, G2n被拉高。Selecct1对应高电平, T9、T11处于打开的状态, G2n-1被拉高。

[0104] 对于最后一级GOA电路单元, 反向扫描开始时, 需要在该第n+2级GOA电路单元的第一节点Wn+2输入高电平信号作为启动信号。

[0105] 本发明第一较佳实施例提出了在现有的GOA架构的基础上增加某一控制单元, 将某一级GOA输出通过该控制单元分解成两级GOA输出。这样与现有两级GOA输出就需要两级

GOA电路级联的方式相比,一定程度上可以减小GOA所占的布局空间,对于发展窄边框技术起到了一定的帮助作用。

[0106] 参见图4,其为本发明的GOA电路第二较佳实施例的示意图,本发明的GOA电路包括级联的多个GOA电路单元,设 n 为自然数,负责输出第 $2n-1$ 行和第 $2n$ 行水平扫描信号的第 n 级GOA电路单元包括:

[0107] 薄膜晶体管T1,其栅极连接第 $n-2$ 级GOA电路单元的节点 W_{n-2} ,源极和漏极分别连接节点 H_n 和输入正向扫描控制信号 U_{2D} ;

[0108] 薄膜晶体管T2,其栅极连接节点 Q_n ,源极和漏极分别连接第 n 级GOA电路单元的节点 W_n 和输入时钟信号 CKV_1 ;

[0109] 薄膜晶体管T3,其栅极连接第 $n+2$ 级GOA电路单元的节点 W_{n+2} ,源极和漏极分别连接节点 H_n 和输入反向扫描控制信号 D_{2U} ;

[0110] 薄膜晶体管T4,其栅极连接节点 P_n ,源极和漏极分别连接第 n 级GOA电路单元的节点 W_n 和恒压低电位 V_{GL} ;

[0111] 薄膜晶体管T5,其栅极连接恒压高电位 V_{GH} ,源极和漏极分别连接节点 H_n 和节点 Q_n ;

[0112] 薄膜晶体管T6,其栅极连接节点 P_n ,源极和漏极分别连接节点 H_n 和恒压低电位 V_{GL} ;

[0113] 薄膜晶体管T7,其栅极连接节点 H_n ,源极和漏极分别连接节点 P_n 和恒压低电位 V_{GL} ;

[0114] 薄膜晶体管T8,其栅极输入时钟信号 CKV_3 ,源极和漏极分别连接节点 P_n 和恒压高电位 V_{GH} ;

[0115] 薄膜晶体管T9,其栅极输入控制信号 $Select_1$,源极和漏极中的一个连接第 n 级GOA电路单元的节点 W_n ,源极和漏极中的另一个连接薄膜晶体管T11的源极和漏极中的一个和薄膜晶体管T12的源极和漏极中的一个;

[0116] 薄膜晶体管T10,其栅极输入控制信号 $Select_2$,源极和漏极中的一个连接第 n 级GOA电路单元的节点 W_n ,源极和漏极中的另一个连接薄膜晶体管T13的源极和漏极中的一个和薄膜晶体管T14的源极和漏极中的一个;

[0117] 薄膜晶体管T11,其栅极输入控制信号 $Selecct_1$,源极和漏极中的另一个连接第 n 级GOA电路单元的信号输出点 G_{2n-1} ;

[0118] 薄膜晶体管T12,其栅极输入控制信号 $Selecct_2$,源极和漏极中的另一个连接恒压低电位 V_{GL} ;

[0119] 薄膜晶体管T13,其栅极输入控制信号 $Selecct_1$,源极和漏极中的另一个连接恒压低电位 V_{GL} ;

[0120] 薄膜晶体管T14,其栅极输入控制信号 $Selecct_2$,源极和漏极中的另一个连接第 n 级GOA电路单元的信号输出点 G_{2n} ;

[0121] 薄膜晶体管T15,其栅极输入控制信号 $Selecct_2$,源极和漏极分别连接第 n 级GOA电路单元的信号输出点 G_{2n-1} 和恒压低电位 V_{GL} ;

[0122] 薄膜晶体管T16,其栅极输入控制信号 $Selecct_1$,源极和漏极分别连接第 n 级GOA电路单元的信号输出点 G_{2n} 和恒压低电位 V_{GL} ;

[0123] 薄膜晶体管T17,其栅极输入控制信号Selecct3,源极连接第n级GOA电路单元的信号输出点G2n-1,漏极连接薄膜晶体管T18的源极和漏极中的一个;

[0124] 薄膜晶体管T18,其栅极输入控制信号Selecct3,源极和漏极中的另一个连接第n级GOA电路单元的节点Wn;

[0125] 薄膜晶体管T19,其栅极输入控制信号Selecct3,源极和漏极中的一个连接第n级GOA电路单元的节点Wn,源极和漏极中的另一个连接薄膜晶体管T20的源极和漏极中的一个;

[0126] 薄膜晶体管T20,其栅极输入控制信号Selecct3,源极和漏极中的另一个连接第n级GOA电路单元的信号输出点G2n;

[0127] 电容C1,其两端分别连接节点Qn和第n级GOA电路单元的节点Wn;

[0128] 电容C2,其两端分别连接节点Pn和恒压低电位VGL。

[0129] 图4中虚线框部分为GOA电路的正反向扫描单元。

[0130] 参见图5,其为图4的GOA电路正向扫描时序示意图。现结合图4,对电路的具体工作过程(正向扫描)介绍如下:

[0131] 正常显示状态下,Select1、Select2交替为高电平,Select3一直输出为低电平;

[0132] 以输出G2n-1和G2n行扫描信号的Wn级GOA单元为例;正向扫描时:U2D为高电平,D2U为低电平;

[0133] 阶段1,预充电:Wn-2与U2D同时为高电平,T1导通,Hn点被预充电。当Hn点为高时,T5处于导通状态,Qn点被预充电。当Hn点为高时,T7处于导通状态,Pn点被拉低;

[0134] 阶段2,Wn输出高电平:在阶段1中,Q点被预充电,C1对电荷具有一定的保持作用,T2处于导通状态,CKV1的高电平输出到Wn端;

[0135] 阶段3,Wn输出低电平:C1对Qn点的高电平具有保持作用,而此时CKV1的低电平将Wn点拉低;

[0136] 阶段4,Qn点拉低到VGL:当Wn+2为高电平,此时D2U为低电平,T3处于导通的状态,那么Qn点被拉低到VGL;

[0137] 阶段5,Qn点及Wn点低电平维持阶段:当Qn点变为低电平后,T7处于截止状态,当CKV3跳变为高电平时T8导通,Pn点被充电,那么T4和T6均处于导通的状态,可以保证Qn点及Wn点低电平的稳定,同时C2对Pn点的高电平具有一定的保持作用。

[0138] 本发明在Wn输出为低电平时,Selecct1对应高电平,T9、T11处于打开的状态,G2n-1被拉低。Selecct2对应高电平,T10、T14处于打开的状态,G2n被拉低。当在Wn输出为高电平时,Selecct1对应高电平,T9、T11处于打开的状态,G2n-1被拉拉高。Selecct2对应高电平,T10、T14处于打开的状态,G2n被拉高。

[0139] 在这一过程中,Select3一直输出为低电平,T17-T20一直处于截止状态。

[0140] 低功率显示状态下,Select1、Select2均为低电平,Select3一直输出为高电平;

[0141] 由于Select1与Select2一直处于低电平,T9-T16均处于截止状态,而此时Select3为高,T17-T20均处于导通状态,在Wn输出为高电平时,G2n-1与G2n同时输出高电平。

[0142] 由图5可见,时钟信号CKV1和时钟信号CKV3为占空比为0.25的矩形波,该时钟信号CKV1和时钟信号CKV3之间相位相差二分之一周期。

[0143] 对于最初一级GOA电路单元,正向扫描开始时,需要在该第n-2级GOA电路单元的第

一节点 W_{n-2} 输入高电平信号作为启动信号。

[0144] 参见图6,其为图4的GOA电路反向扫描时序示意图。现结合图4,对电路的具体工作过程(反向扫描)介绍如下:

[0145] 正常显示状态下,Select1、Select2交替为高电平,Select3一直输出为低电平;

[0146] 以输出 G_{2n-1} 和 G_{2n} 行扫描信号的 W_n 级GOA单元为例;正向扫描时: D_{2U} 为高电平, U_{2D} 为低电平;

[0147] 阶段1,预充电: W_{n+2} 与 D_{2U} 同时为高电平, T_3 导通, H_n 点被预充电。当 H_n 点为高时, T_5 处于导通状态, Q_n 点被预充电。当 H_n 点为高时, T_7 处于导通状态, P_n 点被拉低;

[0148] 阶段2, W_n 输出高电平:在阶段1中, Q_n 点被预充电, C_1 对电荷具有一定的保持作用, T_2 处于导通状态,CKV1的高电平输出到 W_n 端;

[0149] 阶段3, W_n 输出低电平: C_1 对 Q_n 点的高电平具有保持作用,而此时CKV1的低电平将 W_n 点拉低;

[0150] 阶段4, Q_n 点拉低到VGL:当 G_{n-2} 为高电平,此时 U_{2D} 为低电平, T_1 处于导通的状态,那么 Q_n 点被拉低到VGL;

[0151] 阶段5, Q_n 点及 W_n 点低电平维持阶段:当 Q_n 点变为低电平后, T_7 处于截止状态,当CKV3跳变为高电平时 T_8 导通, P_n 点被充电,那么 T_4 和 T_6 均处于导通的状态,可以保证 Q_n 点及 W_n 点低电平的稳定,同时 C_2 对 P_n 点的高电平具有一定的保持作用。

[0152] 本发明在 W_n 输出为低电平时,Select2对应高电平, T_{10} 、 T_{14} 处于打开的状态, G_{2n} 被拉低。Select1对应高电平, T_9 、 T_{11} 处于打开的状态, G_{2n-1} 被拉低。当在 W_n 输出为高电平时,Select2对应高电平, T_{10} 、 T_{14} 处于打开的状态, G_{2n} 被拉高。Select1对应高电平, T_9 、 T_{11} 处于打开的状态, G_{2n-1} 被拉高。

[0153] 在这一过程中,Select3一直输出为低电平, T_{17} – T_{20} 一直处于截止状态。

[0154] 低功率显示状态下,Select1、Select2均为低电平,Select3一直输出为高电平;

[0155] 由于Select1与Select2一直处于低电平, T_9 – T_{16} 均处于截止状态,而此时Select3为高, T_{17} – T_{20} 均处于导通状态,在 W_n 输出为高电平时, G_{2n-1} 与 G_{2n} 同时输出高电平。

[0156] 对于最后一级GOA电路单元,反向扫描开始时,需要在该第 $n+2$ 级GOA电路单元的第一节点 W_{n+2} 输入高电平信号作为启动信号。

[0157] 图7为本发明的GOA电路第二较佳实施例对应数据驱动的示意图,结合图4–6可知,本发明第二较佳实施例在现有的GOA架构的基础上增加一控制单元,在现有的GOA电路的基础上引入3个控制信号,Select1、Select2、Select3,其中Select1、Select2为一组相位相反信号,主要作用是将GOA栅极输出一分为二;在一些特殊的显示模式下:例如待机模式、或者省电模式下,Select3在Select1、Select2均输出为低时输出高电平,将上述的两级输出变为同一输出信号,也就是第一级与第二级栅极输出一样、第三级与第四级栅极输出一样、以此类推,那么此时数据(Data)信号的对应的频率将会减半,对应的驱动功耗也会降低。

[0158] 本发明的GOA电路已知和潜在的技术/产品应用领域及其应用方式如下:1、集成在阵列基板上的液晶显示器行扫描(Gate)驱动电路;2、应用于手机,显示器,电视的栅极驱动领域;3、可涵盖LCD和OLED的行业先进技术;4、本电路的稳定性适用于高解析度的面板设计当中。

[0159] 综上,本发明提供一种GOA电路,可以有效的减小GOA电路所占的布局空间,对发展

窄边框技术起到一定的帮助作用;在一些特殊的显示模式下能够降低面板的驱动功耗。

[0160] 以上所述,对于本领域的普通技术人员来说,可以根据本发明的技术方案和技术构思作出其他各种相应的改变和变形,而所有这些改变和变形都应属于本发明后附的权利要求的保护范围。

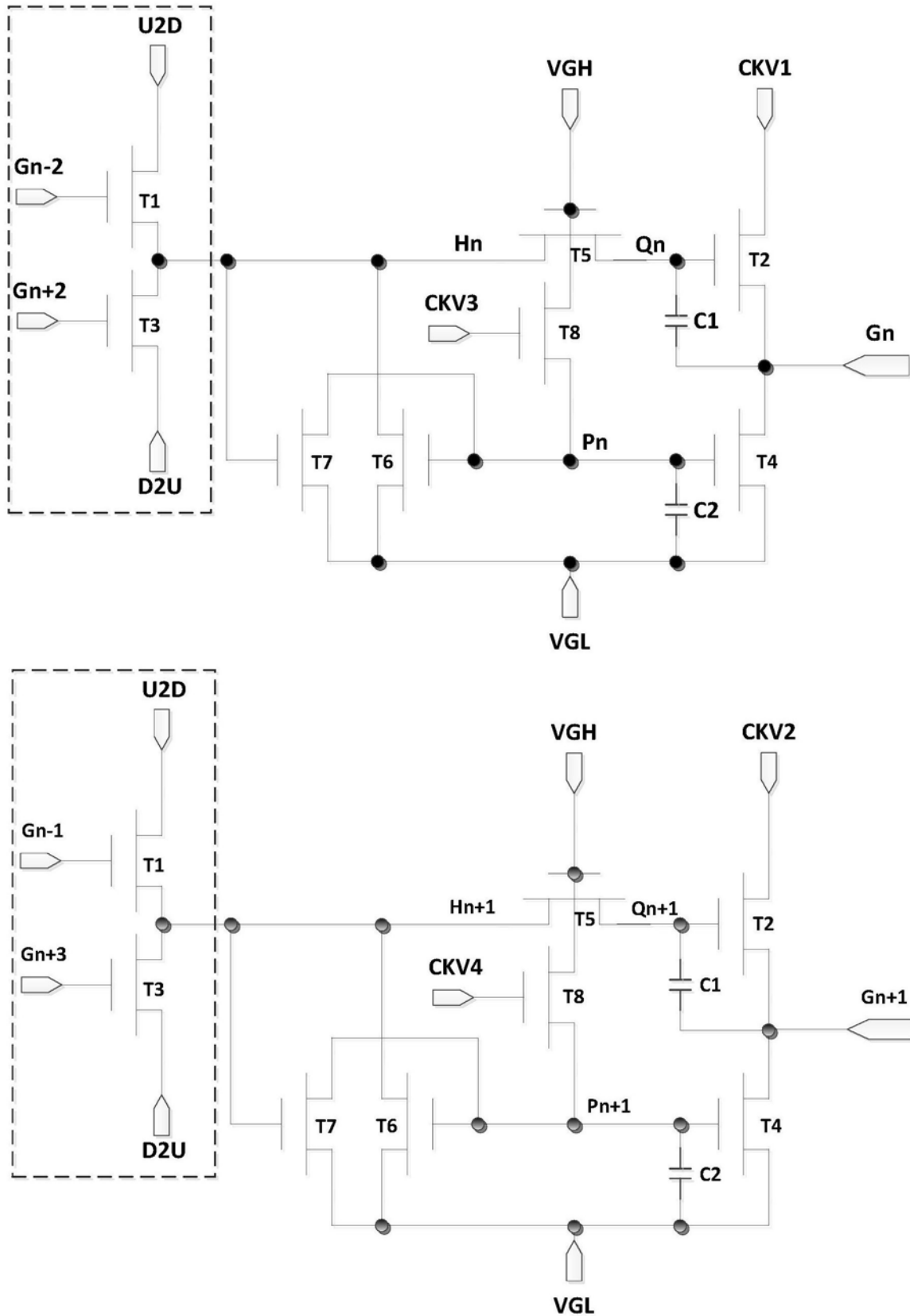


图1

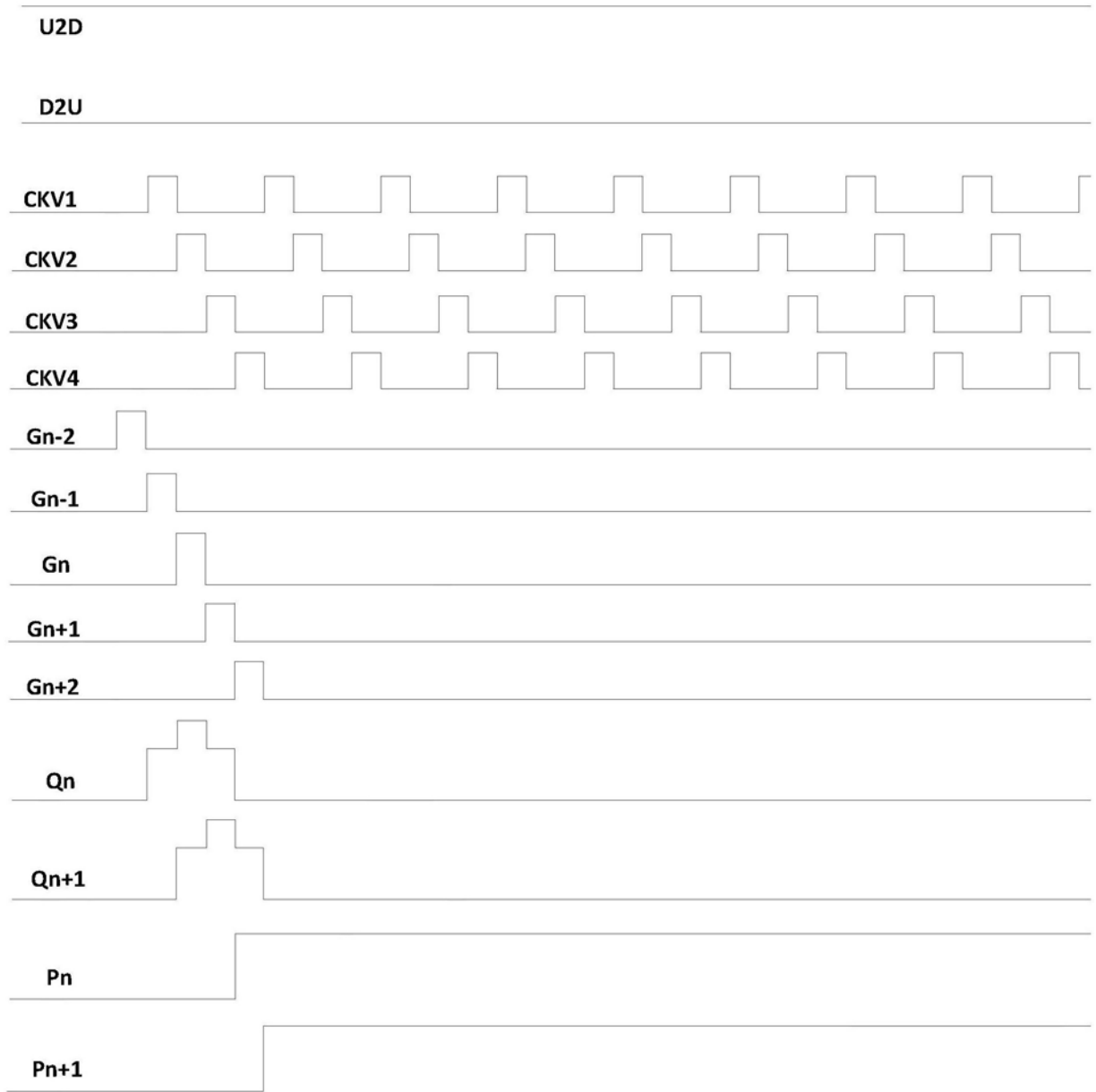


图2

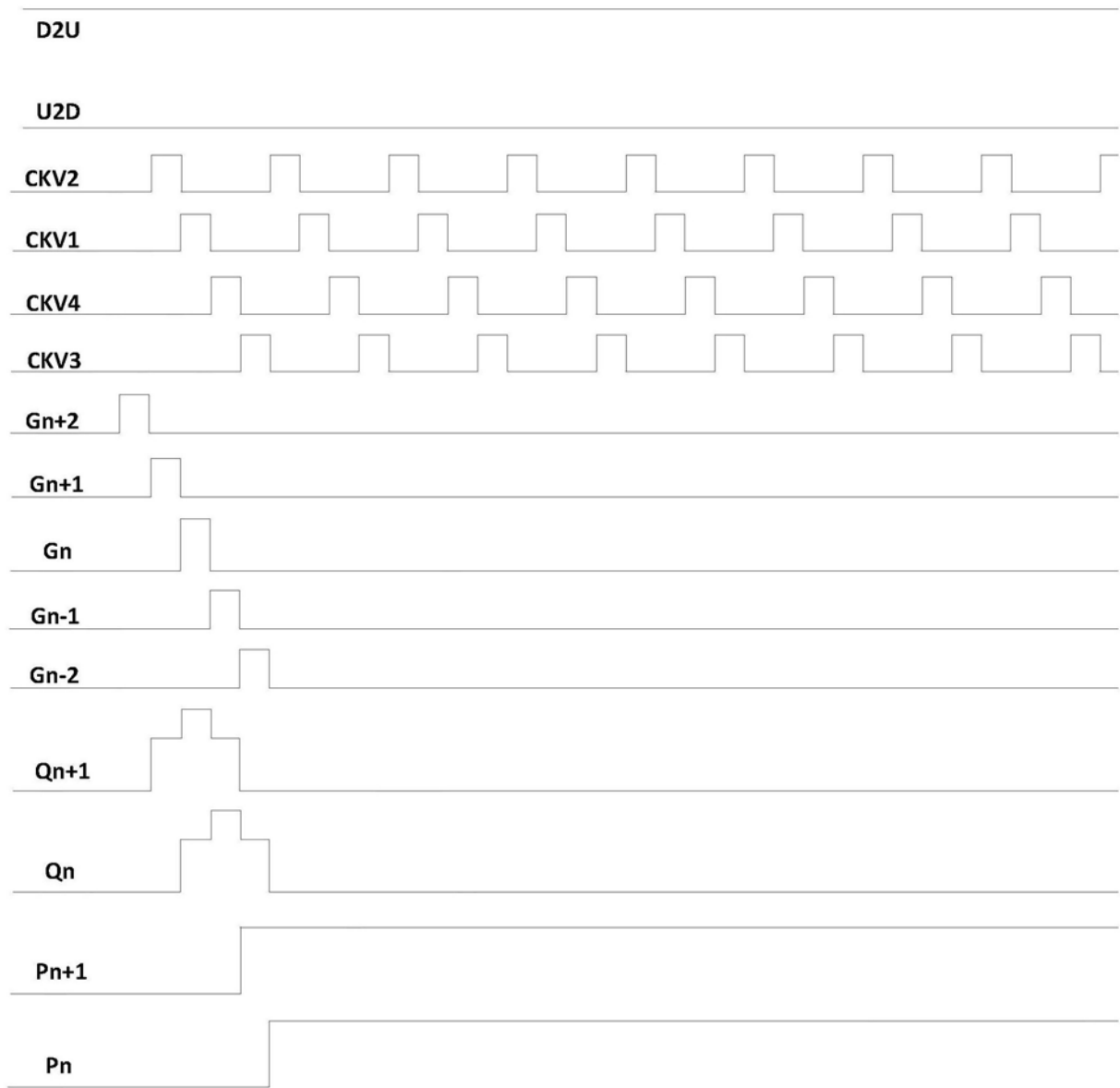


图3

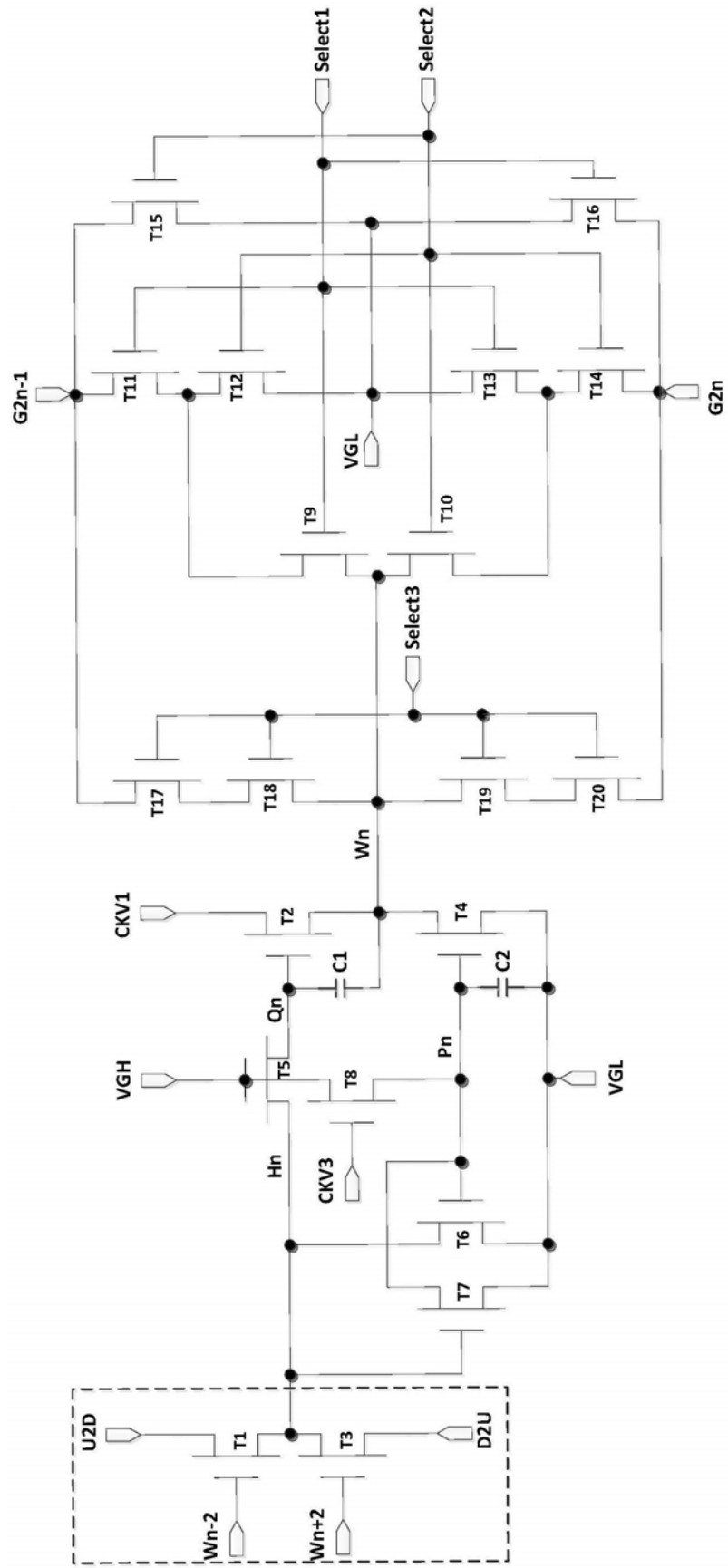


图4

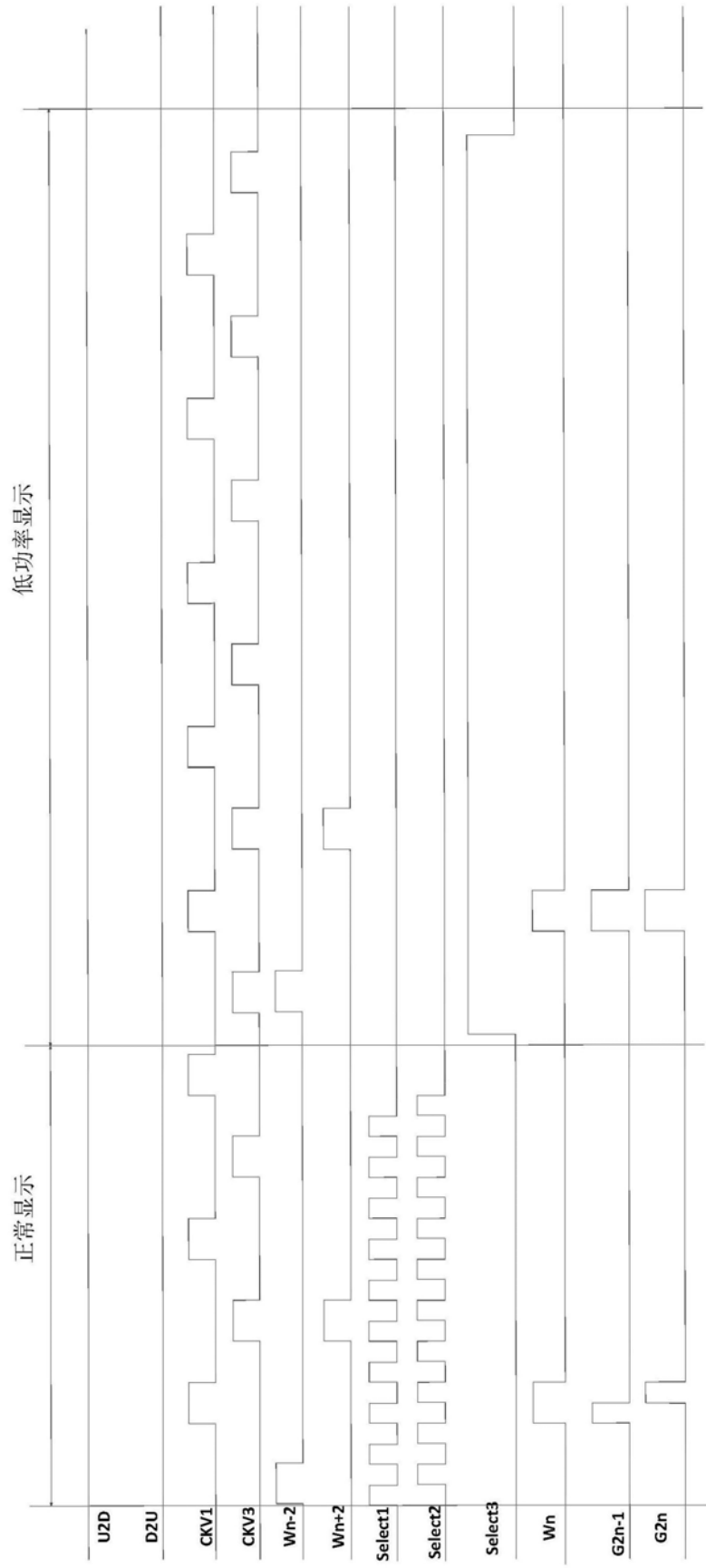


图5

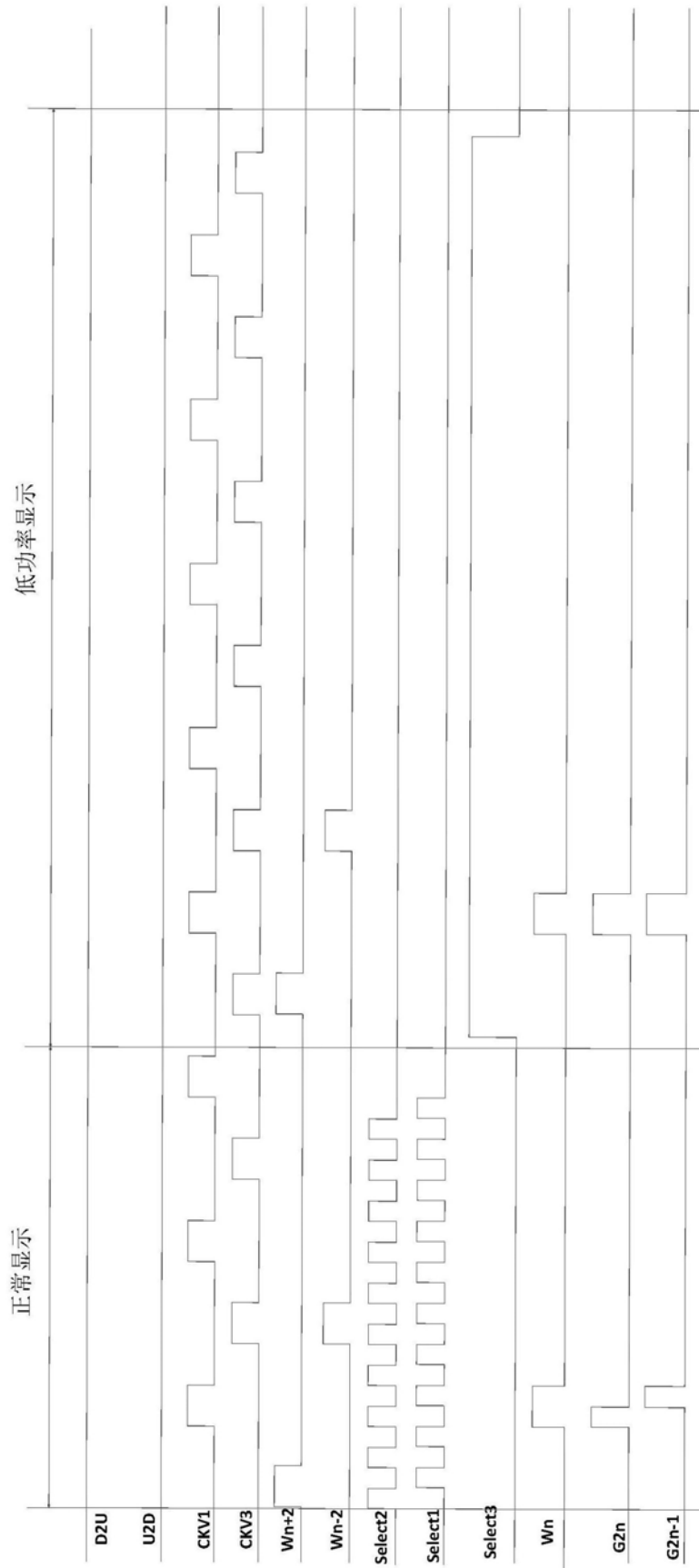


图6

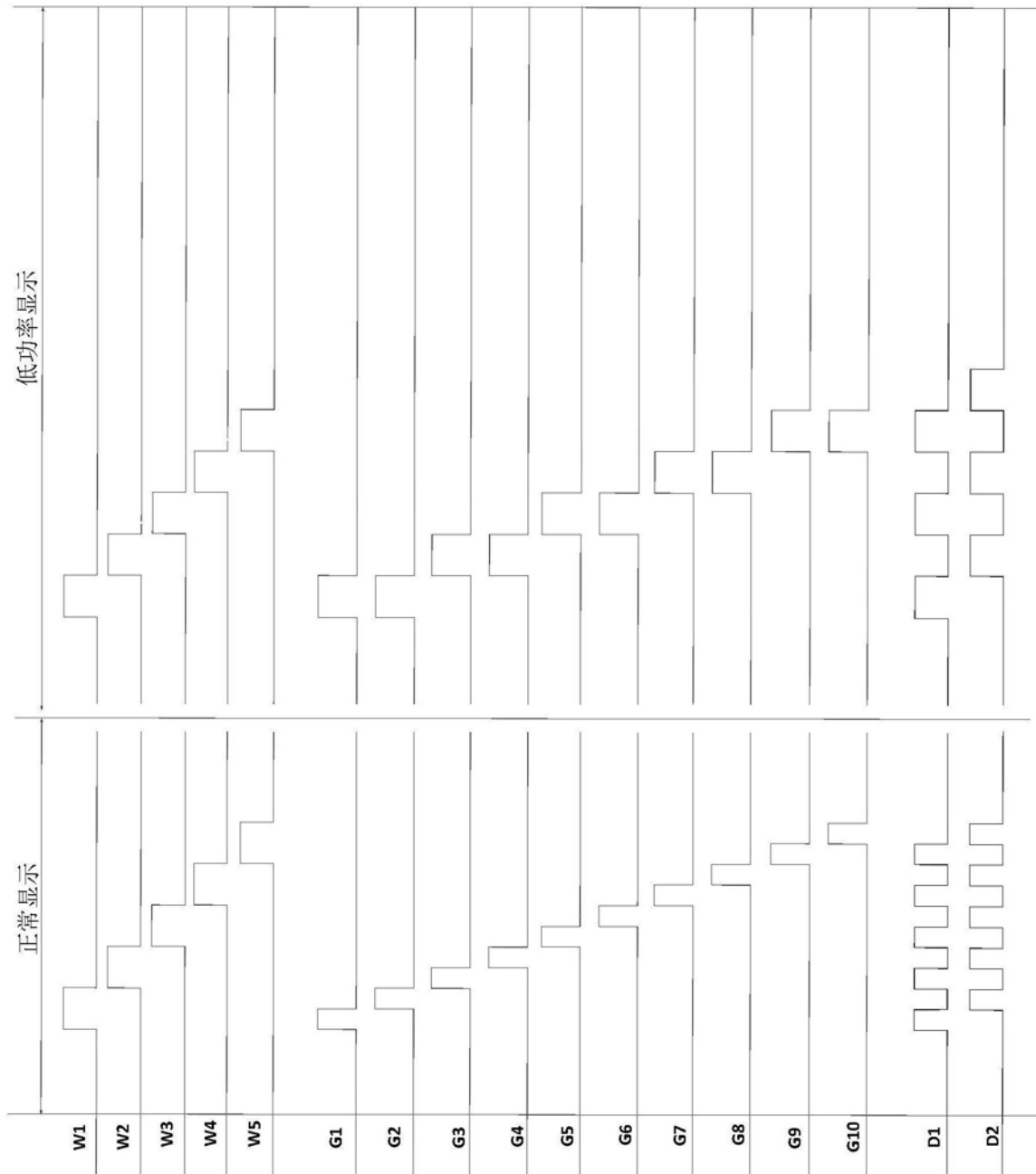


图7

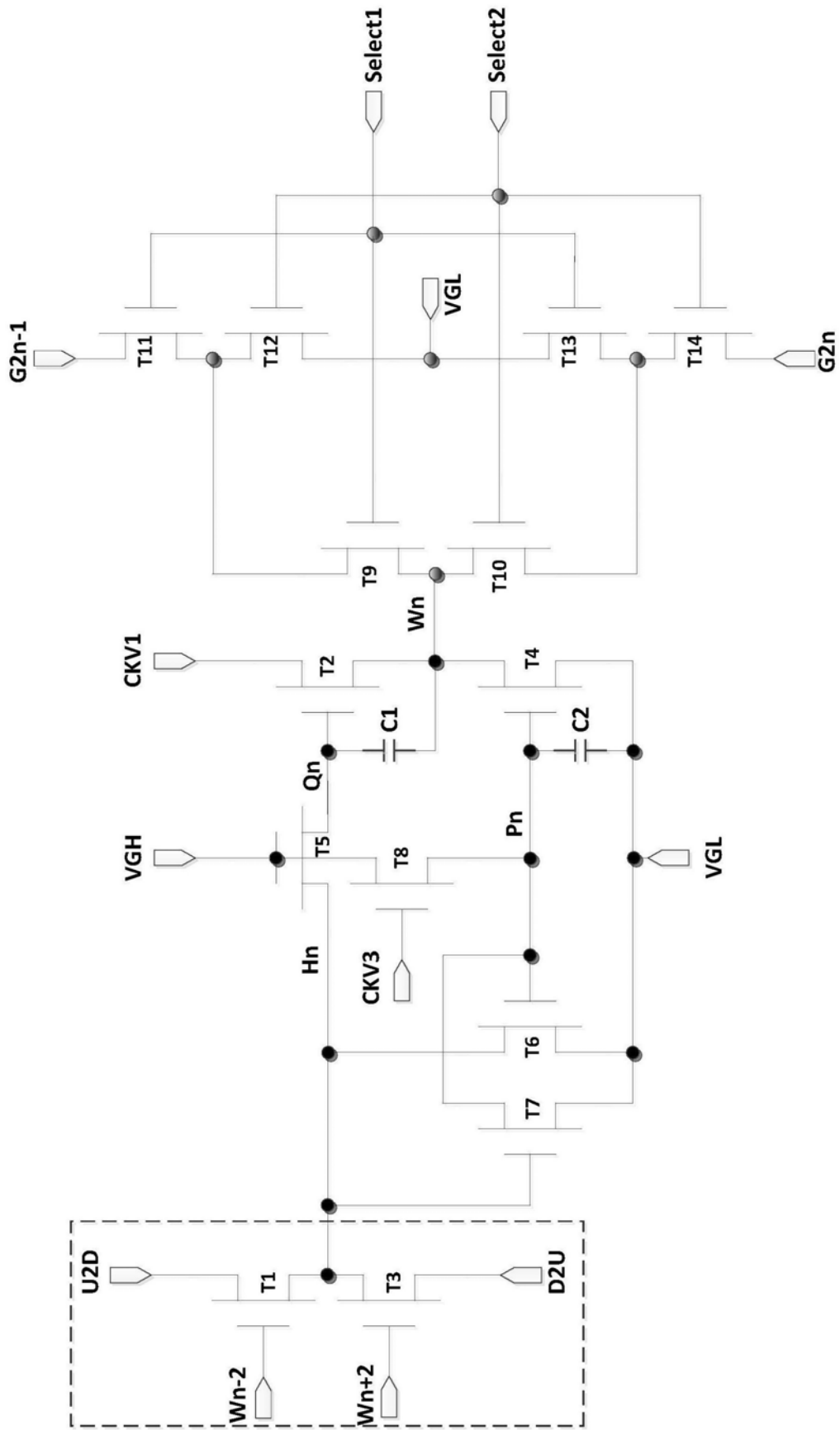


图8

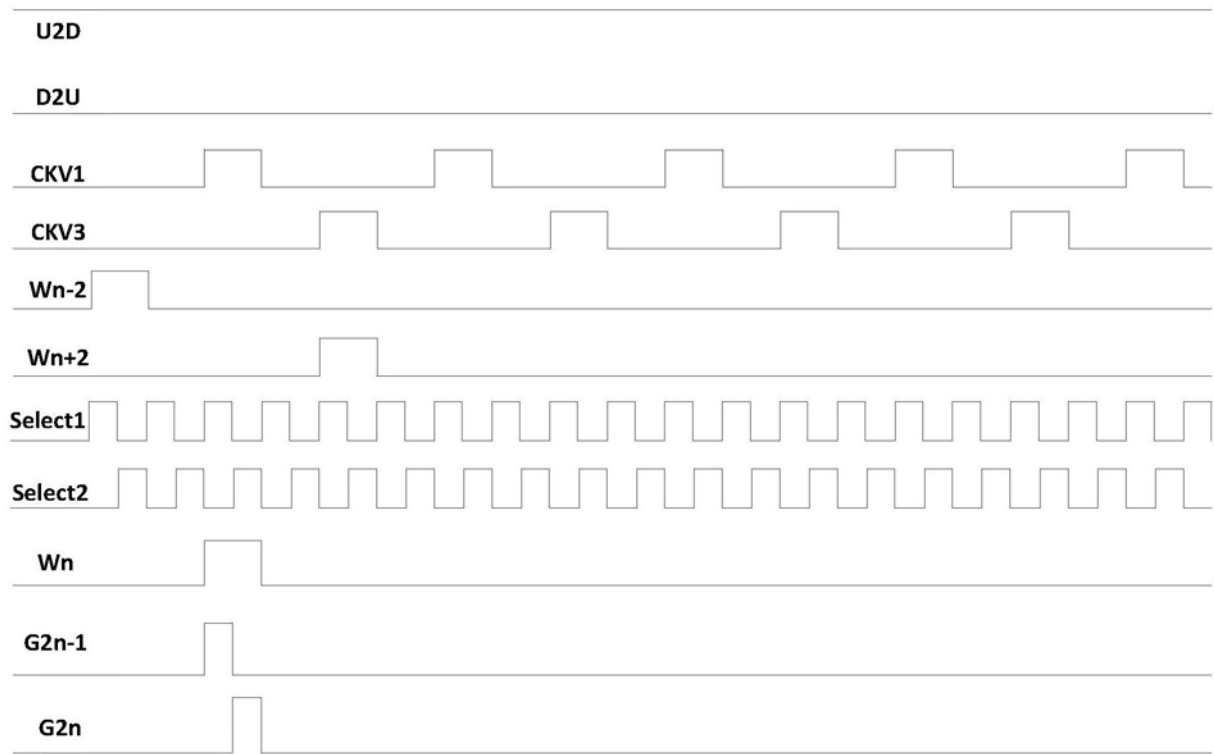


图9

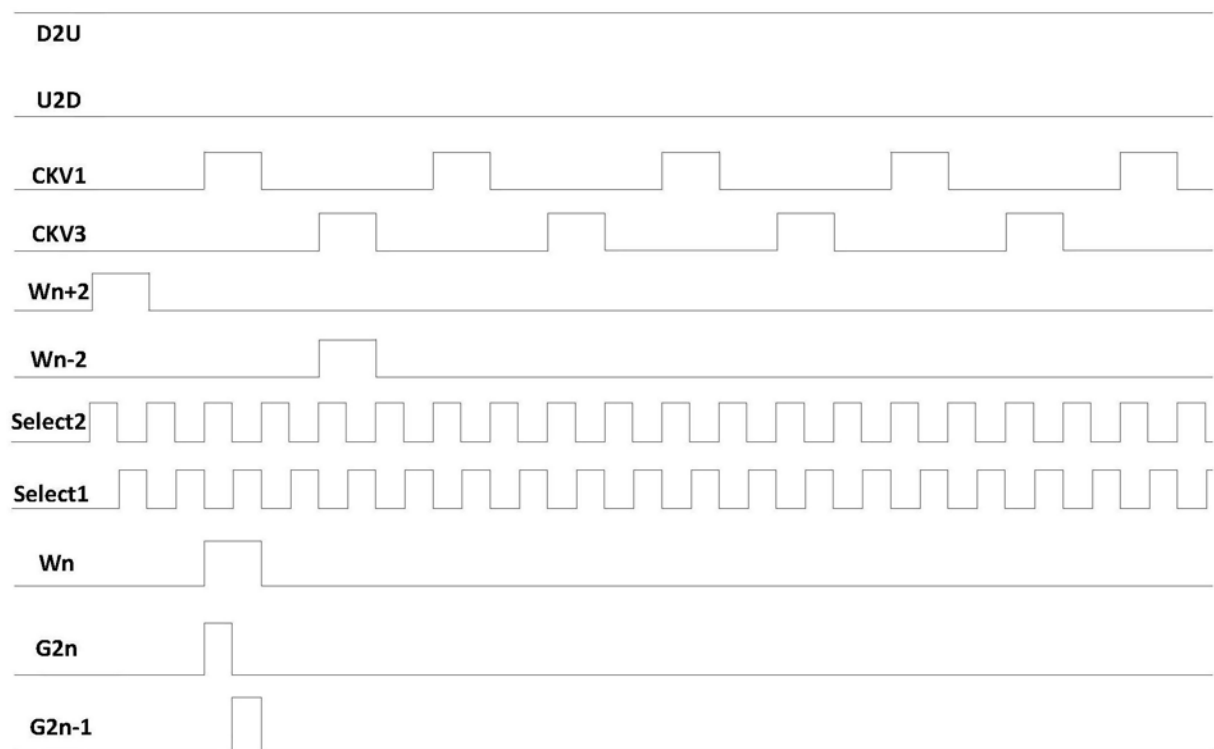


图10