



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년04월07일
(11) 등록번호 10-1724366
(24) 등록일자 2017년04월03일

(51) 국제특허분류(Int. Cl.)
H03M 1/66 (2006.01)
(52) CPC특허분류
H03M 1/66 (2013.01)
H03M 1/661 (2013.01)
(21) 출원번호 10-2016-0003364
(22) 출원일자 2016년01월11일
심사청구일자 2016년01월11일
(56) 선행기술조사문헌
KR1020130063173 A*
KR100515288 B1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
울산과학기술원
울산광역시 울주군 언양읍 유니스트길 50
(72) 발명자
김재준
울산광역시 울주군 언양읍 유니스트길 50
권기현
울산광역시 울주군 언양읍 유니스트길 50
(74) 대리인
특허법인 프렌즈드림

전체 청구항 수 : 총 7 항

심사관 : 유선중

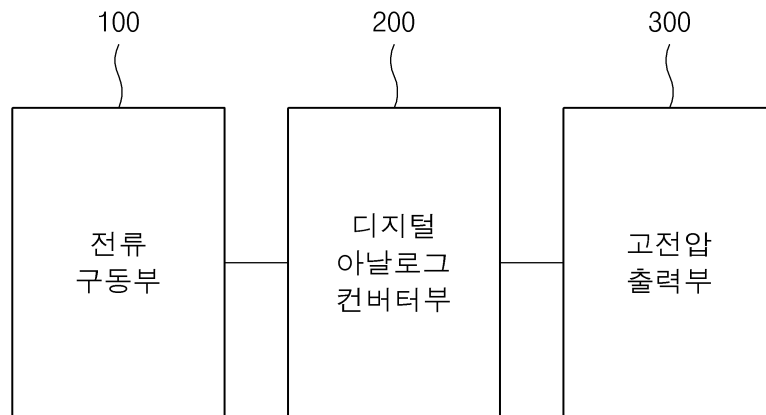
(54) 발명의 명칭 고전압에서 사용 가능한 디지털 아날로그 컨버터

(57) 요약

고전압에서 사용 가능한 디지털 아날로그 컨버터가 개시된다.

본 발명은 저전압 소자로 이루어진 디지털 아날로그 컨버터에 고전압 출력부를 연결 시켜 저전압뿐만 아니라 고전압에서도 사용이 가능한 효과를 기대할 수 있다.

대표도 - 도3



(52) CPC특허분류
H03M 1/74 (2013.01)

명세서

청구범위

청구항 1

바이어스 전류를 발생시키는 전류 구동부;

상기 전류 구동부와 연결되고, 이진화된 디지털 신호를 입력신호로 받으며, 상기 디지털 신호에 해당하는 아날로그 신호를 내보내는 디지털 아날로그 컨버터부;

상기 디지털 아날로그 컨버터부와 연결되어 있는 고전압 출력부;를 포함하되,

상기 디지털 아날로그 컨버터부는 1V 이상 5V 이하에 해당하는 저전압으로 유지되고,

상기 고전압 출력부는 10V 이상 65V 이하에 해당하는 고전압으로 유지되며,

상기 전류 구동부는

가변 전류원을 포함하며,

상기 고전압 출력부는

상기 고전압이 상기 디지털 아날로그 컨버터부로 유입되는 것을 방지하는 HV MOS 단;

상기 HV MOS 단으로부터 누설전류가 흘러 상기 디지털 아날로그 컨버터부와 상기 고전압 출력부가 연결된 노드의 전압이 항복전압 이상으로 올라가지 않도록 유지하는 제1 누설전류 방지단 및 제 2 누설전류 방지단;및

상기 고전압 출력부의 순간적인 전압상승을 방지하는 제1 전압상승 방지단 및 제2 전압상승 방지단;

을 포함하는 고전압에서 사용 가능한 디지털 아날로그 컨버터.

청구항 2

제1항에 있어서,

상기 HV MOS 단은

제1 상기 고전압이 상기 디지털 아날로그 컨버터부로 유입되는 것을 방지하는 제1 HV MOS;및

제2 상기 고전압이 상기 디지털 아날로그 컨버터부로 유입되는 것을 방지하는 제2 HV MOS;

을 포함하는 고전압에서 사용 가능한 디지털 아날로그 컨버터.

청구항 3

제2항에 있어서,

상기 제1 HV MOS의 게이트와 상기 제2 HV MOS의 게이트가 연결된 것을 특징으로 하는 고전압에서 사용 가능한 디지털 아날로그 컨버터.

청구항 4

제2항에 있어서,

상기 제1 누설전류 방지단은

상기 제1 HV MOS로부터 누설전류가 흘러 상기 디지털 아날로그 컨버터부와 연결된 노드의 전압이 항복전압 이상

으로 올라가지 않도록 유지하는 것을 방지하는 제1 전류원;

을 포함하고,

상기 제 2 누설전류 방지단은

상기 제2 HV MOS로부터 누설전류가 흘러 상기 디지털 아날로그 컨버터부와 연결된 노드의 전압이 항복전압 이상으로 올라가지 않도록 유지하는 것을 방지하는 제2 전류원;

을 포함하는 고전압에서 사용 가능한 디지털 아날로그 컨버터.

청구항 5

제4항에 있어서,

상기 제1 전류원은 상기 제1 HV MOS의 소스와 연결되고, 상기 제2 전류원은 상기 제2 HV MOS의 소스와 연결되어 있는 것을 특징으로 하는 고전압에서 사용 가능한 디지털 아날로그 컨버터.

청구항 6

제2항에 있어서,

상기 제1 전압상승 방지단은

상기 고전압을 사용하는 때에 생길 수 있는 순간적인 전압상승을 방지하는 제1다이오드;

를 포함하고,

상기 제2 전압상승 방지단은

상기 고전압을 사용하는 때에 생길 수 있는 순간적인 전압상승을 방지하는 제2다이오드;

를 포함하는 고전압에서 사용 가능한 디지털 아날로그 컨버터.

청구항 7

제6항에 있어서,

상기 제1다이오드의 애노드는 상기 제1 HV MOS의 소스와 연결되고, 상기 제2다이오드의 애노드는 상기 제2 HV MOS의 소스와 연결되는 것을 특징으로 하는 고전압에서 사용 가능한 디지털 아날로그 컨버터.

청구항 8

삭제

발명의 설명

기술 분야

[0001] 본 발명은 디지털 아날로그 컨버터에 관한 것으로서, 보다 상세하게는 저전압 소자를 사용하여 만든 전류 구동 디지털 아날로그 컨버터의 출력단에 고전압 소자 등을 이용해 보호 회로를 만들어 고전압의 출력으로도 사용할 수 있도록 하는 고전압에서 사용 가능한 디지털 아날로그 컨버터에 관한 것이다.

배경 기술

[0002] 유무선 통신 기술의 발달과 함께 고속 고해상도 데이터 컨버터에 대한 수요는 크게 증가하고 있다. 또한, 데이터 컨버터의 속도와 해상도는 전체 시스템의 성능을 결정짓는 중요한 요소로 인식되고 있다. 통신용 디지털 아날로그 컨버터의 경우 50Ω 부하 저항의 구동과 빠른 출력 스위칭 동작을 구현하기 위하여 전류구동 방식이 주

로 사용된다.

- [0003] 이러한 디지털 아날로그 컨버터는 이진화된 디지털 신호를 입력신호로 받아서 그에 해당하는 아날로그 신호를 출력으로 내보내는 컨버터를 말하는 것으로, 아날로그 신호를 생성하는 방법에 따라 크게 두 가지로 나뉜다.
- [0004] 이 두 가지는 아날로그 신호 생성을 위해 기준전압을 해상도에 따라 나누어서 사용하는 전압 방식과 기준 전류를 해상도에 따라 나누거나 복수로 사용하는 전류 방식을 말한다.
- [0005] 보다 구체적으로, 전압 방식은 기준 전압 또는 저항 어레이를 사용하여 균일하게 나누어 사용하는 레지스터 디지털 아날로그 컨버터와 동일한 크기의 캐패시터를 사용하는 캐패시터 디지털 아날로그 컨버터가 있으며, 전류 방식은 전류원을 동일하게 나누거나 단위 전류원을 사용하여 원하는 아날로그 전압 또는 전류를 생성하는 전류 구동 디지털 아날로그 컨버터가 있다.
- [0006] 현재 다수의 산업현장에서 사용되는 디지털 아날로그 컨버터는 외부 부하를 10V 스윙으로 구동하기를 요구받는다. 이 때문에 전류 구동의 경우 20mA 스윙, 전압 구동의 경우 10V 이 요구되고 있다.
- [0007] 그러나 일반적인 전류구동 디지털 아날로그 컨버터는 1V 이상 5V 이하, 2.5V, 3.3V, 5V 등 5V 이하의 전압에서 사용된다.
- [0008] 따라서, 현재는 산업현장의 요구를 충족시키기 위하여 일반적인 디지털 아날로그 컨버터에 고전압을 구동할 수 있는 구동기인 OP 앰프를 추가하여 사용되고 있다.
- [0009] 그리고, 한국공개특허공보 제2000-0050404 호는 저전압에서 출력범위를 향상시킨 디지털 아날로그 변환기를 제시하고 있다. 이러한 디지털 아날로그 변환기는 저전압에서 D/A 변환기의 출력 범위가 접지 전압에서 전원 전압 레벨까지(rail to rail) 풀 스윙(full swing) 할 수 있도록 출력을 향상시킬 수 있는 효과가 있다.
- [0010] 이러한 종래의 방식은 저전압 소자를 사용해 저전압에서의 풀 스윙을 할 수 있도록 출력을 향상시킬 뿐 저전압 소자를 사용해 구현된 디지털 아날로그 변환기의 출력을 고전압으로 사용할 수 없는 문제가 있다.

선행기술문헌

특허문헌

- [0012] (특허문헌 0001) 한국공개특허공보 제2000-0050404호 (2000.08.05 공개)

발명의 내용

해결하려는 과제

- [0013] 따라서, 이러한 문제점을 해결하기 위한 본 발명의 첫 번째 목적은 저전압 소자로 이루어진 디지털 아날로그 컨버터를 저전압뿐만 아니라 고전압에서도 사용할 수 있으며, 출력 저항값의 증가를 통해 고조파 왜곡 등의 오차를 감소시키는 고전압에서 사용 가능한 디지털 아날로그 컨버터를 제공하는 것이다.

과제의 해결 수단

- [0014] 상기 목적을 달성하기 위하여 본 발명은, 바이어스 전류를 발생시키는 전류 구동부, 상기 전류 구동부와 연결되고, 이진화된 디지털 신호를 입력신호로 받으며, 상기 디지털 신호에 해당하는 아날로그 신호를 내보내는 디지털 아날로그 컨버터부 및 상기 디지털 아날로그 컨버터부와 연결되어 있는 고전압 출력부;를 포함할 수 있되, 상기 디지털 아날로그 컨버터부는 1V 이상 5V 이하에 해당하는 저전압으로 유지되고, 상기 고전압 출력부는 10V 이상 65V 이하에 해당하는 고전압으로 유지되는 것을 특징으로 하는 고전압에서 사용 가능한 디지털 아날로그 컨버터를 제공한다.
- [0015] 상기 전류 구동부는 가변 전류원을 포함할 수 있으며, 상기 고전압 출력부는 상기 고전압이 상기 디지털 아날로그 컨버터부로 유입되는 것을 방지하는 HV MOS 단, 상기 HV MOS 단으로부터 누설전류가 흘러 상기 디지털 아날로그 컨버터부와 상기 고전압 출력부가 연결된 노드의 전압이 항복전압 이상으로 올라가지 않도록 유지하는 제1 누설전류 방지단 및 제2 누설전류 방지단, 상기 고전압 출력부의 순간적인 전압상승을 방지하는 제1 전압상승 방지단 및 제2 전압상승 방지단을 포함할 수 있다.

- [0016] 상기 고전압 출력부는 제1 상기 고전압이 상기 디지털 아날로그 컨버터부로 유입되는 것을 방지하는 제1 HV MOS, 제2 상기 고전압이 상기 디지털 아날로그 컨버터부로 유입되는 것을 방지하는 제2 HV MOS를 포함할 수 있다.
- [0017] 상기 제1 HV MOS의 게이트와 상기 제2 HV MOS의 게이트가 연결된 것을 특징으로 하는 고전압에서 사용 가능한 디지털 아날로그 컨버터를 제공한다.
- [0018] 상기 고전압 출력부는 상기 제1 HV MOS로부터 누설전류가 흘러 상기 디지털 아날로그 컨버터부와 연결된 노드의 전압이 항복전압 이상으로 올라가지 않도록 유지하는 것을 방지하는 제1 전류원 및 상기 제2 HV MOS로부터 누설 전류가 흘러 상기 디지털 아날로그 컨버터부와 연결된 노드의 전압이 항복전압 이상으로 올라가지 않도록 유지 하는 것을 방지하는 제2 전류원을 포함할 수 있다.
- [0019] 상기 제1 전류원은 상기 제1 HV MOS의 소스와 연결되고, 상기 제2 전류원은 상기 제2 HV MOS의 소스와 연결되어 있는 것을 특징으로 하는 고전압에서 사용 가능한 디지털 아날로그 컨버터를 제공한다.
- [0020] 상기 고전압 출력부는 상기 고전압을 사용하는 때에 생길 수 있는 순간적인 전압상승을 방지하는 제1 다이오드 및 상기 고전압을 사용하는 때에 생길 수 있는 순간적인 전압상승을 방지하는 제2 다이오드를 포함할 수 있다.
- [0021] 상기 제1 다이오드의 애노드는 상기 제1 HV MOS의 소스와 연결되고, 상기 제2 다이오드의 애노드는 상기 제2 HV MOS의 소스와 연결되는 것을 특징으로 하는 고전압에서 사용 가능한 디지털 아날로그 컨버터를 제공한다.

발명의 효과

- [0023] 상기에서 설명한 본 발명의 고전압에서 사용 가능한 디지털 아날로그 컨버터에 의하면, 디지털 아날로그 컨버터 내부는 기존의 저전압 MOS로 만들어졌는바 저전압뿐만 아니라 고전압 출력부를 통해 고전압을 사용할 수 있게 되어 활용성이 커진다.
- [0024] 고전압(High Voltage 이하 'HV') MOS의 경우 기존의 고전압 전류 구동 디지털 아날로그 컨버터보다 높은 전압을 견딜 수 있어 기존에 사용되어 졌던 전압보다 높은 전압을 이용할 수 있으며, HV MOS의 경우 일반적으로 저전압 MOS 보다 크기가 크기 때문에 디지털 아날로그 컨버터 전체를 HV MOS를 이용해 만드는 것보다 적은 면적을 통해서 저전압뿐만 아니라 고전압을 사용할 수 있다.
- [0025] 또한, OP 앰프 대신 MOS 소자를 추가하는 것으로써, OP 앰프를 추가하는 경우보다 소비전력이 감소하며, MOS의 캐스코드 형태를 통해 출력 저항값을 증가시켜 고조파 왜곡 등의 출력 오차를 감소시키는 효과가 있다.

도면의 간단한 설명

- [0026] 도 1은 종래의 디지털 아날로그 컨버터의 출력 전압 및 고조파 왜곡 계산을위한 참고도면이다.
- 도 2는 본 발명의 실시예인 고전압에서 사용 가능한 디지털 아날로그 컨버터의 출력 전압 및 고조파 왜곡 계산을 위한 참고도면이다.
- 도 3은 본 발명의 또 다른 실시예인 고전압에서 사용 가능한 디지털 아날로그 컨버터의 개략적인 구성도이다.
- 도 4는 본 발명의 실시예의 구성인 고전압 출력부의 개략적인 구성도이다.
- 도 5는 본 발명의 실시예의 구성인 고전압 출력부의 보다 세부적인 구성도이다.
- 도 6은 본 발명의 실시예인 고전압에서 사용 가능한 디지털 아날로그 컨버터의 보다 세부적인 구성도이다.

발명을 실시하기 위한 구체적인 내용

- [0027] 본 명세서 및 청구범위에 사용된 용어나 단어는 통상적이거나 사전적인 의미로 한정 해석되지 아니하며, 발명자는 그 사용자의 발명을 가장 최선의 방법으로 설명하기 위해 용어의 개념을 적절하게 정의할 수 있다는 원칙에 입각하여 본 발명의 기술적 사상에 부합하는 의미와 개념으로 해석되어야만 한다.
- [0028] 명세서 전체에서, 어떤 부분이 어떤 구성요소를 포함한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [0029] 명세서 전체에서, 어떤 부분이 어떤 구성요소를 포함한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다. 또한, 명세서에 기재된

"...부", "...기", "모듈", "장치" 등의 용어는 적어도 하나의 기능이나 동작을 처리하는 단위를 의미하며, 이는 하드웨어 및/또는 소프트웨어의 결합으로 구현될 수 있다.

[0030] 본 발명에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.

[0031] 도 1은 종래의 디지털 아날로그 컨버터의 출력 전압 및 고조파 왜곡 계산을 위한 참고도면으로 출력 전압(V_{out})은 수학적 식 1에 의해 구해지며, 고조파 왜곡(Harmonic Distortion 이하 'HD')은 수학적 식 2에 의해 구해진다.

수학적 식 1

$$V_{out} = R_L \times N \times I_0 \times \left[\left(\frac{n}{N} \right) + \left(\frac{n}{N} \right)^3 \times \left\{ \frac{(R_L \times N)}{(2 \times Z_0)} \right\}^2 \right]$$

[0032]

수학적 식 2

$$HD = \left\{ \frac{(R_L \times N)}{(4 \times Z_0)} \right\}^2$$

[0033]

[0034] 도1 를 참조할 때, 상기 수학적 식 1 및 상기 수학적 식 2 에서 각각의 변수의 의미는 다음과 같다.

[0035] N은 전류원의 총 개수를 의미하며, n은 디지털 입력 코드를 의미하고, Z_0 는 전류 소스 출력 임피던스를 의미하고, I_0 는 각 전류원의 값을 의미하며, R_L 은 부하 임피던스를 의미한다.

[0036] 도 2는 본 발명의 실시예인 고전압에서 사용 가능한 디지털 아날로그 컨버터의 출력 전압 및 고조파 왜곡 계산을 위한 참고도면이다.

[0037] 도 2를 참조하면, 본 발명의 실시예의 출력 전압(V_{out})은 수학적 식 3에 의해 구해지며, 본 발명의 실시예의 고조파 왜곡(Harmonic Distortion 이하 'HD')은 수학적 식 4에 의해 구해진다.

수학적 식 3

$$V_{out} = R_L \times N \times I_0 \times \left[\left(\frac{n}{N} \right) + \left(\frac{n}{N} \right)^3 \times \left\{ \frac{(R_L \times N)}{(2 \times g_m \times r_o \times Z_0)} \right\}^2 \right]$$

[0038]

수학적 식 4

$$HD = \left\{ \frac{(R_L \times N)}{(4 \times g_m \times r_o \times Z_0)} \right\}^2$$

[0039]

[0040] 도2 를 참조할 때, 상기 수학적 식 3 및 상기 수학적 식 4 에서 각각의 변수의 의미는 다음과 같다.

[0041] N은 전류원의 총 개수를 의미하며, n은 디지털 입력 코드를 의미하고, Z_0 는 전류 소스 출력 임피던스를 의미하고, I_0 는 각 전류원의 값을 의미하며, R_L 은 부하 임피던스를 의미한다.

- [0042] 또한, g_m 은 트랜스 컨덕턴스로서, 게이트-소스 전압(V_{gs})의 변화량을 의미한다. 그리고 r_o 는 출력저항으로서, 드레인-소스 전압(V_{ds})에 따른 전류 변화량을 의미하는 것이며, r_o 은 MOS의 채널 길이에 따라 변한다.
- [0043] 도1, 도2 및 수학적식 1 내지 수학적식 4를 고려할 때, g_m 및 r_o 의 영향으로 인하여 종래의 디지털 아날로그 컨버터보다 본 발명의 실시예인 고전압에서 사용 가능한 디지털 아날로그 컨버터가 HD가 작음을 알 수 있다.
- [0044] 따라서, 본 발명의 실시예에 따른 때, HD가 작아져 출력 오차 또한, 감소하는 것을 알 수 있다.
- [0045] 도 3은 본 발명의 실시예인 고전압에서 사용 가능한 디지털 아날로그 컨버터의 개략적인 구성도이다.
- [0046] 도 3을 참조하면, 본 발명의 실시예는 전류 구동부(100), 디지털 아날로그 컨버터부(200) 및 고전압 출력부(300)를 포함한다.
- [0047] 전류 구동부(100)는 바이어스 전류를 발생시킨다.
- [0048] 보다 구체적으로 전류 구동부(100)는 가변 전류원을 포함할 수 있다.
- [0049] 또한, 전류 구동부(100)는 바이어스 전류를 발생시키고, 발생시킨 바이어스 전류를 디지털 아날로그 컨버터부(200)에 입력할 수 있다.
- [0050] 디지털 아날로그 컨버터부(200)는 전류 구동부(100)와 연결되고, 이진화된 디지털 신호를 입력신호로 받으며, 디지털 신호에 해당하는 아날로그 신호를 내보낸다.
- [0051] 또한, 디지털 아날로그 컨버터부(200)는 1V 이상 5V 이하에 해당하는 저전압으로 유지된다.
- [0052] 고전압 출력부(300)는 디지털 아날로그 컨버터부(200)와 연결되어 있다.
- [0053] 또한, 고전압 출력부(300)는 10V 이상 65V 이하에 해당하는 고전압으로 유지된다.
- [0054] 도 4는 본 발명의 실시예의 구성인 고전압 출력부의 개략적인 구성도이다.
- [0055] 도 4를 참조하면, 고전압 출력부(300)는 제1 전압상승 방지단(310), 제2 전압상승 방지단(320), 제1 누설전류 방지단(330), 제2 누설전류 방지단(340), HV MOS 단(350)을 포함할 수 있다.
- [0056] HV MOS 단(350)은 고전압 출력부(300)의 고전압이 디지털 아날로그 컨버터부(200)로 유입되는 것을 방지할 수 있다.
- [0057] HV MOS 단(350)은 제1 전압상승 방지단(310), 제2 전압상승 방지단(320), 제1 누설전류 방지단(330) 및 제2 누설전류 방지단(340) 각각과 연결되어 있다.
- [0058] 제1 누설전류 방지단(330) 및 제2 누설전류 방지단(340)은 HV MOS 단(350)으로부터 누설전류가 흘러 디지털 아날로그 컨버터부(200)와 고전압 출력부(300)가 연결된 노드의 전압이 항복전압 이상으로 올라가지 않도록 유지할 수 있다.
- [0059] 제1 전압상승 방지단(310) 및 제2 전압상승 방지단(320)은 고전압 출력부(300)의 순간적인 전압상승을 방지할 수 있다.
- [0060] 보다 구체적으로 고전압 출력부(300)는 10V 이상 65V 이하에 해당하는 고전압으로 유지되고 있으나 순간적으로 전압이 상승할 수 있으므로, 이를 방지하기 위하여 HV MOS 단(350)과 제1 전압상승 방지단(310)을 연결할 수 있으며, HV MOS 단(350)과 제2 전압상승 방지단(320)을 연결할 수 있다.
- [0061] 도 5는 본 발명의 실시예의 구성인 고전압 출력부의 보다 세부적인 구성도이다.
- [0062] 도 5를 참조하면, 고전압 출력부(300)는 제1 다이오드(311), 제2 다이오드(321), 제1 전류원(331), 제1 스위치(332), 제2 전류원(341), 제2 스위치(342), 제1 HV MOS(351) 및 제2 HV MOS(352)를 포함할 수 있다.

표 1

[0063]

V_{th} [V]	BV_{dss} [V]	I_{dsat} [$\mu A/\mu m$]	I_{off} [$pA/\mu m$]
extrapolated threshold voltage	drain-source breakdown voltage	saturation drain current	off-state leakage current
0.871	53	213	1.01
0.804	62	206	1

2.52	58	197	0.9
2.56	60	197	1.02
0.891	43	227	0.5
0.804	54	245	0.94
1.101	60	183	0.5
1.26	46	297	150

- [0064] 상기 표 1은 제1 HV MOS(351) 및 제2 HV MOS(352)의 구동 스펙을 나타낸 데이터 시트이다.
- [0065] 상기 표 1의 스펙을 구체적으로 보자면, V_{th} 는 extrapolated threshold voltage 를 말하는 것으로, MOSFET 이 on off 되는 문턱전압을 의미한다.
- [0066] BV_{dss} 는 drain-source breakdown voltage 를 말하는 것으로, MOSFET 이 견디는 최대전압을 의미한다.
- [0067] 즉, 본 명세서 및 청구범위에 기재된 고전압의 범위는 상기 표 1의 BV_{dss} 스펙을 기초로 하는 것이다.
- [0068] I_{dsat} 는 saturation drain current 를 말하는 것으로, 드레인 포화 전류 즉, 드레인 바이어스 전압을 상승시켜 포화상태가 되었을 때의 드레인 전류를 의미한다.
- [0069] I_{off} 는 off-state leakage current 를 말하는 것으로, MOSFET 이 OFF 된 상태에서 흐르는 누설전류를 의미한다.
- [0070] 제1 HV MOS(351)는 제1 고전압(HV_{I+})이 디지털 아날로그 컨버터부(200)로 유입되는 것을 방지할 수 있으며, 제2 HV MOS(352)는 제2 고전압(HV_{I-})이 디지털 아날로그 컨버터부(200)로 유입되는 것을 방지할 수 있다.
- [0071] 보다 구체적으로 제1 HV MOS(351)의 드레인으로 제1 고전압(HV_{I+})이 유입되지만 제1 HV MOS(351)는 고전압 소자로서, 저전압 소자로 이루어진 디지털 아날로그 컨버터부(200)에 제1 고전압(HV_{I+})이 유입되는 것을 방지할 수 있다.
- [0072] 또한, 제2 HV MOS(352)의 드레인으로 제2 고전압(HV_{I-})이 유입되지만 제2 HV MOS(352)는 고전압 소자로서, 저전압 소자로 이루어진 디지털 아날로그 컨버터부(200)에 제2 고전압(HV_{I-})이 유입되는 것을 방지할 수 있다.
- [0073] 제1 HV MOS(351)의 게이트와 제2 HV MOS(352)의 게이트는 서로 연결되어있다.
- [0074] 이러한 대칭적인 형태로 구성함으로써, CMRR(Common Mode Rejection Ratio)이 보다 큰 값을 갖게 하는 효과가 있다.
- [0075] 제1 전류원(331) 및 제1 스위치(332)는 연결되어있다.
- [0076] 또한, 제1 스위치(332)는 제1 HV MOS(351)의 소스에 연결되어있다.
- [0077] 제1 전류원(331)은 제1 스위치(332)를 통해 제1 HV MOS(351)의 소스와 연결되어 제1 HV MOS(351)로부터 누설전류가 흘러 디지털 아날로그 컨버터부(200)와 연결된 노드의 전압이 항복전압 이상으로 올라가지 않도록 유지할 수 있다.
- [0078] 보다 구체적으로, 제1 HV MOS(351)의 게이트-소스 전압(V_{gs})이 문턱전압(V_{th})보다 작은 때에도 일정량의 누설전류가 저전압 소자로 구성된 디지털 아날로그 컨버터부(200)에 흘러 디지털 아날로그 컨버터부(200)가 오작동 또는 고전압에 따른 문제가 발생할 수 있다.
- [0079] 이를 방지하기 위해 디지털 아날로그 컨버터부(200) 및 제1 HV MOS(351)의 소스와 제1 스위치(332) 및 제1 전류원(331)을 연결시킬 수 있다.
- [0080] 제2 전류원(341) 및 제2 스위치(342)는 연결되어있다.
- [0081] 또한, 제2 스위치(342)는 제2 HV MOS(352)의 소스에 연결되어있다.
- [0082] 제2 전류원(341)은 제2 스위치(342)를 통해 제2 HV MOS(352)의 소스와 연결되어 제2 HV MOS(352)로부터 누설전류가 흘러 디지털 아날로그 컨버터부(200)와 연결된 노드의 전압이 항복전압 이상으로 올라가지 않도록 유지할 수 있다.
- [0083] 보다 구체적으로, 제2 HV MOS(352)의 게이트-소스 전압(V_{gs})이 문턱전압(V_{th})보다 작은 때에도 일정량의 누설전류가 저전압 소자로 구성된 디지털 아날로그 컨버터부(200)에 흘러 디지털 아날로그 컨버터부(200)가 오작동 또

는 고전압에 따른 문제가 발생할 수 있다.

- [0084] 이를 방지하기 위해 디지털 아날로그 컨버터부(200) 및 제2 HV MOS(352)의 소스와 제2 스위치(342) 및 제2 전류원(341)을 연결 시킬 수 있다.
- [0085] 제1 다이오드(311)는 고전압 출력부(300)가 고전압을 사용하는 때에 생길 수 있는 순간적인 전압상승을 방지한다.
- [0086] 보다 구체적으로, 제1 다이오드(311)은 제1 HV MOS(351)의 소스와 연결된다.
- [0087] 상술하였듯이 제1 HV MOS(351)의 소스는 디지털 아날로그 컨버터부(200)와 연결되어 있으므로 제1 HV MOS(351)의 소스는 저전압으로 유지되어야 한다.
- [0088] 따라서 제1 다이오드(311)의 애노드와 제1 HV MOS(351)의 소스를 연결 시켜 고전압 출력부(300)가 고전압을 사용하는 때에 생길 수 있는 순간적인 전압상승을 방지할 수 있다.
- [0089] 또한, 제1 다이오드(311)의 캐소드가 저전압(LV_VDD)로 유지될 수 있다.
- [0090] 제2 다이오드(321)는 고전압 출력부(300)가 고전압을 사용하는 때에 생길 수 있는 순간적인 전압상승을 방지한다.
- [0091] 보다 구체적으로, 제2 다이오드(321)은 제2 HV MOS(352)의 소스와 연결된다.
- [0092] 상술하였듯이 제2 HV MOS(352)의 소스는 디지털 아날로그 컨버터부(200)와 연결되어 있으므로 제2 HV MOS(352)의 소스는 저전압으로 유지되어야 한다.
- [0093] 따라서 제2 다이오드(321)의 애노드와 제2 HV MOS(352)의 소스를 연결 시켜 고전압 출력부(300)가 고전압을 사용하는 때에 생길 수 있는 순간적인 전압상승을 방지할 수 있다.
- [0094] 또한, 제2 다이오드(311)의 캐소드가 저전압(LV_VDD)로 유지될 수 있다.
- [0095] 도 6은 본 발명의 실시예인 고전압에서 사용 가능한 디지털 아날로그 컨버터의 보다 세부적인 구성도이다.
- [0096] 도 6을 참조하면, 고전압에서 사용 가능한 디지털 아날로그 컨버터는 전류 구동부(100), 디지털 아날로그 컨버터부(200) 및 고전압 출력부(300)를 포함한다.
- [0097] 디지털 아날로그 컨버터부(200)는 저전압 소자로 이루어져 있으므로 제1 저전압(LV_I+)이 제1 노드로 입력된다.
- [0098] 또한, 제2 저전압(LV_I-)이 제2 노드로 입력된다.
- [0099] 제1 HV MOS(351)는 제1 고전압(HV_I+)이 제1 HV MOS(351)의 소스와 연결된 제1 노드로 유입되는 것을 방지할 수 있으며, 제2 HV MOS(352)는 제2 고전압(HV_I-)이 제2 HV MOS(352)의 소스와 연결된 제2 노드로 유입되는 것을 방지할 수 있다.
- [0100] 보다 구체적으로 제1 HV MOS(351)의 드레인으로 제1 고전압(HV_I+)이 유입되지만 제1 HV MOS(351)는 고전압 소자로써, 저전압 소자로 이루어진 디지털 아날로그 컨버터부(200)의 제1 노드에 제1 고전압(HV_I+)이 유입되는 것을 방지할 수 있다.
- [0101] 또한, 제2 HV MOS(352)의 드레인으로 제2 고전압(HV_I-)이 유입되지만 제2 HV MOS(352)는 고전압 소자로써, 저전압 소자로 이루어진 디지털 아날로그 컨버터부(200)의 제2 노드에 제2 고전압(HV_I-)이 유입되는 것을 방지할 수 있다.
- [0102] 제1 HV MOS(351)의 게이트와 제2 HV MOS(352)의 게이트는 서로 연결되어있다.
- [0103] 이러한 대칭적인 형태로 구성함으로써, CMRR(Common Mode Rejection Ratio)이 보다 큰 값을 갖게 하는 효과가 있다.
- [0104] 제1 전류원(331) 및 제1 스위치(332)는 연결되어있다.
- [0105] 또한, 제1 스위치(332)는 제1 HV MOS(351)의 소스에 연결되어있다.
- [0106] 제1 전류원(331)은 제1 스위치(332)를 통해 제1 HV MOS(351)의 소스와 연결되어 제1 HV MOS(351)로부터 누설전류가 흘러 디지털 아날로그 컨버터부(200)의 제1 노드 전압이 항복전압 이상으로 올라가지 않도록 유지할 수 있다.

- [0107] 보다 구체적으로, 제1 HV MOS(351)의 게이트-소스 전압(V_{gs})이 문턱전압(V_{th})보다 작은 때에도 일정량의 누설전류가 저전압 소자로 구성된 디지털 아날로그 컨버터부(200)의 제1 노드를 통해 디지털 아날로그 컨버터부(200)로 유입되어 디지털 아날로그 컨버터부(200)가 오작동 또는 고전압에 따른 문제가 발생할 수 있다.

[0108] 이를 방지하기 위해 디지털 아날로그 컨버터부(200)의 제1 노드 및 제1 HV MOS(351)의 소스와 제1 스위치(332) 및 제1 전류원(331)을 연결 시킬 수 있다.

[0109] 제2 전류원(341) 및 제2 스위치(342)는 연결되어있다.

[0110] 또한, 제2 스위치(342)는 제2 HV MOS(352)의 소스에 연결되어있다.

[0111] 제2 전류원(341)은 제2 스위치(342)를 통해 제2 HV MOS(352)의 소스와 연결되어 제2 HV MOS(352)로부터 누설전류가 흘러 디지털 아날로그 컨버터부(200)와 연결된 노드의 전압이 항복전압 이상으로 올라가지 않도록 유지할 수 있다.

[0112] 보다 구체적으로, 제2 HV MOS(352)의 게이트-소스 전압(V_{gs})이 문턱전압(V_{th})보다 작은 때에도 일정량의 누설전류가 저전압 소자로 구성된 디지털 아날로그 컨버터부(200)의 제2 노드를 통해 디지털 아날로그 컨버터부(200)로 유입되어 디지털 아날로그 컨버터부(200)가 오작동 또는 고전압에 따른 문제가 발생할 수 있다.

[0113] 이를 방지하기 위해 디지털 아날로그 컨버터부(200)의 제2 노드 및 제2 HV MOS(352)의 소스와 제2 스위치(342) 및 제2 전류원(341)을 연결 시킬 수 있다.

[0114] 제1 다이오드(311)는 고전압 출력부(300)가 고전압을 사용하는 때에 생길 수 있는 순간적인 전압상승을 방지한다.

[0115] 보다 구체적으로, 제1 다이오드(311)은 제1 HV MOS(351)의 소스와 연결된다.

[0116] 상술하였듯이 제1 HV MOS(351)의 소스는 디지털 아날로그 컨버터부(200)의 제1 노드와 연결되어 있으므로 제1 HV MOS(351)의 소스는 저전압으로 유지되어야 한다.

[0117] 따라서 제1 다이오드(311)의 애노드와 제1 HV MOS(351)의 소스를 연결 시켜 고전압 출력부(300)가 고전압을 사용하는 때에 생길 수 있는 순간적인 전압상승을 방지할 수 있다.

[0118] 또한, 제1 다이오드(311)의 캐소드가 저전압(LV_VDD)로 유지될 수 있다.

[0119] 제2 다이오드(321)는 고전압 출력부(300)가 고전압을 사용하는 때에 생길 수 있는 순간적인 전압상승을 방지한다.

[0120] 보다 구체적으로, 제2 다이오드(321)은 제2 HV MOS(352)의 소스와 연결된다.

[0121] 상술하였듯이 제2 HV MOS(352)의 소스는 디지털 아날로그 컨버터부(200)의 제2 노드와 연결되어 있으므로 제2 HV MOS(352)의 소스는 저전압으로 유지되어야 한다.

[0122] 따라서 제2 다이오드(321)의 애노드와 제2 HV MOS(352)의 소스를 연결 시켜 고전압 출력부(300)가 고전압을 사용하는 때에 생길 수 있는 순간적인 전압상승을 방지할 수 있다.

[0123] 또한, 제2 다이오드(311)의 캐소드가 저전압(LV_VDD)로 유지될 수 있다.

[0124] 상기와 같이 본 발명의 실시예에 따른 고전압에서 사용 가능한 디지털 아날로그 컨버터의 구성 및 동작이 이루어질 수 있으며, 한편 상기 본 발명의 설명에서는 구체적인 실시예에 관해 설명하였으나 여러 가지 변형이 본 발명의 범위를 벗어나지 않고 실시될 수 있다.

[0125] 이상에서 본 발명은 비록 한정된 실시예와 도면에 의해 설명되었으나, 본 발명은 이것에 의해 한정되지 않으며 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 다양한 수정 및 변형이 가능함은 물론이다.

부호의 설명

- [0127]
- | | |
|--------------|--------------------|
| 100: 전류 구동부 | 200: 디지털 아날로그 컨버터부 |
| 300: 고전압 출력부 | 310: 제1 전압상승 방지단 |
| 311: 제1 다이오드 | 320: 제2 전압상승 방지단 |

321: 제2 다이오드

330: 제1 누설전류 방지단

331: 제1 전류원

332: 제1 스위치

340: 제2 누설전류 방지단

341: 제2 전류원

342: 제2 스위치

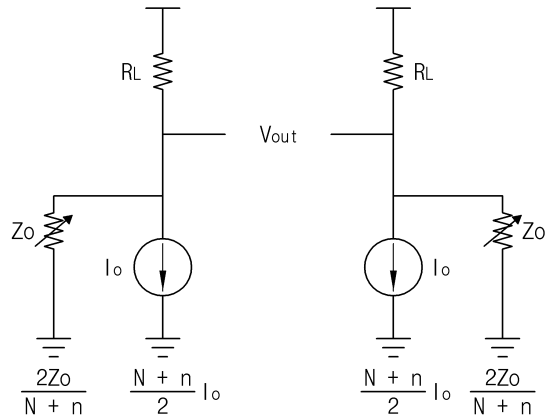
350: HV MOS 단

351: 제1 HV MOS

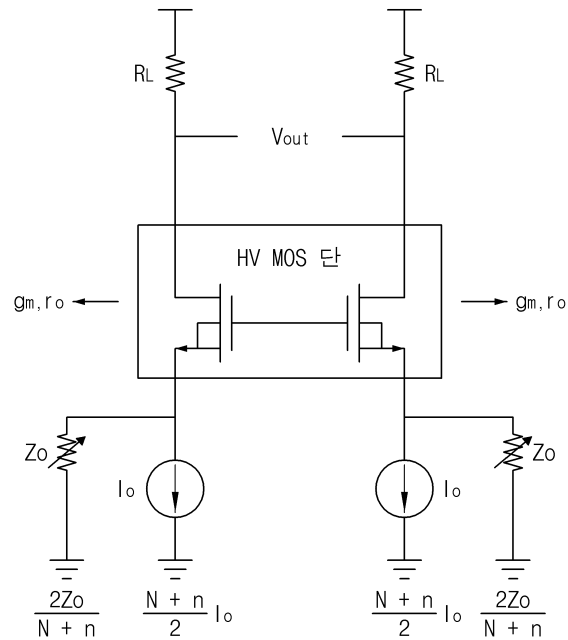
352: 제2 HV MOS

도면

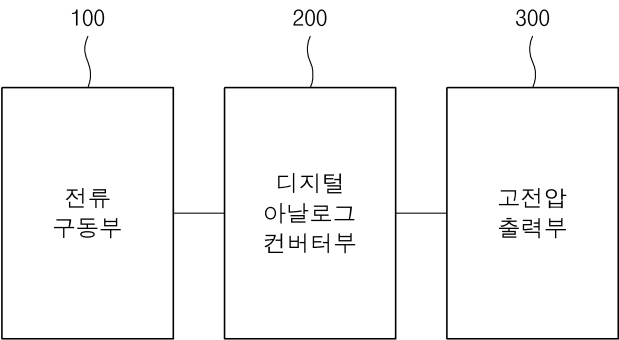
도면1



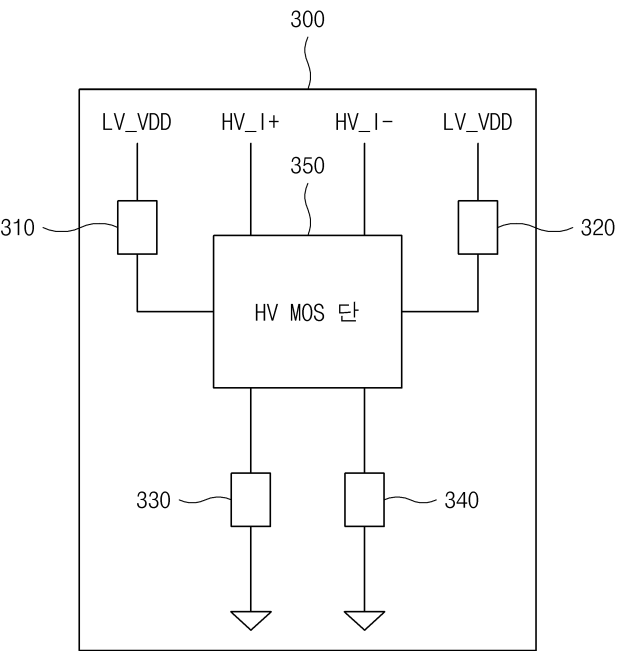
도면2



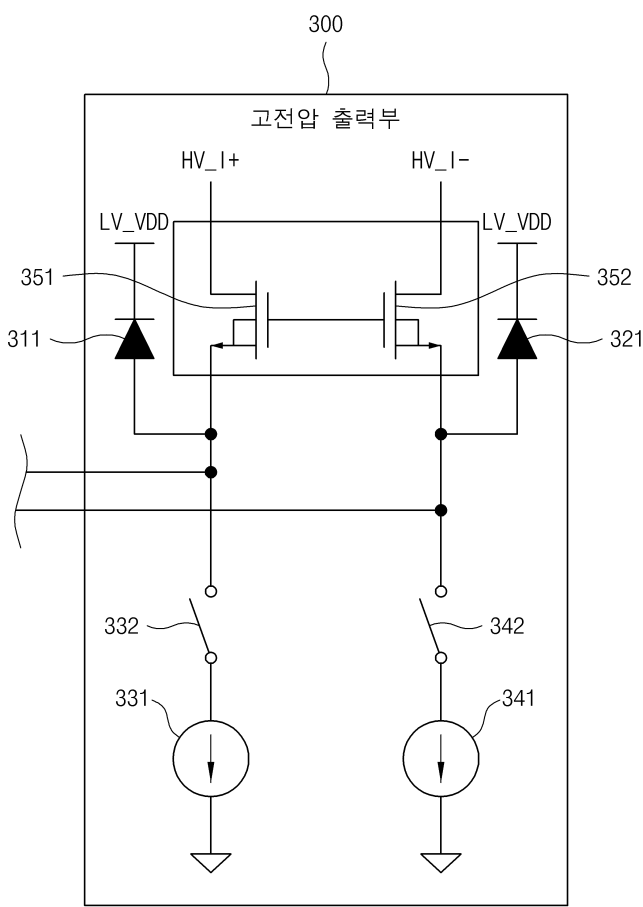
도면3



도면4



도면5



도면6

