



(12) 发明专利

(10) 授权公告号 CN 114679158 B

(45) 授权公告日 2022. 08. 05

(21) 申请号 202210595557.9

(22) 申请日 2022.05.30

(65) 同一申请的已公布的文献号
申请公布号 CN 114679158 A

(43) 申请公布日 2022.06.28

(73) 专利权人 石家庄市鹿泉区精诚通信科技有
限公司

地址 050000 河北省石家庄市鹿泉区御园
路99号光谷科技园B区2号

(72) 发明人 刘晨 李现林 郭翠翠 李娟娟
冯雷

(74) 专利代理机构 石家庄科途知识产权代理事
务所(普通合伙) 13141

专利代理师 檀文礼

(51) Int.Cl.

H03K 3/03 (2006.01)

G01R 1/28 (2006.01)

G01R 35/00 (2006.01)

(56) 对比文件

CN 112615589 A, 2021.04.06

CN 105656456 A, 2016.06.08

CN 103427795 A, 2013.12.04

CN 112118007 A, 2020.12.22

US 2019245528 A1, 2019.08.08

US 2019131962 A1, 2019.05.02

审查员 郁然

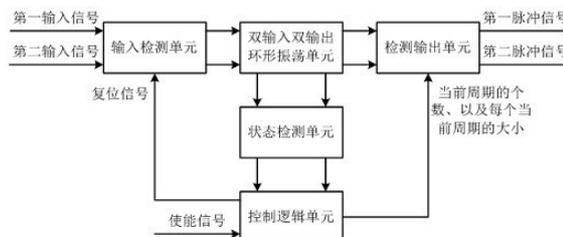
权利要求书4页 说明书15页 附图4页

(54) 发明名称

周期信号发生装置、信号处理系统及其周期
信号发生方法

(57) 摘要

本发明公开了一种周期信号发生装置、信号
处理系统及其周期信号发生方法,该装置包括:
控制逻辑单元,发送复位信号;输入检测单元,复
位后接收相应输入信号并检测其上升沿的到来
时机;双输入双输出环形振荡单元,对相应输入
信号的上升沿信息进行复制,得到相应复位信
号;状态检测单元,检测相应复制信号在相应传
输链上传输时的相位状态,得到相应信号状态;
控制逻辑单元,基于使能信号和相应信号状态,
确定当前周期的个数及每个当前周期的大小;检
测输出单元,根据当前周期的个数及每个当前周
期的大小,输出相应复制信号,记为第一脉冲信
号和第二脉冲信号。该方案,通过设置能够产生
一对脉冲信号的周期脉冲信号发生装置,能够扩
大周期脉冲信号发生器的适用范围。



1. 一种周期信号发生装置,其特征在于,包括:输入检测单元、双输入双输出环形振荡单元、检测输出单元、状态检测单元和控制逻辑单元;其中,

所述控制逻辑单元,被配置为接收外部输入的使能信号,并基于所述使能信号,向所述输入检测单元发送复位信号;

所述输入检测单元,被配置为在基于所述复位信号复位后,接收第一输入信号,检测所述第一输入信号上升沿的到来时机;以及,接收第二输入信号,并检测所述第二输入信号上升沿的到来时机;

所述双输入双输出环形振荡单元,被配置为在所述输入检测单元检测到所述第一输入信号上升沿的到来时机的情况下,对所述第一输入信号的上升沿信息进行复制,得到第一复制信号;以及,在所述输入检测单元检测到所述第二输入信号上升沿的到来时机的情况下,对所述第二输入信号的上升沿信息进行复制,得到第二复制信号;

所述状态检测单元,被配置为检测所述第一复制信号在所述双输入双输出环形振荡单元中相应传输链上传输时的相位状态,得到第一信号状态;以及,检测所述第二复制信号在所述双输入双输出环形振荡单元中相应传输链上传输时的相位状态,得到第二信号状态;

所述控制逻辑单元,还被配置为基于所述使能信号,根据所述第一信号状态和所述第二信号状态,确定所述第一复制信号和所述第二复制信号的当前周期的个数、以及每个当前周期的大小;

所述检测输出单元,被配置为根据所述第一复制信号和所述第二复制信号的当前周期的个数、以及每个当前周期的大小,输出所述第一复制信号和所述第二复制信号,记为第一脉冲信号和第二脉冲信号,以基于双输入的所述第一输入信号和所述第二输入信号,产生双输出的所述第一脉冲信号和所述第二脉冲信号。

2. 根据权利要求1所述的周期信号发生装置,其特征在于,所述输入检测单元,包括:第一D触发器模块和第二D触发器模块;其中,

所述第一D触发器模块的数据输入端接高电平信号,所述第一D触发器模块的时钟输入端用于输入所述第一输入信号,所述第一D触发器模块的第一输出端输出至所述双输入双输出环形振荡器的第一输入端,所述第一D触发器模块的第一输出端还输出至所述检测输出单元的第一输入端,所述第一D触发器模块的第二输出端输出至所述控制逻辑单元;

所述第二D触发器模块的数据输入端接高电平信号,所述第二D触发器模块的时钟输入端用于输入所述第二输入信号,所述第二D触发器模块的第一输出端输出至所述双输入双输出环形振荡器的第二输入端,所述第二D触发器模块的第一输出端还输出至所述检测输出单元的第二输入端,所述第二D触发器模块的第二输出端输出至所述控制逻辑单元。

3. 根据权利要求1所述的周期信号发生装置,其特征在于,所述双输入双输出环形振荡单元,包括:双输入双输出环形振荡器;

其中,所述双输入双输出环形振荡器,包括:第一延时链和第二延时链;所述第一延时链和所述第二延时链的结构相同,且所述第一延时链和所述第二延时链的首尾相连。

4. 根据权利要求3所述的周期信号发生装置,其特征在于,所述第一延时链,包括:第一与非门模块和第一缓冲器组;所述第二延时链,包括:第二与非门模块和第二缓冲器组;

其中,所述第一与非门模块的第一输入端,与所述第二缓冲器组的输出端相连;所述第一与非门模块的第一输入端,还与所述检测输出单元的第一输入端相连;所述第一与非门

模块的第二输入端,与所述输入检测单元的第一输出端相连;所述第一与非门模块的输出端,经所述第一缓冲器组后,与所述第二与非门模块的第二输入端相连;

所述第二与非门模块的第一输入端,与所述输入检测单元的第一输出端相连;所述第二与非门模块的第一输入端,还与所述检测输出单元的第二输入端相连;所述第二与非门模块的第一输入端,还与所述检测输出单元的第一输入端相连;所述第二与非门模块的输出端,与所述第二缓冲器组的输入端相连;

其中,所述第二缓冲器组的输出端,作为所述双输入双输出振荡单元的第一输出端;所述第一与非门模块的第二输入端,作为所述双输入双输出振荡单元的第一输入端;所述第一缓冲器组的输出端,作为所述双输入双输出振荡单元的第二输出端;所述第二与非门模块的第一输入端,作为所述双输入双输出振荡单元的第二输入端。

5. 根据权利要求4所述的周期信号发生装置,其特征在于,所述第一缓冲器组,包括:第一缓冲器模块,所述第一缓冲器模块的数量为 n_1 个, n_1 为正整数;所述第二缓冲器组,包括:第二缓冲器模块,所述第二缓冲器模块的数量为 n_2 个, n_2 为正整数、且 n_1 和 n_2 相同;

其中, n_1 个所述第一缓冲器模块串联设置, n_2 个所述第二缓冲器模块串联设置;所述第一延时链与所述第二延时链,形成环形振荡器;

所述第二缓冲器组中设定缓冲器的输出端,作为所述双输入双输出环形振荡单元的第一相位状态检测端;所述第一缓冲器组中设定缓冲器模块的输出端,作为所述双输入双输出环形振荡单元的第二相位状态检测端。

6. 根据权利要求1所述的周期信号发生装置,其特征在于,所述检测输出单元,包括:第一与门模块和第二与门模块;

其中,所述第一与门模块的第一输入端,作为所述检测输出单元的第一输入端,与所述双输入双输出环形振荡单元的第一输出端相连;所述第一与门模块的第二输入端,分别与与所述输入检测单元的第一输出端、以及所述双输入双输出环形振荡单元的第一输入端相连;所述第一与门模块的第三输入端,与所述控制逻辑单元相连;所述第一与门模块的输出端用于输出所述第一脉冲信号;

所述第二与门模块的第一输入端,作为所述检测输出单元的第一输入端,与所述双输入双输出环形振荡单元的第二输出端相连;所述第二与门模块的第二输入端,分别与与所述输入检测单元的第二输出端、以及所述双输入双输出环形振荡单元的第二输入端相连;所述第二与门模块的第三输入端,与所述控制逻辑单元相连;所述第二与门模块的输出端用于输出所述第二脉冲信号。

7. 根据权利要求1至6中任一项所述的周期信号发生装置,其特征在于,其中,所述状态检测单元,包括:第一状态检测模块和第二状态检测模块;其中,

所述第一状态检测模块和所述第二状态检测模块的结构相同,且所述第一状态检测模块设置在所述双输入双输出环形振荡单元的第一相位状态检测端与所述控制逻辑单元之间,所述第二状态检测模块设置在所述双输入双输出环形振荡单元的第二相位状态检测端与所述控制逻辑单元之间;

和/或,

所述控制逻辑单元,包括:基于计数器的逻辑处理模块;所述基于计数器的逻辑处理模块,分别与与所述输入检测单元、所述状态检测单元和所述检测输出单元相连。

8. 根据权利要求7所述的周期信号发生装置,其特征在于,其中,

所述第一状态检测模块,包括:第一反相器模块和第三缓冲器组,所述第三缓冲器组由 m_1 个缓冲器模块串联而成, m_1 为正整数;所述第二状态检测模块,包括:第二反相器模块和第四缓冲器组,所述第四缓冲器组由 m_2 个缓冲器模块串联而成, m_2 为正整数、且 m_1 与 m_2 相同;其中,

所述第一反相器模块的输入端,与所述双输入双输出环形振荡单元的第一相位状态检测端相连;所述第一反相器模块的输出端,经所述第三缓冲器组之后,与所述控制逻辑单元的第二输入端相连;

所述第二反相器模块的输入端,与所述双输入双输出环形振荡单元的第二相位状态检测端相连;所述第二反相器模块的输出端,经所述第四缓冲器组之后,与所述控制逻辑单元的第三输入端相连;

所述控制逻辑单元的第一输入端,用于输入所述使能信号;所述控制逻辑单元的第二输出端,用于输出所述复位信号;所述控制逻辑单元的第一输出端,用于输出所述第一复制信号和所述第二复制信号的当前周期的个数、以及每个当前周期的大小;

和/或,

所述控制逻辑单元,包括:第三D触发器模块、第四D触发器模块、第五D触发器模块,第五缓冲器组,第三与非门模块、第四与非门模块,以及第三与门模块;所述第五缓冲器组由 m_3 个缓冲器模块串联而成, m_3 为正整数;其中,

所述第三D触发器模块的时钟输入端,与所述状态检测单元的第一输出端相连;所述第三D触发器模块的数据输入端,分别与所述第三D触发器模块的第二输出端、所述第四D触发器模块的时钟输入端、以及所述第五D触发器模块的时钟输入端相连;所述第三D触发器模块的复位端,分别与所述第四D触发器模块的复位端、所述第五D触发器模块的复位端、以及所述第四与非门模块的输出端相连;所述第三D触发器模块的第一输出端,分别与所述第五缓冲器组的输入端、以及所述第三与非门模块的第一输入端相连;所述第五缓冲器组的输出端,与所述检测输出单元相连;

所述第四D触发器模块的数据输入端,分别与所述第四D触发器模块的第二输出端、以及所述第三与非门模块的第二输入端相连;所述第四D触发器模块的第一输出端,与所述第五D触发器模块的数据输入端相连;

所述第五D触发器模块的第一输出端,与所述第三与非门模块的第三输入端相连;所述第三与非门模块的输出端,与所述第三与门模块的第二输入端相连;所述第三与门模块的第一输入端,用于输入所述使能信号;所述第三与门模块的输出端,与所述输入检测单元的复位端相连;

所述第四与非门模块的第一输入端,与所述状态检测单元的第二输出端相连;所述第四与非门模块的第二输入端,与所述输入检测单元的第二输出端相连;

所述第三D触发器模块的时钟输入端,作为所述控制逻辑单元的第二输入端;所述第四与非门模块的第一输入端,作为所述控制逻辑单元的第三输入端;所述第三与门模块的第一输入端,作为所述控制逻辑单元的第一输入端;所述第三与门模块的输出端,作为所述控制逻辑单元的第二输出端;所述第五缓冲器组的输出端,作为所述控制逻辑单元的第一输出端。

9. 一种信号处理系统,其特征在於,包括:如权利要求1至8中任一项所述的周期信号发生装置。

10. 一种如权利要求9所述的信号处理系统的周期信号发生方法,其特征在於,包括:

控制所述控制逻辑单元,接收外部输入的使能信号,并基於所述使能信号,向所述输入检测单元发送复位信号;

控制所述输入检测单元,在基於所述复位信号复位后,接收第一输入信号,检测所述第一输入信号上升沿的到来时机;以及,接收第二输入信号,并检测所述第二输入信号上升沿的到来时机;

控制所述双输入双输出环形振荡单元,在所述输入检测单元检测到所述第一输入信号上升沿的到来时机的情况下,对所述第一输入信号的上升沿信息进行复制,得到第一复制信号;以及,在所述输入检测单元检测到所述第二输入信号上升沿的到来时机的情况下,对所述第二输入信号的上升沿信息进行复制,得到第二复制信号;

控制所述状态检测单元,检测所述第一复制信号在所述双输入双输出环形振荡单元中相应传输链上传输时的相位状态,得到第一信号状态;以及,检测所述第二复制信号在所述双输入双输出环形振荡单元中相应传输链上传输时的相位状态,得到第二信号状态;

控制所述控制逻辑单元,基於所述使能信号,根据所述第一信号状态和所述第二信号状态,确定所述第一复制信号和所述第二复制信号的当前周期的个数、以及每个当前周期的大小;

控制所述检测输出单元,根据所述第一复制信号和所述第二复制信号的当前周期的个数、以及每个当前周期的大小,输出所述第一复制信号和所述第二复制信号,记为第一脉冲信号和第二脉冲信号,以基於双输入的所述第一输入信号和所述第二输入信号,产生双输出的所述第一脉冲信号和所述第二脉冲信号。

周期信号发生装置、信号处理系统及其周期信号发生方法

技术领域

[0001] 本发明属于电子电路技术领域,尤其属于集成电路技术领域,具体涉及一种周期信号发生装置、信号处理系统及其周期信号发生方法。

背景技术

[0002] 瞬间突然变化,作用时间极短的电压或电流,称为脉冲信号。脉冲信号,可以是周期性重复的,也可以是非周期性的或单次的。周期性重复的脉冲信号,称谓周期性脉冲信号。由于高精度周期脉冲信号在测量系统以及校准系统中有着十分重要的作用,这使得设计与实现出能够产生高精度周期脉冲信号的电路成为了不少学者的研究目标。

[0003] 但是,相关方案中的周期脉冲信号发生器,大都是单输入单输出的,很少有双输入双输出的周期脉冲信号发生器,适用范围小。

[0004] 上述内容仅用于辅助理解本发明的技术方案,并不代表承认上述内容是现有技术。

发明内容

[0005] 本发明的目的在于,提供一种周期信号发生装置、信号处理系统及其周期信号发生方法,以解决周期脉冲信号发生器大都是单输入单输出的,存在适用范围小的问题,达到通过设置能够产生一对脉冲信号的周期脉冲信号发生装置,能够扩大周期脉冲信号发生器的适用范围的效果。

[0006] 本发明提供一种周期信号发生装置,包括:输入检测单元、双输入双输出环形振荡单元、检测输出单元、状态检测单元和控制逻辑单元;其中,所述控制逻辑单元,被配置为接收外部输入的使能信号,并基于所述使能信号,向所述输入检测单元发送复位信号;所述输入检测单元,被配置为在基于所述复位信号复位后,接收第一输入信号,检测所述第一输入信号上升沿的到来时机;以及,接收第二输入信号,并检测所述第二输入信号上升沿的到来时机;所述双输入双输出环形振荡单元,被配置为在所述输入检测单元检测到所述第一输入信号上升沿的到来时机的情况下,对所述第一输入信号的上升沿信息进行复制,得到第一复制信号;以及,在所述输入检测单元检测到所述第二输入信号上升沿的到来时机的情况下,对所述第二输入信号的上升沿信息进行复制,得到第二复制信号;所述状态检测单元,被配置为检测所述第一复制信号在所述双输入双输出环形振荡单元中相应传输链上传输时的相位状态,得到第一信号状态;以及,检测所述第二复制信号在所述双输入双输出环形振荡单元中相应传输链上传输时的相位状态,得到第二信号状态;所述控制逻辑单元,还被配置为基于所述使能信号,根据所述第一信号状态和所述第二信号状态,确定所述第一复制信号和所述第二复制信号的当前周期的个数、以及每个当前周期的大小;所述检测输出单元,被配置为根据所述第一复制信号和所述第二复制信号的当前周期的个数、以及每个当前周期的大小,输出所述第一复制信号和所述第二复制信号,记为第一脉冲信号和第二脉冲信号,以基于双输入的所述第一输入信号和所述第二输入信号,产生双输出的所述

第一脉冲信号和所述第二脉冲信号。

[0007] 在一些实施方式中,所述输入检测单元,包括:第一D触发器模块和第二D触发器模块;其中,所述第一D触发器模块的数据输入端接高电平信号,所述第一D触发器模块的时钟输入端用于输入所述第一输入信号,所述第一D触发器模块的第一输出端输出至所述双输入双输出环形振荡器的第一输入端,所述第一D触发器模块的第一输出端还输出至所述检测输出单元的第一输入端,所述第一D触发器模块的第二输出端输出至所述控制逻辑单元;所述第二D触发器模块的数据输入端接高电平信号,所述第二D触发器模块的时钟输入端用于输入所述第二输入信号,所述第二D触发器模块的第一输出端输出至所述双输入双输出环形振荡器的第二输入端,所述第二D触发器模块的第一输出端还输出至所述检测输出单元的第二输入端,所述第二D触发器模块的第二输出端输出至所述控制逻辑单元。

[0008] 在一些实施方式中,所述双输入双输出环形振荡单元,包括:双输入双输出环形振荡器;其中,所述双输入双输出环形振荡器,包括:第一延时链和第二延时链;所述第一延时链和所述第二延时链的结构相同,且所述第一延时链和所述第二延时链的首尾相连。

[0009] 在一些实施方式中,所述第一延时链,包括:第一与非门模块和第一缓冲器组;所述第二延时链,包括:第二与非门模块和第二缓冲器组;其中,所述第一与非门模块的第一输入端,与所述第二缓冲器组的输出端相连;所述第一与非门模块的第一输入端,还与所述检测输出单元的第一输入端相连;所述第一与非门模块的第二输入端,与所述输入检测单元的第一输出端相连;所述第一与非门模块的输出端,经所述第一缓冲器组后,与所述第二与非门模块的第二输入端相连;所述第二与非门模块的第一输入端,与所述输入检测单元的第一输出端相连;所述第二与非门模块的第一输入端,还与所述检测输出单元的第二输入端相连;所述第二与非门模块的第一输入端,还与所述检测输出单元的第一输入端相连;所述第二与非门模块的输出端,与所述第二缓冲器组的输入端相连;其中,所述第二缓冲器组的输出端,作为所述双输入双输出振荡单元的第一输出端;所述第一与非门模块的第二输入端,作为所述双输入双输出振荡单元的第一输入端;所述第一缓冲器组的输出端,作为所述双输入双输出振荡单元的第二输出端;所述第二与非门模块的第一输入端,作为所述双输入双输出振荡单元的第二输入端。

[0010] 在一些实施方式中,所述第一缓冲器组,包括:第一缓冲器模块,所述第一缓冲器模块的数量为 n_1 个, n_1 为正整数;所述第二缓冲器组,包括:第二缓冲器模块,所述第二缓冲器模块的数量为 n_2 个, n_2 为正整数、且 n_1 和 n_2 相同;其中, n_1 个所述第一缓冲器模块串联设置, n_2 个所述第二缓冲器模块串联设置;所述第一延时链与所述第二延时链,形成环形振荡器;所述第二缓冲器组中设定缓冲器的输出端,作为所述双输入双输出环形振荡单元的第一相位状态检测端;所述第一缓冲器组中设定缓冲器模块的输出端,作为所述双输入双输出环形振荡单元的第二相位状态检测端。

[0011] 在一些实施方式中,所述检测输出单元,包括:第一与门模块和第二与门模块;其中,所述第一与门模块的第一输入端,作为所述检测输出单元的第一输入端,与所述双输入双输出环形振荡单元的第一输出端相连;所述第一与门模块的第二输入端,分别与所述输入检测单元的第一输出端、以及所述双输入双输出环形振荡单元的第一输入端相连;所述第一与门模块的第三输入端,与所述控制逻辑单元相连;所述第一与门模块的输出端用于输出所述第一脉冲信号;所述第二与门模块的第一输入端,作为所述检测输出单元的第一

输入端,与所述双输入双输出环形振荡单元的第二输出端相连;所述第二与门模块的第二输入端,分别与所述输入检测单元的第二输出端、以及所述双输入双输出环形振荡单元的第二输入端相连;所述第二与门模块的第三输入端,与所述控制逻辑单元相连;所述第二与门模块的输出端用于输出所述第二脉冲信号。

[0012] 在一些实施方式中,其中,所述状态检测单元,包括:第一状态检测模块和第二状态检测模块;其中,所述第一状态检测模块和所述第二状态检测模块的结构相同,且所述第一状态检测模块设置在所述双输入双输出环形振荡单元的第一相位状态检测端与所述控制逻辑单元之间,所述第二状态检测模块设置在所述双输入双输出环形振荡单元的第二相位状态检测端与所述控制逻辑单元之间;和/或,所述控制逻辑单元,包括:基于计数器的逻辑处理模块;所述基于计数器的逻辑处理模块,分别与所述输入检测单元、所述状态检测单元和所述检测输出单元相连。

[0013] 在一些实施方式中,所述第一状态检测模块,包括:第一反相器模块和第三缓冲器组,所述第三缓冲器组由 m_1 个缓冲器模块串联而成, m_1 为正整数;所述第二状态检测模块,包括:第二反相器模块和第四缓冲器组,所述第四缓冲器组由 m_2 个缓冲器模块串联而成, m_2 为正整数、且 m_1 与 m_2 相同;其中,所述第一反相器模块的输入端,与所述双输入双输出环形振荡单元的第一相位状态检测端相连;所述第一反相器模块的输出端,经所述第三缓冲器组之后,与所述控制逻辑单元的第二输入端相连;所述第二反相器模块的输入端,与所述双输入双输出环形振荡单元的第二相位状态检测端相连;所述第二反相器模块的输出端,经所述第四缓冲器组之后,与所述控制逻辑单元的第三输入端相连;所述控制逻辑单元的第一输入端,用于输入所述使能信号;所述控制逻辑单元的第二输出端,用于输出所述复位信号;所述控制逻辑单元的第一输出端,用于输出所述第一复制信号和所述第二复制信号的当前周期的个数、以及每个当前周期的大小;和/或,所述控制逻辑单元,包括:第三D触发器模块、第四D触发器模块、第五D触发器模块,第五缓冲器组,第三与非门模块、第四与非门模块,以及第三与门模块;所述第五缓冲器组由 m_3 个缓冲器模块串联而成, m_3 为正整数;其中,所述第三D触发器模块的时钟输入端,与所述状态检测单元的第一输出端相连;所述第三D触发器模块的数据输入端,分别与所述第三D触发器模块的第二输出端、所述第四D触发器模块的时钟输入端、以及所述第五D触发器模块的时钟输入端相连;所述第三D触发器模块的复位端,分别与所述第四D触发器模块的复位端、所述第五D触发器模块的复位端、以及所述第四与非门模块的输出端相连;所述第三D触发器模块的第一输出端,分别与所述第五缓冲器组的输入端、以及所述第三与非门模块的第一输入端相连;所述第五缓冲器组的输出端,与所述检测输出单元相连;所述第四D触发器模块的数据输入端,分别与所述第四D触发器模块的第二输出端、以及所述第三与非门模块的第二输入端相连;所述第四D触发器模块的第一输出端,与所述第五D触发器模块的数据输入端相连;所述第五D触发器模块的第一输出端,与所述第三与非门模块的第三输入端相连;所述第三与非门模块的输出端,与所述第三与门模块的第二输入端相连;所述第三与门模块的第一输入端,用于输入所述使能信号;所述第三与门模块的输出端,与所述输入检测单元的复位端相连;所述第四与非门模块的第一输入端,与所述状态检测单元的第二输出端相连;所述第四与非门模块的第二输入端,与所述输入检测单元的第二输出端相连;所述第三D触发器模块的时钟输入端,作为所述控制逻辑单元的第二输入端;所述第四与非门模块的第一输入端,作为所述控制逻辑单

元的第三输入端;所述第三与门模块的第一输入端,作为所述控制逻辑单元的第一输入端;所述第三与门模块的输出端,作为所述控制逻辑单元的第二输出端;所述第五缓冲器组的输出端,作为所述控制逻辑单元的第一输出端。

[0014] 与上述周期信号发生装置相匹配,本发明再一方面提供一种信号处理系统,包括:以上所述的周期信号发生装置。

[0015] 与上述信号处理系统相匹配,本发明再一方面提供一种信号处理系统的周期信号发生方法,包括:控制所述控制逻辑单元,接收外部输入的使能信号,并基于所述使能信号,向所述输入检测单元发送复位信号;控制所述输入检测单元,在基于所述复位信号复位后,接收第一输入信号,检测所述第一输入信号上升沿的到来时机;以及,接收第二输入信号,并检测所述第二输入信号上升沿的到来时机;控制所述双输入双输出环形振荡单元,在所述输入检测单元检测到所述第一输入信号上升沿的到来时机的情况下,对所述第一输入信号的上升沿信息进行复制,得到第一复制信号;以及,在所述输入检测单元检测到所述第二输入信号上升沿的到来时机的情况下,对所述第二输入信号的上升沿信息进行复制,得到第二复制信号;控制所述状态检测单元,检测所述第一复制信号在所述双输入双输出环形振荡单元中相应传输链上传输时的相位状态,得到第一信号状态;以及,检测所述第二复制信号在所述双输入双输出环形振荡单元中相应传输链上传输时的相位状态,得到第二信号状态;控制所述控制逻辑单元,基于所述使能信号,根据所述第一信号状态和所述第二信号状态,确定所述第一复制信号和所述第二复制信号的当前周期的个数、以及每个当前周期的大小;控制所述检测输出单元,根据所述第一复制信号和所述第二复制信号的当前周期的个数、以及每个当前周期的大小,输出所述第一复制信号和所述第二复制信号,记为第一脉冲信号和第二脉冲信号,以基于双输入的所述第一输入信号和所述第二输入信号,产生双输出的所述第一脉冲信号和所述第二脉冲信号。

[0016] 由此,本发明的方案,通过基于双输入双输出环形振荡装置(如双输入双输出环形振荡器),设置周期脉冲信号发生装置,实现周期性地输出一对输出脉冲信号,且每一对输出脉冲信号间的时间差与原始的一对输入信号之间的时间差完全相同,并且不受最小输入时间差的限制,从而,通过设置能够产生一对脉冲信号的周期脉冲信号发生装置,能够扩大周期脉冲信号发生器的适用范围。

[0017] 本发明的其它特征和优点将在随后的说明书中阐述,并且,部分地从说明书中变得显而易见,或者通过实施本发明而了解。

[0018] 下面通过附图和实施例,对本发明的技术方案做进一步的详细描述。

附图说明

[0019] 图1为相关方案中基于缓冲器环的周期脉冲发生器的结构示意图;

[0020] 图2为相关方案中基于双脉冲环形振荡器(dual pulse ring oscillator,简称DPRO)的周期脉冲信号发生器的结构示意图;

[0021] 图3为相关方案中基于双脉冲环形振荡器的双输入双输出时间差保持和复制电路的结构示意图;

[0022] 图4为本发明的周期信号发生装置的一实施例的结构示意图;

[0023] 图5为本发明的一种基于双输入双输出环形振荡器的周期脉冲信号发生器的一实

施例的结构示意图；

[0024] 图6为本发明的一种基于双输入双输出环形振荡器的周期脉冲信号发生器中输入检测电路、双输入双输出环形振荡器和检测输出电路的一实施例的结构示意图；

[0025] 图7为本发明的一种基于双输入双输出环形振荡器的周期脉冲信号发生器中状态检测电路和逻辑控制电路的一实施例的结构示意图；

[0026] 图8为本发明的一种基于双输入双输出环形振荡器的周期脉冲信号发生器的输入输出信号波形示意图；

[0027] 图9为本发明的一种信号处理系统的周期信号发生方法的一实施例的流程示意图。

具体实施方式

[0028] 为使本发明的目的、技术方案和优点更加清楚，下面将结合本发明具体实施例及相应的附图对本发明技术方案进行清楚、完整地描述。显然，所描述的实施例仅是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

[0029] 环形振荡器作为一种常见的周期脉冲发生器，其能够输出占空比近似为50%的方波信号，而基于环形振荡器的锁相环以及频率合成器，更是由于能够产生高精度、宽频率范围的周期脉冲信号，使得其在通信系统中得到了广泛的应用。然而它们都无法实现对时域信号的周期性复制。

[0030] 图1为相关方案中基于缓冲器环的周期脉冲发生器的结构示意图。图1所示的基于缓冲器环的周期脉冲发生器，具体是一种基于缓冲器环的时域信号保持和复制电路。如图1所示，该基于缓冲器环的时域信号保持和复制电路，由一个二选一多路选择器MUX和n个缓冲器依次首尾相连构成，构成缓冲器环，n为正整数。二选一多路选择器MUX，具有第一输入端IN、第二输入端、模式选择端Mode和输出端。二选一多路选择器MUX输出的脉冲信号的周期，为高电平保持时间 T_{in} 和低电平保持时间 T_{offset} 。第n缓冲器的输出端OUT能够输出对时域输入信号的周期性复制的结果。

[0031] 在图1所示的例子中，二选一多路选择器MUX的一个输入端（即二选一多路选择器MUX的第二输入端）连接至第n-1个缓冲器的输出端，二选一多路选择器MUX的另一个输入端（即二选一多路选择器MUX的第一输入端）连接外部输入信号。当蕴含有两个时域输入信号之间时间差信息的两个连续脉冲在图1所示的缓冲器环中传播时，理论上它们能够一直周而复始地传播下去，进而实现对输入时域信号的保持和复制。然而遗憾的是，由于实际中缓冲器对上升沿和下降沿的相应速度不同，这会使得一个脉冲在经过n个缓冲器长时间的传输后，会逐渐的消失或越来越大。最终导致图1所示的基于缓冲器环的周期脉冲发生器无法完成对时域输入信号的周期性复制。

[0032] 图2为相关方案中基于双脉冲环形振荡器的周期脉冲信号发生器的结构示意图。图2所示的基于双脉冲环形振荡器的周期脉冲信号发生器，是对图1所示的基于缓冲器环的时域信号保持和复制电路的改进。如图2所示，双脉冲环形振荡器，主要由一个二选一多路选择器MUX、m个两输入与非门、m个反相器以及一个缓冲器构成，m为正整数。由于图2所示的双脉冲环形振荡器，是对图1所示的基于缓冲器环的时域信号保持和复制电路的改进，实质

上只对上升沿进行响应,所以当由两个连续脉冲构成的信号在其中传播时,这两个脉冲上升沿间的时间差是始终保持不变的,因而能够实现对两时域输入信号时间差的周期性复制。而图2所示环路中传播的脉冲信号的下降沿则是由其上升沿所诱发的,因而其脉冲宽度与原始输入信号中的脉冲宽度是没有直接关系的。

[0033] 然而,不管是图1所示的基于缓冲器环的时域信号保持和复制电路,还是图2所示的对图1所示的基于缓冲器环的时域信号保持和复制电路的改进电路,它们都是单输入单输出的,因而都无法真正实现对两个原始输入时域信号的保持和周期性复制。要想真正实现对两个原始时域输入信号的保持和复制,还需要借助其他电路功能模块。

[0034] 图3为相关方案中基于双脉冲环形振荡器的双输入双输出时间差保持和复制电路的结构示意图。图3所示为一种可对两时域信号进行保持和复制的双输入双输出周期信号发生器。它是在图2所示的基于双脉冲环形振荡器的周期脉冲信号发生器的基础上,结合两个脉冲发生器、两个分离器(如分离器1和分离器2)、二选一多路选择器MUX、以及模式控制器构成的。其中,一个脉冲发生器的输入端为IN1,另一个脉冲发生器的输入端为IN2,分离器1的输出端为OUT1,分离器2的输出端为OUT2,模式控制器的控制端为#REPLICA。

[0035] 尽管图3所示的基于双脉冲环形振荡器的双输入双输出时间差保持和复制电路能够实现对两时域信号时间差的保持和周期性复制,但其电路设计较为复杂,且资源消耗量大。除此之外,对于过小的两时域信号时间差,该电路是无法实现保持和复制。

[0036] 考虑到,相关方案中的周期脉冲信号发生器,大都是单输入单输出的,很少有双输入双输出的周期脉冲信号发生器。即便是图3所示的双输入双输出周期脉冲信号发生器,也很难确保每一对输出的脉冲之间的时间差与原始输入的一对信号间的时间差完全一致,而且对于过小的两时域信号时间差,该电路是无法实现保持和复制。为此,本发明的方案,提供一种周期信号发生装置,更具体是一种多用于时间差测量系统的双输入双输出周期信号发生器,尤其是一种基于双输入双输出环形振荡器的周期脉冲信号产生电路(即基于双输入双输出环形振荡器的周期脉冲信号发生器),主要目的在于实现一种能够周期性产生一对脉冲的双输入双输出周期信号发生器。

[0037] 根据本发明的实施例,提供了一种周期信号发生装置。参见图4所示本发明的装置的一实施例的结构示意图。该周期信号发生装置可以包括:输入检测单元、双输入双输出环形振荡单元、检测输出单元、状态检测单元和控制逻辑单元,输入检测单元如输入检测电路,双输入双输出环形振荡单元如双输入双输出环形振荡器,检测输出单元如检测输出电路,状态检测单元如状态检测电路,控制逻辑单元如控制逻辑电路。

[0038] 图5为本发明的一种基于双输入双输出环形振荡器的周期脉冲信号发生器的一实施例的结构示意图。如图5所示,本发明的方案提供的一种基于双输入双输出环形振荡器的周期脉冲信号发生器,具体是一种用于周期性的产生一对脉冲信号的双输入双输出周期信号发生器,包括:一个输入检测电路,一个双输入双输出环形振荡器,一个检测输出电路,一个状态检测电路,一个控制逻辑电路。

[0039] 其中,输入检测电路的第一输入端和输入检测电路的第二输入端,用于输入外部输入信号IN1和IN2。输入检测电路的第一输出端和输入检测电路的第二输出端,经双输入双输出环形振荡器后,一方面对应输出至检测输出电路的第一输入端和检测输出电路的第二输入端,另一方面对应地经状态检测电路后输入至控制逻辑电路的第二输入端和控制逻辑

辑电路的第三输入端。控制逻辑电路的第一输入端,用于输入使能信号EN。控制逻辑电路的第一输出端,输出至检测输出电路的第三输入端。控制逻辑电路的第二输出端,用于输出复位信号至输入检测电路的复位端RST。检测输出电路的第一输出端和检测输出电路的第二输出端,用于输出与外部输入信号对应的输出信号OUT1和OUT2。

[0040] 在图4所示的例子中,所述控制逻辑单元,被配置为接收外部输入的使能信号,并基于所述使能信号,向所述输入检测单元发送复位信号。具体地,所述控制逻辑单元,被配置为接收外部输入的使能信号,并基于所述使能信号工作。其中,所述控制逻辑单元,基于所述使能信号工作,包括:向所述输入检测单元发送复位信号。

[0041] 在图4所示的例子中,所述输入检测单元,被配置为在基于所述复位信号复位后,接收第一输入信号,检测所述第一输入信号上升沿的到来时机。以及,接收第二输入信号,并检测所述第二输入信号上升沿的到来时机。其中,第一输入信号、第二输入信号,是外部输入信号。第一输入信号与第二输入信号的输入时间之间,具有大于0的时间差。

[0042] 在图5所示的例子中,输入检测电路,用来检测输入信号上升沿的到来。输入检测电路,有三个输入端和两个输出端。输入检测电路的第一输入端连接至外部输入信号IN1,输入检测电路的第二输入端连接至外部输入信号IN2,输入检测电路的第三输入端(也即输入检测电路的复位端RST)连接至控制逻辑电路的第二输出端。输入检测电路的第一输出端连接至双输入双输出环形振荡器的第一输入端,输入检测电路的第二输出端连接至双输入双输出环形振荡器的第二输入端。

[0043] 在一些实施方式中,所述输入检测单元,包括:第一D触发器模块和第二D触发器模块。当然,第一D触发器模块,可以由一个D触发器构成,也可以由两个以上D触发器或其它触发器构成,只要能实现D触发器的功能即可。相应地,第二D触发器模块,可以由一个D触发器构成,也可以由两个以上D触发器或其它触发器构成,只要能实现D触发器的功能即可。

[0044] 其中,所述第一D触发器模块的数据输入端接高电平信号,所述第一D触发器模块的时钟输入端用于输入所述第一输入信号,所述第一D触发器模块的第一输出端输出至所述双输入双输出环形振荡器的第一输入端,所述第一D触发器模块的第一输出端还输出至所述检测输出单元的第一输入端,所述第一D触发器模块的第二输出端输出至所述控制逻辑单元。

[0045] 所述第二D触发器模块的数据输入端接高电平信号,所述第二D触发器模块的时钟输入端用于输入所述第二输入信号,所述第二D触发器模块的第一输出端输出至所述双输入双输出环形振荡器的第二输入端,所述第二D触发器模块的第一输出端还输出至所述检测输出单元的第二输入端,所述第二D触发器模块的第二输出端输出至所述控制逻辑单元。

[0046] 图6为本发明的一种基于双输入双输出环形振荡器的周期脉冲信号发生器中输入检测电路、双输入双输出环形振荡器和检测输出电路的一实施例的结构示意图。图6所示的输入检测电路、双输入双输出环形振荡器和检测输出电路是本发明的方案提供的一种基于双输入双输出环形振荡器的周期脉冲信号发生器的一个具体电路示例。下面,将以图6所示的电路为例,对本发明的方案的具体实现过程进行示例性说明,但本发明的方案的实现方式并不局限于图6所示的具体电路。

[0047] 在图6所示的例子中,输入检测电路,包括:两个D触发器,如第一D触发器和第二D触发器。作为输入检测电路的两个D触发器,两个D触发器的第一输入端D(也即数据输入端)

始终接高电平,而两个D触发器的第二输入端(也即时钟输入端)分别连接输入信号IN1和IN2。两个D触发器的第一输出端Q分别连接至双输入双输出环形振荡器的两个输入端,两个D触发器的第二输出端则连接至控制逻辑电路。

[0048] 在图4所示的例子中,所述双输入双输出环形振荡单元,被配置为在所述输入检测单元检测到所述第一输入信号上升沿的到来时机的情况下,对所述第一输入信号的上升沿信息进行复制,得到第一复制信号。以及,在所述输入检测单元检测到所述第二输入信号上升沿的到来时机的情况下,对所述第二输入信号的上升沿信息进行复制,得到第二复制信号。在所述第一输入信号和所述第二输入信号为周期性信号的情况下,所述第一复制信号和所述第二复制信号,形成第一复制脉冲信号和第二复制脉冲信号。

[0049] 在图5所示的例子中,双输入双输出环形振荡器,用来实现对输入检测电路的第一输出端和输入检测电路的第二输出端的两输入上升沿的周期性复制。双输入双输出环形振荡器,有两个输入端和四个输出端。双输入双输出环形振荡器的第一输入端连接至输入检测电路的第一输出端,双输入双输出环形振荡器的第二输入端连接至输入检测电路的第二输出端,双输入双输出环形振荡器的第一输出端连接至检测输出电路的第一输入端,双输入双输出环形振荡器的第二输出端连接至检测输出电路的第二输入端,双输入双输出环形振荡器的第三输出端连接至状态检测电路的第二输入端,双输入双输出环形振荡器的第四输入端连接至状态检测电路的第一输入端。

[0050] 在一些实施方式中,所述双输入双输出环形振荡单元,包括:双输入双输出环形振荡器。

[0051] 其中,所述双输入双输出环形振荡器,包括:第一延时链和第二延时链。所述第一延时链和所述第二延时链的结构相同,且所述第一延时链和所述第二延时链的首尾相连。

[0052] 具体地,在本发明的方案中,双输入双输出环形振荡器由上下两条完全相同的延时链首尾相连构成。

[0053] 在一些实施方式中,所述第一延时链,包括:第一与非门模块和第一缓冲器组。所述第二延时链,包括:第二与非门模块和第二缓冲器组。当然,第一与非门模块,可以由一个与非门构成,也可以由两个以上与非门或其它逻辑器件构成,只要能实现与非门的功能即可。相应地,第二与非门模块,可以由一个与非门构成,也可以由两个以上与非门或其它逻辑器件构成,只要能实现与非门的功能即可。

[0054] 其中,所述第一与非门模块的第一输入端,与所述第二缓冲器组的输出端相连。所述第一与非门模块的第一输入端,还与所述检测输出单元的第一输入端相连。所述第一与非门模块的第二输入端,与所述输入检测单元的第一输出端相连。所述第一与非门模块的输出端,经所述第一缓冲器组后,与所述第二与非门模块的第二输入端相连。

[0055] 所述第二与非门模块的第一输入端,与所述输入检测单元的第一输出端相连。所述第二与非门模块的第一输入端,还与所述检测输出单元的第二输入端相连。所述第二与非门模块的第一输入端,还与所述检测输出单元的第一输入端相连。所述第二与非门模块的输出端,与所述第二缓冲器组的输入端相连。

[0056] 其中,所述第二缓冲器组的输出端,作为所述双输入双输出振荡单元的第一输出端。所述第一与非门模块的第二输入端,作为所述双输入双输出振荡单元的第一输入端。所述第一缓冲器组的输出端,作为所述双输入双输出振荡单元的第二输出端。所述第二与非

门模块的第一输入端,作为所述双输入双输出振荡单元的第二输入端。

[0057] 优选地,在本发明的方案中,每一条延时链均由一个两输入与非门和多个缓冲器依次首尾相连构成。其中,两输入与非门排在最前端,其后是一连串缓冲器。

[0058] 具体地,每一条延时链的输出端在作为双输入双输出环形振荡器连接至检测输出电路的一个输出端的同时,也连接至另一条延时链中两输入与非门的一个输入端,而该两输入与非门的另一个输入端则作为该双输入双输出环形振荡器的一个输入端。该双输入双输出环形振荡器,连接至状态检测电路的第三输出端、第四输出端,分别是来自双输入双输出环形振荡器中上下两条延时链中的对应位置。

[0059] 在一些实施方式中,所述第一缓冲组,包括:第一缓冲器模块,所述第一缓冲器模块的数量为 n_1 个, n_1 为正整数。所述第二缓冲器组,包括:第二缓冲器模块,所述第二缓冲器模块的数量为 n_2 个, n_2 为正整数、且 n_1 和 n_2 相同。当然,第一缓冲器模块可以是一个缓冲器也可以是几个缓冲器串并联形成的模块,第二缓冲器模块可以是一个缓冲器也可以是几个缓冲器串并联形成的模块。

[0060] 其中, n_1 个所述第一缓冲器模块串联设置, n_2 个所述第二缓冲器模块串联设置。所述第一延时链与所述第二延时链,形成环形振荡器。

[0061] 所述第二缓冲器组中设定缓冲器的输出端,作为所述双输入双输出环形振荡单元的第一相位状态检测端。所述第一缓冲器组中设定缓冲器模块的输出端,作为所述双输入双输出环形振荡单元的第二相位状态检测端。

[0062] 在图6所示的例子中,双输入双输出环形振荡器,包括:两组缓冲器和两个与非门,两组缓冲器如由 n_1 个缓冲器串联而成的第一组缓冲器和由 n_2 个缓冲器串联而成的第二组缓冲器,两个与非门如第一与非门和第二与非门, n_1 、 n_2 均为正整数。

[0063] 在本发明的方案中,周期脉冲发生器采用双输入双输出环形振荡器结构,该双输入双输出环形振荡器结构能够确保所产生的任意一对输出脉冲间的时间差都准确的等于原始输入的一对信号之间的时间差。在本发明的方案中,周期脉冲发生器由于采用的是同一个环形振荡器,因而具有很好的抗延时单元适配的特性。

[0064] 在图4所示的例子中,所述状态检测单元,被配置为检测所述第一复制信号在所述双输入双输出环形振荡单元中相应传输链上传输时的相位状态,得到第一信号状态。以及,检测所述第二复制信号在所述双输入双输出环形振荡单元中相应传输链上传输时的相位状态,得到第二信号状态。

[0065] 在图5所示的例子中,状态检测电路,用来检测双输入双输出环形振荡器上下两条延时链上传输信号的相位状态。状态检测电路,有两个输入端和两个输出端。状态检测电路的第一输入端连接至双输入双输出环形振荡器的第四输出端,状态检测电路的第二输入端连接至双输入双输出环形振荡器的第三输出端,状态检测电路的第一输出端连接至控制逻辑电路的第二输入端,状态检测电路的第二输出端连接至控制逻辑电路的第三输入端。

[0066] 在一些实施方式中,所述状态检测单元,包括:第一状态检测模块和第二状态检测模块。

[0067] 其中,所述第一状态检测模块和所述第二状态检测模块的结构相同,且所述第一状态检测模块设置在所述双输入双输出环形振荡单元的第一相位状态检测端与所述控制逻辑单元之间,所述第二状态检测模块设置在所述双输入双输出环形振荡单元的第二相位

状态检测端与所述控制逻辑单元之间。

[0068] 在本发明的方案中,状态检测电路,用来检测双输入双输出环形振荡器中上下两条延时链上某处信号的相位变化情况。状态检测电路的实现形式,可以是多种形式的。

[0069] 在一些实施方式中,在一些实施方式中,所述第一状态检测模块,包括:第一反相器模块和第三缓冲器组,所述第三缓冲器组由 m_1 个缓冲器模块串联而成, m_1 为正整数。所述第二状态检测模块,包括:第二反相器模块和第四缓冲器组,所述第四缓冲器组由 m_2 个缓冲器模块串联而成, m_2 为正整数、且 m_1 与 m_2 相同。当然,第一反相器模块,可以由一个反相器构成,也可以由两个以上反相器或其它逻辑器件构成,只要能实现反相器的功能即可。相应地,第二反相器模块,可以由一个反相器构成,也可以由两个以上反相器或其它逻辑器件构成,只要能实现反相器的功能即可。

[0070] 其中,所述第一反相器模块的输入端,与所述双输入双输出环形振荡单元的第一相位状态检测端相连。所述第一反相器模块的输出端,经所述第三缓冲器组之后,与所述控制逻辑单元的第二输入端相连。

[0071] 所述第二反相器模块的输入端,与所述双输入双输出环形振荡单元的第二相位状态检测端相连。所述第二反相器模块的输出端,经所述第四缓冲器组之后,与所述控制逻辑单元的第三输入端相连。

[0072] 所述控制逻辑单元的第一输入端,用于输入所述使能信号。所述控制逻辑单元的第二输出端,用于输出所述复位信号。所述控制逻辑单元的第一输出端,用于输出所述第一复制信号和所述第二复制信号的当前周期的个数、以及每个当前周期的大小。

[0073] 图7为本发明的一种基于双输入双输出环形振荡器的周期脉冲信号发生器中状态检测电路和逻辑控制电路的一实施例的结构示意图。如图7所示,状态检测电路,可以用一个反相器和若干延时单元构成。

[0074] 在图4所示的例子中,所述控制逻辑单元,还被配置为基于所述使能信号,根据所述第一信号状态和所述第二信号状态,确定所述第一复制信号和所述第二复制信号的当前周期的个数、以及每个当前周期的大小。具体地,所述控制逻辑单元,基于所述使能信号工作,还包括:根据所述第一信号状态和所述第二信号状态,确定所述第一复制信号和所述第二复制信号的周期个数、以及每个周期的大小。

[0075] 在图5所示的例子中,控制逻辑电路,用来实现对两个输出周期脉冲信号的周期大小以及周期个数的控制等。控制逻辑电路,有三个输入端和两个输出端。控制逻辑电路的第一输入端连接外部使能信号EN,控制逻辑电路的第二输入端连接至状态检测电路的第一输出端,控制逻辑电路的第三输入端连接至状态检测电路的第二输出端,控制逻辑电路的第二输出端连接至输入检测电路的第三输入端,控制逻辑电路的第一输出端连接至检测输出电路的第三输入端。

[0076] 在一些实施方式中,所述控制逻辑单元,包括:基于计数器的逻辑处理模块。所述基于计数器的逻辑处理模块,分别与所述输入检测单元、所述状态检测单元和所述检测输出单元相连。

[0077] 在本发明的方案中,控制逻辑电路,用来实现对输出脉冲周期和脉冲个数的控制。逻辑控制电路的实现形式,可以是多种形式的。例如:控制逻辑电路,可以由基于计数器的逻辑电路实现。

[0078] 在一些实施方式中,所述控制逻辑单元,包括:第三D触发器模块、第四D触发器模块、第五D触发器模块,第五缓冲器组,第三与非门模块、第四与非门模块,以及第三与门模块。所述第五缓冲器组由m3个缓冲器模块串联而成,m3为正整数。

[0079] 其中,所述第三D触发器模块的时钟输入端,与所述状态检测单元的第一输出端相连。所述第三D触发器模块的数据输入端,分别与所述第三D触发器模块的第二输出端、所述第四D触发器模块的时钟输入端、以及所述第五D触发器模块的时钟输入端相连。所述第三D触发器模块的复位端,分别与所述第四D触发器模块的复位端、所述第五D触发器模块的复位端、以及所述第四与非门模块的输出端相连。所述第三D触发器模块的第一输出端,分别与所述第五缓冲器组的输入端、以及所述第三与非门模块的第一输入端相连。所述第五缓冲器组的输出端,与所述检测输出单元相连。

[0080] 所述第四D触发器模块的数据输入端,分别与所述第四D触发器模块的第二输出端、以及所述第三与非门模块的第二输入端相连。所述第四D触发器模块的第一输出端,与所述第五D触发器模块的数据输入端相连。

[0081] 所述第五D触发器模块的第一输出端,与所述第三与非门模块的第三输入端相连。所述第三与非门模块的输出端,与所述第三与门模块的第二输入端相连。所述第三与门模块的第一输入端,用于输入所述使能信号。所述第三与门模块的输出端,与所述输入检测单元的复位端相连。

[0082] 所述第四与非门模块的第一输入端,与所述状态检测单元的第二输出端相连。所述第四与非门模块的第二输入端,与所述输入检测单元的第二输出端相连。所述输入检测单元的第二输出端,是所述第二D触发器的第二输出端。

[0083] 所述第三D触发器模块的时钟输入端,作为所述控制逻辑单元的第二输入端。所述第四与非门模块的第一输入端,作为所述控制逻辑单元的第三输入端。所述第三与门模块的第一输入端,作为所述控制逻辑单元的第一输入端。所述第三与门模块的输出端,作为所述控制逻辑单元的第二输出端。所述第五缓冲器组的输出端,作为所述控制逻辑单元的第一输出端。

[0084] 如图7所示的基于双输入双输出环形振荡器的周期脉冲信号发生器,能够控制的输出脉冲对数为2,且脉冲周期是双输入双输出环形振荡器周期的两倍。

[0085] 在本发明的方案中,周期脉冲发生器同时也采用了控制逻辑电路,通过合理的控制,一方面能够整数倍的改变输出信号的周期大小,另一方面也能够灵活的控制输出脉冲的个数。

[0086] 在图4所示的例子中,所述检测输出单元,被配置为根据所述第一复制信号和所述第二复制信号的当前周期的个数、以及每个当前周期的大小,输出所述第一复制信号和所述第二复制信号,记为第一脉冲信号和第二脉冲信号,以基于双输入的所述第一输入信号和所述第二输入信号,产生双输出的所述第一脉冲信号和所述第二脉冲信号。其中,所述第一脉冲信号和所述第二脉冲信号之间的时间差,与所述第一输入信号和所述第二输入信号之间的时间差相同。

[0087] 在图5所示的例子中,检测输出电路,用来检测双输入双输出环形振荡器输出的周期性脉冲信号。检测输出电路,有三个输入端和两个输出端。检测输出电路的第一输入端连接至双输入双输出环形振荡器的第一输出端,检测输出电路的第二输入端连接至双输入双

输出环形振荡器的第二输出端,检测输出电路的第三输入端连接至控制逻辑电路的第一输出端,检测输出电路的第一输出端连接至第一信号输出端用于输出信号OUT1(即输出信号Y1),检测输出电路的第二输出端连接至第二信号输出端用于输出信号OUT2(即输出信号Y2)。

[0088] 本发明的方案提供的一种基于双输入双输出环形振荡器的周期脉冲信号产生电路(即基于双输入双输出环形振荡器的周期脉冲信号发生器),不仅能够周期性产生一对脉冲的双输入双输出周期信号发生器,且每一对输出脉冲间的时间差与原始的一对输入信号之间的时间差完全相同,并且不受最小输入时间差的限制,大大提升了周期脉冲信号发生器的适用范围。

[0089] 在一些实施方式中,所述检测输出单元,包括:第一与门模块和第二与门模块。当然,第一与门模块,可以由一个与门构成,也可以由两个以上与门或其它逻辑器件构成,只要能实现与门的功能即可。相应地,第二与门模块,可以由一个与门构成,也可以由两个以上与门或其它逻辑器件构成,只要能实现与门的功能即可。

[0090] 其中,所述第一与门模块的第一输入端,作为所述检测输出单元的第一输入端,与所述双输入双输出环形振荡单元的第一输出端相连。所述第一与门模块的第二输入端,分别与所述输入检测单元的第一输出端、以及所述双输入双输出环形振荡单元的第一输入端相连。所述第一与门模块的第三输入端,与所述控制逻辑单元相连。所述第一与门模块的输出端用于输出所述第一脉冲信号。

[0091] 所述第二与门模块的第一输入端,作为所述检测输出单元的第一输入端,与所述双输入双输出环形振荡单元的第二输出端相连。所述第二与门模块的第二输入端,分别与所述输入检测单元的第二输出端、以及所述双输入双输出环形振荡单元的第二输入端相连。所述第二与门模块的第三输入端,与所述控制逻辑单元相连。所述第二与门模块的输出端用于输出所述第二脉冲信号。

[0092] 在图6所示的例子中,检测输出电路,包括:两个三输入与门,如第一与门和第二与门。作为输入检测电路的两个D触发器的第一输出端Q,还分别连接至检测输出电路中两个三输入与门的第二输入端。

[0093] 具体地,第一D触发器的第一输入端D(也即数据输入端)始终接高电平,第一D触发器的第二输入端(也即时钟输入端)连接外部输入信号IN1,第一D触发器的第一输出端Q连接至第一与非门的第二输入端,第一D触发器的第一输出端Q还连接至第一与门的第二输入端,第一D触发器的复位端即R端连接至控制逻辑电路,第一D触发器的Q非端连接至控制逻辑电路。

[0094] 第二D触发器的第一输入端D(也即数据输入端)始终接高电平,第二D触发器的第二输入端(也即时钟输入端)连接外部输入信号IN2,第二D触发器的第一输出端Q连接至第二与非门的第一输入端,第二D触发器的第一输出端Q还连接至第二与门的第二输入端,第二D触发器的复位端即R端连接至控制逻辑电路,第二D触发器的Q非端连接至控制逻辑电路。

[0095] 第一与门的第一输入端连接至第一与非门的第一输入端,第一与门的第三输入端连接至控制逻辑电路,第一与门的输出端用于输出信号OUT1。第一与非门的第一输入端还连接至第二组缓冲器的输出端。第一与非门的输出端经第一组缓冲器后,连接至第二与非

门的第二输入端。第一与非门的输出端经第一组缓冲器后,还连接至第二与门的第二输入端。第二与门的第三输入端连接至控制逻辑电路,第二与门的输出端用于输出信号OUT2。第二与非门的输出端,经第二组缓冲器后,连接至第一与非门的第一输入端。

[0096] 参见图5、图6和图7所示的例子,控制逻辑电路的第一输入端连接外部使能控制信号EN。在该周期脉冲信号发生器工作前,使能信号EN始终处于低电位。该周期脉冲信号发生器正常工作前,用于输入信号检测的两个D触发器的第三输入端(也即复位端R)处于低电位,使得两个D触发器的第一输出端Q处于低电位状态。双输入双输出环形振荡器由于在正常工作前,其两个输入端均为低电平,使得其上任意延时单元(如缓冲器、双输入与非门等)的初始输出状态均为高电平。

[0097] 具体实施时,当使能信号EN变为高电平以后,控制逻辑电路开始工作,其第一、第四输出端则均由低电平变为高电平,进而使得用于输入信号检测的两个D触发器也进入使能状态。接着当某一输入信号如IN1(或IN2)到来时,相应的输入信号检测电路中D触发器的第一输出端Q变为高电平,使得其后的两输入与非门的输出端由高电平变为低电平,且此后该两输入与非门等效为一个非门。上述低电平,会沿着双输入双输出环形振荡器中相应的下方(或上方)延时链一直往前传播。在上述低电平传播至所在延时链的尽头之前,此时,另一输入信号IN2(或IN1)来到了另一检测电路的输入端。

[0098] 随着另一输入信号IN2(或IN1)的到来,另外一个输入信号检测电路D触发器的第一输出端Q也由低电平变为高电平,使得其后的两输入与非门的输出也由高电平变为低电平,且此后该两输入与非门也等效为一个非门。该低电平同样会沿着该双输入双输出环形振荡器中相应的上方(下方)延时链一直往前传播。

[0099] 当由前一个输入IN1(或IN2)引入的低电平在传播到其所在下方(或上方)延时链的尽头时,由于此时另一条延时链上的也出现了低电平,那么下一时刻,该下方(或上方)延时链中的低电平将转变为上方延时链中的高电平。同样由后一个输入IN2(或IN1)所引入的低电平在传播到其所在上方(或下方)延时链的尽头时,同样会在下一时刻,转变为下方(或上方)延时链中的低电平。

[0100] 上述双输入双输出环形振荡器上下两条延时链中的低电平在分别传输至另外一条延时链时,则会相应的变为高电平。这两个高电平再继续传输回之前的一条延时链时,则会变为低电平。经过上述反反复复的变化,两个相对距离始终保持不变的周期信号则会在该双输入双输出环形振荡器上形成。

[0101] 其中,两个用于输入信号检测的D触发器的第一输出端Q,在检测到输入信号后,则会一直保持高电位。控制逻辑电路则会根据预先设置,决定其连接至三输入与门第三输入端的第二、第三输出端的输出信号状态。当上述控制逻辑电路的第二、第三输出端为低电平时,两个三输入与门的输出则始终为低电平,双输入双输出环形振荡器上的周期信号将无法引导出来。当上述控制逻辑电路的第二、第三输出端为高电平时,两个三输入与门则会实时的将双输入双输出环形振荡器的第一、第二输出端上的信号分别传输至其输出端OUT1和OUT2上。

[0102] 当然,控制逻辑电路也可以根据之前的设置,使其第二、第三输出端周期性的呈现出高、低电平,进而改变所述周期脉冲信号发生器的输出信号周期以及输出的脉冲周期个数。

[0103] 当使能信号EN变为低电平后,控制逻辑电路的第一、第四输出端则会输出低电平,使得两个D触发器处于复位状态。进而双输入双输出环形振荡器也将停止振荡,其上各个延时单元的输出均会回到初始状态的高电位。

[0104] 图8为本发明的一种基于双输入双输出环形振荡器的周期脉冲信号发生器的输入输出信号波形示意图。图8给出了基于双输入双输出环形振荡器的周期脉冲信号发生器的输入输出信号波形示意图。

[0105] 综上,本发明的方案提供的一种基于双输入双输出环形振荡器的周期脉冲信号发生器,能够周期性地产生一对输出脉冲信号,并且每一对输出脉冲信号间的时间差都与原始输入的一对信号间的时间差是完全相等的。此外,该周期脉冲信号发生器同时还采用了状态检测电路和控制逻辑电路,一方面能够整数倍地调整输出脉冲的周期大小,另一方面也能够灵活地调整输出脉冲的周期数目。该周期脉冲信号发生器可对时间差不大于半个振荡周期的任意两个时域信号的差值进行周期性复制,因而其能够很好地应用于需要对两输入信号时间差进行多次测量的应用环境中。

[0106] 采用本发明的技术方案,通过基于双输入双输出环形振荡装置(如双输入双输出环形振荡器),设置周期脉冲信号发生装置,实现周期性地输出一对输出脉冲信号,且每一对输出脉冲信号间的时间差与原始的一对输入信号之间的时间差完全相同,并且不受最小输入时间差的限制,从而,通过设置能够产生一对脉冲信号的周期脉冲信号发生装置,能够扩大周期脉冲信号发生器的适用范围。

[0107] 根据本发明的实施例,还提供了对应于周期信号发生装置的一种信号处理系统,即具有双周期脉冲信号发生器的信号处理系统(如信号测量系统、信号校准系统等)。该信号处理系统可以包括:以上所述的周期信号发生装置。

[0108] 由于本实施例的信号处理系统所实现的处理及功能基本相应于装置的实施例、原理和实例,故本实施例的描述中未详尽之处,可以参见前述实施例中的相关说明,在此不做赘述。

[0109] 采用本实施例的技术方案,通过基于双输入双输出环形振荡装置(如双输入双输出环形振荡器),设置周期脉冲信号发生装置,实现周期性地输出一对输出脉冲信号,且每一对输出脉冲信号间的时间差与原始的一对输入信号之间的时间差完全相同,并且不受最小输入时间差的限制,其中,双输入双输出环形振荡器能够确保所产生的任意一对输出脉冲间的时间差都准确的等于原始输入的一对信号之间的时间差,使得任意一对输出脉冲间的时间差的精准性更好了。

[0110] 根据本发明的实施例,还提供了对应于信号处理系统的一种信号处理系统的周期信号发生方法,如图9所示本发明的方法的一实施例的流程示意图。该信号处理系统的周期信号发生方法可以包括:步骤S110至步骤S160。

[0111] 在步骤S110处,控制所述控制逻辑单元,接收外部输入的使能信号,并基于所述使能信号,向所述输入检测单元发送复位信号。

[0112] 在步骤S120处,控制所述输入检测单元,在基于所述复位信号复位后,接收第一输入信号,检测所述第一输入信号上升沿的到来时机;以及,接收第二输入信号,并检测所述第二输入信号上升沿的到来时机。

[0113] 在步骤S130处,控制所述双输入双输出环形振荡单元,在所述输入检测单元检测

到所述第一输入信号上升沿的到来时机的情况下,对所述第一输入信号的上升沿信息进行复制,得到第一复制信号;以及,在所述输入检测单元检测到所述第二输入信号上升沿的到来时机的情况下,对所述第二输入信号的上升沿信息进行复制,得到第二复制信号。

[0114] 在步骤S140处,控制所述状态检测单元,检测所述第一复制信号在所述双输入双输出环形振荡单元中相应传输链上传输时的相位状态,得到第一信号状态;以及,检测所述第二复制信号在所述双输入双输出环形振荡单元中相应传输链上传输时的相位状态,得到第二信号状态。

[0115] 在步骤S150处,控制所述控制逻辑单元,基于所述使能信号,根据所述第一信号状态和所述第二信号状态,确定所述第一复制信号和所述第二复制信号的当前周期的个数、以及每个当前周期的大小。

[0116] 在步骤S160处,控制所述检测输出单元,根据所述第一复制信号和所述第二复制信号的当前周期的个数、以及每个当前周期的大小,输出所述第一复制信号和所述第二复制信号,记为第一脉冲信号和第二脉冲信号,以基于双输入的所述第一输入信号和所述第二输入信号,产生双输出的所述第一脉冲信号和所述第二脉冲信号。其中,所述第一脉冲信号和所述第二脉冲信号之间的时间差,与所述第一输入信号和所述第二输入信号之间的时间差相同。

[0117] 本发明的方案提供一种基于双输入双输出环形振荡器的周期脉冲信号产生方式(即基于双输入双输出环形振荡器的周期脉冲信号发生器的周期脉冲信号发生方式),不仅能够周期性产生一对脉冲的双输入双输出周期信号发生器,且每一对输出脉冲间的时间差与原始的一对输入信号之间的时间差完全相同,并且不受最小输入时间差的限制,大大提升了周期脉冲信号发生器的适用范围。

[0118] 由于本实施例的方法所实现的处理及功能基本相应于前述信号处理系统的实施例、原理和实例,故本实施例的描述中未详尽之处,可以参见前述实施例中的相关说明,在此不做赘述。

[0119] 采用本实施例的技术方案,通过基于双输入双输出环形振荡装置(如双输入双输出环形振荡器),设置信号测量系统、信号校准系统等信号处理系统的周期脉冲信号发生方式,能够实现周期性地输出一对输出脉冲信号,且每一对输出脉冲信号间的时间差与原始的一对输入信号之间的时间差完全相同,并且不受最小输入时间差的限制,精准且可靠,而且实现方式简单。

[0120] 综上,本领域技术人员容易理解的是,在不冲突的前提下,上述各有利方式可以自由地组合、叠加。

[0121] 以上所述仅为本发明的实施例而已,并不用于限制本发明,对于本领域的技术人员来说,本发明可以有各种更改和变化。凡在本发明的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本发明的权利要求范围之内。

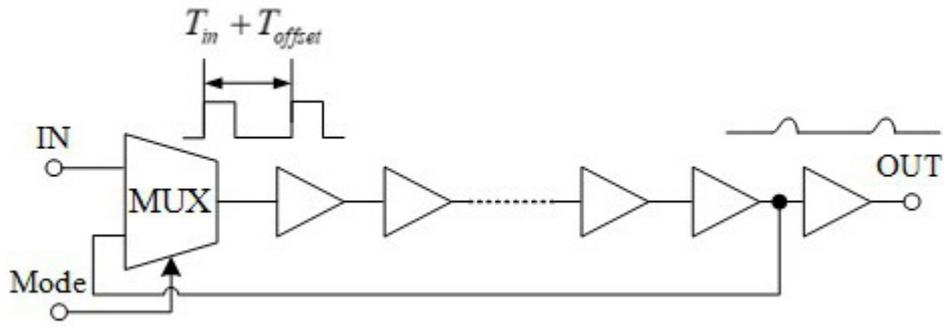


图1

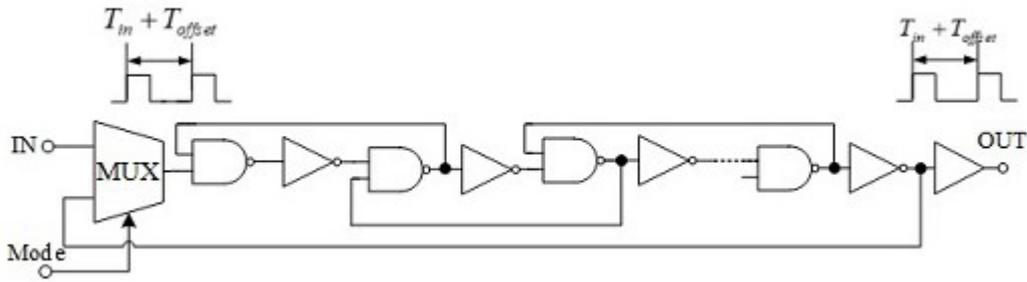


图2

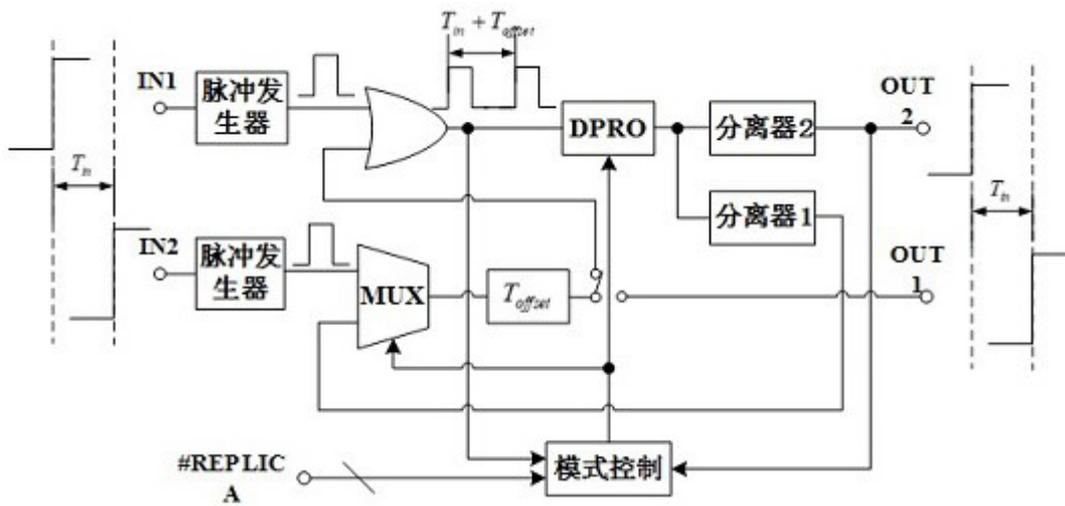


图3

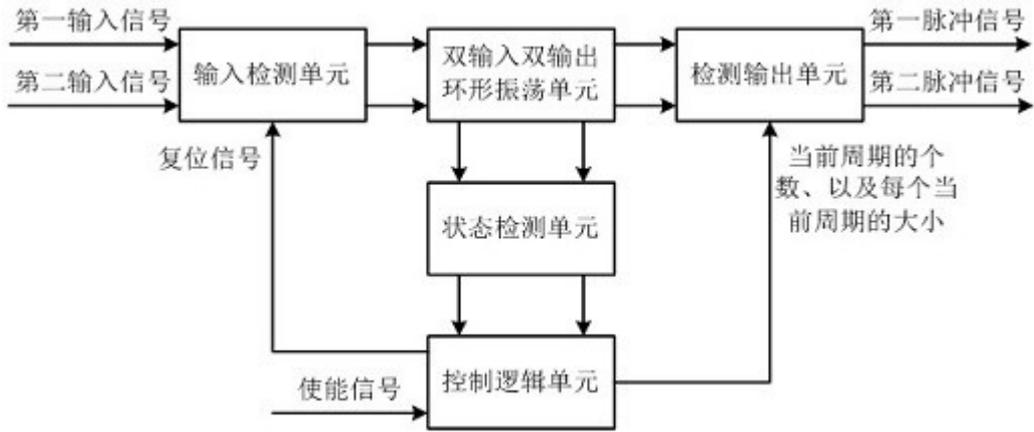


图4

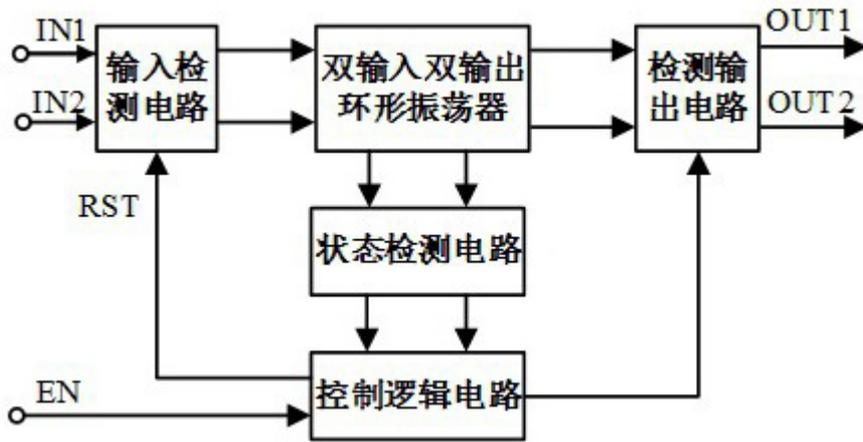


图5

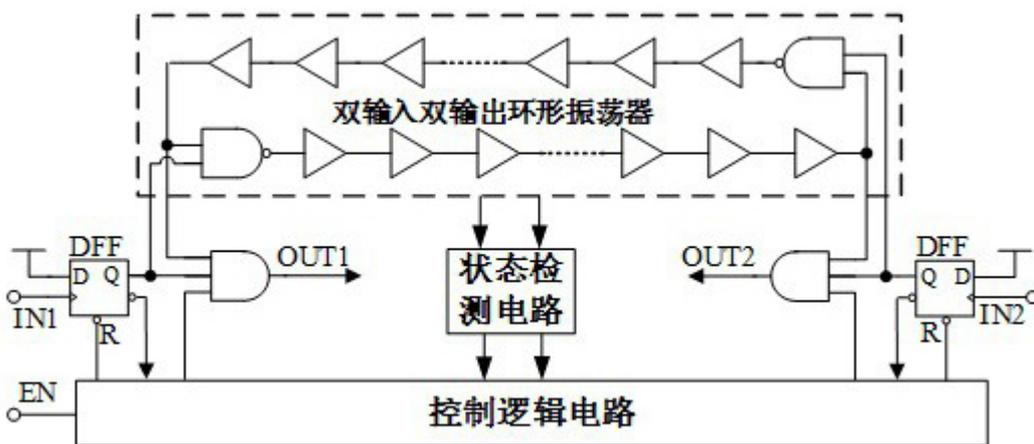


图6

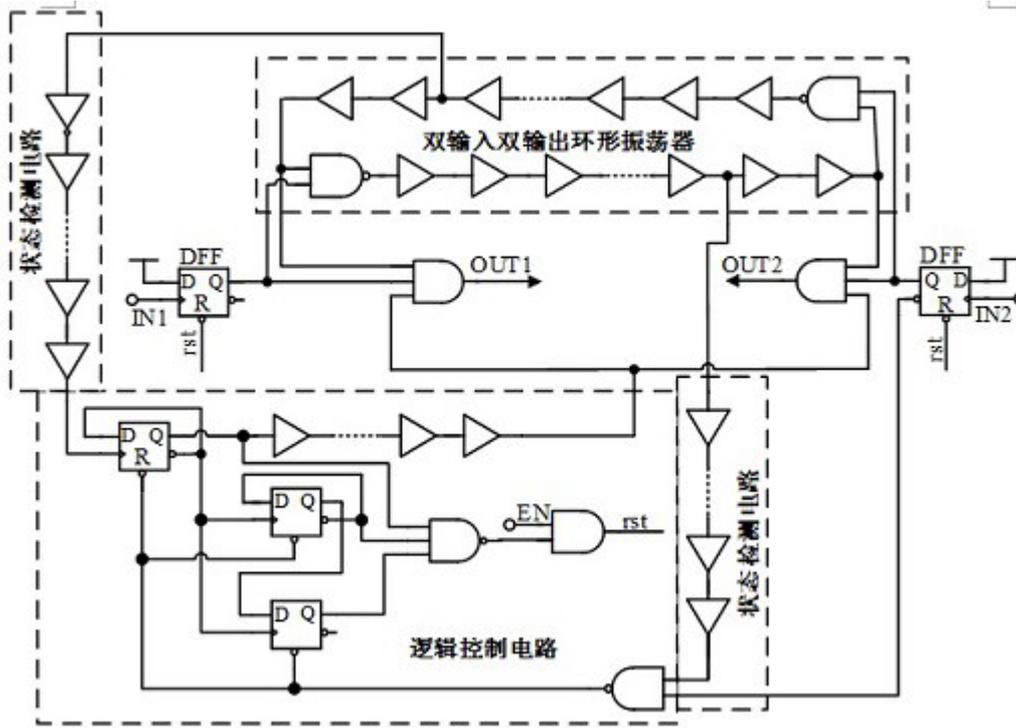


图7

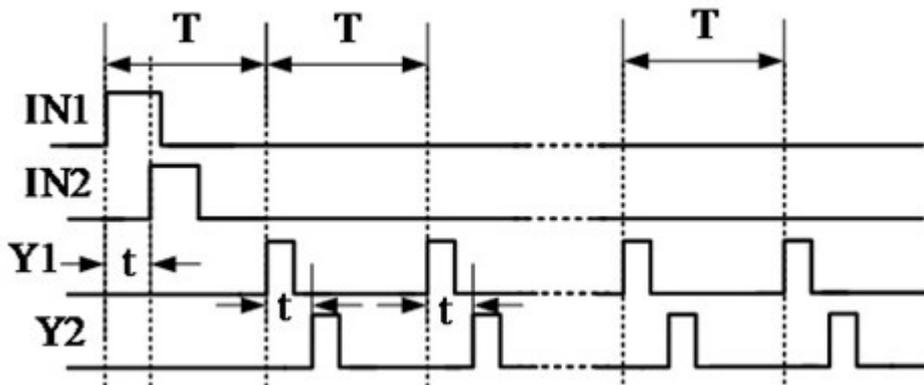


图8

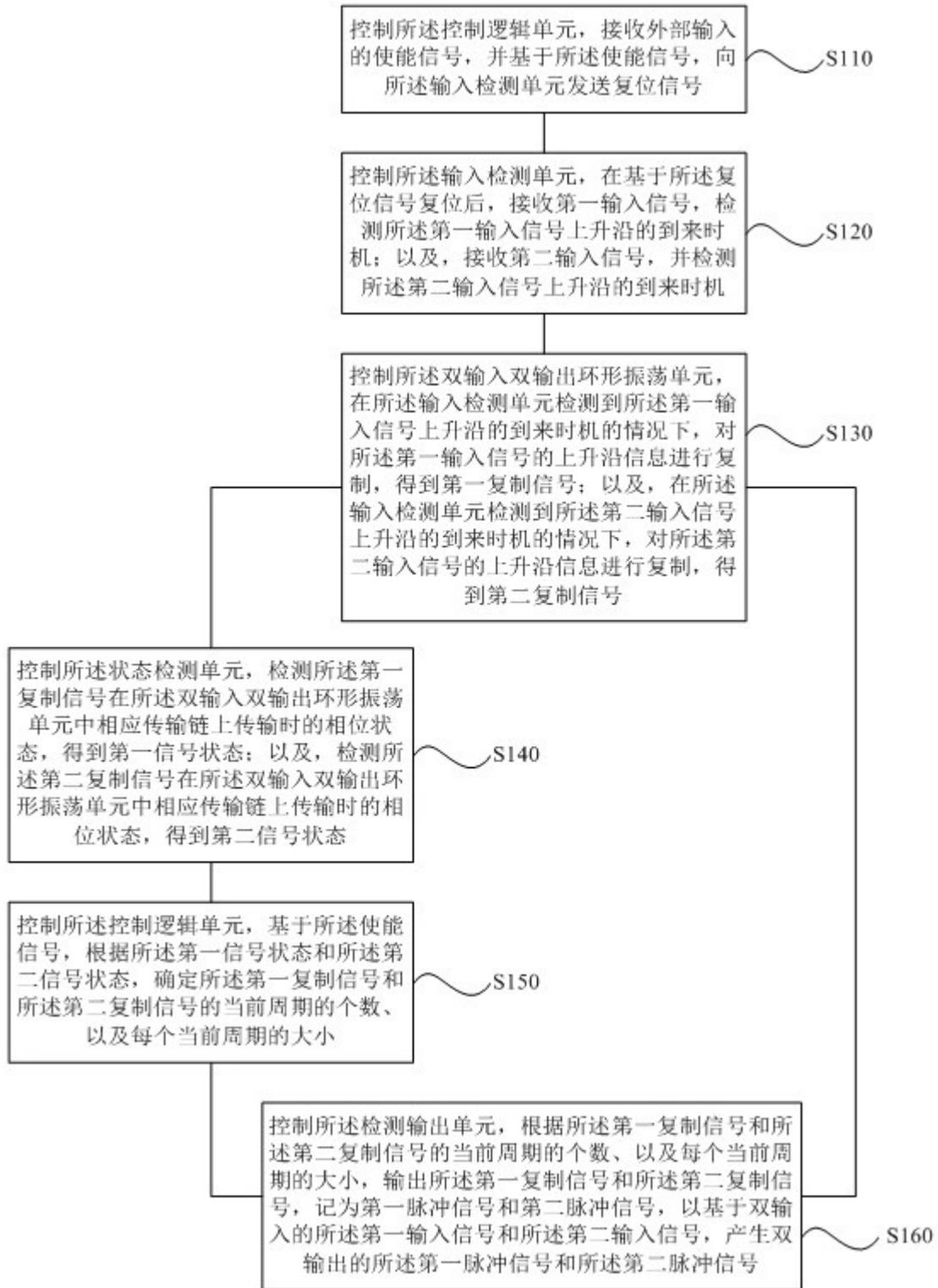


图9