

申請日期	90 4 4
案 號	90108138
類 別	G08G 3/20 H03K 515

A4
C4

508549

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	靜態時鐘脈衝產生器及顯示器
	英 文	"STATIC CLOCK PULSE GENERATOR AND DISPLAY"
二、發明 人	姓 名	1.葛瑞漢 安德魯 卡恩斯 GRAHAM ANDREW CAIRNS 2.麥克 詹姆斯 布朗洛 MICHAEL JAMES BROWNLOW
	國 籍	1-2.英國
	住、居所	1.英國 牛津 OX2 8NH卡堤斯洛 伯恩街 22號 2.英國 牛津 OX4 4YB 湯瑪斯珊佛德 教堂街 124號
三、申請人	姓 名 (名稱)	日商夏普股份有限公司 SHARP KABUSHIKI KAISHA
	國 籍	日本
	住、居所 (事務所)	日本國大阪府大阪市阿倍野區長池町22番22號
	代 表 人 姓 名	町田 勝彦 KATSUHIKO MACHIDA

(由本局填寫)

承辦人代碼：
大類：
I P C 分類：

A6
B6

本案已向：

國（地區） 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

英國 2000年04月04日 0008080.4 ☐有☒無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

發明背景

1. 發明範圍

本發明相關於一種靜態時鐘脈衝產生器。在高速低電力控制器電路中，例如在包含數位信號處理(DSP)之複數超大型積體電路(VLSI)設計中係可以使用這種產生器。時鐘脈衝產生器係有利於使用在用於空間光調變器及顯示器之驅動器電路之定址方面，例如其中必須供給一定義明確之脈衝之序列到取樣高速視訊資料之電路之圖點矩陣型。

2. 先前技藝之說明

一種已知之時鐘脈衝產生器類型係根據一移位暫存器。移位暫存器包含例如表示成在Horowitz及Hill之"電子學"，Cambridge University Press 1989年第二版中揭示之其反應於時鐘脈衝以通過來自在電路中下一個正反器之一單一儲存邏輯狀態之D型正反器之串聯電路。用於一典型時鐘脈衝產生器運用，係初始正反器之所有但是一個狀態到一邏輯低(O)狀態，然而保持係初始正反器到一邏輯高(1)狀態。鎖定移位暫存器於一已知頻率及係使用在移位暫存器內循環1狀態在正反器之輸出產生後續脈衝。例如US 4 542 301及US 4 612 659中揭示本熟知技術之運用及實施例，在US 4 785 297中揭示本技術之一種改良。在本案例中係使用邊緣觸發正反器之"主"及"奴"輸出相對應於例如AND及NAND閘之組合邏輯狀態，以降低移用於一輸出脈衝之給定數字之位暫存器之時鐘速度。

圖1之附加圖式說明包含D型鎖存器1及2部分典型CMOS

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(2)

電路之部分。係熟知及將不詳細說明這種配置方式之架構及運算。例如1及2之連續鎖存器係靠藉由CK及!CK代表之一個二相位時鐘之相對時鐘相位穿透。為產生時鐘脈衝Nn及Np，各鎖存器之輸入及輸出係互相"NANDed"。

已經揭示用於減少時鐘線或線之能量負載之多種技術以便增加運算之頻率及減少時鐘電力消耗。例如，已經建議用於在時鐘脈衝產生電路中使用之控制狀態時鐘技術。在US 4 746 915中揭示本技術之一例子，其中係分割移位暫存器成為一些正反器或鎖存器之子暫存器及係選擇性使用一較低頻率運算之另外移位暫存器供給時鐘信號到各子暫存器。

只有包含一1狀態或具有它們之輸入需要時鐘之一1狀態之正反器或鎖存器，用於其中係用於一單一循環1狀態之需求之運用。如圖2所示，用於這種運用，係可以使用藉由"ORing"產生之各正反器之輸入及輸出信號閘控供給到正反器之時鐘輸入之時鐘信號。例如係在US 5 128 974中揭示之一種配置方式。然而，這種配置方式每級需要一些另外電晶體。而且，正反器輸出必須驅動一相關大負載及這限制運算之最大速度。

發明概述

在文內所用之"D型鎖存器"一詞表示其具有一時鐘輸入、一資料輸入及一直流或反相輸出之一電路及其如此運算，係在供給時鐘信號到時鐘輸入時主動，輸出供給一信號之直流或反相版本於輸入(鎖存器係穿透)，然而，在時

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(3)

鐘信號係靜止時，係維持輸出或"鎖存"於其之代表輸入信號之狀態之目前數值。在其中提到使用之項目"D型正反器"表示成一般係組合成二串聯D型鎖存器，可能包含額外電路之一邊緣觸發裝置。其中共同提到之D型鎖存器及D型正反器係表示成"D型電路"，此一D型電路可為一D型鎖存器或一D型正反器。

根據本發明之第一個觀念，其備有包含一主時鐘輸入及N級之一種靜態時鐘脈衝產生器，N級之各第i級包含：具有用於來自一第(i+a)級之一重置信號之一重置輸入，其中a係大於或等於1，及一資料輸入之一D型電路及具有用於供給反應於一第(i-1)級之一D型電路輸出信號，其中 $1 < i \leq (N-a)$ ，及在一主時鐘輸入之一時鐘脈衝之一脈衝到資料輸入之一輸出之一閘控電路。

各D型電路可以係一D型鎖存器。

各至少一級可以具有供給D型電路輸出信號及組成產生器之一輸出之一輸出。

各第i級之D型電路之重置輸入可配置以接收來自第(i+a)級之閘控電路之輸出之重置信號。

各第i級之D型電路之重置輸入可配置以接收表示成重置信號之第(i+a)級之D型電路輸出信號。

各級可以包含配置在各級之閘控電路輸出及D型電路資料輸入之間之一延遲電路。各延遲電路可以包含複數串聯連接反相器。

各級可以包含用於選擇性連接D型電路之重置輸入之一

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

種切換配置方式接收來自第 $(i-a)$ 級之重置信號及反應於第 $(i+1)$ 級之D型電路輸出信號及在主時鐘輸入之時鐘脈衝，其中 $(1+a) \leq i < N$ ，導致開控電路供給脈衝到資料輸入。各切換配置方式可以包含複數傳輸閘。

各 i 級之D型電路可以包含用於接收第 $(i-1)$ 級之D型電路輸出信號之一時鐘輸入。

切換配置方式可選擇性配置，以連接各第 i 級之D型電路時鐘輸入，以接收第 $(i+1)$ 級之D型電路輸出信號。

第一級可以包含：具有用於接收來自一第 $(1+a)$ 級之一重置信號之一重置輸入，及一資料輸入；及反應於在主時鐘輸入之一開始脈衝及一時鐘脈衝，用於供給一脈衝到D型電路資料輸入之一開控電路之一D型電路。

切換配置方式係可以配置選擇性連接來自第一級之重置信號到第一級之D型電路重置輸入。

第 N 級可以包含：具有一資料輸入、一輸出及用於接收來自D型電路輸出之一重置信號之一重置輸入；及反應於第 $(N-1)$ 級之D型電路輸出信號及在主時鐘輸入之一時鐘脈衝，具有用於供給一脈衝到資料輸入之一輸出之一開控電路。

主時鐘輸入可以包含一互補時鐘輸入及反應於在互補輸入之互補時鐘脈衝，係可以配置級之連續對之開控電路。各開控電路可以包含係連接其之共同電極到主時鐘輸入，其之輸出電極組成D型電路之一致能資料輸入及其之控制電極係反應於前面級之D型電路輸出信號之一第一電晶

五、發明說明(5)

體。各開控電路可以包含其之共同電極係連接到一第一供給線及其之輸出電極係連接到第一電晶體之輸出電極之一第二電晶體。可配置第二電晶體之控制電極接收前面級之D型電路輸出信號。

第一電晶體之控制電極可以連接到配置以由前面級之D型電路輸出信號控制之一偏壓電壓源。偏壓電壓源可以包含係連接其之共同電極到一反相主時鐘輸入及係連接其之控制及輸出電極到第一電晶體之控制電極之一第三電晶體。第一電晶體之控制電極可以連接到連接其共同電極到一或第一供給線之一第四電晶體之輸出電極。第四電晶體之控制電極可以配置以接收前面級之D型電路輸出信號。

第一電晶體之控制電極可以連接到連接其之共同電極到一第二供給線及配置其之控制電極接收前面級之D型電路輸出信號之一第五電晶體之輸出電極。

各D型鎖存器可以包含一第一反相器及一第二回授反相器。第二反相器可以係具有係配置藉由前面級之D型鎖存器輸出信號控制之一開控輸入之一開控反相器。

第一反相器可以連接到其之控制終端包含重置輸入之一拉上或拉下電晶體。

產生器可以組合如一CMOS積體電路。

產生器可以係組成多矽電晶體。

根據本發明之一第二觀念，其備有包含根據本發明之一觀念之一產生器之一空間光調變器。

調變器可以包含一液晶裝置。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

液晶裝置可以係被動類型。

液晶裝置可以係主動類型。產生器及主動矩陣係可以組成相同類型之薄膜電晶體。

根據本發明之一第三觀念，備有包含根據本發明之第二觀念之一調變器之一顯示器。

根據本發明之一第四觀念，備有包含根據本發明之第一觀念之一產生器之一放射光顯示器。

顯示器可以係被動或主動矩陣類型。

因此係可備有其係可以高速運算及低電力消耗之一時鐘脈衝產生器。這種產生器備有對應無暫時浮動電路節點及在輸入時鐘信號上利用一低負載之靜態運算。係可以容易配置產生器在雙向模式中運算及係可以對應一相關少量之電晶體架構。產生器係也可以對應低電壓輸入時鐘信號運算及備有來自例如具有二伏特之一放大或低於其在電力供給線之間切換，通常載波十到二十伏特之一供給電壓之輸出信號之時鐘信號之等級移位。可使用多矽薄膜電晶體技術以完成這種功能。

圖式簡單說明

將藉由參考附加圖式之例子之方式另外說明本發明，其中：

圖1係一已知類型之移位暫存器之二級之電路圖；

圖2係一已知類型之時鐘脈衝產生器之方塊電路圖；

圖3係本發明一實施例靜態時鐘脈衝產生器之二級之電路圖；

五、發明說明(7)

圖4係其級數如圖3所示之時鐘脈衝產生器之一方塊圖；

圖5說明圖3及4所示時鐘脈衝產生器中產生之波形之計時圖；

圖6係本發明實施例之一靜態時鐘脈衝產生器之二級之電路圖；

圖7係其之級數如圖6所示之時鐘脈衝產生器之一方塊圖；

圖8說明在如圖6及7所示之時鐘脈衝產生器中產生之波形之計時圖；

圖9係本發明實施例之一靜態時鐘脈衝產生器之二級之電路圖；

圖10係其級數如圖9所示之時鐘脈衝產生器之一方塊圖；

圖11說明如圖8及9所示之時鐘脈衝產生器中產生之波形之計時圖；

圖12係本發明實施例靜態時鐘脈衝產生器之二級之電路圖；

圖13係其級數如圖12所示之時鐘脈衝產生器之方塊圖；

圖14說明如圖12及13所示之時鐘脈衝產生器中產生之波形之計時圖；

圖15係本發明實施例靜態時鐘脈衝產生器之二級之電路圖；

圖16說明如圖15所示時鐘脈衝產生器中產生之波形之計時圖；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

圖17係本發明實施例雙向靜態時鐘脈衝產生器之一級及說明以二方向運算之電路圖；

圖18係本發明實施例雙向靜態時鐘脈衝產生器之一級之電路圖；

圖19說明如圖18所示之時鐘脈衝產生器之一模擬中產生之波形之波形圖；

圖20係本發明實施例靜態時鐘脈衝產生器之一級之電路圖；

圖21係本發明實施例靜態時鐘脈衝產生器之一級之電路圖；

圖22係本發明實施例雙向靜態時鐘脈衝產生器之一級之電路圖；及

圖23係本發明實施例之包含一液晶空間光調變器之一顯示器之方塊略圖。

相同參考數字表示所有圖式中之相同部分。

較佳實施例說明

圖3揭示一靜態時鐘脈衝產生器之二級1及2。級1包含一D型鎖存器3及一閘控電路4。鎖存器3具有連接到後續級之直流及反相輸出Q及!Q，輸出Q組成該級之輸出及時鐘脈衝產生器之一輸出。鎖存器具有接收來自後續級之一重置信號之一異步重置輸入R。

閘控電路4具有經過共通於所有級之時鐘線連接到一主時鐘輸入之互補時鐘輸入CK及!CK。係連接級1之閘控電路4之時鐘輸入CK到時鐘線CK。因為在一些實施例中不

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

需要本連接，藉由在圖3中之一斷線揭示反相時鐘輸入!CK連接到相對應時鐘線。

閘控電路4具有接收來自前面級之閘控信號之互補閘控輸入G及!G。在一些實施例中，只有直流或反相閘控信號係可以從級通到級。一時鐘輸入CK也連接閘控輸入G到鎖存器3。閘控電路4具有供給一重置信號到前面級及也連接到鎖存器3之一資料輸入D之一輸出O。

藉由直流時鐘脈衝CK主動級1，同樣藉由反相時鐘脈衝!CK主動級2(為方便，藉由表示成電路線及節點之相同參考數字提到在多種電路線及節點上出現之信號)。因此，根據特定實施例之需求，係連接閘控電路4之輸入!CK到反相時鐘線，同樣直流時鐘輸入CK可以或可以不係連接到相對應直流時鐘線。

圖4揭示其包含以串聯方式連接之N級1、2之一靜態時鐘脈衝產生器之部分。級1對應級2轉換。配置第一級1之互補閘控輸入G及!G接收互補開始脈衝SP及!SP，同樣時鐘輸入接收來自一個二相位時鐘輸入之互補時鐘信號CK及!CK。連接各級1、2重置輸入R到後續除最後或第N級外之級之閘控電路輸出，係連接最後或第N級之重置輸入R到相同級之輸出Q。

藉由圖5之計時圖說明靜態時鐘脈衝產生器之運算，其說明在圖4之產生器之第一四個級中產生之多種波形。初始，鎖存器3之所有級1及2係在一重置狀態中，如此所有輸出Q係低。係不致能閘控電路4之所有級1、2及所有閘

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (10)

控輸出O係低。

在時間 t_n 之前，供給一開始脈衝SP到第一級之閘控電路輸入。因此，致能閘控電路4及閘控電路4之閘控輸出O係可以跟隨時鐘信號CK之邏輯狀態，可能對應真正邏輯等級之等級移位。

在時間 t_n ，閘控電路4之輸出O跟隨時鐘信號CK之上升邊緣及變高，因此鎖存器3之直流輸出Q變高及致能後續級2之閘控電路4。

僅在時間 t_n 之後，開始脈衝SP變低，如此不致能第一級之閘控電路1。鎖存器之時鐘輸入CK也變低，如此鎖存器保持其對應輸出Q高之狀態直到接收一重置信號。

在時間 t_n+1 ，第二級2之閘控電路4之輸出O跟隨反相時鐘信號!CK之上升邊緣及變高。第二級之鎖存器3之輸出Q也變高及致能第三級之閘控電路4。同樣，第二級之閘控電路4之輸出O供給一重置信號到第一級之鎖存器之重置輸入R，其之輸出Q因此變低。因此如圖5所說明，連續之級之輸出Q之上升及下降邊緣係符合或同步。

在時間 t_n+2 ，第三級之閘控電路4之輸出O跟隨時鐘信號CK之上升邊緣及變高。因此第三級之輸出Q變高及致能第四級之閘控電路4。同樣，重置第二級之鎖存器3。然後如在上文中說明對應係藉由一閘控時鐘脈衝輸入定位一次及藉由來自產生器之下面或後續級之一回授信號重置一次之各鎖存器3持續運算。

圖6所示級1及2不同於如圖3所示者，圖6中係藉由鎖存

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (11)

器3之輸出Q取代藉由閘控電路4之輸出O供給用於各串聯級之重置信號。如圖7所示及包含級1及2之產生器只有在用於重置信號之級輸出之標記方面不同於如圖4所示之產生器。

圖8說明產生之波形，因為不重置各鎖存器3直到後續級之鎖存器3係定位，保證所有變輸出Q如圖8所說明重疊。因此這種配置方式係適用於係需要其備有連續重疊信號之時鐘脈衝產生器。

在圖9中之級1及2不同於如圖3所示者，圖9中用於各級之鎖存器重置信號係從下面除一個外之後續級取得，即用於各第n級，從第(n+2)級回授重置信號。此外，各級1、2具有藉由一供電通過線連接一輸入F到用於通過從後續級到前面級之重置信號之一輸出F。級之互連係如圖10所說明。連接第N級之輸出Q到相同級之回授輸入F及重置輸入R。

如圖11所說明，用於時鐘信號CK、!CK之一完整時鐘週期，如此係符合於各其它輸出Q之下降及上升邊緣之連續輸出Q係主動或高。藉由完整之一半時鐘週期重疊輸出信號Q之連續對。

圖12所示之級1及2不同於如圖9所示者，如在圖6之配置方式之案例中，圖12中重置信號係從各級之鎖存器之輸出Q取得。係在圖13中說明之在產生器之級之間之互連及不同於如圖10所說明之那些，只有在各級之重置脈衝回授輸出之標記方面。如圖14所說明，因為係不重置鎖存器3

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (12)

直到係定位下面除一個外級之鎖存器3，係保證其它級之輸出Q重疊。

圖15之級1及2不同於圖3者，圖15中各包含在閘控電路4之輸出O及備有用於係直接從閘控電路4之輸出O取得之前面級之重置信號鎖存器3之資料輸入D之間連接之一延遲元件或電路5。級之互連係如圖4所說明。例如，各延遲電路5包含複數串聯反相器。除非係藉由鎖存器3需要一反相信號，應有相同數量之以串聯方面連接之反相器。

如圖16所說明，藉由各級之延遲電路5備有之延遲確保在定位目前之級之鎖存器3之前重置前面級之鎖存器3。本順序確保連續級之輸出Q不重疊，如此可用於時鐘脈衝產生器之一些應用需求。

圖17所說明如圖6所示之類型之一級1之配置，爲了雙向運算，即用於在從左到右或從右到左之順序中產生脈衝之。圖17之上部分說明從左到右之運算，同樣，下部分說明從右到左之運算。係主動其用於反相時鐘!CK之級2係可以以相同方式配置。

級1包含第一及第二電子轉換開關6及7，藉由適合之單一相位或互補控制信號(用於澄清之目的，不在圖17中揭示)控制開關6及7。

如圖17之上部分所示，在架構產生器用於從左到右之運算時，開關6連接閘控電路之閘控輸入G及鎖存器3之時鐘輸入CK到其接收前面級之輸出信號Q之一終端GR。開關7連接鎖存器3之重置輸入R到用於接收表示成一重置信號

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (13)

之後續級之輸出信號Q之一終端RG。因此，該級運算如在上文中說明。

在架構產生器用於從右到左之運算時，開關6及7係連接如圖17所示之下部分。開控電路4之開控輸入G及鎖存器3之時鐘輸入CK係連接到終端RG及接收後續級之鎖存器之輸出信號Q。鎖存器3之重置輸入R係連接到用於接收表示成一重置信號之前面級之鎖存器3之輸出信號Q之終端GR。因此，在該級之輸出Q之脈衝從右到左連續出現。用於本運算之模式，係交換第一及第N級之終端連接，如此第N級接收開始脈衝及第一級重置本身。

開關6及7可以藉由二電晶體或單一電晶體類型之傳輸閘具體化。在下文中說明備有互補控制輸入之一種二電晶體配置方式。

圖18詳細說明用於在多矽薄膜電晶體之組合中之例子，藉由CMOS場效電晶體具體化之級1之一例子。除係改變到互補時鐘線CK及!CK之連接外，係可以以相同方式具體化轉換級2。本配置方式係可以備有因為開控電路4備有用於較高輸入時鐘信號等級之一等級移位功能，其係完整低於供給電壓之輸入時鐘電壓運算。在這種配置方式中，開控電路輸出!O及鎖存器重置輸入!R係"低主動"。

開控電路4包含N型電晶體M1、M3及M7及P型電晶體M2及M4。電晶體M1及M3之源極係個別連接到反相及直流時鐘輸入!CK及CK。電晶體M1之汲極備有開控電路4之輸出!O及係連接到其之源極係連接到一第一供給線vdd

五、發明說明(14)

及其之閘極係連接到反相閘控輸入!G之電晶體M2之汲極。電晶體M3之閘極及汲極係連接在一起及到電晶體M7及M4之汲極。電晶體M4之源極及閘極係個別連接到供給線vdd及反相閘控輸入!G。電晶體M7之源極及閘極係個別連接到一第二供給線vss及反相輸入!G。

D型鎖存器3包含一N型電晶體M5、P型電晶體M6及M13、主動如串聯連接之單一閘控電晶體M8、M10及M12之一三閘N型電晶體及主動如二個串聯連接之單一閘控電晶體M9及M11之一個二閘P型電晶體。電晶體M5及M6組成一反相器，其之輸入係連接到閘控電路4之輸出!O及其之輸出連續直流級1之輸出Q。電晶體M8-M12組成一閘控回授反相器，其之輸入及輸出係個別連接到反相器M5、M6之輸出及輸入。

電晶體M11之閘極係連接到直流閘控輸入G，同樣，電晶體M10之閘極係連接到反相輸入!G。因此，在閘控信號係主動時，係不致能閘控反相器，同樣，在閘控輸入係不主動時，係致能閘控反相器及鎖存鎖存器之輸出。

電晶體M13包含其源極及閘極係個別連接到第一供給線vdd及閘控電路4之輸出!O之一拉上電晶體。電晶體M13及M12之閘極係連接到鎖存器3之主動之低重置輸入!R。

圖18所示之級1之運算係如下。在閘控輸入不主動時，此互補閘控信號G及!G分別為低及高，切斷電晶體M2及M4及拉下電晶體M7確保係切斷電晶體M1及M3。因此，閘控電路4之輸出!O係在一高阻抗狀態中及不藉由時鐘信

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (15)

號CK及!CK影響。因此，輸出!O係藉由其鎖存鎖存器3之狀態之閘控反相器之輸出保持在一邏輯高等級。

在閘控輸入係主動時，如此信號G及!G個別係在高及低等級，二極體連接之電晶體M3主動如備有其之藉由電晶體M4備有之負載之一偏壓電壓源。偏壓電壓係供給到電晶體M1之閘極，其功能如備有藉由電晶體M2備有之負載之一共同閘控放大器備有在閘控電路輸出!O之一時鐘信號!CK之等級移位版本。在時鐘信號CK係低及反相時鐘信號!CK係高時，電晶體M1之閘-源極電壓係小及電晶體M2保持輸出!O接近在供給線vdd上之負供給電壓。相反，在時鐘信號CK及!CK個別係高及低時，藉由電晶體M3及M4產生及供給到電晶體M1之閘極之偏壓係較大。係完整增加電晶體M1之閘-源極電壓以允許電晶體M1拉輸出!O接近在供給線vss上之接地電位。用於本目的，電晶體M1之驅動能力係完整大於電晶體M1之驅動能力。

備有如圖1所示之一習知時鐘D型鎖存器之異步重置，但備有閘控電路4之一第一級時鐘反相器組成部分之D型鎖存器3，如此閘控電路之輸出!O係表示成鎖存器3之互補輸出!Q之相同節點。電晶體M13備有藉由拉節點!Q高之異步重置，如此輸出Q變低，電晶體M12在重置係發生時防止任何電晶體出現衝突。

如在上文中之說明，在閘控輸入G係低時，鎖存器3之鎖存裝置係主動，如此輸出Q及!Q保持鎖存在它們之目前邏輯數值。因此，鎖存器因為閘控電路4係不主動決定在閘

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (16)

控電路輸出!Q之電壓。然而，拉上電晶體M13仍然係可以重置鎖存器。

相反地，在閘控輸入G係高時，鎖存器3之鎖存裝置係不主動及閘控電路4係主動。因此，閘控電路4決定輸出!O之邏輯狀態及因此鎖存器3之輸出Q之邏輯狀態。

在圖19中說明之電壓波形係來自包含備有一15伏特之供給電壓之如圖18所示類型之級之一時鐘脈衝產生器之一短暫分析模擬。電晶體係對應典型低溫多矽薄膜電晶體即備有二伏特之臨界電壓及用於平方裝置之 $1.25 \mu A/V^2$ 之共同狀況之功能模擬。時鐘輸入係二伏特振幅及5MHz頻率之互補信號。

圖19之較低波形圖說明時鐘及開始脈衝，同樣，較上面之圖說明時鐘脈衝產生器之連續級之輸出信號。因此，跟隨開始脈衝，時鐘脈衝產生器產生其之振幅係完整等於供給電壓之滿意之輸出脈衝。這係對應從二伏特時鐘脈衝到15伏特輸出脈衝之等級移位完成。

圖20揭示其不同於在圖18所示之那個之一時鐘脈衝產生器級1，圖20中回授反相器係非閘控類型，即省略"電晶體"M10、M11及M12。為用於本配置方式功能正常，電晶體M8及M9必須具有此對應電晶體M1及M13比較之一低驅動能力。然而，這備有一較簡單電路配置方式及係可以省略直流閘控輸入G。同樣，如果不需要備有級輸出，係也可以省略直流輸出Q。

圖21說明一較簡單電路配置方式，其中省略圖20之級之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (17)

電晶體 M2。在正常運算期間，電晶體 M9 保持開控電路 4 之輸出 !O 於高。然而，在開控電路 4 係主動時，電晶體 M9 主動如用於電晶體 M1 之負載及保持輸出 !O 高直到直流時鐘脈衝 CK 之上升邊緣。然後電晶體 M1 拉低輸出 !O 及大致一時鐘週期之一半稍後電晶體 M13 拉高輸出 !O。

圖 22 說明在圖 18 中說明備有藉由包含電晶體 M14-21 之傳輸開備有之切換配置之級之一雙向實施例。連接傳輸開之控制輸入到互補左/右控制線 LR 及 !LR，如此在需要左到右之運算時，控制線 LR 及 !LR 分別係高及低，同樣，在需要右到左之運算時，控制線 LR 及 !LR 分別係低及高。為避免用於個別切換用於雙向運算之一直流開控信號 G 之需求，一反相器 I1 從反相開控信號 !G 產生直流開控信號 G。

圖 23 說明包含藉由 N 列乘 M 行之圖點之一顯示器矩陣 40 之一顯示器，例如包含一液晶裝置之一空間光調變器之組合。顯示器另外包含一包含一時鐘脈衝產生電路 42 及一組資料線驅動器 43 之定址信號產生器 41。時鐘脈衝產生電路 42 包含在上文中說明及在圖 3 到 22 中說明之任何類型之一產生器。一掃描信號產生器 44 供給掃描信號到列之圖點及包含一時鐘脈衝產生電路 45 及一組線驅動器 46。時鐘脈衝產生電路 45 包含在上文中說明及在圖 3 到 22 中說明之任何類型之一產生器。時鐘脈衝產生電路以用於電路 42 之圖點資料速率及用於電路 45 之線資料速率產生時鐘脈衝。

四、中文發明摘要 (發明之名稱： 靜態時鐘脈衝產生器及顯示器)

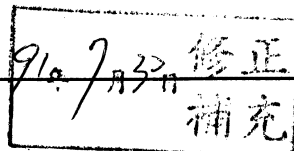
一種靜態時鐘脈衝產生器包含複數級1、2，每一級包含一D型正反器3及一閘控電路4。正反器3供給該級之輸出信號Q，其亦使用為後續級之閘控電路4之閘控信號。在閘控電路4之閘控輸入G係主動及在時鐘輸入CK或!CK上出現一時鐘脈衝時，閘控電路4供給一信號到正反器3之資料輸入D，一異步重置信號R係從後續級供給至正反器3。

英文發明摘要 (發明之名稱： "STATIC CLOCK PULSE GENERATOR AND DISPLAY")

A static clock pulse generator comprises a plurality of stages 1,2, each of which comprises a D-type flip-flop 3 and a gating circuit 4. The flip-flop 3 supplies output signals Q of the stage which are also used as gating signals for the gating circuit 4 of the following stage. The gating circuit 4 supplies a signal to the data input D of the flip-flop 3 when its gating input G is active and a clock pulse is present on the clock input CK or !CK. An asynchronous reset signal R is supplied to the flip-flop 3 from the following stage.

六、申請專利範圍

1. 一種靜態時鐘脈衝產生器，其包含一主時鐘輸入及N級，各第i級包含：具有用於接收來自一第(i+a)級，之一重置信號之一重置輸入及一資料輸入之一D型電路，其中a係大於或等於1；及具有用於反應於第(i-1)級之一D型電路之輸出信號及在主時鐘輸入之一時鐘脈衝，供給一脈衝到資料輸入之一輸出之一閘控電路，其中 $1 < i \leq (N-a)$ 。
2. 如申請專利範圍第1項之產生器，其中各D型電路係一D型鎖存器。
3. 如申請專利範圍第1項之產生器，其中各至少一個級具有用於供給D型電路輸出信號及構成該產生器之一輸出之一輸出。
4. 如申請專利範圍第1項之產生器，其中各第i級之D型電路重置輸入係配置成用以接收來自第(i+a)級之閘控電路之輸出之重置信號。
5. 如申請專利範圍第1項之產生器，其中各第i級之D型電路重置輸入係配置成用以接收來自第(i+a)級之表示成重置信號之D型電路輸出信號。
6. 如申請專利範圍第1項之產生器，其中各級包含配置於各級之閘控電路輸出及D型電路之資料輸入之間之一延遲電路。
7. 如申請專利範圍第6項之產生器，其中各延遲電路包含複數串聯連接之反相器。
8. 如申請專利範圍第1項之產生器，其中各級包含用於選



六、申請專利範圍

- 擇性連接D型電路重置信號以接收來自第(i-a)級之重置信號及反應於第(i+1)級之D型電路輸出信號及在主時鐘輸入之時鐘脈衝，導致開控電路供給脈衝到資料輸入之一切換配置方式，其中 $(1+a) \leq i < N$ 。
9. 如申請專利範圍第8項之產生器，其中各切換配置方式包含複數傳輸開。
 10. 如申請專利範圍第1項之產生器，其中第i級之D型電路包含用於接收來自第(i-1)級之D型電路輸出信號之一時鐘輸入。
 11. 如申請專利範圍第8項之產生器，其中切換配置方式係配置成用以選擇性連接各第i級之D型電路時鐘輸入以接收第(i+1)級之D型電路輸出信號。
 12. 如申請專利範圍第1項之產生器，其中第一級包含：一具有用於接收來自一第(i+a)級之一重置信號之一重置輸入，及一資料輸入之D型電路；及一用於反應於在主時鐘輸入之一開始脈衝及一時鐘脈衝，供給一脈衝到D型電路資料輸入之開控電路。
 13. 如申請專利範圍第8項之產生器，其中切換配置方式係配置成用以選擇性連接來自第一級之重置信號到第一級之D型電路重置輸入。
 14. 如申請專利範圍第1項之產生器，其中第N級包含：一具有一資料輸入、一輸出及用於來自D型電路輸出之一重置信號之一重置輸入之D型電路；及一具有一輸出用於反應於第(N-1)級之D型電路輸出信號及在主時

六、申請專利範圍

- 鐘輸入之一時鐘脈衝，供給一脈衝到資料輸入之閘控電路。
15. 如申請專利範圍第1項之產生器，其中該主時鐘輸入包含一互補時鐘輸入，以及連續對級之閘控電路配置成用以回應在互補輸入之互補時鐘脈衝。
 16. 如申請專利範圍第1項之產生器，其中各閘控電路包含一第一電晶體，其共同電極係連接到主時鐘輸入，其輸出電極組成D型電路之一致能資料輸入及其控制電極係反應於前面級之D型電路輸出信號。
 17. 如申請專利範圍第16項之產生器，其中各閘控電路包含一第二電晶體，其共同電極係連接到一第一供給線及其輸出電極係連接到第一電晶體之輸出電極。
 18. 如申請專利範圍第17項之產生器，其中第二電晶體之控制電極係配置成用以接收前面級之D型電路輸出信號。
 19. 如申請專利範圍第16項之產生器，其中第一電晶體之控制電極係連接到一偏壓電壓源，該偏壓電壓源係配置成由前面級之D型電路輸出信號來控制。
 20. 如申請專利範圍第19項之產生器，其中偏壓電壓源包含一第三電晶體，其共同電極係連接到一反相主時鐘輸入及其控制及輸出電極係連接到第一電晶體之控制電極。
 21. 如申請專利範圍第20項之產生器，其中第一電晶體之控制電極係連接到一第四電晶體之控制電極，其共同

91.7.30

六、申請專利範圍

電極係連接到一或第一供給線。

22. 如申請專利範圍第21項之產生器，其中第四電晶體之控制電極係配置成用以接收前面級之D型電路輸出信號。
23. 如申請專利範圍第16項之產生器，其中第一電晶體之控制電極係連接到一第五電晶體之輸出電極，其共同電極係連接到一第二供給線及其控制電極係配置成用以接收前面級之D型電路輸出信號。
24. 如申請專利範圍第2項之產生器，其中各D型鎖存器包含一第一反相器及一第二回授反相器。
25. 如申請專利範圍第24項之產生器，其中第二反相器係一開控反相器，具有一開控輸入，其配置成由前面級之D型鎖存器輸出信號所控制。
26. 如申請專利範圍第24項之產生器，其中第一反相器係連接到一拉上或拉下電晶體，其控制端包含重置輸入。
27. 如申請專利範圍第1項之產生器，組合成CMOS積體電路。
28. 如申請專利範圍第1項之產生器，組合成多矽薄膜電晶體。
29. 一種空間光調變器，包含如申請專利範圍第1項之產生器。
30. 如申請專利範圍第29項之調變器，包含一液晶裝置。
31. 如申請專利範圍第30項之調變器，其中液晶裝置係被

97年7月3日修正
補充

六、申請專利範圍

- 動矩陣型。
32. 如申請專利範圍第30項之調變器，其中液晶裝置係主動矩陣型。
33. 如申請專利範圍第32項之調變器，其中產生器及主動矩陣係組合成相同類型之薄膜電晶體。
34. 一種顯示器，包含如申請專利範圍第29項之調變器。
35. 一種光放射顯示器，包含如申請專利範圍第1項之產生器。
36. 如申請專利範圍第35項之光放射顯示器，其係被動矩陣型。
37. 如申請專利範圍第35項之光放射顯示器，其係主動矩陣型。

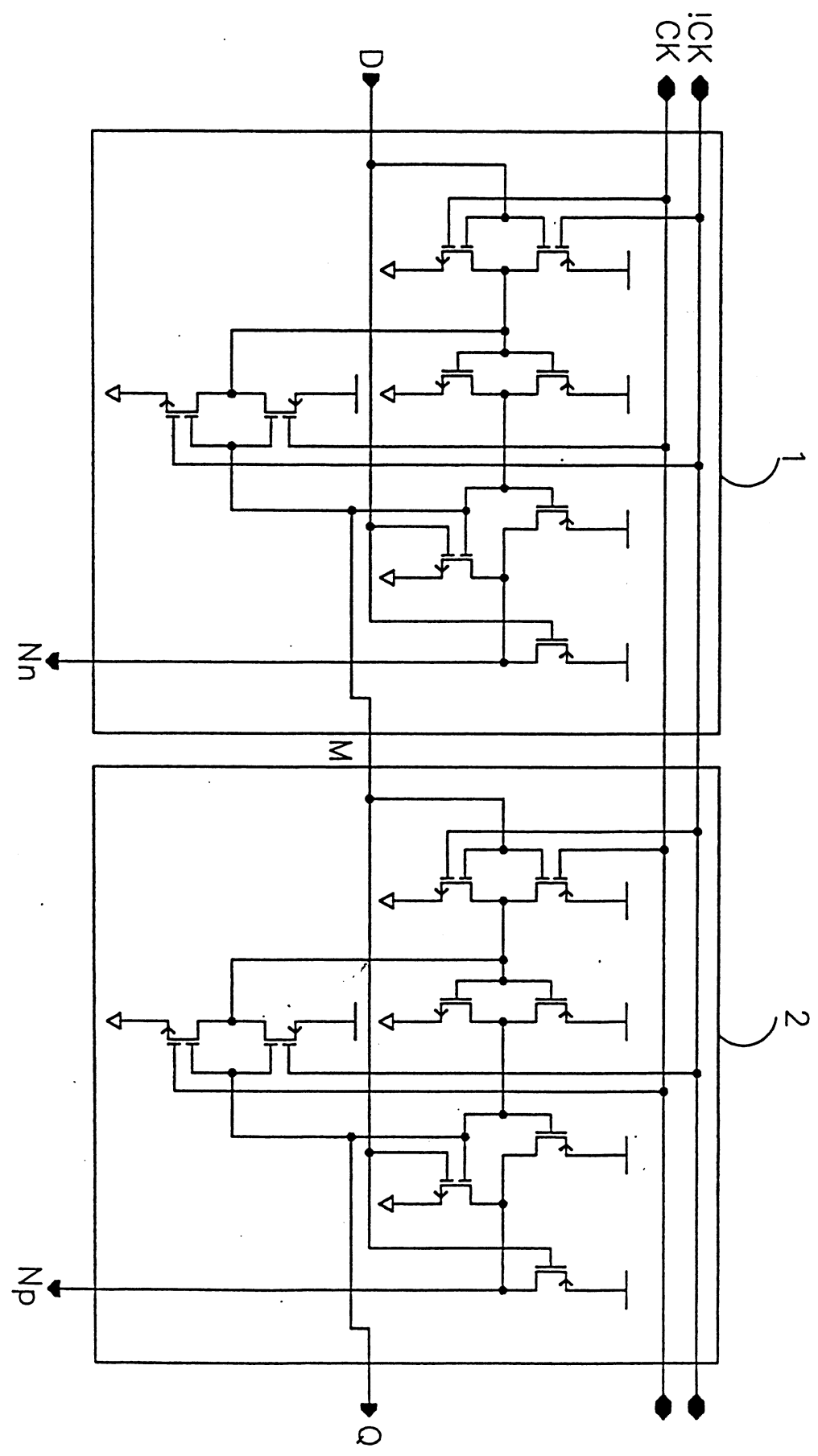


圖 1

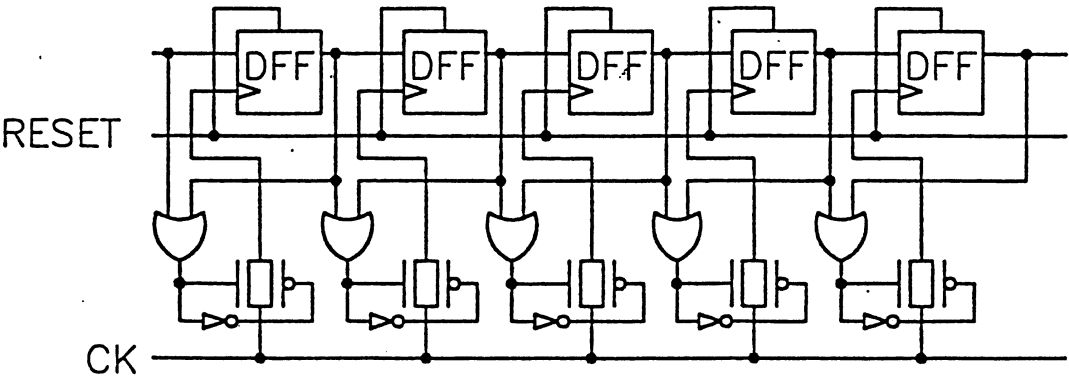


圖 2

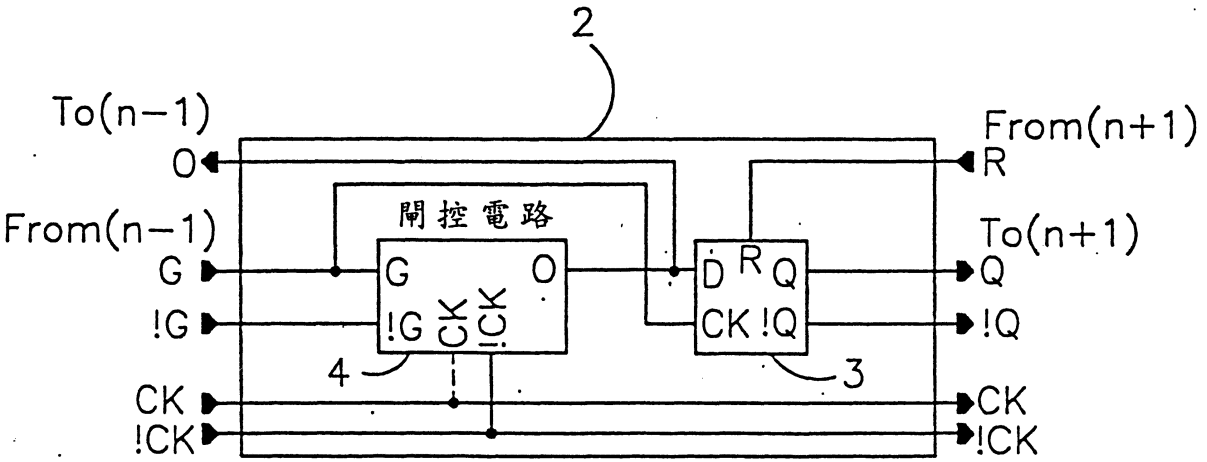
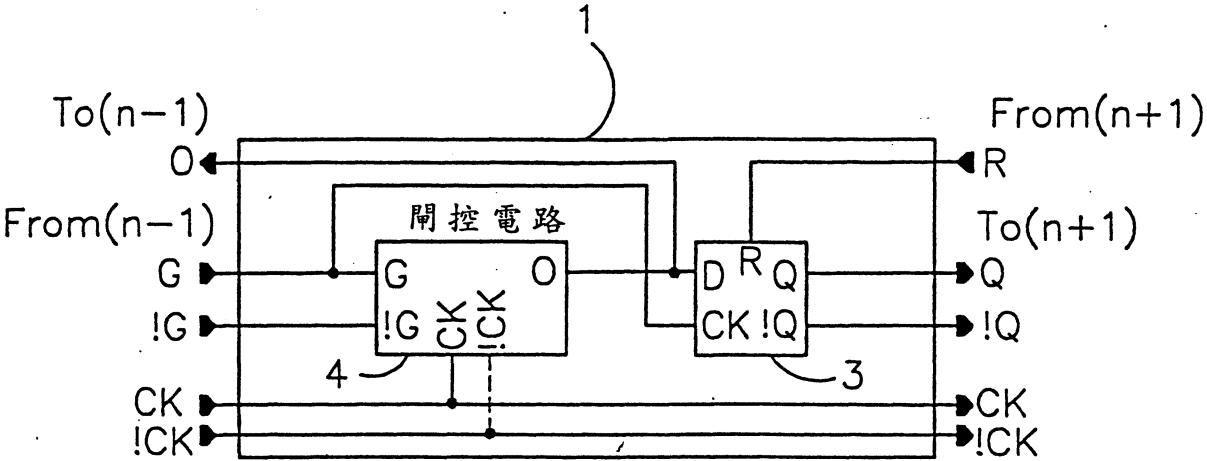
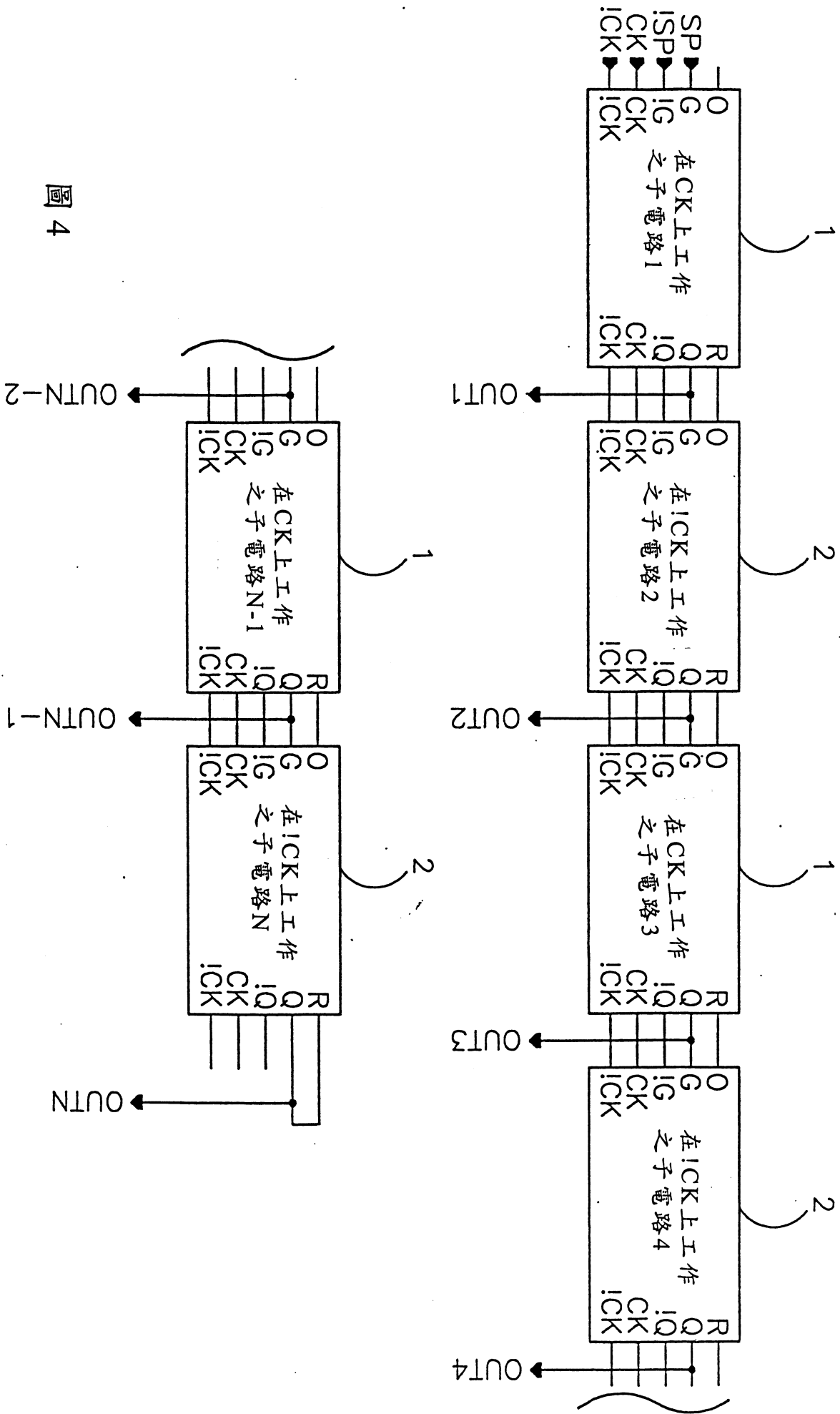


圖 3



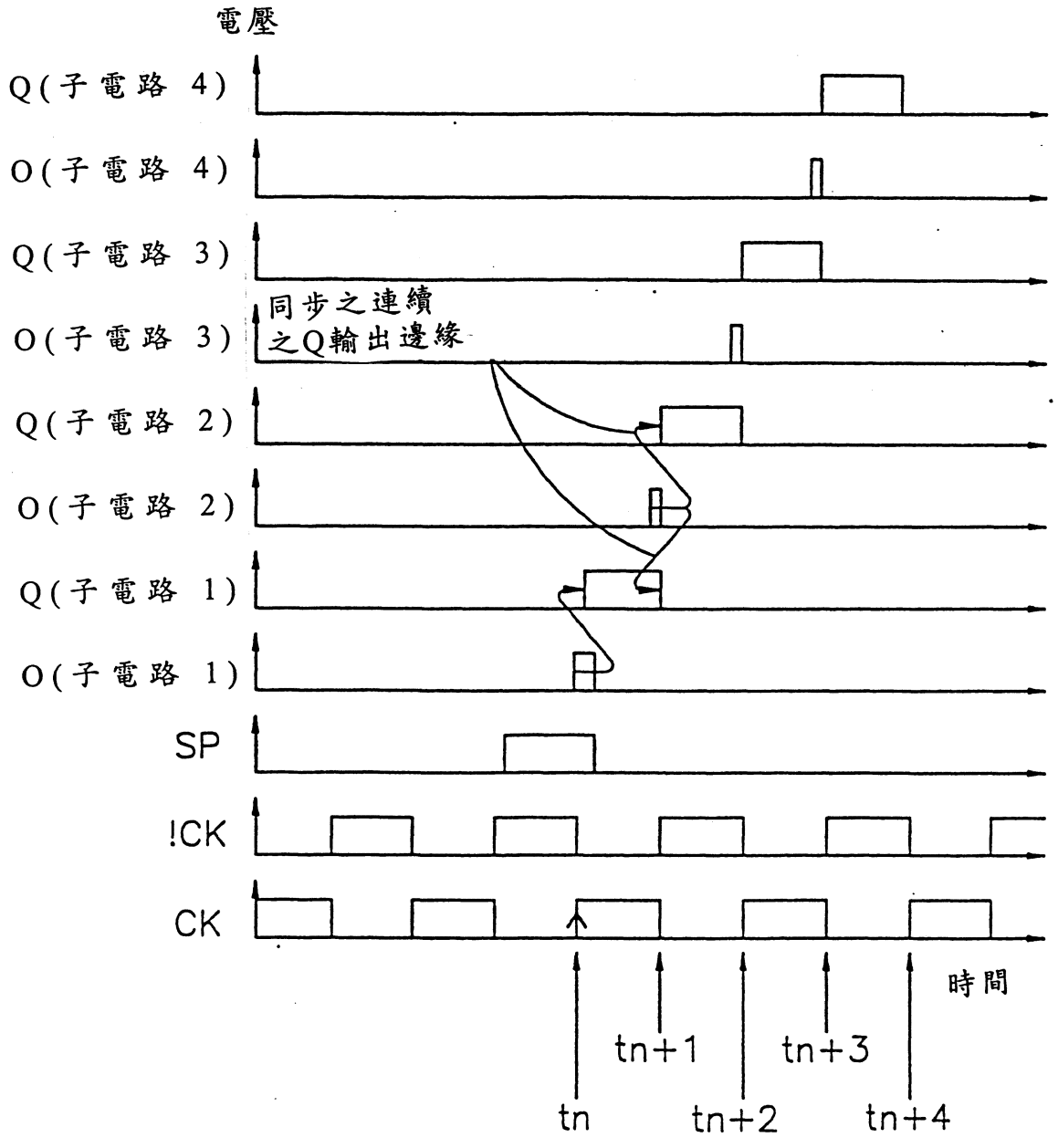


圖 5

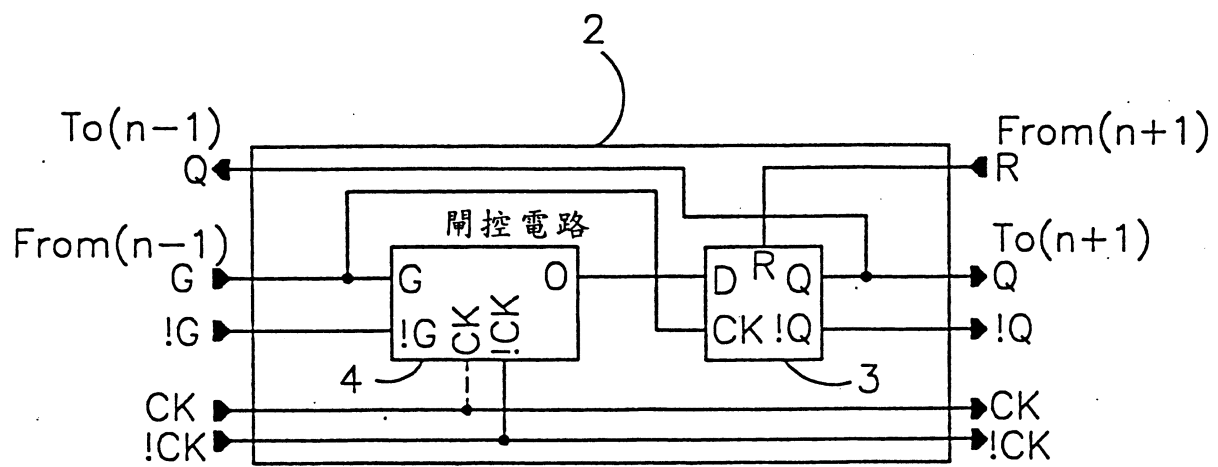
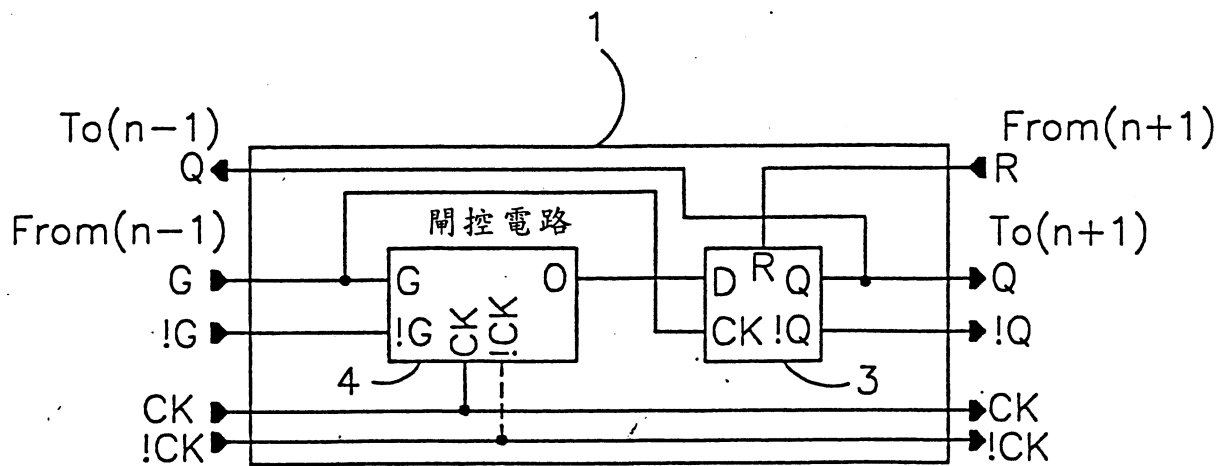


圖 6

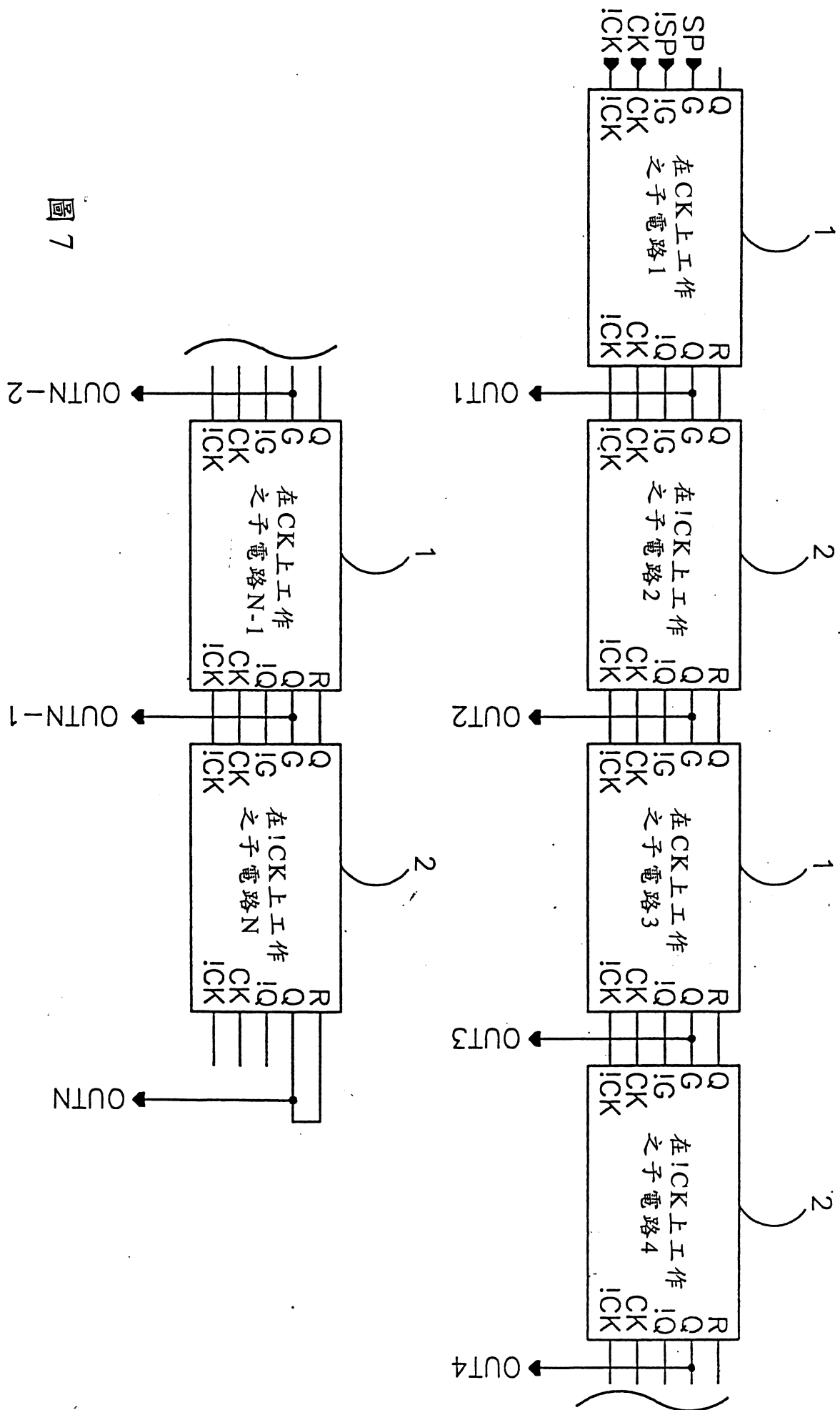


圖 7

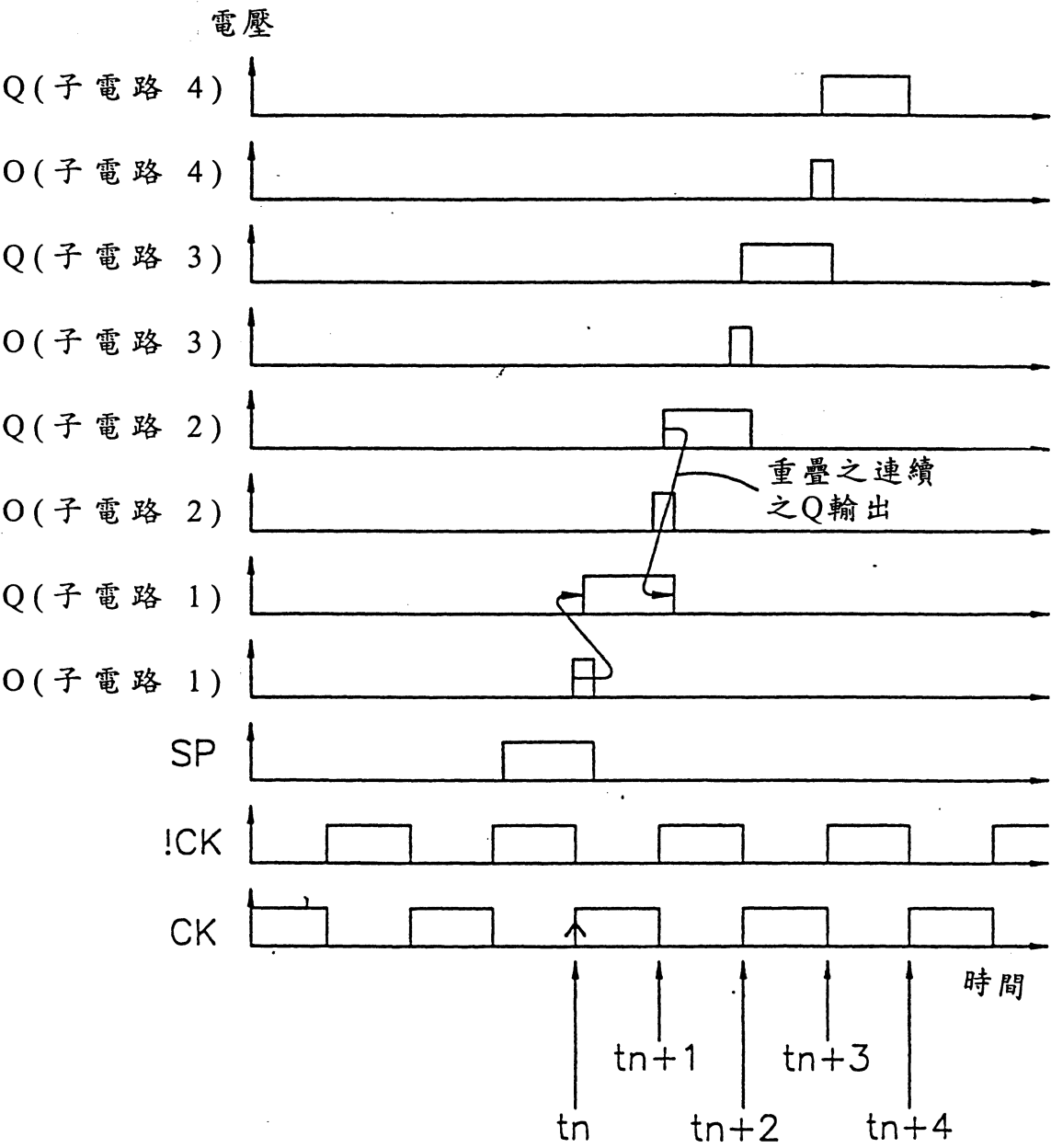


圖 8

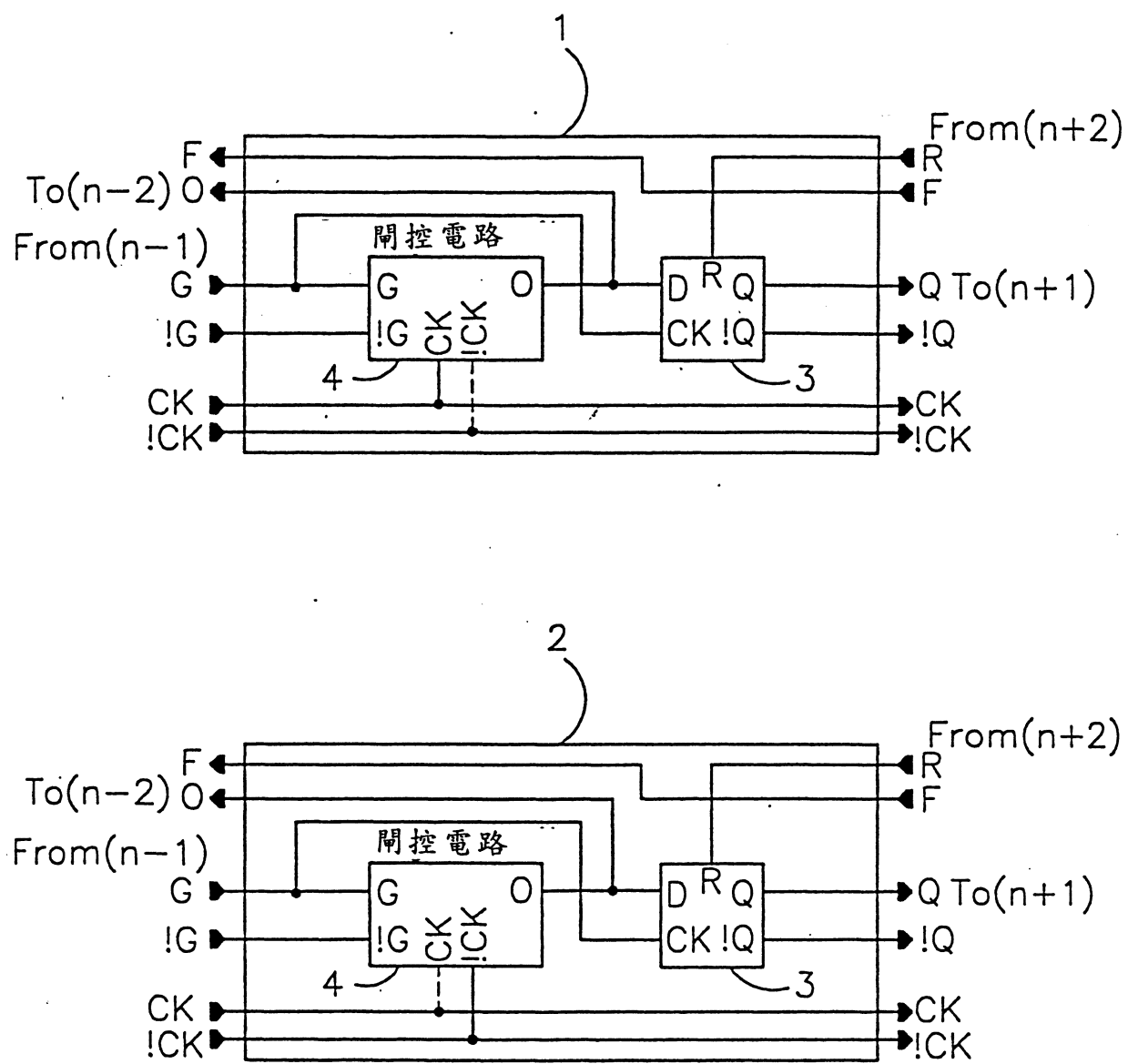


圖 9

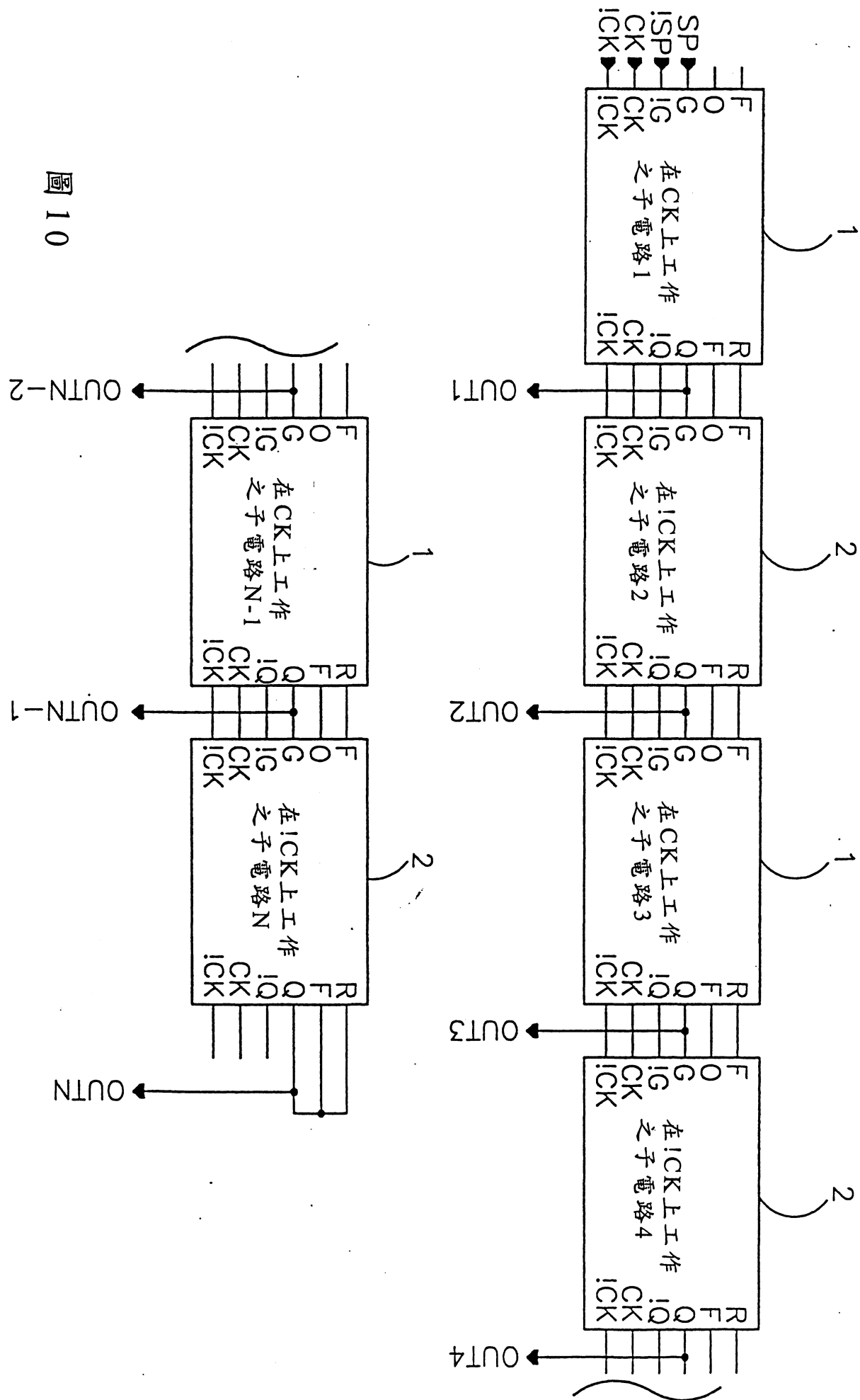


圖 10

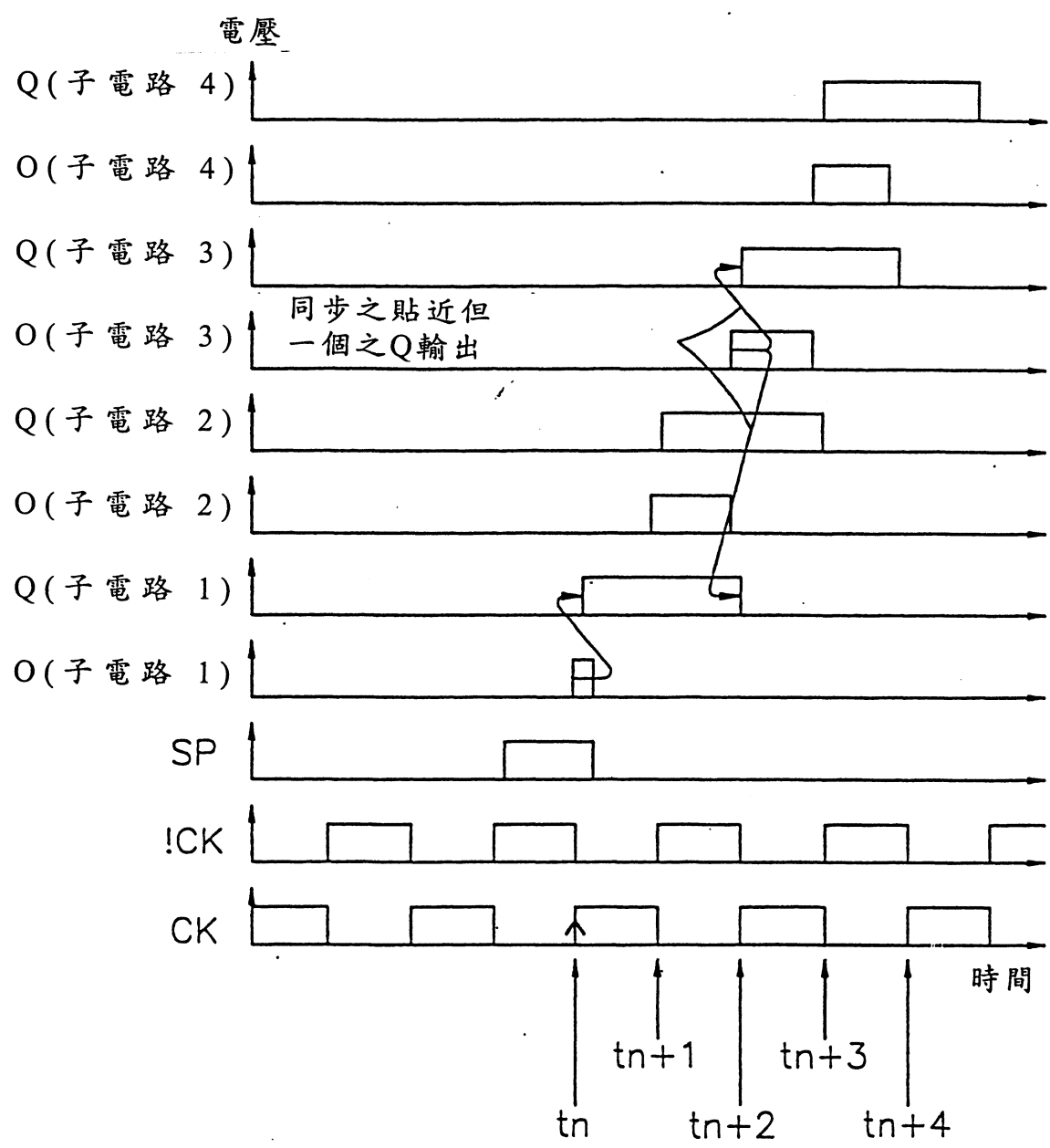


圖 11

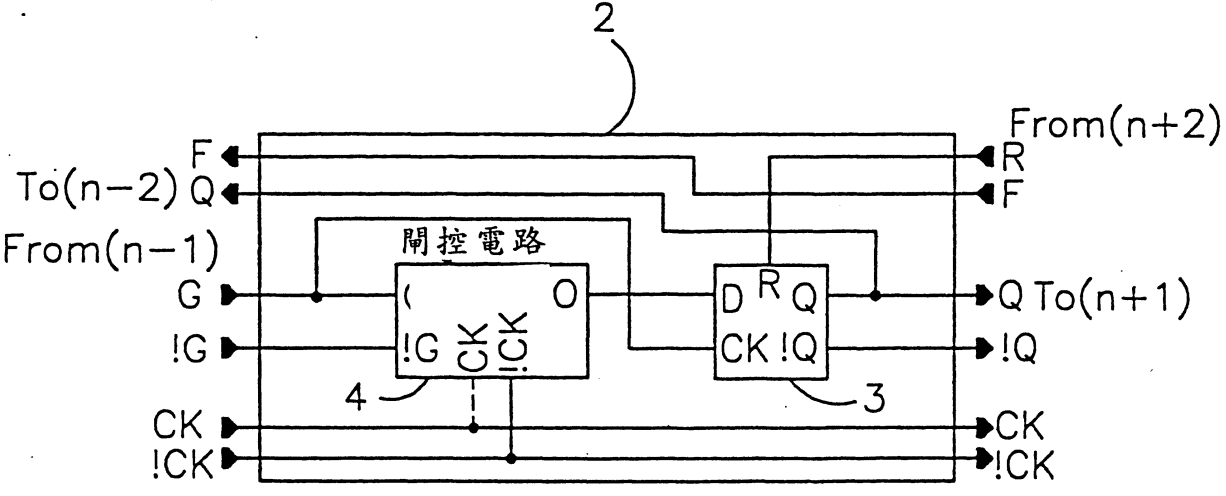
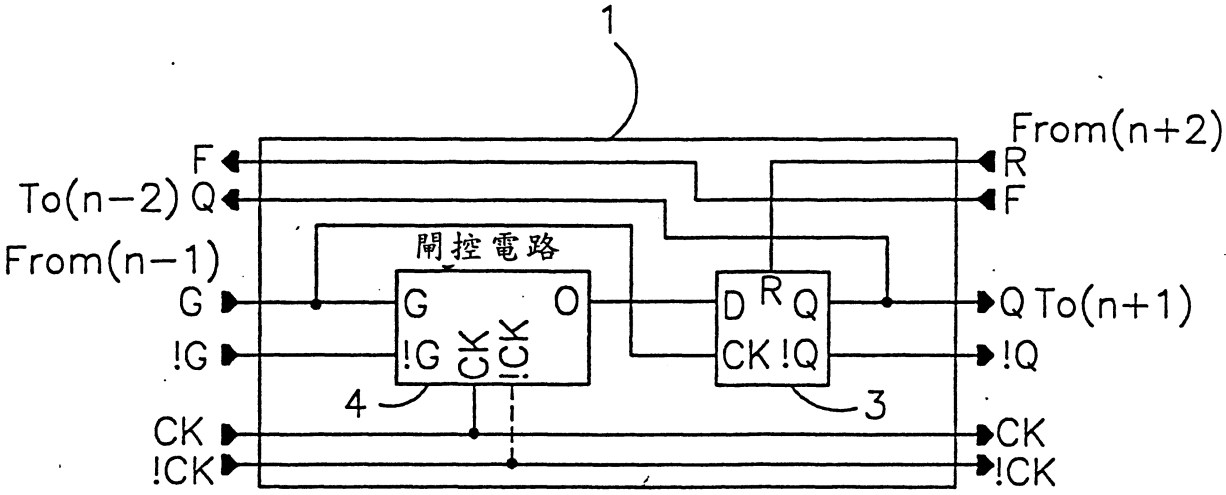


圖 12

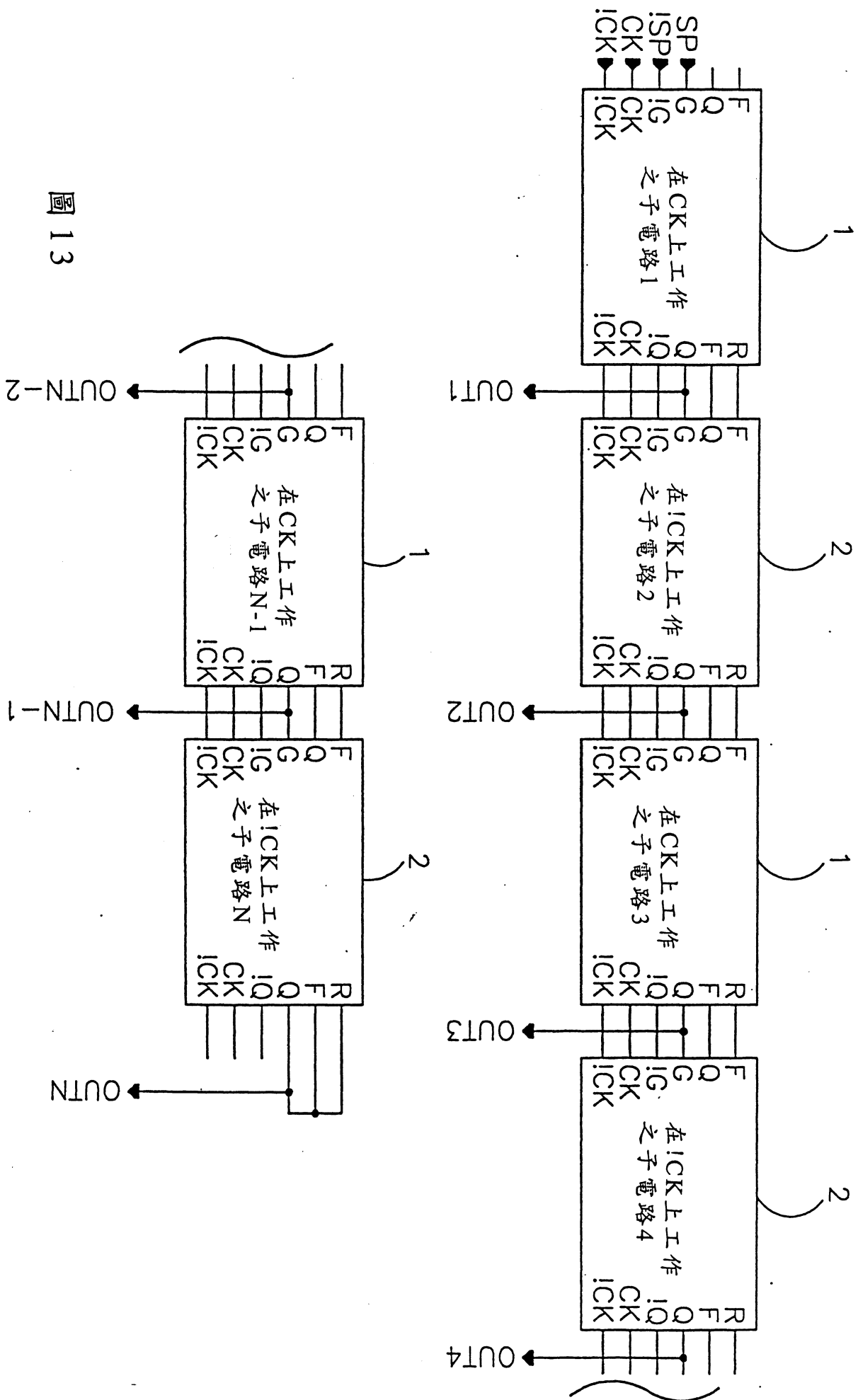


圖 13

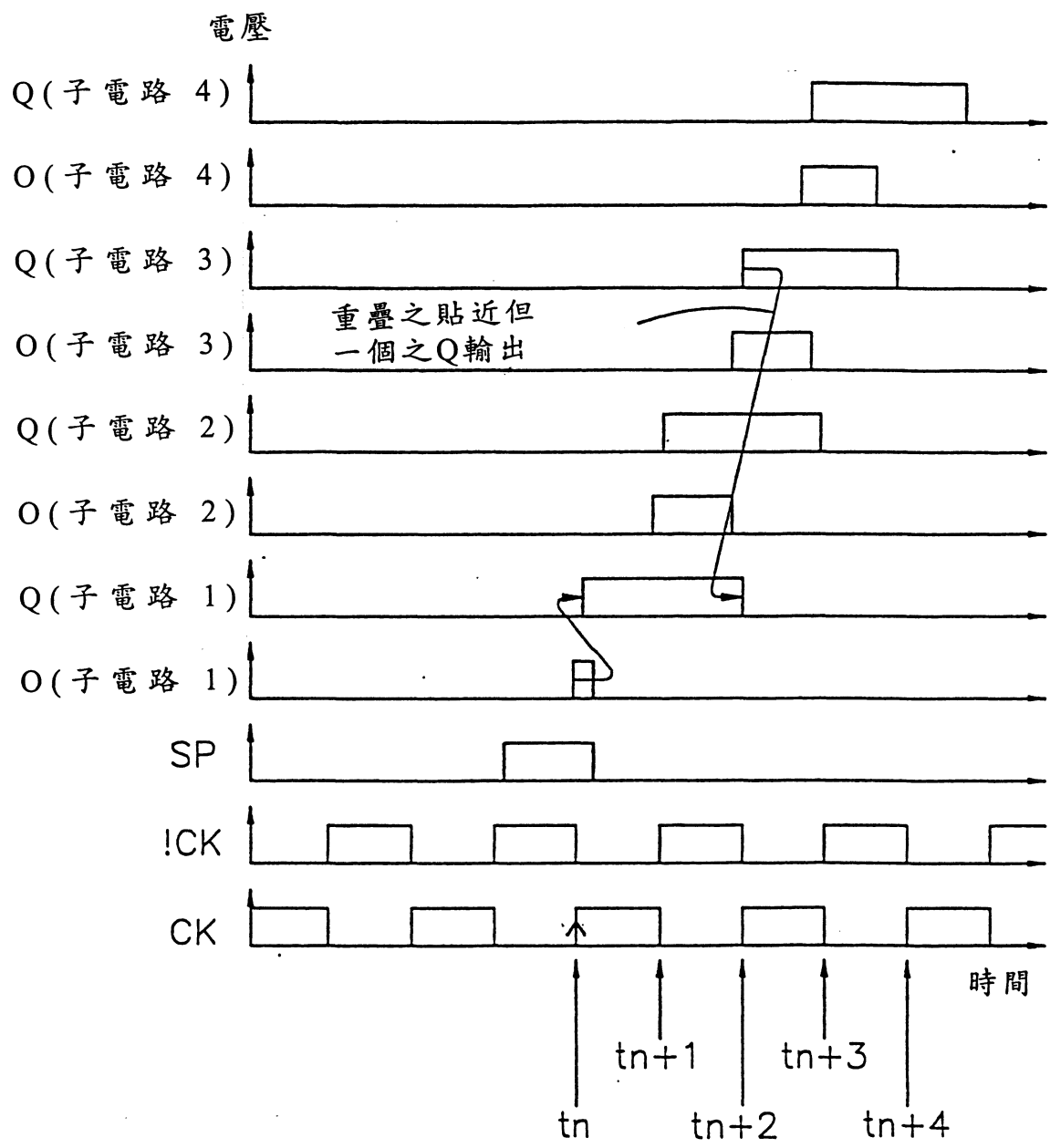


圖 14

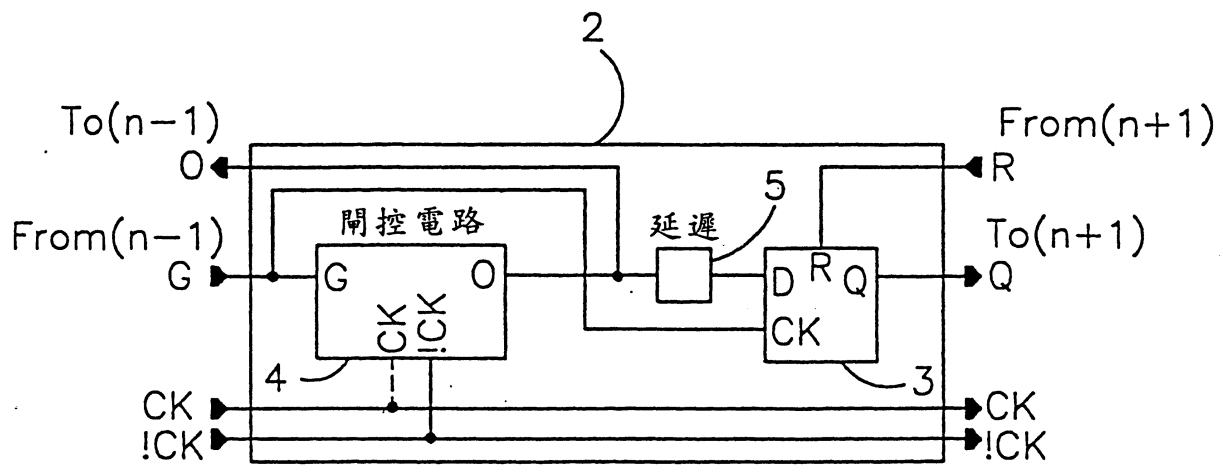
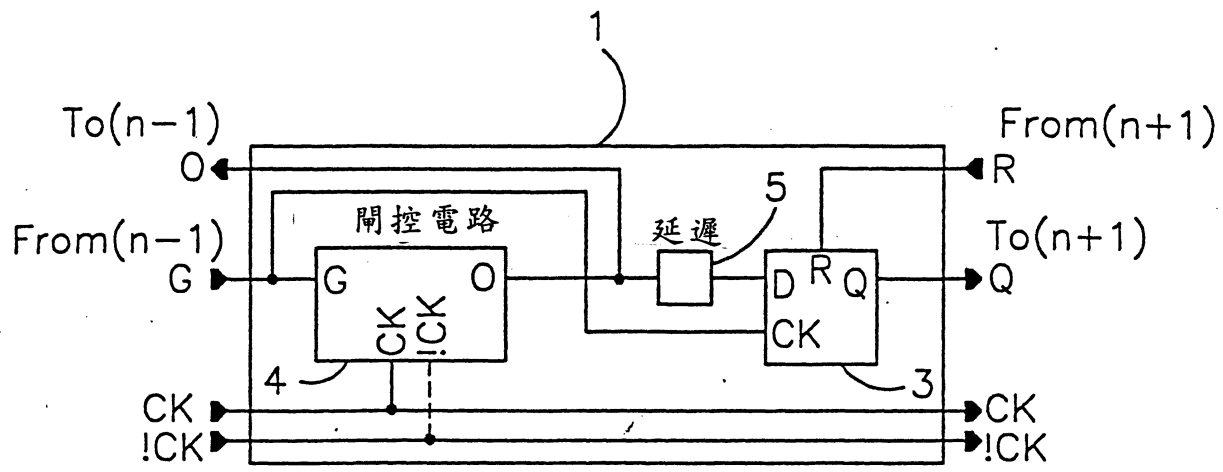


圖 15

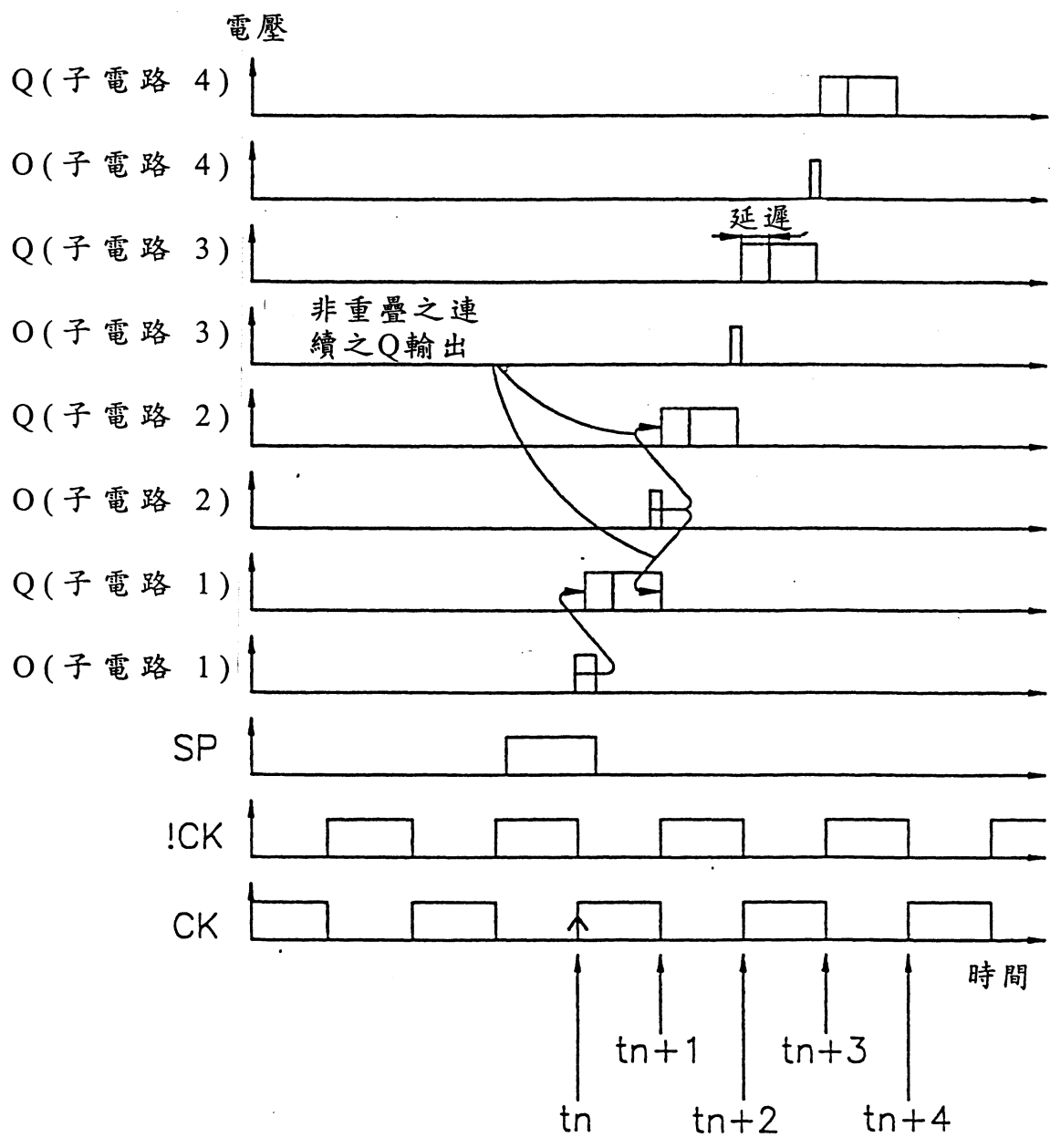


圖 16

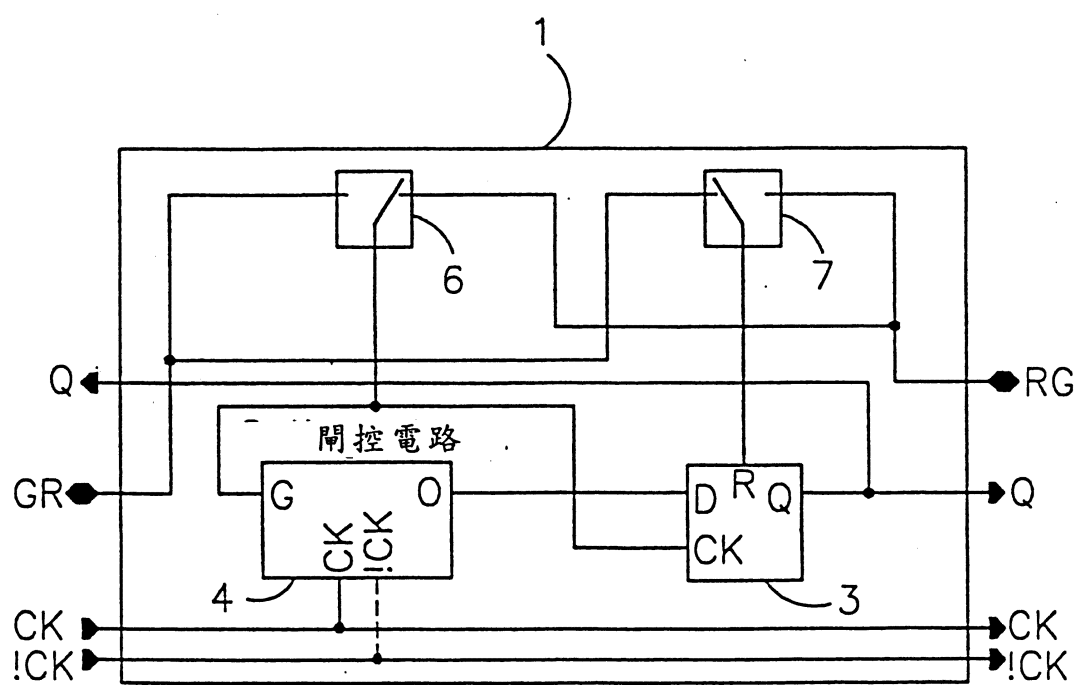
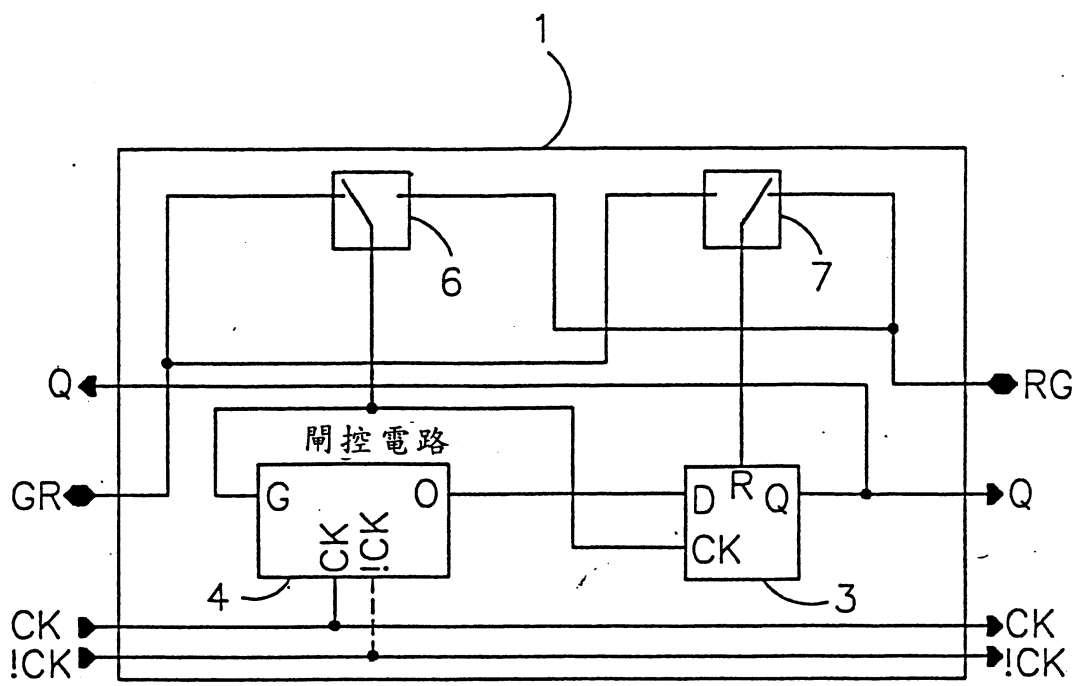
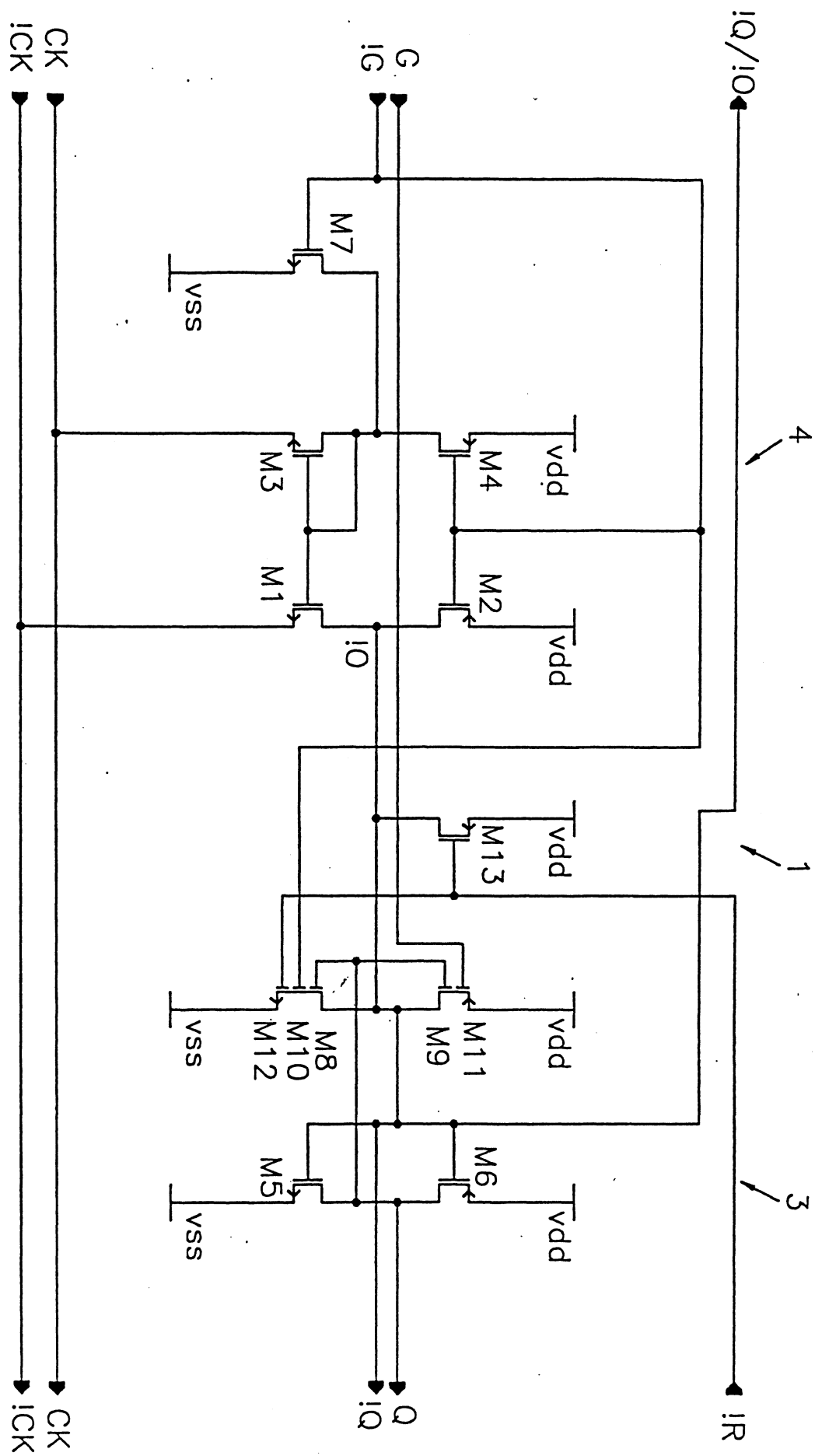


圖 17



18

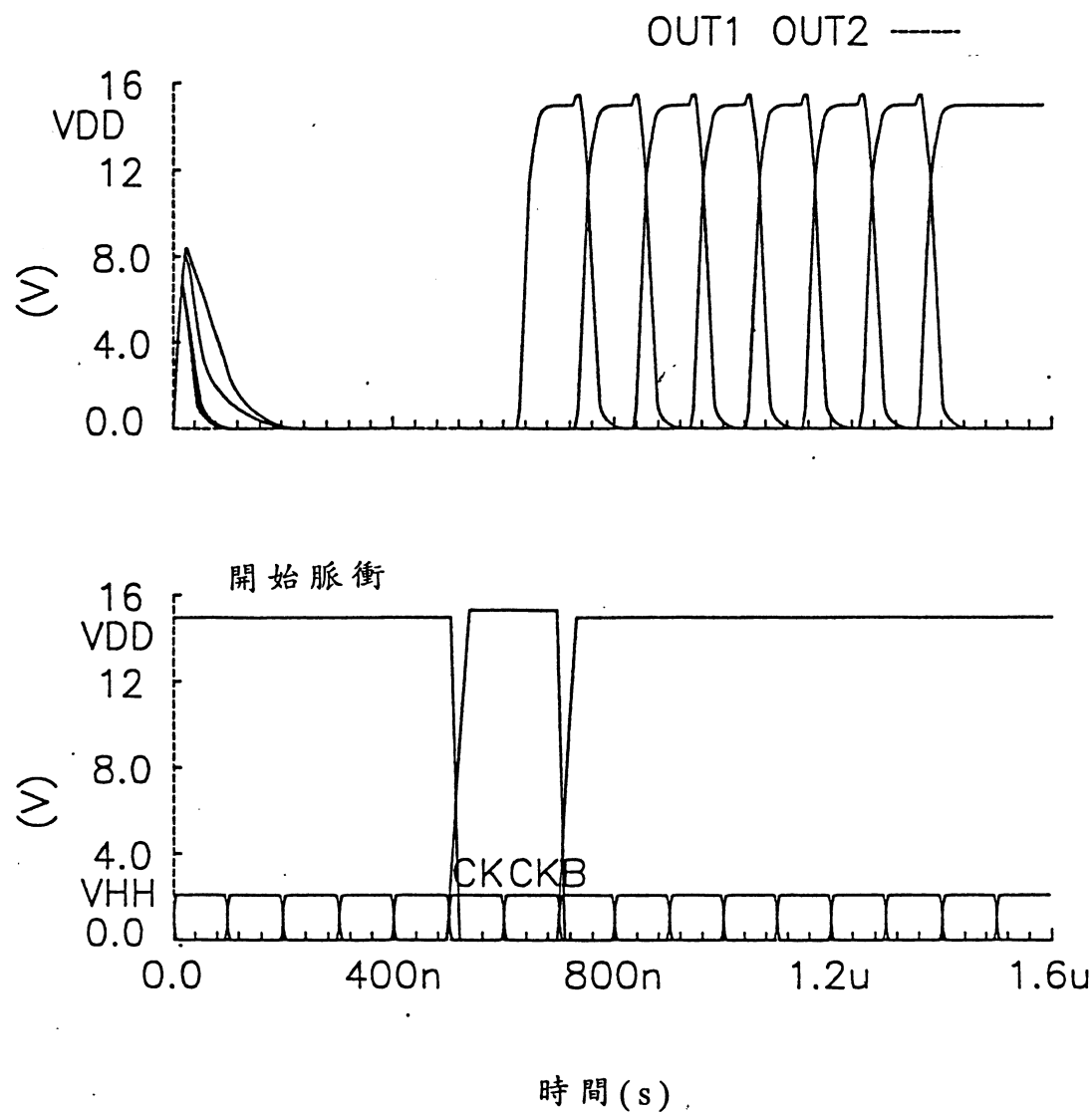


圖 19

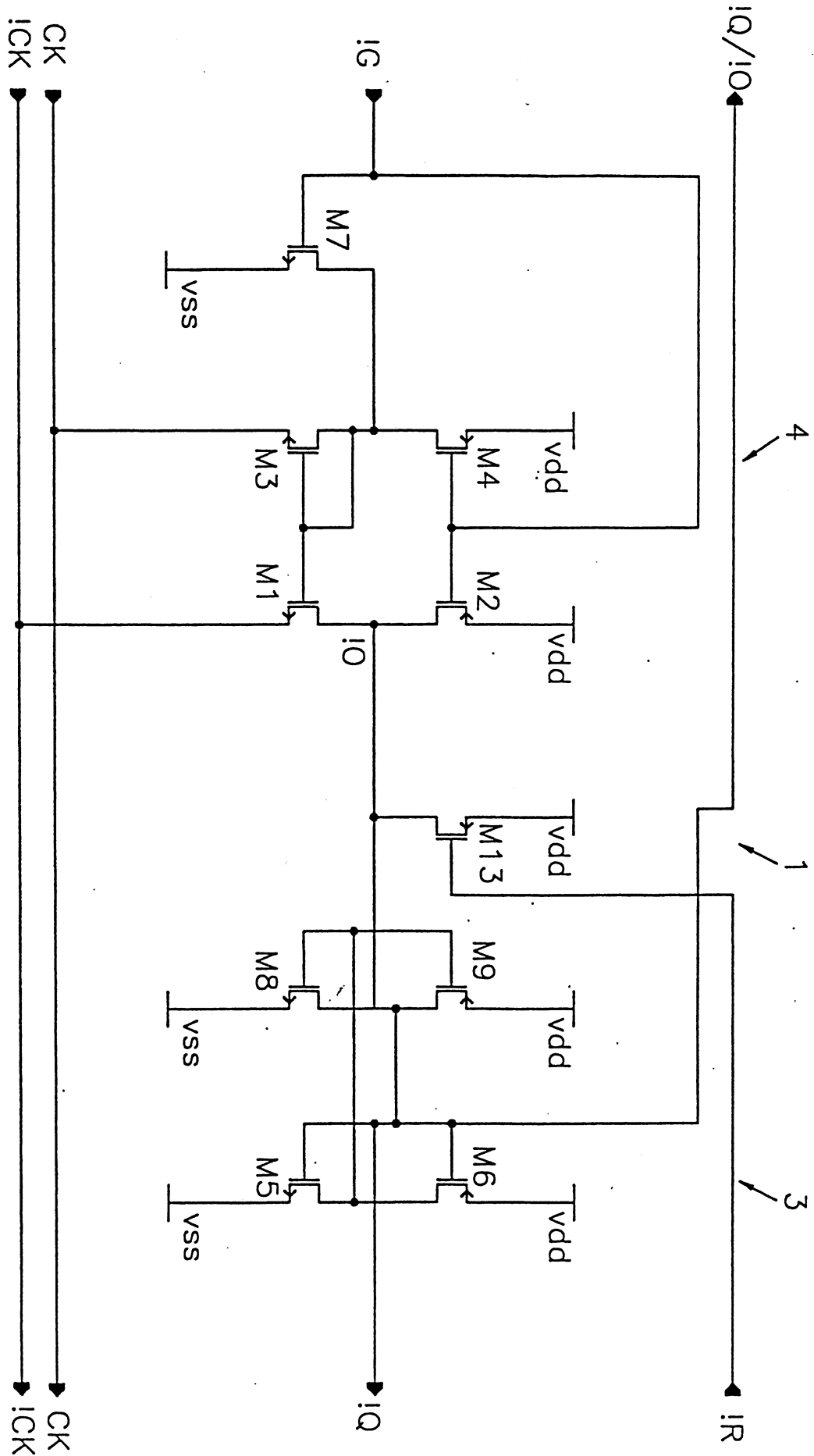


圖 20

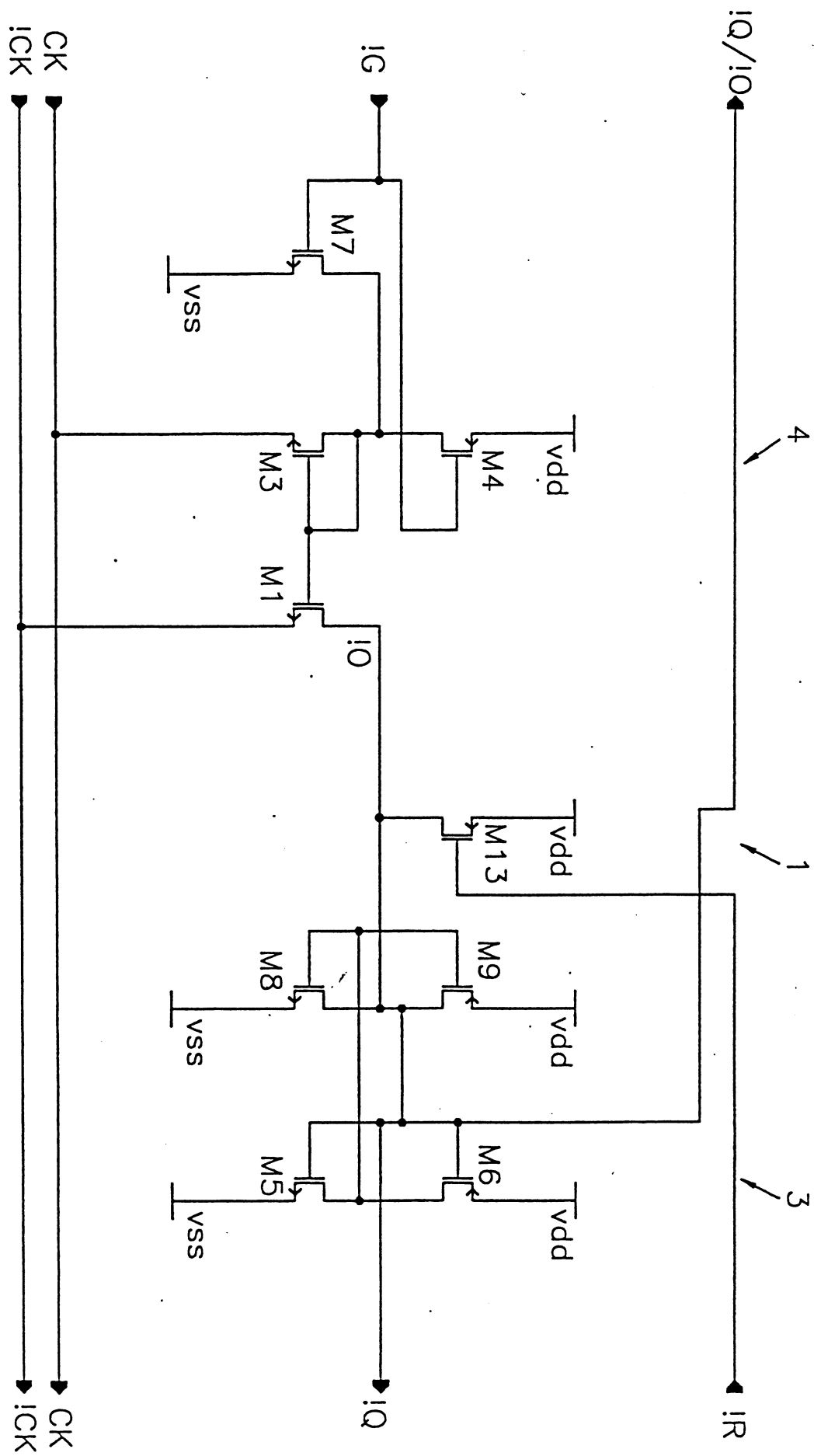


圖 21

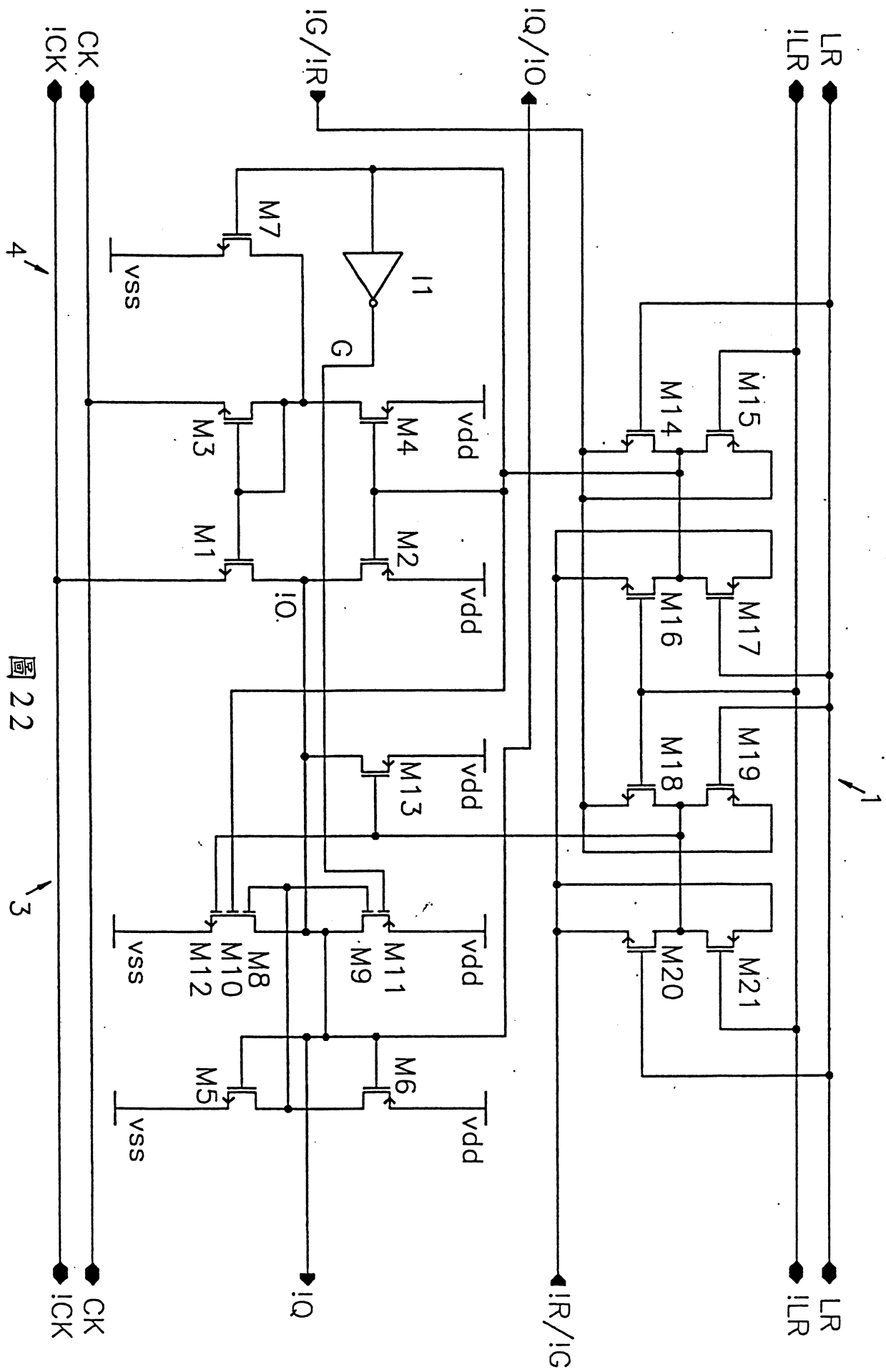


圖 22

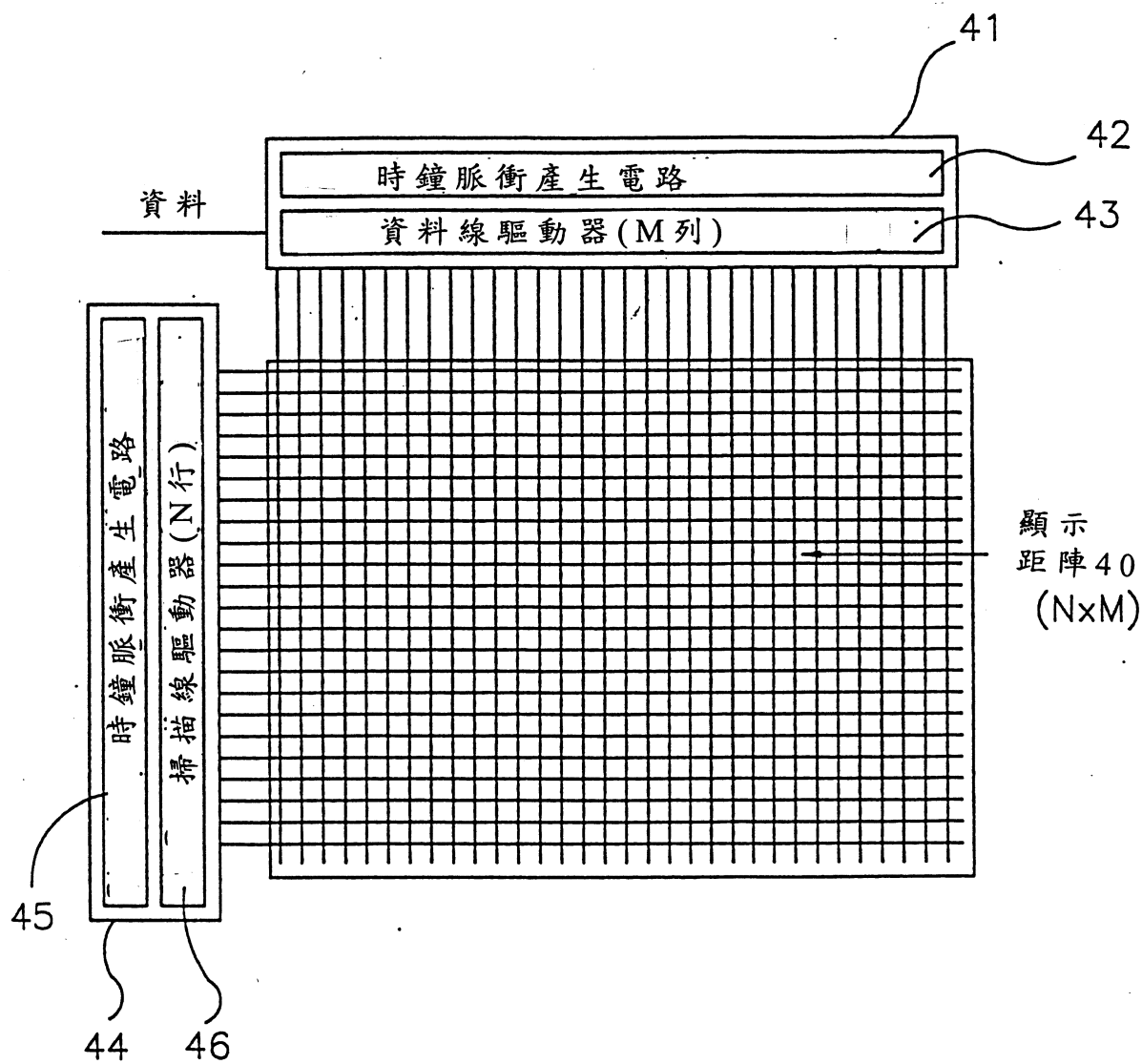


圖 23