

(由本局填寫)

|           |
|-----------|
| 承辦人代碼：    |
| 大 類：      |
| I P C 分類： |

A6  
B6

本案已向：

國（地區）

申請專利，申請日期：

案號：

，☐有 ☐無主張優先權

日本

1999 年 11 月 19 日

11-329725

☒有主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

## 五、發明說明 ( 1 )

### 發明背景

本發明係相關於一種液晶顯示裝置，特別是相關於一種低電壓高速之液晶顯示裝置，其改良以雷射退火技術而形成之多晶矽半導體所製造出之主動矩陣基底之各種薄膜之平坦度，以及其製造方法。

液晶顯示裝置被廣泛的使用作為資訊處理終端機之顯示器以及 TV 接收器之視頻顯示裝置。該液晶顯示裝置具有以一對絕緣基底並有一液晶層夾置其間之基本結構，並藉由改變液晶層之液晶分子之方位而顯示圖像。

已知有各種類形之液晶顯示裝置，其不同在於其形成圖素之方法。其中，主動矩陣式係廣泛的採用將一切換元件（主動元素）置於一對絕緣基底中之一個之內表面上之一每個圖素中，而藉由選擇某些切換元件而形成顯示影像。

最後歡迎的一種主動矩陣是液晶顯示裝置係為薄膜電晶體（TFT）式液晶顯示裝置，其使用薄膜電晶體於其切換元件中。

近來，多晶矽半導體被實際作為構成像是薄膜電晶體之電路元件以及薄膜電晶體式液晶顯示裝置之被動電路構件之半導體層。

圖 8 係為主動矩陣基底之結構平面圖，以解釋使用多晶矽半導體之液晶顯示裝置之例子。參考號 SUB1 係表示第一基底（較低基底，主動矩陣基底）而掃描信號線（閘極線）GL 以及視頻信號線（汲極）DL 係個別在顯示區 AR

（請先閱讀背面之注意事項再填寫本頁）

訂

線

## 五、發明說明 ( 2 )

中而垂直與水平設置。一薄膜電晶體 TFT 係置於掃描線 GL 與視頻信號線 DL 之每個交錯處，而以薄膜電晶體 TFT 之一個所驅動之圖素電極 PT，形成單位圖素。

在基底 SUB1 之顯示區 AR 之周邊處係製造有垂直掃描驅動電路（閘極驅動電路）V 以將掃描電壓送至閘極線 GL，垂直掃描驅動電路（汲極驅動電路）H，以及預充電電路 PG。

置於 SUB1 之一側處者係為端子 TM，以接收來自於外部設備之顯示信號（像是主電腦或是頻信號處理設備之信號源）。參考號 COM 表示一端子作為將驅動信號送至形成另一絕緣基底（未顯示）上之一般電極中。為了將多晶矽半導體膜製造於以玻璃或石英（此後僅稱為基底）所製之絕緣基底上，一般係使用像是 CVD 之技術將非晶矽膜形成於基底之上，之後將雷射光束照射在非晶矽膜上而區域的只熔化該非晶矽膜，而在使像是玻璃基底之熱阻基底不熔化或不分解之溫度下，而將該非晶矽膜轉換為多晶矽膜。

此方法可得到相對廉價之玻璃基底，而減少液晶顯示裝置之成本，並在市場上得到高品質之液晶顯示裝置。

該方法係揭示在如日本專利申請公開號第平-10-41234（公開於 1998 年二月十三日），其使用像是 CVD 之技術而形成一非晶矽膜於一基底上，之後使用雷射光束照射於該非晶矽膜上而在一低熱阻基底（像是玻璃基底）上而形成多晶矽半導體膜。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

### 五、發明說明 ( 3 )

在日本專利申請公開號第平-41234之先前技術中，係藉由照射雷射光束於只有單一層之非晶矽膜上而形成多晶矽膜，但是其並無形成以非晶矽所製之第二層於多晶矽膜所製之第一層之上，而之後自該非晶矽膜所製之第二層中藉由以雷射光束照射非晶矽膜之第二層而以第一層之多晶矽膜作為核種 ( nuclideuse ) 而使非晶矽膜之第二層增生。

日本專利申請公開號第平 11-40501 ( 公開於 1999 年二月十二日 ) 係揭示一種方法，其首先將雷射光束照射於非晶矽膜所製之第一層上而形成一多晶矽膜，之後形成非晶矽膜之第二層於以多晶矽膜所製之第二層之上，之後將該以非晶矽膜所製之第二層，藉由將雷射光束照射於非晶矽膜之第二層之上而轉換為多晶矽膜。

但是，在該日本專利申請公開號第平 10-41234 號中，其並無自多晶矽膜所製之第一層中移除雜質之觀念，因此在介於多晶矽膜之第一層以及第二層之接面之間將出現具有大濃度雜質之區域，而該雜質將阻礙第一與第二層之多晶矽膜之融合一起，而之後，此使得其很難得到具有良好結晶品質並免除多晶矽膜之第一與第二層之邊界等問題之整體性多晶矽膜。

上述雜質係指空氣、漂浮在空氣中之灰塵之混合，而非像是硼、磷或砷等滲入於多晶膜中以決定多晶矽膜之導電性之雜質。

日本專利公開號第平-99321 ( 公開於 1995 年四月十一日 ) ，係揭示一種技術，其首先形成多晶矽膜之第一層

( 請先閱讀背面之注意事項再填寫本頁 )

裝

訂

線

## 五、發明說明 ( 4 )

，之後疊上以非晶矽膜所製之第二層於該多晶矽膜之第一層之上，而不使多晶矽膜暴露於空氣中，之後以雷射光束照射於非晶矽膜上而將該非晶矽膜所製之第二層轉換為多晶矽膜中。

但是，在該日本專利公開號第平 7-99321 號，並無將多晶矽膜平坦化之觀念，且該技術並不包括在疊上非晶矽膜所製之第二層於晶矽膜所製之第一層之前，以雷射光束照射而移除在多晶矽膜所製之第一層上之突出物之移除。於是，在日本專利申請公開號第平 7-99321 號係無法得到具有非常平之多晶矽膜，而不如本案。

### 發明之簡要敘述

在以上述先前技術所製之多晶矽膜中，當結晶非晶矽膜時將產生大的突出物。一般而言，多晶矽膜之厚度係介於 20nm 與 100nm 之間，而上述突出物有時係為所形成之膜後之 50%至 200%，而於是，多晶矽膜在其表面上具有多數個突出物。

圖 9 係為習知液晶顯示裝置所構成之主動矩陣基底上所製造之薄膜電晶體之實質部份之結構橫切面之微型圖之簡圖。該薄膜電晶體係為 MOS 場效電晶體。

在圖 9 中，標號 SUB1 係為基底，PS 係為多晶矽半導體層，Gi 係為閘極絕緣層，GT 係為閘極，PAS 係為中間層絕緣體。如圖 9 所示，該多晶矽半導體層 PS 具有很多之突出物於其表面，結果，疊置於半導體層 PS 上之閘極

## 五、發明說明 ( 5 )

絕緣層 GI 以及閘極電極 GT 維持於多晶矽半導體層 PS 之表面狀態。

在以上述先前技術所製造之多晶矽膜而作為半導體層之薄膜電晶體中，係有以下對於裝置結構以及電晶體操作之限制，而結果損害電晶體之特性於是降低顯示之品質。

為了確保多晶矽層與作為電場控制層之閘極之間的絕緣，以及其之間之介電崩潰強度，必須使得閘極絕緣體 GI 夠厚以有效覆蓋上述突出物。結果，不可能減少閘極絕緣體 GI 之厚度，而使其厚度一般係約為 100nm。

在以 (1) 而製造出絕緣膜之後，雜質一般係藉由像是離子植入而加入至絕緣膜中以控制薄膜電晶體之起始電壓。雜質濃度之側向分佈（如以連接雜質濃度之深度分佈之峰值位置所形成之曲線而約略之等雜質濃度之輪廓），係相關於突出物以及經形成而覆蓋突出物之雜質膜之形狀，而例如，雜質濃度之側向分佈，當雜質層對於下層多晶矽膜非常良好形成時，而相對於水平面（基底之表面）將變得不平。

其可形成雜質層而吸收下層多晶矽層之不平度，而提供一平坦表面，但是，此時，由於條件 (1) 之條件而使絕緣層變厚，且絕緣層之厚度係隨著位置而有很大的變化（不小於 20%），使得該變動產生區域調變作為電場控制電極用之閘極之電場之缺點。

一般之源極以及區域係藉由首先如 (1) 而形成絕緣層，接著覆蓋電極材質於絕緣層以及將電極材質圖樣化至

## 五、發明說明 ( 6 )

閘極，而之後將雜質藉由像是離子植入之技術而導入至多晶矽膜。此時，等效雜質濃度之輪廓將變為不平，而對於基底之表面之突出物將如 ( 2 ) 之情形。

假如突出物之大小係等於或大於多晶矽膜之厚度之 50%，雜質濃度之區域變異係沿著在源極以及汲極區之電流方向而發生，而此使得其很難控制在源極或汲極區之電阻。

本發明之目的在提供一種液晶顯示裝置，具有主動矩陣基底，包括穩定低壓高速薄膜電晶體而解決上述習知技藝之問題，而減少多晶矽半導體層之不平坦度，使得絕緣層變薄，而將雜質濃度之側向分不平坦化，而提供一種製造液晶顯示裝置之方法。

以下係為為了達成上述目的之本發明之液晶顯示裝置之組構。

根據本發明，其提供一種液晶顯示裝置，具有圖素區於具有多數閘極線、多數個汲極線、多數個薄膜電晶體以及多數個對應於多數個薄膜電晶體之多數個圖素電極以及位於基底之周邊以及具有作為驅動多數個薄膜電晶體之驅動電路之驅動電路區之一基底上，該多數個薄膜電晶體包含：形成在基底上之多晶矽半導體層，一閘極形成在多晶矽半導體層而有閘極絕緣膜夾置其間，一絕緣膜而覆蓋於多晶矽層半導體層、閘極絕緣膜以及閘極上，一汲極形成於絕緣膜而電連接於多晶矽半導體層，一源極形成於絕緣膜上，而與汲極分離，並電連接至多晶矽半導體層，該多

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 7 )

晶矽半導體層之表面之不平坦度係為該多晶矽半導體層之厚度之 10% 之內，且加入至多晶矽半導體層之雜質濃度深度分佈之高峰位置之變異係為多晶矽半導體層之厚度之 10% 之內，該高峰位置係自基底之表面測量。

根據本發明之另一實施例，其提供一種液晶顯示裝置，具有一圖素區在具有多數閘極線、多數個汲極線、多數個薄膜電晶體以及多數個對應於多數個薄膜電晶體之多數個圖素電極以及位於基底之周邊以及具有作為驅動多數個薄膜電晶體之驅動電路之驅動電路區之一基底上，該多數個薄膜電晶體包含：形成在基底上之多晶矽半導體層，一閘極形成在多晶矽半導體層而有閘極絕緣膜夾置其間，一絕緣膜而覆蓋於多晶矽層半導體層、閘極絕緣膜以及閘極上，一汲極形成於絕緣膜而電連接於多晶矽半導體層，一源極形成於絕緣膜上，而與汲極分離，並電連接至多晶矽半導體層，該多晶矽半導體層之表面之不平坦度係為該多晶矽半導體層之厚度之 10% 之內。

根據本發明之另一實施例，其提供一種液晶顯示裝置，具有一圖素區在具有多數閘極線、多數個汲極線、多數個薄膜電晶體以及多數個對應於多數個薄膜電晶體之多數個圖素電極以及位於基底之周邊以及具有作為驅動多數個薄膜電晶體之驅動電路之驅動電路區之一基底上，該多數個薄膜電晶體包含：形成在基底上之多晶矽半導體層，一閘極形成在多晶矽半導體層而有閘極絕緣膜夾置其間，一絕緣膜而覆蓋於多晶矽層半導體層、閘極絕緣膜以及閘極

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 8 )

上，一汲極形成於絕緣膜而電連接於多晶矽半導體層，一源極形成於絕緣膜上，而與汲極分離，並電連接至多晶矽半導體層，該多晶矽半導體層之表面之不平坦度係為該多晶矽半導體層之厚度之 10% 之內，該高峰位置係自基底之表面而測量。

在本發明之另一實施例中，其提供一種液晶顯示裝置，包含第一基底具有圖素電極於其上，以及薄膜電晶體連接至該圖素電極，一第二基底具有一共用電極設置於其上，而面對該圖素電極，以及液晶層密合於第一以及第二基底之間，該薄膜電晶體包含：多晶矽電半導體層形成於該第一基底之上，閘極形成於多晶矽半導體層之上，具有閘極絕緣膜夾置其間，一絕緣膜經形成而覆蓋該多晶矽半導體層、該閘極絕緣膜以及閘極之上，一汲極形成在絕緣膜上並電連接至多晶矽半導體層，以及源極形成在絕緣膜上，與汲極分離，並電連接至多晶矽半導體層，該多晶矽半導體層係由第一多晶矽半導體膜以及第二多晶矽半導體膜所構成，該第一多晶矽半導體膜係藉由雷射退火而形成在第一基底之上，而具有等於或小於 50nm 之厚度，且具有多晶矽半導體層厚度之 10% 之表面平坦度，而第二多晶矽半導體膜係藉由沈積而形成，之後以雷射對於 50nm 或更小厚度之在第一多晶矽半導體膜上之第一多晶矽膜予以退火，且在第一與第二多晶矽半導體膜之間之介面或相鄰處之氧氣密度係等於或小於  $10^{19}$  atom/cm<sup>3</sup>。

在本發明之另一實施例中，其提供一種液晶顯示裝置

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 9 )

包含第一基底具有圖素電極於其上，以及薄膜電晶體連接至該圖素電極，一第二基底具有一共用電極設置於其上，而面對該圖素電極，以及液晶層密合於第一以及第二基底之間，該薄膜電晶體包含：多晶矽電半導體層形成於該第一基底之上，閘極形成於多晶矽半導體層之上，具有閘極絕緣膜夾置其間，一絕緣膜經形成而覆蓋該多晶矽半導體層、該閘極絕緣膜以及閘極之上，一汲極形成在絕緣膜上並電連接至多晶矽半導體層，以及源極形成在絕緣膜上，與汲極分離，並電連接至多晶矽半導體層，該多晶矽半導體層係由第一多晶矽半導體膜以及第二多晶矽半導體膜所構成，該第一多晶矽半導體膜係藉由雷射退火而形成在第一基底之上，而具有等於或小於 50nm 之厚度，且具有多晶矽半導體層厚度之 10% 之表面平坦度，而第二多晶矽半導體膜係藉由沈積而形成，之後以雷射對於 50nm 或更小厚度之在第一多晶矽半導體膜上之第一多晶矽膜予以退火，且氧氣濃度之深度分佈之高峰並非介於第一與第二多晶矽半導體膜之間相鄰處或介面處。

在本發明之另一實施例中，係提供一種液晶顯示裝置，具有一圖素區在具有多數閘極線、多數個汲極線、多數個薄膜電晶體以及多數個對應於多數個薄膜電晶體之多數個圖素電極以及位於基底之周邊以及具有作為驅動多數個薄膜電晶體之驅動電路之驅動電路區之一基底上，該多數個薄膜電晶體包含：形成在基底上之多晶矽半導體層，一閘極形成在多晶矽半導體層而有閘極絕緣膜夾置其間，一

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

### 五、發明說明 ( 10 )

絕緣膜而覆蓋於多晶矽層半導體層、閘極絕緣膜以及閘極上，一汲極形成於絕緣膜而電連接於多晶矽半導體層，一源極形成於絕緣膜上，而與汲極分離，並電連接至多晶矽半導體層，該多晶矽半導體層係由第一多晶矽半導體膜以及第二多晶矽半導體膜所構成，該第一多晶矽半導體膜係藉由雷射退火而形成在第一基底之上，而具有等於或小於50nm之厚度，且具有多晶矽半導體層厚度之10%之表面平坦度，該第二多晶矽半導體膜係藉由沈積而形成而形成，之後以雷射對於50nm或更小厚度之在第一多晶矽半導體膜上之第一多晶矽膜予以退火，且在第一與第二多晶矽半導體膜之間之介面或相鄰處之氮氣密度係等於或小於 $10^{19}\text{atom/cm}^3$ 。

在本發明之另一實施例中，係提供一種液晶顯示裝置，具有一圖素區在具有多數閘極線、多數個汲極線、多數個薄膜電晶體以及多數個對應於多數個薄膜電晶體之多數個圖素電極以及位於基底之周邊以及具有作為驅動多數個薄膜電晶體之驅動電路之驅動電路區之一基底上，該多數個薄膜電晶體包含：形成在基底上之多晶矽半導體層，一閘極形成在多晶矽半導體層而有閘極絕緣膜夾置其間，一絕緣膜而覆蓋於多晶矽層半導體層、閘極絕緣膜以及閘極上，一汲極形成於絕緣膜而電連接於多晶矽半導體層，一源極形成於絕緣膜上，而與汲極分離，並電連接至多晶矽半導體層，該多晶矽半導體層係由第一多晶矽半導體膜以及第二多晶矽半導體膜所構成，該第一多晶矽半導體膜係

## 五、發明說明 ( 11 )

藉由雷射退火而形成在第一基底之上，而具有等於或小於 50nm 之厚度，且具有多晶矽半導體層厚度之 10% 之表面平坦度，該第二多晶矽半導體膜係藉由沈積而形成而形成，之後以雷射對於 50nm 或更小厚度之在第一多晶矽半導體膜上之非晶矽半導體膜予以退火，且氮氣濃度之深度分佈之高峰並非介於第一與第二多晶矽半導體膜之間相鄰處或介面處。

上述架構係提供一種液晶顯示裝置，具有主動矩陣基底，包括穩定之低壓高速薄膜電晶體。藉由本發明人對於大量實驗而得到各種之數值限制。

根據本發明之另一實施例，係為製造液晶顯示裝置之製造方法，該液晶顯示裝置具有一圖素區在具有多數閘極線、多數個汲極線、多數個薄膜電晶體以及多數個對應於多數個薄膜電晶體之多數個圖素電極以及位於基底之周邊以及具有作為驅動多數個薄膜電晶體之驅動電路之驅動電路區之一基底上，該方法包含以下步驟 (a) 形成第一非晶矽膜於基底上，之後將該非晶矽半導體膜藉由雷射退火而轉換為第一第一多晶矽半導體膜，(b) 清除第一多晶矽半導體膜而以減少在第一多晶矽半導體膜之表面上之不想要之雜質量至  $10^{19}$  atom/cm<sup>3</sup> 或更小，(c) 形成第二非晶矽半導體膜於第一多晶矽半導體膜，而之後藉由雷射退火而以第一多晶矽半導體膜作為核種而該第二非晶矽半導體膜轉換為第二多晶矽半導體膜，以將第二多晶矽半導體膜與第一多晶矽半導體膜相融合而成為多晶矽半導體層，

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明 ( 12 )

( d ) 將多晶矽半導體層圖樣化至薄膜電晶體多晶矽半導體層， ( e ) 形成閘極絕緣層於薄膜電晶體多晶矽半導體層之上， ( f ) 形成第一電極材質膜於閘極絕緣層而之後將第一電極材質圖樣化為閘極， ( g ) 個別導入決定導電性之雜質至對應於源極以及汲極之薄膜電晶體多晶矽半導體層之區域中， ( h ) 形成中間層絕緣層而覆蓋該閘極， ( i ) 藉由選擇性移除閘極絕緣層之區域以及對應源極與汲極之個別薄膜電晶體多晶矽半導體層之區域之中間層絕緣層，而開出半導體層之接觸孔， ( j ) 形成第二電極材質膜，係經由半導體接觸孔而接觸個別對應於源極與汲極之薄膜電晶體多晶矽半導體層之區域，並覆蓋該中間層絕緣層中間層絕緣， ( k ) 將第二電極材質圖樣化至源極以及汲極， ( l ) 形成保護膜而覆蓋源極、汲極以及中間層絕緣層， ( m ) 選擇性移除保護膜，而沿著源極而打開源極接觸孔， ( n ) 經由源極接觸孔而形成圖素電極材質膜以接觸源極並覆蓋保護膜，以及 ( o ) 將圖素電極材質膜圖樣化為圖素電極。

上述方法係提供具有包括低電壓高速薄膜電晶體之主動矩陣基底的液晶顯示裝置，而減少多晶矽半導體層之不平坦性，使得絕緣層較薄並使雜質濃度之側向分不平坦化。

上述組態提供具有包括穩定低電壓高速薄膜電晶體之主動矩陣基底之液晶顯示裝置。本發明人執行大量實驗而得到各種數字限制。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 13 )

上述製造提供具有包括低電壓高速薄膜電晶體之主動矩陣基底的液晶顯示裝置，而減少多晶矽半導體層之不平坦性，使得絕緣層較薄並使雜質濃度之側向分不平坦化。

本發明並不限於上述組態或實施例所述者，而各種改變以及修改可在不離開本發明之特性以及精神下而對於上述組態以及實施例而作。

### 圖形之簡要描述：

在該附圖中，類似構件係以相同之標號表示，其中：

圖 1 係本發明之液晶顯示裝置之第一實施例之本質部份之切面圖；

圖 2 係根據本發明之液晶顯示裝置之主動矩陣基底之第一實施例之其相鄰處以及圖素之平面圖；

圖 3 係本發明之液晶顯示裝置之主動矩陣基底上所製造之薄膜電晶體之實質部份之堆疊膜之結構橫切面微型圖之草圖；

圖 4A 與 4B 係解釋習知技藝以及本發明之一實施例之間在基底上所製之多晶矽半導體層之平坦性以及植入雜質之濃度之深度分佈之高峰位置之比較，圖 4A 係為習知技藝之多晶矽半導體層之結構切面圖，而圖 4B 係該實施例之多晶矽半導體層之結構橫切面圖。

圖 5A 係解釋本發明之習知技藝在基底上所製造之多晶矽半導體層之不平坦性以及電位線分佈之比較，圖 5A

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 ( 14 )

係為習知多晶矽半導體層之結構橫切面圖，而圖 5B 係本發明之實施例之多晶矽半導體層之結構橫切面圖；

圖 6A 係習知多晶矽半導體層之結構橫切面圖，以解釋當薄膜電晶體之閘極電壓增加時之電位線，圖 6B 係為習知薄膜電晶體之橫切面圖，而圖 6C 係為寄生雙載子電晶體之等效電路；

圖 7.1 至 7.18 為根據本發明之液晶顯示裝置之主動矩陣基底之兩個薄膜部份之橫切面圖，以展示製造本發明之液晶顯示裝置之方法之第一實施例之步驟；

圖 8 解釋使用多晶矽半導體之液晶顯示裝置之例子之主動矩陣基底之結構平面圖；

圖 9 係在構成習知液晶顯示裝置之主動矩陣基底上製造之薄膜之實質部份中所堆疊之膜之結構橫切面部份之微型圖之草圖；以及

圖 10 係展示在基底 SUB1 上之實施例 2 之步驟 1 至 4 執行而不將基底 SUB1 暴露於空氣中之製造設備之結構圖。

元件對照表

|      |         |
|------|---------|
| SUB1 | 基底 1    |
| PS   | 多晶矽半導體層 |
| GI   | 閘極絕緣膜   |
| FT   | 閘極      |
| SD1  | 源極      |

## 五、發明說明 ( 15 )

|      |       |
|------|-------|
| SD2  | 汲極    |
| PAS  | 絕緣膜   |
| PSV  | 保護膜   |
| PT   | 圖素電極  |
| ORI1 | 定位控制膜 |

較佳實施例之描述：

本發明之實施例將參考附圖而解釋於後。

圖 1 係本發明之液晶顯示裝置之第一實施例之實質部份之橫切面圖。圖 2 係根據本發明之液晶顯示裝置之主動矩陣基底之第一並聯諧振電容器 Cr 之附近以及圖素之平面圖，圖 2 與圖 1 在類似部份係以相同之標號表示。圖 1 係為沿著圖 2 之 I-I 線之橫切面圖。

在圖 1 與圖 2 中，標號 SUB2 係表示主動矩陣基底（第一基底），其在此實施例係以玻璃所製。形成在該基底 SUB1 上者係為多晶矽半導體層 PS，其係以多晶矽半導體層 PS1 所製之第一（較低層）以及由多晶矽半導體層 PS2 所製之第二層（上層），之後疊置於基底 SUB1 上者係依序為閘極絕緣膜 GI，閘極 GT，源極 SD1，汲極 SD2，絕緣膜 PAS，保護膜 PSV，圖素電極 PT 以及定向控制膜 ORI1。

以 SiO<sub>2</sub> 或 SiN 所製之緩衝器層有時係沈積於玻璃基底 SUB1 之表面上，但是在此實施例中係將緩衝器層略去。

在解釋以下之實施例中，當緩衝器層係沈積於玻璃基

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

## 五、發明說明 ( 16 )

底 SUB1 之表面上時，包括緩衝器層之基底係簡稱為基底。

第二電極 SD1 與汲極 SD2 係經由開口於絕緣層 PAS 中之接觸孔而形成在多晶矽半導體層 PS 上。源極 SD1 係經由開口於保護薄之源極接觸孔而電連接於圖素電極 PT。

多晶矽半導體層 PS 係藉由形成第一多晶矽半導體之後形成第二多晶矽半導體層 PS2 於其上而製造，之後對於第一與第二多晶矽半導體層 PS1 與 PS2 予以雷射退火，藉由使用不論雷射退火仍不熔化之第一多晶矽半導體層 PS1 之核種部份而使得結晶增長大到延伸至第二多晶矽半導體層 PS2 中，多晶矽半導體層 PS 之表面之不平坦性係等於或小於多晶矽半導體層 PS 之整體厚度之 10%，而在雜質濃度之深度分佈之高峰位置之變異，相對於基底之表面係等於或小於多晶矽半導體層 PS 之整體厚度的 10%。

多晶矽半導體層之表面之非平坦度以及雜質濃度之深度分佈之高峰之位置變異係在閘極絕緣膜之下而測量。

另一方面，形成在最好以玻璃而製之其他基底 SUB2 之內表面上係為每個由黑色矩陣 BM 所界定之多數個濾色器 FIL，而疊置在濾色器 FIL 上者係依序為平面層（覆蓋層）OC，共同電極 COM 以及定向控制膜 ORI2。

本實施例係為了顯示彩色影像，而因此基底 SUB2 係提供濾色器 FIL，但是對於單色液晶顯示裝置，基底

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

錄

## 五、發明說明 ( 17 )

SUB2 係並未提供濾色器 FIL。

該二基底 SUB1 與 SUB2 係夾置一液晶層 LC 於其間，而以密合構件（未顯示）而將之一起密合在顯示區之周邊。

圖 3 係為製造在本發明之液晶顯示裝置之主動矩陣基底上所製造之薄膜電晶體之實質部份之堆疊膜之結構切面圖之微型圖之草圖。在圖 3 中，參考號 SUB1 係表示主動矩陣基底，而疊置於主動矩陣基底 SUB1 者依序為多晶矽半導體層 PS，閘極絕緣層 GI，閘極 GT 以及絕緣膜 PAS。

在本發明中，藉由照射雷射光束以形成第二層之多晶矽半導體層，第二層之多晶矽以及第一層之多晶矽係熔成一起並相互結合，而之後，在該結構切面部份之微型圖之草圖中，一邊界並不在構成半導體層 PS 之第一與第二多晶矽半導體層 PS1 與 PS2 之間而偵測到。介於高峰與低谷之間的高度差異經測量在圖 3 之多晶矽半導體層 PS 之表面上係為 10nm 或更小。

該多晶矽半導體層 PS 之表面之不平坦度可使用原子力顯微鏡（AFM）而量測。

本實施例之主動矩陣基底，可減少薄膜電晶體之多晶矽半導體層 PS 之表面的不平坦度，而提供以下優點：

根據多晶矽半導體層 PS 之不平坦度之減少量，絕緣層（即，閘極絕緣層 GI）之厚度可經減少使得其夠厚以

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

## 五、發明說明 ( 18 )

覆蓋大的突出物，而確保介於閘極與多晶矽層之間的理想介電強度。

閘極絕緣層之厚度之減少將加強供應至閘極之電壓之多晶矽半導體層 PS 之效果（電場），於是，閘極之 ON/OFF 特性被改進，甚至當相同電壓經施加至閘極。

在使用上述組態而將薄膜電晶體作為主動元件之液晶顯示裝置中，可將一高電場施加至半導體層中，而改進其移動率，而因此改進 ON 特性並加速電路，且進一步，介於經減少之閘極電壓之源極以及汲極之間的漏電流可被減少，而使得，驅動電流被穩定，而特別是，在 OFF 狀態中之薄膜電晶體之漏電流在當使用薄「作為驅動浮動狀態之液晶驅動電極之其源極之圖素的切換元件時，而大大的被壓制。

藉由減少多晶矽半導體層之不平坦性，雜質之等效雜質濃度之輪廓可緊密線性平行於基底之表面（平行線），而結果，此實現穩定之特性以及電晶體之高效能。

圖 4A 與 4B，係解釋本實施例與習知技藝在製造於基底上之多晶矽半導體層之不平坦性，以及在植入雜質濃度之深度分佈之高峰位置之比較，圖 4A 係為習知技藝之多晶矽半導體層之結構切面圖，而圖 4B 係該實施例之多晶矽半導體層之結構橫切面圖。

在圖 4A 與圖 4B 中，參考號 SUB1 表示基底，PS 係為多晶矽半導體層，GI 係為閘極絕緣層，曲線 BIP 係為連接植入之硼（B）之濃度之深度分佈之高峰之位置之曲

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

## 五、發明說明 ( 19 )

線，而曲線 PIP 係為連接植入磷(P)之濃度之深度分佈之高峰之位置之曲線。

在將閘極絕緣膜 GI 建構在多晶矽半導體層 PS 上，之後將雜質使用閘極絕緣膜 GI 作為遮罩而植入於多晶矽半導體層 PS 之製程中，在某些膜形成條件下，閘極絕緣膜 GI 係對於其下之多晶矽半導體層 PS 有不平坦性，但是可能形成該絕緣層 GI，而吸收多晶矽半導體層 PS 之不平坦性，並提供圖 4A 所示之平坦性。

接著，吾人應考慮圖 4A 所展示之狀況。自閘極絕緣層 GI 之上表面至介於閘極絕緣層 GI 與多晶矽半導體層 PS 之間的介面的距離，係根據多晶矽半導體層 PS 之不平坦性而變異。該距離係在不平坦性之高峰處而為短而在在不平坦之谷底處係為長。

一般係使用作為雜質之植入硼 (B) 元素以及磷 (P) 元素之濃度之深度分佈之高峰位置，在圖 4A 中係以曲線 BIP 與 PIP 所標示。

接著，吾人考慮例如係以  $\text{SiO}_2$  製造閘極絕緣層 GI 之例子。

在  $\text{SiO}_2$  中之雜質硼元素 (B) 之平均滲透範圍，係約等於在 Si 中之雜質硼元素 (B) 之平均滲透範圍，於是，經植入雜質硼元素 (B) 之雜質之深度分佈之高峰位置分佈係依照於多晶矽半導體層之不平坦度，而系在多晶矽半導體層 PS 之中。

另一方面，在 Si 中之雜質磷 (P) 之平均滲透範圍係

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 20 )

約為在  $\text{SiO}_2$  中之雜質磷 ( P ) 之平均滲透範圍，於是，磷 ( P ) 之平均滲透範圍在對應於多晶矽半導體層 PS 之高峰上之  $\text{SiO}_2$  層之 Si 區中係變得較大，而因此，雜質濃度之深度分佈之高峰係朝向基底而變得更深，但是磷 ( P ) 之平均滲透範圍在對應於多晶矽半導體層 PS 之低谷上之  $\text{SiO}_2$  層之 Si 區中係變得較短，而因此，雜質濃度之深度分佈之高峰係在較小深度上而形成。

於是，經植入雜質磷 ( P ) 之濃度之深度分佈之高峰之位置之分佈，係類似於多晶矽半導體層 PS 之不平坦度之反向分佈。圖 4A 即為展示習知多晶矽半導體層之該現象。

特別是，當要將經植入雜質磷 ( P ) 之濃度之深度分佈之高峰定位於薄的多晶矽半導體層 PS 之中時（如圖 4A 所示），雜質磷 ( P ) 之濃度之深度分佈之高峰 "B" 位置，常常將落於多晶矽半導體層 PS 之外，而在多晶矽半導體層 PS 之 "A" 之大高峰處。

假如介於基底 SUB1 與在多晶矽半導體層 PS 中之雜質濃度之深度分佈之高峰位置之間之距離，在絕緣基底 SUB1 上而變異時，當雜質藉由雷射光或類似者而對於多晶矽半導體層 PS 予以退火以擴散時，其產生雜質濃度之變異之問題，而無法得到薄膜電晶體特性。

另一方面，在圖 4B 所示之實施例中，多晶矽半導體層 PS 之不平坦度係小的，每個經植入之硼元素 ( B ) 以及磷 ( P ) 之濃度之深度分佈之高峰為製之分佈，係約為

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 21 )

於基底 SUB1 之表面平行，於是，上述個別經植入之雜質硼元素 ( B ) 以及磷 ( P ) 之濃度之深度分佈之高峰位置之分佈 BIP 與 PIP，係始終在多晶矽半導體層 PS 之中。

且在係為場效式薄膜電晶體之 MOS 電晶體之通道之區域形成在閘極之下時，當多晶矽半導體層之不平坦度為大時，將有各種問題產生。

圖 5A 與 5B，係解釋本實施例與先前技藝在基底上所製之多晶矽半導體層之不平坦度以及等電位線之分佈。圖 5A 係為習知技藝之多晶矽半導體層之之結構橫切面圖，而圖 5B 係為本實施例之多晶矽半導體層之之結構橫切面圖。

在圖 5A 與圖 5B 中，細線係表示，當電壓施加至閘極 GT 而在多晶矽半導體層 PS 中產生極性時，在多晶矽半導體層 PS 中之等電位線之分佈。為了簡化，係假設雜質之濃度在閘極之下係為平坦，而忽略相關於顆粒邊界之變異電位。

圖 5A 中，當施加至閘極 GT 之電壓漸增時，高電位之等電位線，開始自多晶矽半導體層 PS 之大不平坦性之區域而出現，而在多晶矽半導體層 PS 中之等電位線並不與基底 SUB1 之表面平行，但是由於多晶矽半導體層 PS 之不平坦度而波動。

另一方面，在圖 5B 之本實施例中，等電位線係約與基底 SUB1 之表面平行，因為多晶矽半導體層 PS 之不平坦度係被限制為其厚度之 10%。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明 ( 22 )

圖 6A 係為習知多晶矽半導體層之結構橫切面圖，以解釋當薄膜電晶體之閘極電壓增加時之等電位線。圖 6A 係為在圖 6B 之薄膜電晶體之橫切面圖在標號 "a" 部份之放大圖。當閘極增加時，形成連接汲極 PS2 至源極 PS1 之通道 CH。

當多晶矽半導體層 PS 之不平坦度為大時，由於閘極電壓增加，反向層 RV 係自高電位之等電位線而出現。真電荷開始區域的由反向層 RV 而累積，此真電荷之區域累積改變多晶矽半導體層 PS 之等電位線之分佈，且等電位線之形狀係符合多晶矽半導體層 PS 之不平坦度。

此時，在接近介於閘極絕緣膜 GI 與多晶矽半導體層 PS 之間的介面之多晶矽半導體層，經累積之真電荷之層（即，通道 CH），係同時形成連接汲極 PS2 與源極 PS1，假如電壓差係在汲極 PS2 與源極 PS1 之間存在，該 MOS 電晶體被接通，而電流開始流動於汲極 PS2 與源極 PS1 之間。

此時，區域累積真電荷之區域出現在通道 CH 之多晶矽半導體層 PS 之非常不平坦度之部分。

在操作上述組態之 MOS 電晶體時，將造成以下之不穩定度以及在效能特性上之結構性相關變差，而導致具有較差效能特性之產品以及不穩定之產品。

起始電壓將根據多晶矽半導體層之不平坦度而大大變動。在單一顯示裝置中，起始電壓係隨著電晶體而大大變

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

## 五、發明說明 ( 23 )

異，而導致液晶顯示裝置之影像品質之一致性以及特性之變差。

累積在通道之多晶矽半導體層之非常不平坦度部份之真電荷，將激化為較通道中之一般電荷之電位為高之電位之狀態（熱狀態），於是，其在較捕捉至作為熱載子之閘極絕緣層 GI 之通道中之一般真電荷之閘極電壓為低之閘極電壓下而被射入至閘極絕緣層 GI，而因此，其在像是起始電壓上係變異的，而亦使得液晶顯示裝置之穩定度變差。

進一步，上述現象係相關於多晶矽半導體層之不平坦度之程度以及在閘極下之位置，而使得效能特性有很大之變異。

假如在通道中之真電荷之區域累積，由於多晶矽半導體層之大不平坦度發生在通道之高電壓側（汲極側）時，經累積之真電荷係被汲極電壓而吸至汲極。此時，假如在汲極中之電場係為強的，該電流變為衝擊電流而造成汲極崩潰。

進一步，此作為觸發器，而在低的閘極電壓而接通寄生雙載子電晶體，而電流開始以不同於以閘極而控制之 MOS 之電晶體之模式下而流動，而其增加除了起始電壓之上述不穩定度之外之在起始電壓之明顯變異，當考慮整個液晶顯示裝置時。

之後，解釋使用 n 通道薄膜電晶體之現象。在圖 6B 中，寄生雙載子電晶體係藉由薄膜電晶體之汲極（n 型）

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

## 五、發明說明 ( 24 )

PS2 之半導體層、通道部份 ( p 型 ) 以及源極 ( n 型 ) 而形成。

圖 6C 係展示寄生雙載子電晶體之等效電路。假如汲極崩潰發生，電流  $I_a$  係流於汲極 PS2 與通道部份 PS 之間。此處，汲極 PS2、通道部份 PS 以及源極 PS1 係分別作為寄生雙載子電晶體之控制器 c、基極 b 以及射極 e，而因此電流  $I_b$  被電流  $I_a$  所啟動非由閘極 GT 所控制，該電流  $I_b$  流經於汲極 PS2 與源極 PS1 之間。

在上述比較中，在本實施例中具有較小不平坦度之多晶矽半導體層之薄膜電晶體中，在多晶矽半導體層中之等電位線，係為多晶矽半導體層之厚度之 20% 而與基底之表面平行，而因此，上述區域高電位部份不輕易發生，而真電荷之區域累積不輕易發生。

於是，區域之經累積真電荷之量，在當形成通道時係為小的，因此不會發生習知技藝之問題，或者是假如其發生的話，可減少其壞的作用，於是，可形成較高效能以及較為穩定之薄膜電晶體。於是，可得到沒有不穩定特性且不會有結構性相關特性損壞之一種穩定以及高效能之液晶顯示裝置。

以下係藉由參考圖 7.1 至 7.18 而解釋本發明之液晶顯示裝置所製造之實施例。

### 實施例 1

圖 7.1 至 7.8 係為本發明之液晶顯示裝置之主動矩陣

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 25 )

基底之二薄膜部份之橫切面圖，以展示本發明之液晶顯示裝置之製造方法之第一實施例之步驟。本實施例之方法，係包括以下步驟 ( 1 ) 至 ( 18 )

在每個圖 7.1 至 7.18 所展示之主動矩陣基底之二薄膜電晶體部份之橫切面圖中，n 通道式薄膜電晶體 ( TFT1 ) 以及 p 通道式薄膜電晶體 ( TFT2 ) 係個別展示在左邊以及右邊。在本實施例中，n 通道式薄膜電晶體 ( TFT1 ) 以及 p 通道薄膜電晶體 ( TFT2 ) 係同實在相同之基底 SUB1 上而製造。

### 步驟 1 ( 參考圖 7.1 )

首先，第一非晶矽半導體膜 PS-a 係藉由使用化學蒸汽沈積 ( 此後稱為 CVD ) 而形成在玻璃基底 SUB1 而作為絕緣基底，之後藉由以雷射光線照射而將第一非晶矽半導體層 PS-a 退火而將之轉換為多晶矽半導體層而形成第一多晶矽半導體層。此製程步驟係在真空或低壓下而執行。

最好係將第一多晶矽半導體層之厚度選擇為等於或小於 50nm。更好是，對應於汲極以及源極之第一多晶矽半導體層之區域亦等於或小於 50nm 之厚度。

### 步驟 2 ( 參考圖 7.2 )

在基底 SUB1 自真空或低壓下取出後，係在基底 SUB1 上執行清除步驟，以減少在第一多晶矽半導體膜 PS-a 之表面 XX 上之空氣之構成元素或雜質。此時，第一

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 26 )

多晶矽半導體膜 PS-a 之表面 XX 可藉由蝕刻而少量移除，以及將步驟 1 之雷射退火所產生之突出物予以蝕刻，使得第一多晶矽半導體膜 PS-a 之表面被極化至某個程度，而在接續步驟 3 而堆疊其上之第二非晶矽半導體膜 PS-b 之表面亦變得較平，於是，藉由在接續步驟 4 之雷射退火而形成之多晶矽半導體膜 PS 之表面將變得即為平。

最好是，自第一多晶矽半導體膜 PS-a 之表面 XX 予以蝕刻移除之量係為在第一多晶矽半導體膜 PS-a 之表面上之空氣之構成元素之矽化合物以及雜質，係減少至  $10^{19}\text{atom/cm}^3$  或更少。

特別是，具有氧氣之矽化合物，將使步驟 4 之雷射退火避免於使得第一多晶矽半導體膜 PS-a 與第二非晶矽半導體膜 PS-b 混合一起，而產生具有大顆粒以及良好結晶品質之多晶矽半導體膜 PS，而因此，最好而產生第一多晶矽半導體膜之表面上之氧氣濃度減少至  $10^{19}\text{atoms/cm}^3$  或更少，而其亦更好是減少在第一多晶矽半導體膜之表面所吸收之氮氣濃度至  $10^{19}\text{atoms/cm}^3$  或更少，因為氮氣將避免在多晶矽半導體膜 PS 中結晶之增長。第一多晶矽半導體膜之表面之不平坦度係為其厚度之 10%。

在第一多晶矽半導體膜 PS-a 之表面之每個雜質之量，可藉由使用第二離子大光顯微鏡 (SIMS) 而測量。

清除多晶矽半導體膜 PS-a 之表面的一種方法，係為將膜 PS-a 之表面置於氟化氫 (HF) 中。將該膜 PS-a 之表面置於氟化氫可移除形成在膜 PS-a 之表面上之具有氧氣

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

## 五、發明說明 ( 27 )

之矽化合物。

且多晶矽半導體膜 PS-a 之表面之暴露於氨水之方法，可清除膜 PS-a 之表面。

步驟 ( 參考圖 7.3 )  $10^{19}\text{atoms/cm}^3$

在步驟 2 之後，基底 SUB1 被置於真空或低壓中，之後，第二非晶矽半導體膜 PS-b 使用步驟 1 中之 CVD 方法而形成第一多晶矽半導體膜 PS-a 上。

空氣或其他雜質之構成元件，於清除步驟之後，再次被輕易黏著於第一多晶矽半導體膜 PS-a 之表面上，而因此，必須使得在第一多晶矽半導體膜 PS-a 之表面上之空氣與其他雜質之構成元件之濃度超過  $10^{19}\text{atoms/cm}^3$  之前，而將基底 SUB1 置於真空或低壓。最好選擇第二非晶矽半導體膜之厚度在等於或是小於 50nm。更好是對應於汲極以及源極之第二非晶矽半導體膜之區域係為等於或小於 50nm 之厚度。

步驟 4 ( 參考圖 7.4 )

第二非晶矽半導體膜 PS-b，係藉由使用第一多晶矽半導體膜 PS-a 作為核種之結晶，而以雷射將第二非晶矽半導體膜 PS-a 予以退火，而轉換為多晶矽半導體膜。

在步驟 4 中，在雷射退火之雷射照射條件，係經設定使得第二多晶矽半導體膜 PS-b 被完全熔化，但是之下之第一多晶矽半導體膜 PS-a 之部分仍為熔化。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 28 )

此有以下優點：在結晶部份之雷射吸收度之熱產生有效性係低於非晶矽部份之有效性。在完成雷射照射之後而冷卻之結晶處理中，多晶矽半導體膜可由使用來自於第一多晶矽半導體膜 PS-a 之未熔化部份作為核種，而自第一多晶矽半導體層延伸至第二多晶矽半導體層而得，其減少形成在介於結晶之間之突出物之大小。

### 步驟 5 (參考圖 7.5)

該多晶矽半導體膜 PS 經圖樣成薄膜電晶體之多晶矽半導體膜 PS。

### 步驟 6 (參考圖 7.6)

閘極絕緣層 GI，係形成在多晶矽半導體層 PS 之上。最好係將閘極絕緣層 GI 之厚度選在等於或小於 80nm。

### 步驟 7 (參考圖 7.7)

以像是光阻所製之遮罩 RES 係對於 P 通道薄膜電晶體 (TFT2) 係形成在多晶矽半導體層 PS 部份之上，之後對於 n 通道薄膜電晶體 (TFT1) 而將雜質導入至多晶矽半導體層 PS 之部分，而控制閘極起始電壓，而此處像是硼元素 (B) 之離子係被當作雜質而被導出 p 型導電性。

### 步驟 8 (參考圖 7.8)

作為 n 通道薄膜電晶體 (TFT1) 之多晶矽半導體層

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 29 )

PS 之部分，係覆蓋遮罩而作為光阻，之後將雜質導入至 p 通道薄膜電晶體 ( TFT2 ) 之多晶矽半導體層 PS 之部分，以控制閘極起始電壓，而導入像是磷 ( P ) 或是砷 ( As ) 之離子，而導出 n 型導電性。

之後，個別對應於 n 型以及 p 型之薄膜電晶體之多晶矽半導體層 PS 部份，藉由雷射光束照射之退火，而擴散在步驟 7 與步驟 8 所導入之雜質並使之作動。

### 步驟 9 ( 參考圖 7.9 )

電極材質膜係附在在閘極絕緣層 GI 之上，並被圖樣化為閘極 GT。

### 步驟 10 ( 參考圖 7.10 )

作為 p 通道薄膜電晶體 ( TFT2 ) 之多晶矽半導體層 PS 部份，係覆蓋作為光阻之遮罩 RES，之後像是磷 ( P ) 或是砷 ( As ) 之雜質被導入至對應於 n 通道薄膜電晶體之源極與汲極之多晶矽半導體層 PS 區域中，而導出 n 型導電性，而同時而將雜質之導電性選為低。

同時，此些雜質之導入有時可省去。

### 步驟 11 ( 參考圖 7.11 )

作為 n 通道薄膜電晶體 ( TFT1 ) 之多晶矽半導體層 PS 之部分，係覆蓋作為光阻之遮罩 RES，之後，將雜質導入至對應於 p 通道薄膜電晶體之源極與汲極之多晶矽半導

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 30 )

體層 PS 區域中，以藉由使用像是硼元素 ( B ) 之離子而導出 p 型之導電性，而此時，將雜質濃度選擇為足以使 p 型薄膜電晶體之多晶矽半導體層之源極 PS1 與 PS2 可形成個別與金屬極 SD1 與 SD2 歐姆接觸。

步驟 12 ( 參考圖 7.12 )

作為 p 型薄膜電晶體 (TFT2) 之多晶矽半導體層 PS 部份係覆蓋作為光阻之遮罩 RES，且閘極 GT 之側壁以及 n 通道薄膜電晶體 (TFT1) 之鄰近處，係覆蓋作為光阻之遮罩 RES，而之後，將雜質導入至對應於 n 通道薄膜電晶體之源極與汲極之多晶矽半導體層 PS 區域，以藉由使用像是硼元素 ( B ) 或砷 ( As ) 之離子而導出 n 型導電性，而此時雜質濃度經選定以足夠使得 n 型薄膜電晶體之多晶矽半導體層之源極 PS1 與 PS2 可形成個別與金屬極 SD1 與 SD2 歐姆接觸。之後，個別對應於 n 通道以及 p 通道之薄膜電晶體之多晶矽半導體層 PS 部份，藉由雷射光束之照射而退火，而擴散在步驟 10, 步驟 11 與步驟 12 中所導出之雜質並予以作動。

在本實施例，導入至對應於 n 通道薄膜電晶體之源極 PS1 與汲極 PS2 之多晶矽半導體層 PS 區域之雜質，係被分成步驟 10 與步驟 12, 因此，在閘極 GT 之端部之雜質濃度梯度變得平緩，而於是，n 通道薄膜電晶體甚至當以高電壓施加於其源極 PS1 以及汲極 PS2 之間時，而不會分解。特別是，n 通道薄膜電晶體亦使用作為選擇如圖 1 所示之圖素電極之開關，於是，可得到 n 通道薄膜電晶體 (

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 31 )

TFT) 之高可靠度，而移除瑕疵圖素。

### 步驟 13 ( 參考圖 7.13 )

中間絕緣層 PAS 係經形成而覆蓋閘極 GT。

### 步驟 14 ( 參考圖 7.14 )

閘極絕緣層 GI 以及中間絕緣層 PAS 係經選擇而移除對應於多晶矽半導體層之源極 PS1 與 PS2 之區域，以將第一接觸孔 CTH 開口。

### 步驟 15 ( 參考圖 7.15 )

電極材質係經覆蓋，使得其經由第一接觸孔 CTH 而與多晶矽半導體層之源極 PS1 與汲極 PS2 接觸，並覆蓋中間絕緣層 PAS，之後，電極材質被圖樣化至源極 SD1 與汲極 SD2。

### 步驟 16 ( 參考圖 7.16 )

保護膜 PAS，係經形成而覆蓋源極 SD1、汲極 SD2 以及中間絕緣層 PAS。

### 步驟 17 ( 參考 7.17 )

保護膜 PSV 係經選擇性移除而將延伸至源極 SD1 之第二接觸孔 CTH2 打開。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 32 )

### 步驟 18 ( 參考 7.18 )

圖素電極經覆蓋，使得其經由第二接觸孔 CTH2 而接觸源極 SD1，並覆蓋保護膜 PSV，之後，圖素電極材質經圖樣化至圖素電極 PT。之後，形成保護膜，之後，定位控制膜 ORI1 形成其上以完成主動矩陣式基底。

本實施例之製造方法提供藉由減少多晶矽半導體層之不平坦度，使得絕緣層較薄並使雜質濃度之側向分佈較平坦，而提供具有包括低電壓高速之薄膜電晶體之主動矩陣基底之液晶顯示裝置。

### 實施例 2

根據本發明之實施例 2 之製造液晶顯示裝置之方法，係為對應於實施例 1 之步驟 2 之清除步驟係不需要將基底 SUB1 暴露於空氣中，而實施例 1 之步驟 1 至 4，係連續在真空或低壓中執行。實施例 2 之剩下步驟係與實施例 1 相同。

在實施例 2 中，多晶矽半導體層 PS-a 之表面 xx 係藉由乾蝕刻而移除，而不需要將表面暴露於空氣中，而使得步驟 1 由雷射退火所產生之突出物被蝕刻，使得第一多晶矽半導體層 PS-a 之表面被平面化至某種程度，而在接續步驟 3 而堆疊其上之第二非晶矽半導體膜 PS-b 之表面亦變得較平坦，於是，由接續步驟 4 之雷射退火所形成之多晶矽半導體膜 PS 之表面變得極為平坦。

圖 10 係為展示執行實施例 2 之步驟 1 至 4 之在基底

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 33 )

SUB1 上而不將基底 SUB1 暴露於空氣之製造設備之例子之結構。

參考標號 11, 係表示基底運送帶室, 19 係為握持基底之機器手臂, 20 係為運送機器手臂 19 之機構, 12 係為真空泵, 以使基底運送帶室 11 真空, 13 係為取入室, 以將基底送至該設備, 而 24 係為使用作為取入或取出基底之門。

參考符號 R1 係為將半導體膜沈積於基底之第一室, R2 係為將絕緣膜沈積於基底上之第二室, R3 係為將形成在基底上之半導體膜予以乾蝕刻之第三室, 以清除表面, 標號 14 係表示作為對於形成於基底上之半導體膜以照射雷射光 4 而退火於其表面之第四室, 15 係為雷射光源, 16 係為平坦化雷射光 4 之平坦器, 17 係為反射器, 而 18 係為聚光透鏡。

雷射光 4 經由其所提供之透明窗 (未顯示) 而導入至第四室 14. 該取入室 13、第一室 R1、第二室 R2、第三室 R3 與第四室 14 係經由個別之門而相通。所有室係藉由真空泵 12 而真空。

實施例 2 之特徵將使用圖 10 所示之製造設備結構而解釋, 而展示在圖 7.1 至 7.18 步驟所示之步驟序列。

首先, 絕緣基底 SUB1 係被取入至取入室 13, 而接著藉由機器手臂 19 而被置入於第一室 R1 之級 22, 之後被固定於級 22. 該材質氣體被導入至第一室 R1, 而第一非晶矽半導體膜 PS-a 係以 CVD 而在絕緣基底 SUB1 上製造。之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 34 )

後，基底 SUB1 藉由機器手臂 19 而被送至第四室 14, 並固定於一即，之後第一多晶矽半導體膜 PS-a 藉由將雷射光線照射在第一非晶矽半導體膜 PS-a 而退火而轉換為第一多晶矽半導體膜。該步驟係連續執行而不需要將基底 SUB1 暴露於空氣中。

### 步驟 2

基底 SUB1 係藉由機器手臂 19 而送入至第三室 R3, 並固定於級 22. 接著，清除步驟藉由將蝕刻氣體導入之第三室 R3 而執行，而藉由乾蝕刻而移除矽化合物（氧化矽或氮化矽），以及其他在第一多晶矽半導體膜 PS-a 表面 XX 上之其他雜質。

此時，多晶矽半導體膜 PS-a 之表面 XX 係藉由蝕刻而少量移除，且在步驟 1 之雷射退火所產生之突出物經蝕刻使得第一多晶矽半導體膜 PS-a 之表面被平面化至某種程度，在接續步驟 3 而堆疊其上之第二非晶矽半導體膜 PS-b 之表面亦變得平坦，於是，在接續步驟 4 之雷射退火所形成之多晶矽半導體層 PS 變得極為平坦。

最好是，自第一多晶矽半導體膜 PS-a 之表面 XX 被蝕刻移除之量係為使得第一多晶矽半導體膜 PS-a 之表面上 XX 之不需要雜質濃度被減少至  $10^{19}$  atom/cm<sup>3</sup> 或更少。

特別是，具有氧氣之矽化合物，係使步驟 4 之雷射退火必免於將第一多晶矽半導體膜 PS-a 與第二多晶矽半導體膜 PS-b 熔化一起，而產生大顆粒所製之多晶矽半導體

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

### 五、發明說明 ( 35 )

膜 PS 以及具有好的結晶品質，而最好係減少在第一多晶矽半導體膜 PS-a 之表面之氧氣濃度至  $10^{19}\text{atom/cm}^3$  或更少，因為形成在第一多晶矽半導體膜 PS-a 表面上之氮化矽將避免在多晶矽半導體膜 PS 中之結晶增長。

關於多晶矽半導體膜 PS-a 之表面之清除方法，係為藉由使用  $\text{CF}_4$  以及  $\text{O}_2$  之混合氣體而作為蝕刻氣體以及將多晶矽半導體膜 PS-a 之表面予以蝕刻一段極端短之 5 至 10 秒之時間。此步驟亦連續執行而不需要將基底 SUB1 暴露於空氣中。

#### 步驟 3

在步驟 2 之後，基底 SUB1 藉由機器手臂 19 而經由真空之基底運算帶室而被送至至第三室 R3，之後被固定於級 22 中，之後第二多晶矽半導體膜 PS-b 藉由步驟 1 之 CVD 方法而形成在第一多晶矽半導體膜 PS-a 之上。

在此實施例中，第二多晶矽半導體膜 PS-b 係形成在第一多晶矽半導體膜 PS-a 上，而不需要在清除步驟後將基底 SUB1 暴露於空氣中，之後，空氣之構成元素或其他雜質不會再次黏貼於第一多晶矽半導體膜 PS-a 之表面。

#### 步驟 4

基底 SUB1 藉由機器手臂 19 而送至至第四室 14，之後固定在級 22，之後第二多晶矽半導體膜 PS-b 藉由使用在第一多晶矽半導體膜 PS-a 之結晶作為核種而將第二非晶矽

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 36 )

半導體膜 PS-a 退火成多晶矽半導體膜。

此時，使得當雷射退火係經設定使得第二多晶矽半導體膜 PS-b 被完全熔化，但是在其下之第一多晶矽半導體膜 PS-a 之部分係仍未熔化。

此具有以下優點：以雷射吸收在結晶部份之熱產生效能，係低於非晶矽部份之效能。在完成雷射照射之後以冷卻而結晶之處理中，多晶矽半導體層 PS-a 係藉由使用未熔化部份之第一多晶矽半導體膜 PS-a 而作為核種，並自第一多晶矽半導體膜而延伸至第二多晶矽半導體膜之大結晶增長，並極端減少介於結晶之間之突出物大小。

在步驟 4 之後之剩下步驟係與實施例 1 者相同。

此實施例之製造方法，亦提供具有包括低電壓高速薄膜電晶體之主動矩陣基底之液晶顯示裝置，其係藉由減少多晶矽半導體層之不平坦性，使得絕緣膜變薄，並使得雜質濃度之側向分佈平坦化。

在實施例 2 中之製造方法中，至少步驟 1 至 4 可在不將基底 SUB1 暴露於空氣中而執行，而空氣之構成元素（例如氧氣以及氮氣）之濃度深度分佈之高峰，不在介於第一層與第二層多晶矽半導體膜 PS-a 與 PS-b 之間之介面或其鄰近處而發生。

因此，本實施例可使得第一多晶矽半導體膜 PS-a 與第二多晶矽半導體膜 PS-b 相熔化，並相互融合而不會有空氣之構成元素之干擾。

在介於第一多晶矽半導體膜 PS-a 與第二多晶矽半導

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

## 五、發明說明 ( 37 )

體膜 PS-b 之間之介面之每個雜質之量，可藉由使用次要離子大光顯微鏡 ( SIMS ) 而測量。

### 實施例 3

在根據本發明之液晶顯示裝置之製造方法之實施例中，基底 SUB1 係在對應於實施例 1 之步驟 2 之清除步驟中而暴露於空氣中，之後第一多晶矽半導體膜 PS-a 係藉由將第一多晶矽半導體膜 PS-a 之表面拋光而平坦化，此時，在第一多晶矽半導體膜 PS-a 表面上之像是氧化矽以及氮化矽之矽化合物將被移除。

實施例 3 之剩下步驟係與實施例 1 者相同。

在實施例 3 中，多晶矽半導體膜 PS-a 係藉由拋光而移除，而步驟 1 中以雷射退火所產生之突出物係經移除使得第一多晶矽半導體膜 PS-a 之表面係極端平坦，結果，在步驟 3 堆疊其上之第二非晶矽半導體膜 PS-b 之表面亦變得平坦，於是，在步驟 4 中藉由雷射退火所形成之多晶矽半導體膜 PS 之表面變得極為平坦。

將多晶矽半導體膜表面予以拋光之方法，係為化學機構拋光 ( CMP ) 方法。

特別是，分散在液體之磨平器係用於滾動桌，該基底 SUB1 係置於滾動桌，而使得基底 SUB1 之第一多晶矽半導體膜 PS-a 之表面與滾動桌之被磨平表面相接觸。第一多晶矽半導體膜 PS-a 之表面係藉由滾動該桌而變得平坦。關於磨平器，可使用像是鑽石之細粉。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 38 )

在上述步驟之剩下步驟，係與實施例 1 之步驟相同。

每個上述製造方法之實施例提供具有包括低電壓高速薄膜電晶體之主動矩陣基底之液晶顯示裝置，其係藉由減少多晶矽半導體層之不平坦性，使得絕緣膜變薄，並使得雜質濃度之側向分佈平坦化。

如上述，本發明提供具有包括低電壓高速薄膜電晶體之主動矩陣基底之液晶顯示裝置，其係藉由減少多晶矽半導體層之不平坦性，使得絕緣膜變薄，並使得雜質濃度之側向分佈平坦化。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 四、中文發明摘要(發明之名稱：

具有改良式 TFT 之液晶顯示裝置  
以及其製造方法

一種液晶顯示裝置，具有一圖素區於一基底上，該基底具有多數個閘極線、多數個汲極線、多數個薄膜電晶體以及對應於該多數個薄膜電晶體之多數個圖素電極，以及一驅動電路區位於該基底之周邊以及具有作為驅動該多數個薄膜電晶體之驅動電路。形成在該基底上之多晶矽半導體層，形成在該多晶矽半導體層上之閘極而具有閘極絕緣膜夾置其間，一絕緣膜覆蓋在該多晶矽半導體層、該閘極絕緣膜以及該閘極，一汲極形成在該絕緣膜之上並電連接至該多晶矽半導體層，以及一源極形成在該絕緣膜之上，而與該汲極分離並電連接至該多晶矽半導體層，該多晶矽半導體層表面之不均勻度係為該多晶矽半導體層之厚度之 10% 之內。

(LIQUID CYRSTAL DISPLAY DEVICE HAVING IMPROVED TFTS AND  
A FABRICATION METHOD THEREOF)

英文發明摘要

A liquid crystal display device is provided with a pixel area on a substrate having plural gate lines, plural drain lines, plural thin film transistors and plural pixel electrodes corresponding to the plural thin film transistors, and a drive circuit area disposed at a periphery of the substrate and having a drive circuit for driving the plural thin film transistors. The thin film transistor has a polycrystalline silicon semiconductor layer formed on the substrate, a gate electrode formed on the polycrystalline silicon semiconductor layer with a gate insulating film interposed therebetween, an insulating film to cover the polycrystalline silicon semiconductor layer, the gate insulating film and the gate electrode, a drain electrode formed on the insulating film and electrically connected to the polycrystalline silicon semiconductor layer, and a source electrode formed on the insulating film, spaced from the drain electrode and electrically connected to the polycrystalline silicon semiconductor layer. The unevenness of a surface of the polycrystalline silicon semiconductor layer is within 10 % of a thickness of the polycrystalline silicon semiconductor layer.

(請先閱讀背面之注意事項再填寫本頁各欄)

訂

原

## 六、申請專利範圍 2

及一驅動電路區位於該基底之周邊以及具有作為驅動該多數個薄膜電晶體之驅動電路，

該多數個薄膜電晶體包含：

形成在該基底上之多晶矽半導體層，

形成在該多晶矽半導體層上之閘極而具有閘極絕緣膜夾置其間，

一絕緣膜覆蓋在該多晶矽半導體層、該閘極絕緣膜以及該閘極，

一汲極形成在該絕緣膜之上並電連接至該多晶矽半導體層，以及

一源極形成在該絕緣膜之上，而與該汲極分離並電連接至該多晶矽半導體層，

該多晶矽半導體層表面之不平坦度係為該多晶矽半導體層之厚度之 10% 之內。

4. 如申請專利範圍第 3 項之液晶顯示裝置，其中該多晶矽半導體層表面之該不平坦度係在該閘極絕緣膜之下而測量。

5. 一種液晶顯示裝置，具有一圖素區於一基底上，該基底具有多數個閘極線、多數個汲極線、多數個薄膜電晶體以及對應於該多數個薄膜電晶體之多數個圖素電極，以及一驅動電路區位於該基底之周邊以及具有作為驅動該多數個薄膜電晶體之驅動電路，

該多數個薄膜電晶體包含：

形成在該基底上之多晶矽半導體層，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 六、申請專利範圍 3

形成在該多晶矽半導體層上之閘極而具有閘極絕緣膜夾置其間，

一絕緣膜覆蓋在該多晶矽半導體層、該閘極絕緣膜以及該閘極，

一汲極形成在該絕緣膜之上並電連接至該多晶矽半導體層，以及

一源極形成在該絕緣膜之上，而與該汲極分離並電連接至該多晶矽半導體層，

導入至該多晶矽半導體層以決定多晶矽半導體層之導電類型之雜質濃度之深度分佈之高峰之位置變異，係為該多晶矽半導體層之厚度之 10% 之內，該些高峰之位置係自該基底之表面而測量起。

6. 如申請專利範圍第 5 項之液晶顯示裝置，其中雜質濃度之深度分佈之高峰位置之該變異，係在該閘極絕緣膜之下而測量。

7. 一種液晶顯示裝置，包含第一基底、第二基底以及液晶層，該第一基底具有一圖素於其上與連接至該圖素電極之薄膜電晶體，該第二基底具有設置其上之共同電極而面向該圖素電極，該液晶層係密合於該第一與第二基底之間，

該薄膜電晶體包含：

形成在該基底上之多晶矽半導體層，

形成在該多晶矽半導體層上之閘極而具有閘極絕緣膜夾置其間，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 六、申請專利範圍 4

一絕緣膜覆蓋在該多晶矽半導體層、該閘極絕緣膜以及該閘極，

一汲極形成在該絕緣膜之上並電連接至該多晶矽半導體層，以及

一源極形成在該絕緣膜之上，而與該汲極分離並電連接至該多晶矽半導體層，

該多晶矽半導體層係由第一多晶矽半導體膜以及第二多晶矽半導體膜所構成，

該第一多晶矽半導體膜係以雷射退火而形成在該第一基底上，具有等於或小於 50nm 之厚度，該表面之不平坦度係為該多晶矽半導體層之厚度之 10% 之內，

該第二多晶矽半導體膜係藉由沈積而形成，之後經由將位在第一多晶矽半導體膜上之 50nm 或更小厚度之非晶矽半導體膜予以雷射退火，以及

在其介面上以及介於第一與第二多晶矽半導體膜之間鄰近處之氧氣濃度，係等於或小於  $10^{19}$  atoms/cm<sup>3</sup>。

8.如申請專利範圍第 7 項之液晶顯示裝置，其中該氧氣濃度係在該閘極絕緣膜之下而測量。

9.如申請專利範圍第 7 項之液晶顯示裝置，其中該閘極絕緣膜係等於或小於 80nm。

10.一種液晶顯示裝置，包含第一基底、第二基底以及液晶層，該第一基底具有一圖素於其上與連接至該圖素電極之薄膜電晶體，該第二基底具有設置其上之共同電極而面向該圖素電極，該液晶層係密合於該第一與第二基底

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 六、申請專利範圍 5

之間，

該薄膜電晶體包含：

形成在該基底上之多晶矽半導體層，

形成在該多晶矽半導體層上之閘極而具有閘極絕緣膜夾置其間，

一絕緣膜覆蓋在該多晶矽半導體層、該閘極絕緣膜以及該閘極，

一汲極形成在該絕緣膜之上並電連接至該多晶矽半導體層，以及

一源極形成在該絕緣膜之上，而與該汲極分離並電連接至該多晶矽半導體層，

該多晶矽半導體層係由第一多晶矽半導體膜以及第二多晶矽半導體膜所構成，

該第一多晶矽半導體膜係以雷射退火而形成在該第一基底上，具有等於或小於 50nm 之厚度，該表面之不平坦度係為該多晶矽半導體層之厚度之 10% 之內，

該第二多晶矽半導體膜係藉由沈積而形成，之後經由將位在第一多晶矽半導體膜上之 50nm 或更小厚度之非晶矽半導體膜予以雷射退火，以及

氧氣濃度之深度分佈之高峰係不在介於該第一與第二多晶矽半導體膜之間之介面或其鄰近處。

11. 一種液晶顯示裝置，具有一圖素區於一基底上，該基底具有多數個閘極線、多數個汲極線、多數個薄膜電晶體以及對應於該多數個薄膜電晶體之多數個圖素電極，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 六、申請專利範圍 6

以及一驅動電路區位於該基底之周邊以及具有作為驅動該多數個薄膜電晶體之驅動電路，

該薄膜電晶體包含：

形成在該基底上之多晶矽半導體層，

形成在該多晶矽半導體層上之閘極而具有閘極絕緣膜夾置其間，

一絕緣膜覆蓋在該多晶矽半導體層、該閘極絕緣膜以及該閘極，

一汲極形成在該絕緣膜之上並電連接至該多晶矽半導體層，以及

一源極形成在該絕緣膜之上，而與該汲極分離並電連接至該多晶矽半導體層，

該多晶矽半導體層係由第一多晶矽半導體膜以及第二多晶矽半導體膜所構成，

該第一多晶矽半導體膜係以雷射退火而形成在該第一基底上，具有等於或小於 50nm 之厚度，該表面之不平坦度係為該多晶矽半導體層之厚度之 10% 之內，

該第二多晶矽半導體膜係藉由沈積而形成在該第一多晶矽半導體膜之上，之後經由將位在第一多晶矽半導體膜上之 50nm 或更小厚度之非晶矽半導體膜予以雷射退火，以及

在其介面上以及介於第一與第二多晶矽半導體膜之間鄰近處之氮氣濃度，係等於或小於  $10^{19}$  atoms/cm<sup>3</sup>。

12. 如申請專利範圍第 11 項之液晶顯示裝置，其中該

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 六、申請專利範圍 7

氮氣濃度係在該閘極絕緣膜之下而測量。

13.如申請專利範圍第 11 項之液晶顯示裝置，其中該閘極絕緣膜係等於或小於 80nm。

14.一種液晶顯示裝置，具有一圖素區於一基底上，該基底具有多數個閘極線、多數個汲極線、多數個薄膜電晶體以及對應於該多數個薄膜電晶體之多數個圖素電極，以及一驅動電路區位於該基底之周邊以及具有作為驅動該多數個薄膜電晶體之驅動電路，

該薄膜電晶體包含：

形成在該基底上之多晶矽半導體層，

形成在該多晶矽半導體層上之閘極而具有閘極絕緣膜夾置其間，

一絕緣膜覆蓋在該多晶矽半導體層、該閘極絕緣膜以及該閘極，

一汲極形成在該絕緣膜之上並電連接至該多晶矽半導體層，以及

一源極形成在該絕緣膜之上，而與該汲極分離並電連接至該多晶矽半導體層，

該多晶矽半導體層係由第一多晶矽半導體膜以及第二多晶矽半導體膜所構成，

該第一多晶矽半導體膜係以雷射退火而形成在該第一基底上，具有等於或小於 50nm 之厚度，該表面之不平坦度係為該多晶矽半導體層之厚度之 10% 之內，

該第二多晶矽半導體膜係藉由沈積而形成在該第一多

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 六、申請專利範圍 8

晶矽半導體膜之上，之後經由將位在第一多晶矽半導體膜上之 50nm 或更小厚度之非晶矽半導體膜予以雷射退火，以及

氮氣濃度之深度分佈之高峰係位於介於該第一與第二多晶矽半導體膜之介面或其鄰近處。

15.一種液晶顯示裝置之製造方法，該液晶顯示裝置具有一圖素區於一基底上，該基底具有多數個閘極線、多數個汲極線、多數個薄膜電晶體以及對應於該多數個薄膜電晶體之多數個圖素電極，以及一驅動電路區位於該基底之周邊以及具有作為驅動該多數個薄膜電晶體之驅動電路，

該製造方法包含以下步驟：

(a)形成第一非晶矽半導體膜於該基底之上，並將該非晶矽半導體膜藉由雷射退火而轉換為第一多晶矽半導體膜，

(b)清除該第一多晶矽半導體膜之表面，而減少在該第一多晶矽半導體膜之不想要之雜質量至  $10^{19}$  atoms/cm<sup>3</sup>，

(c)形成第二非晶矽半導體膜於該第一多晶矽半導體膜，並藉由使用位在該第一多晶矽半導體膜中之結晶作為核種而使用雷射退火而將該第二非晶矽半導體膜轉換為第二多晶矽半導體膜，而將該第一多晶矽半導體膜與該第一多晶矽半導體膜相融合，而成為多晶矽半導體層，

(d)將該多晶矽半導體層圖樣化為薄膜電晶體之多晶矽半導體層，

(請先閱讀背面之注意事項再填寫本頁)

訂

## 六、申請專利範圍 9

(e)形成閘極絕緣膜於該薄膜電晶體多晶矽半導體層之上，

(f)形成第一電極材質膜於該汲極絕緣層之上，之後並將該第一電極材質膜圖樣化為閘極，

(g)將作為決定導電性之雜質導入至個別對應於源極與汲極之該薄膜電晶體之多晶矽半導體層之區域中，

(h)形成一中間絕緣層而覆蓋該閘極，

(i)藉由選擇性移除個別對應於該源極與該汲極之所對應於該薄膜電晶體之多晶矽半導體層之該區域之該閘極絕緣層與該中間層絕緣層之區域，而將半導體層之接觸孔打開，

(j)形成第二電極材質膜，而接觸個別對應於該源極與該汲極之該薄膜電晶體之多晶矽半導體層之該區域，其係經由該半導體層接觸孔，並覆蓋該中間層絕緣層，

(k)圖樣化該第二電極材質膜至該源極與該汲極，

(l)形成一保護膜而覆蓋該源極、該汲極與該中間層絕緣層，

(m)選擇性移除該保護膜而打開一源極接觸孔而延伸至該源極，

(n)形成圖素電極材質膜，而經由該源極接觸孔而接觸該源極並覆蓋該保護膜，以及

(o)將該圖素電極材質膜圖樣化至圖素電極。

16.如申請專利範圍係 15 項之液晶顯示裝置之製造方法，該方法進一步包含介於步驟(e)與步驟(f)之間之步驟

## 六、申請專利範圍 10

(p)：

(p) 將雜質導入至該薄膜電晶體之多晶矽半導體層而控制閘極起始電壓。

17. 如申請專利範圍第 15 項之製造液晶顯示裝置之方法，其中該不想要之雜質係為氧氣。

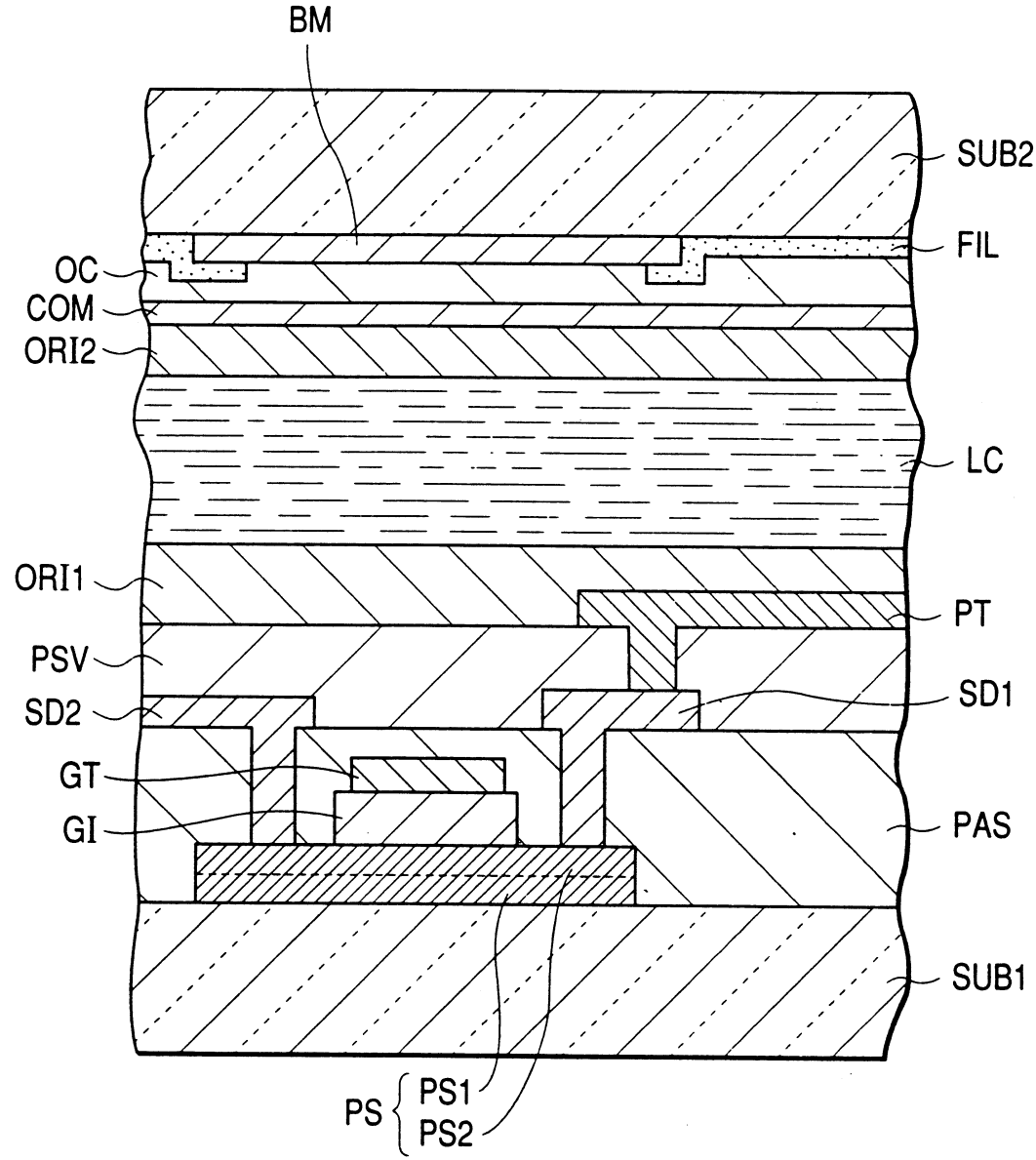
18. 如申請專利範圍第 15 項之製造液晶顯示裝置之方法，其中該不想要之雜質係為氮氣。

(請先閱讀背面之注意事項再填寫本頁)

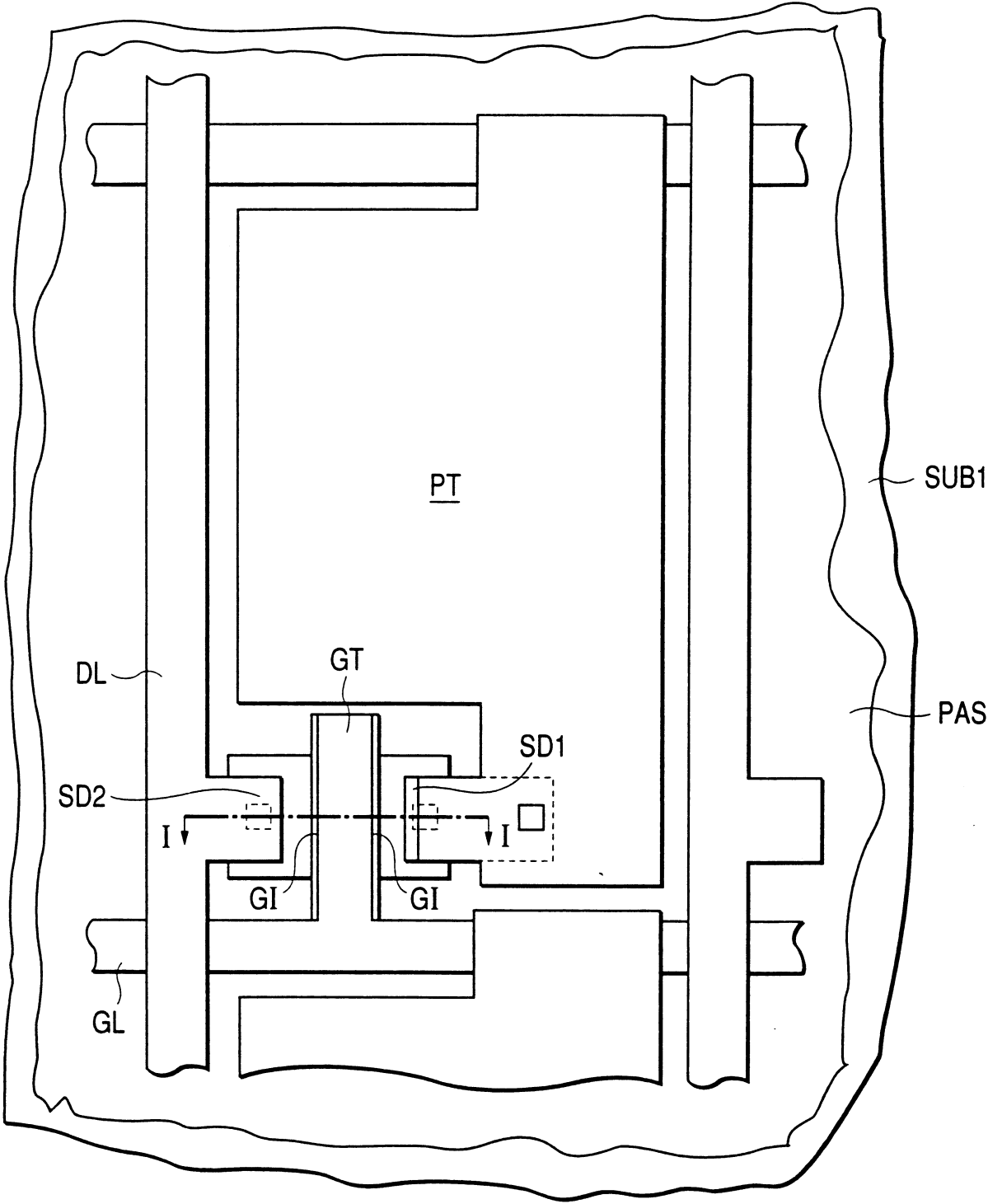
裝

訂

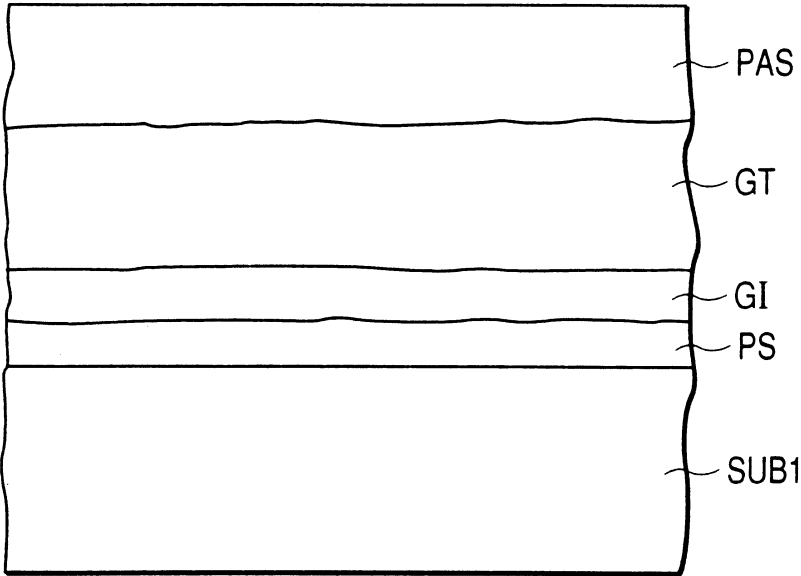
第 1 圖



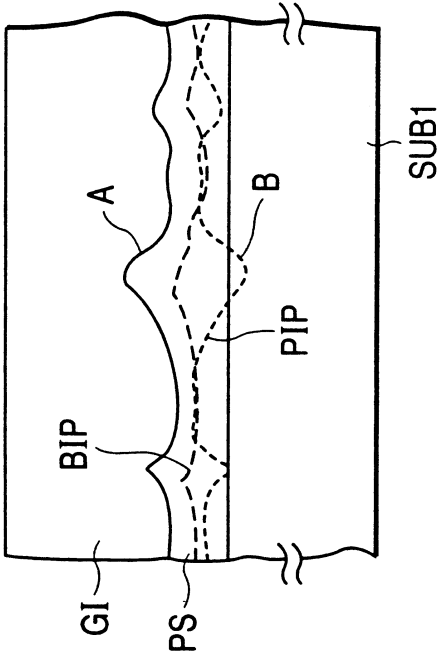
第 2 圖



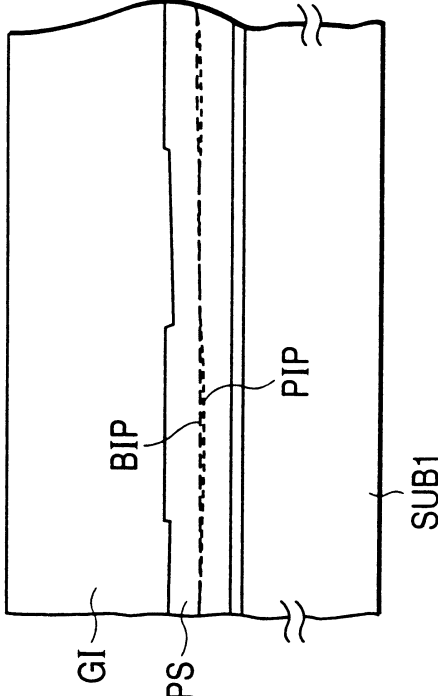
第 3 圖



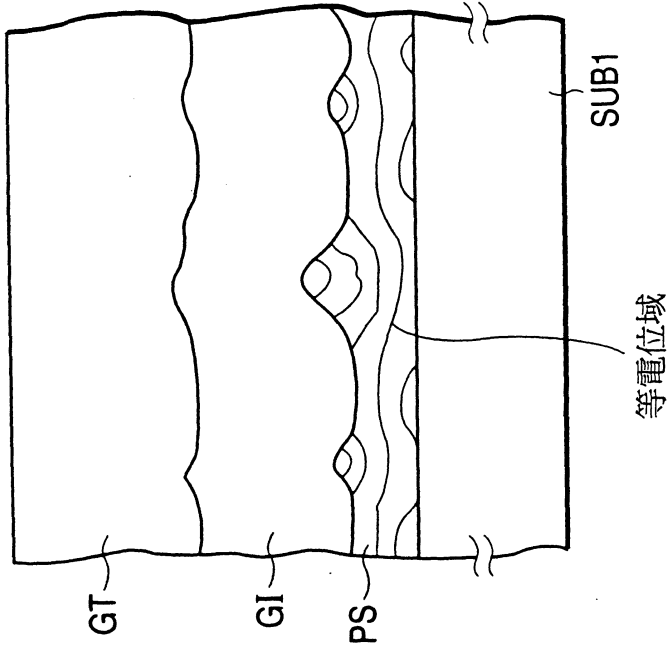
第 4 A 圖



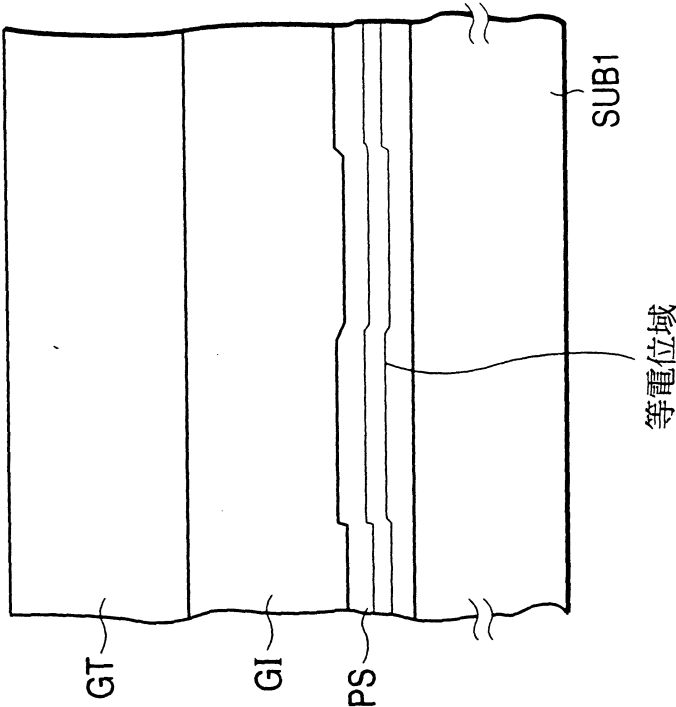
第 4 B 圖



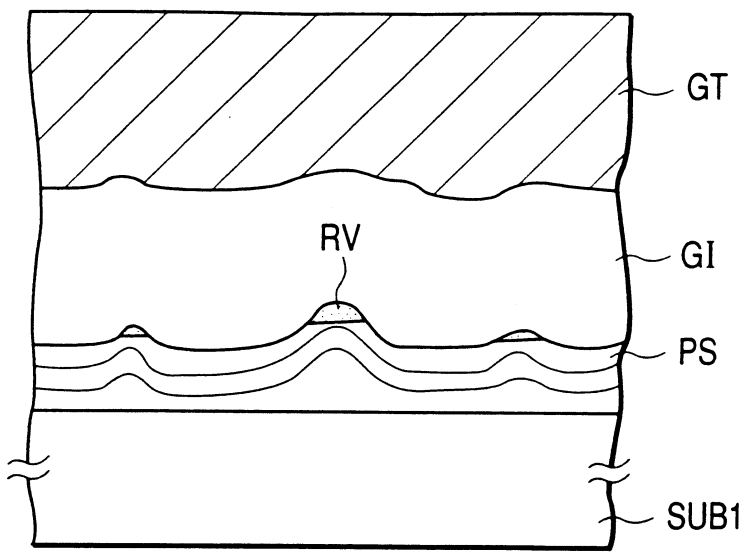
第 5 A 圖



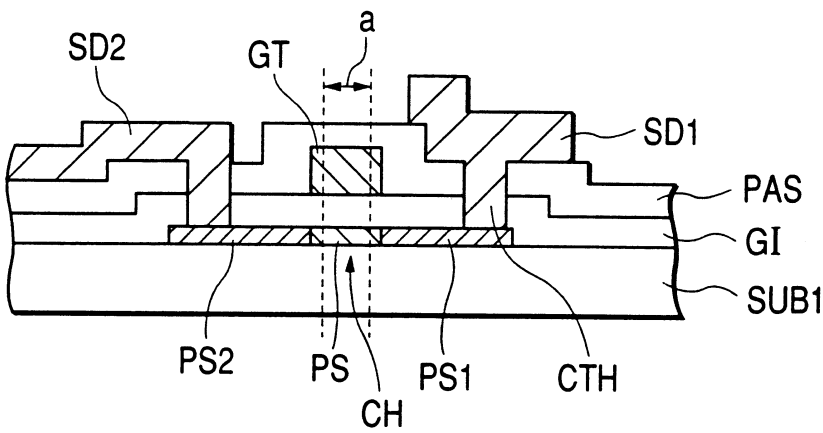
第 5 B 圖



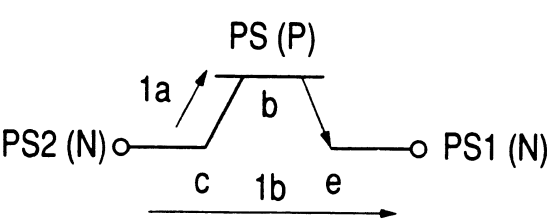
第 6 A 圖



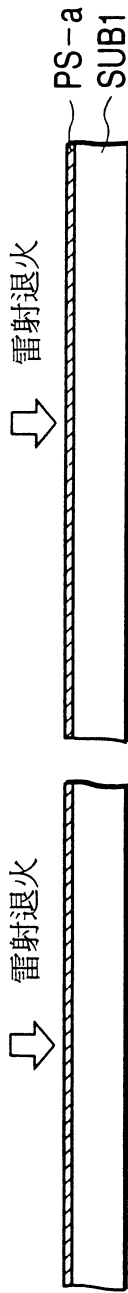
第 6 B 圖



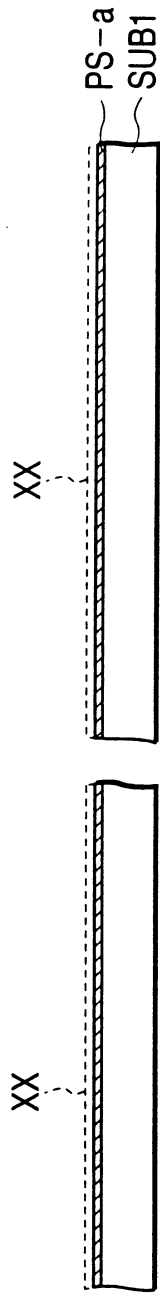
第 6 C 圖



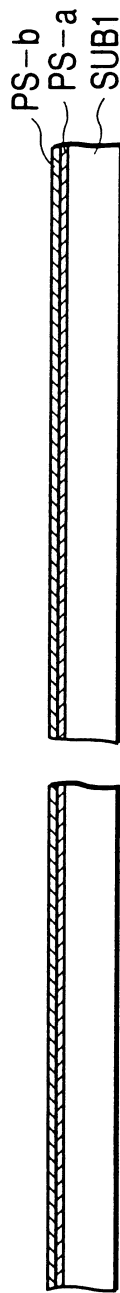
第 7 圖. 1



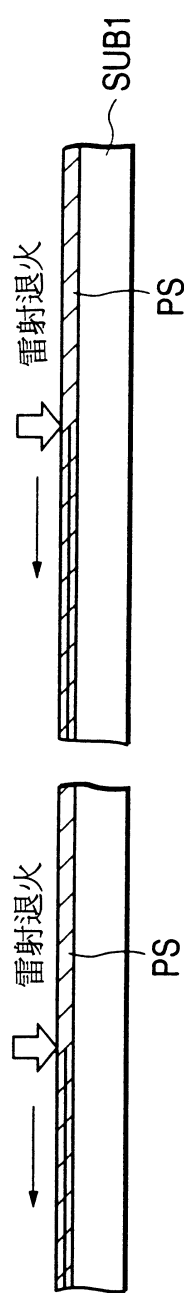
第 7 圖. 2



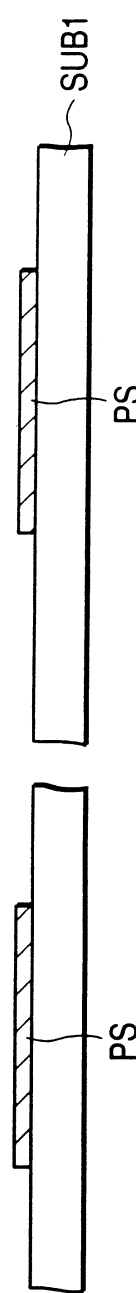
第 7 圖. 3



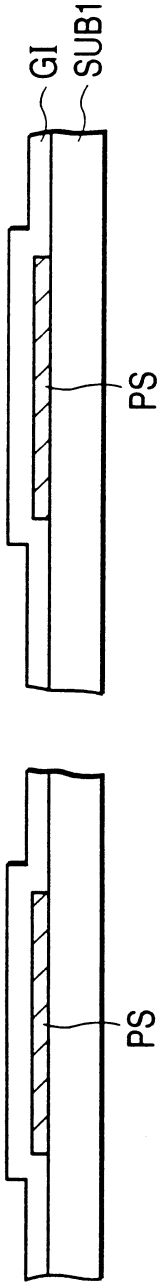
第 7 圖. 4



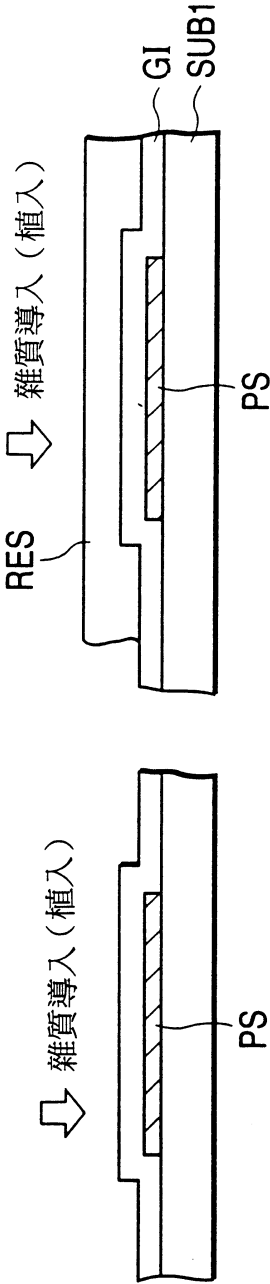
第 7 圖. 5



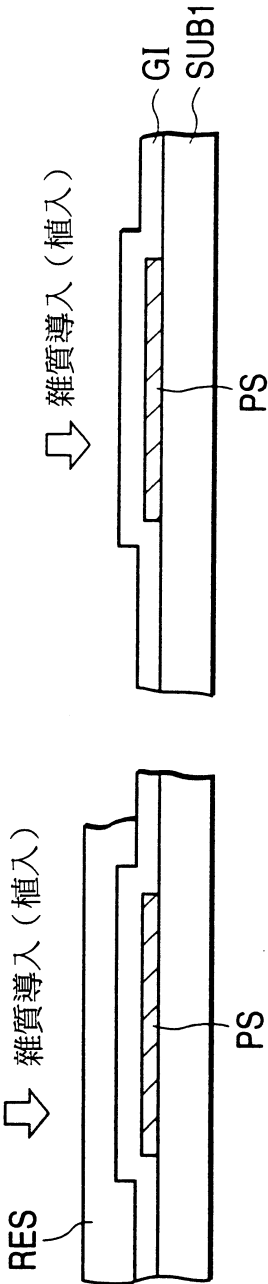
第 7 圖. 6



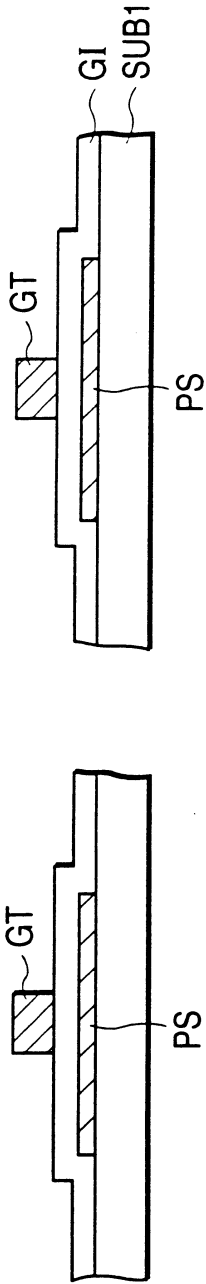
第 7 圖. 7



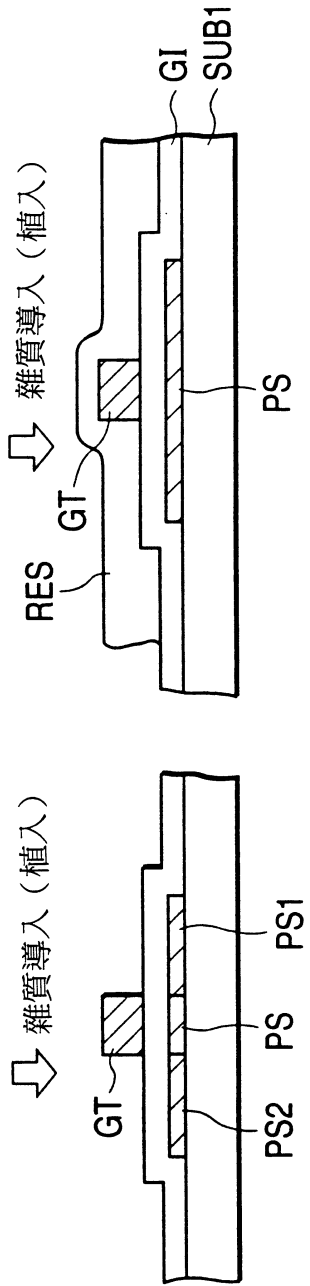
第 7 圖. 8



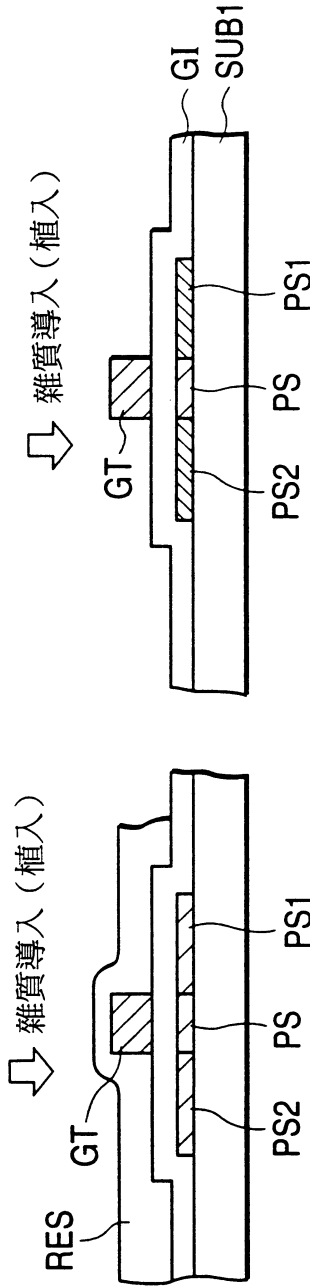
第 7 圖. 9



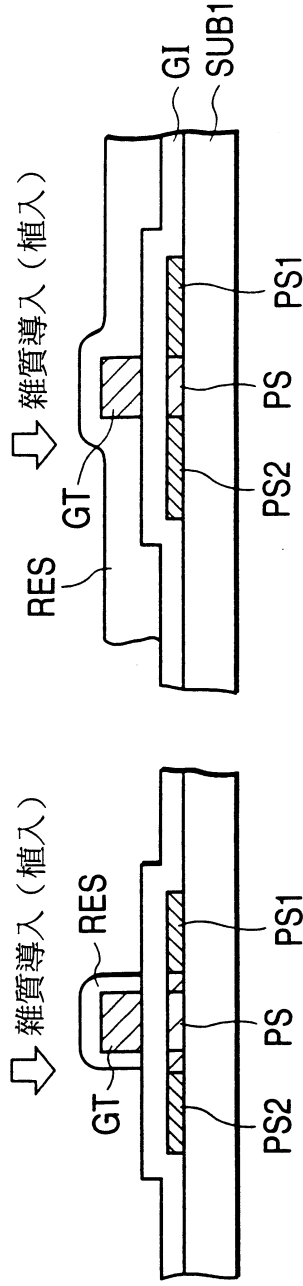
第 7 圖. 10



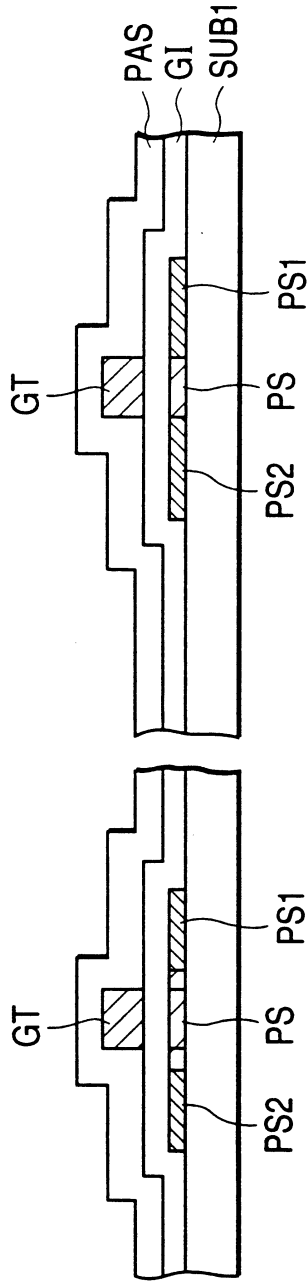
第 7 圖. 11



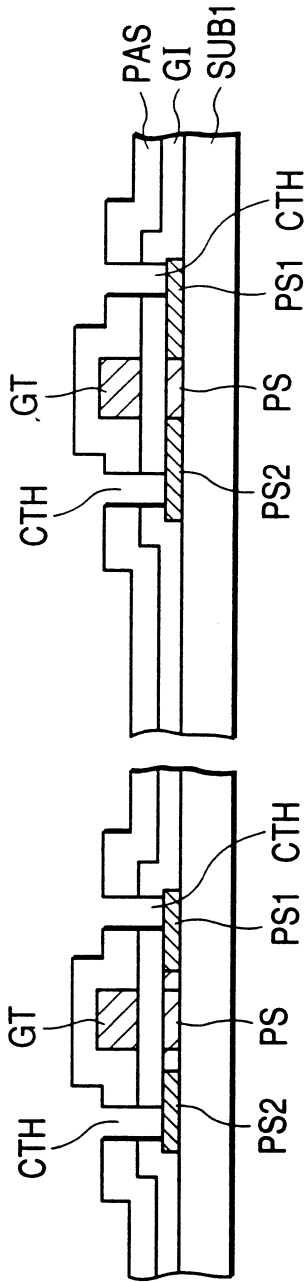
第 7 圖. 12



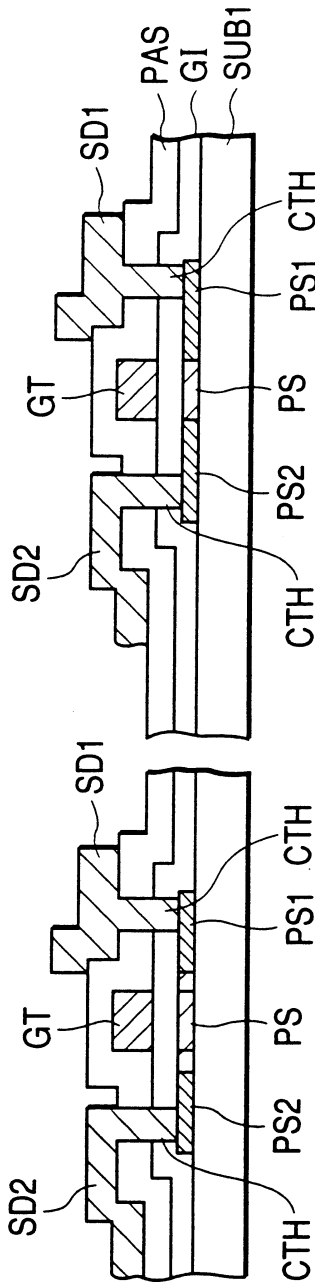
第 7 圖. 13



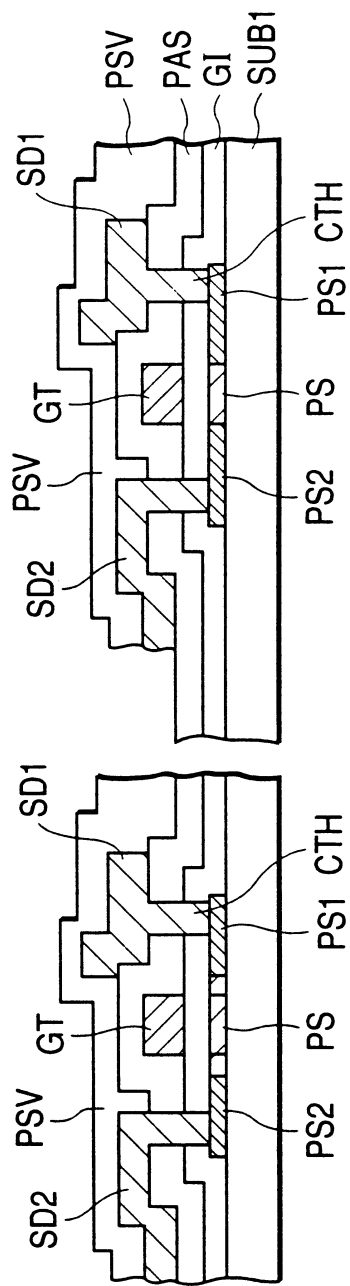
第 7 圖. 14



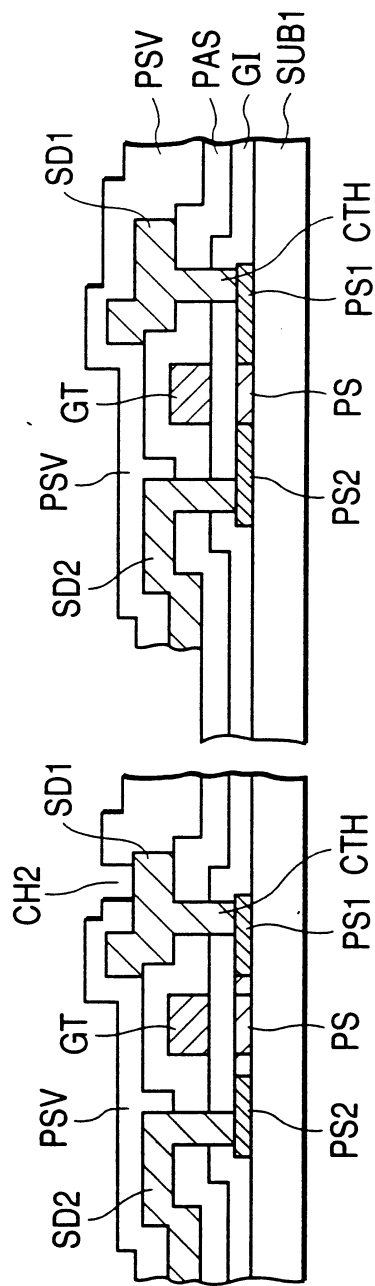
第 7 圖. 15



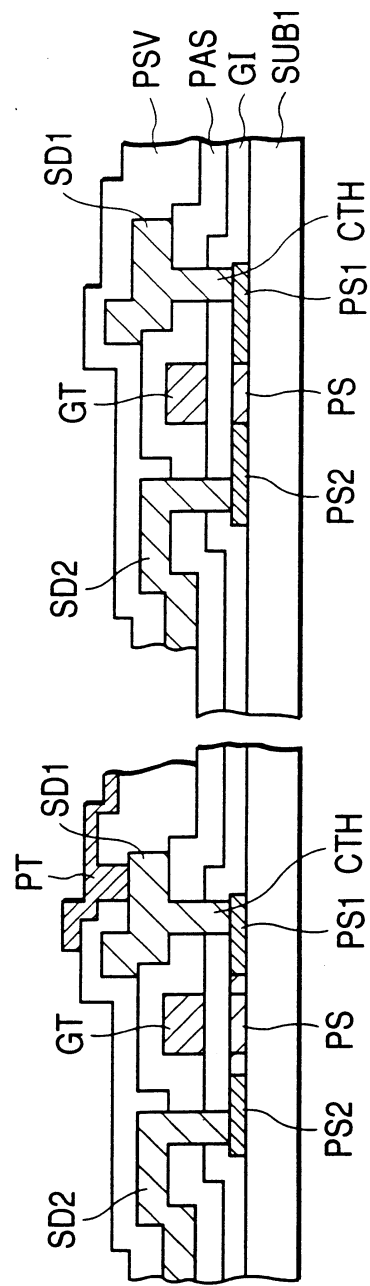
第7圖. 16



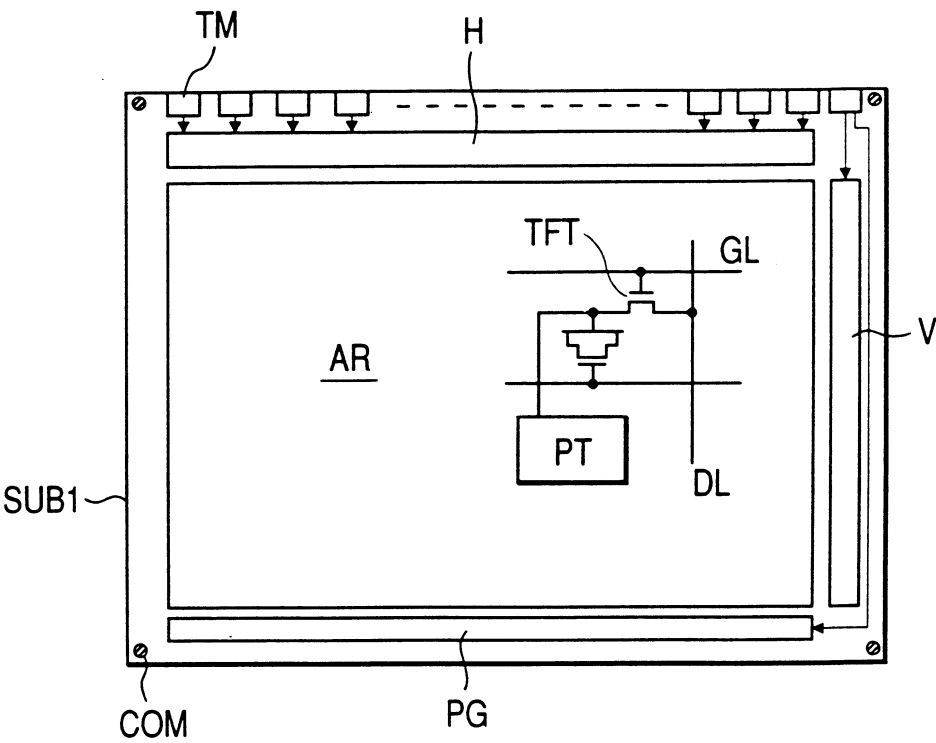
第 7 圖. 17



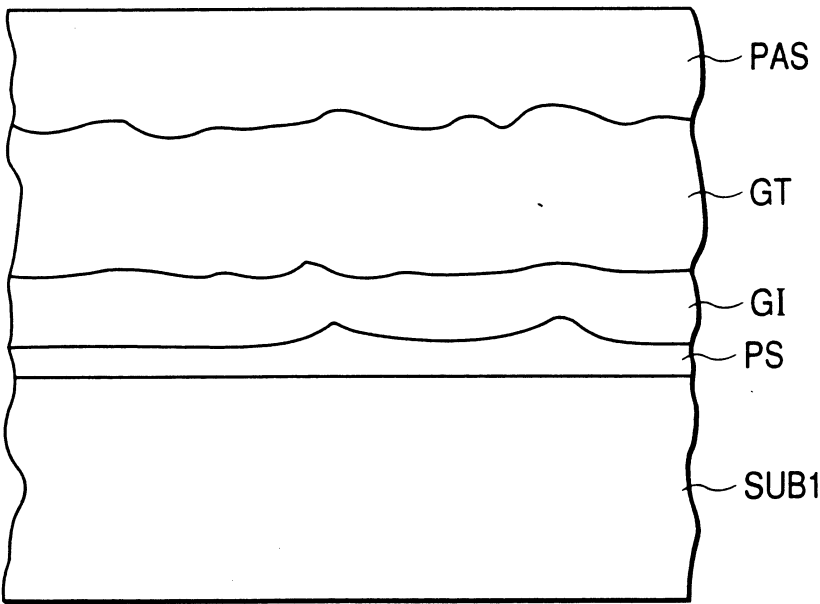
第7圖. 18



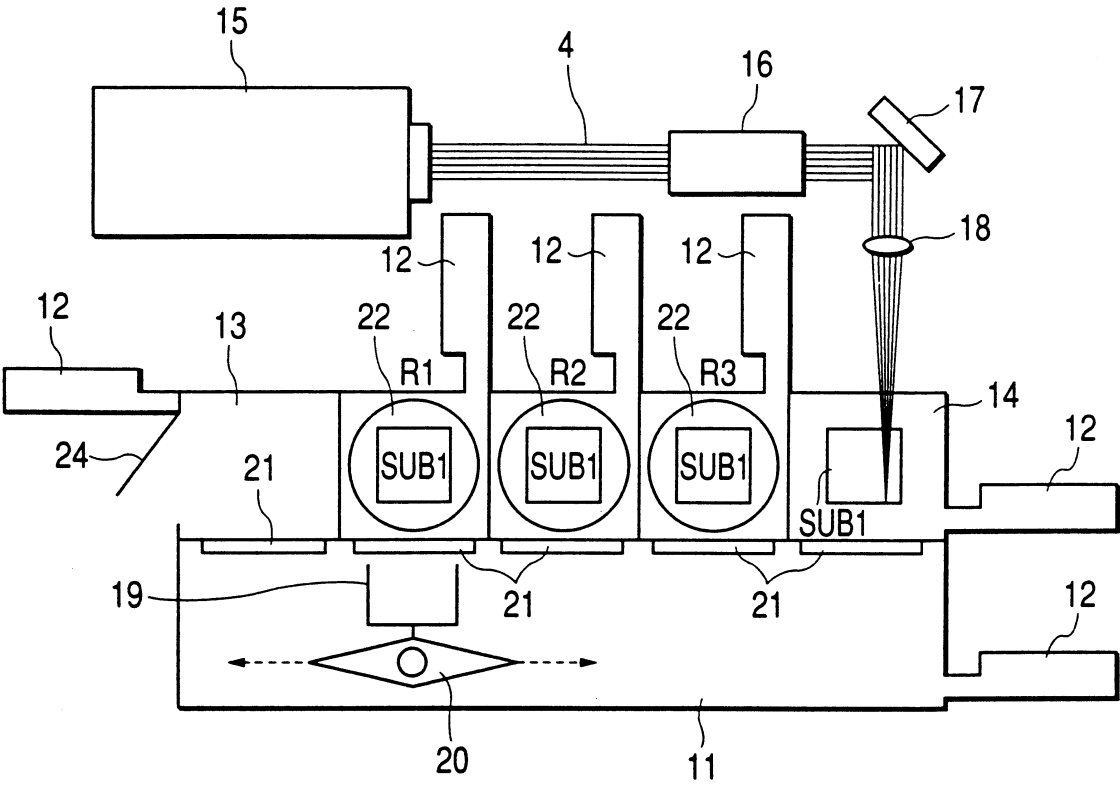
第 8 圖



第 9 圖



第 10 圖



|      |                        |
|------|------------------------|
| 申請日期 | 89 年 11 月 15 日         |
| 案 號  | 89124193               |
| 類 別  | G02F 1/268, H01L 29/86 |

公告本

A4  
C4

92年7月11日

594355

(以上各欄由本局填註)

# 發明專利說明書

|                |               |                                                                                     |
|----------------|---------------|-------------------------------------------------------------------------------------|
| 一、發明<br>名稱     | 中 文           | 具有改良式 TFT 之液晶顯示裝置以及其製造方法                                                            |
|                | 英 文           | Liquid crystal display device having improved TFTS and a fabrication method thereof |
| 二、發明人<br>姓名、居所 | 姓 名           | (1) 宮澤敏夫<br>(2) 三村秋男                                                                |
|                | 國 籍           | (1) 日本國東京都千代田區丸之內一丁目五番一號新丸大樓日立製作所屬知的所有權本部內                                          |
| 三、申請人          | 住、居所          | (2) 日本國東京都千代田區丸之內一丁目五番一號新丸大樓日立製作所屬知的所有權本部內                                          |
|                | 姓 名<br>(名稱)   | (1) 日立製作所股份有限公司<br>株式会社日立製作所                                                        |
|                | 國 籍           | (1) 日本                                                                              |
|                | 住、居所<br>(事務所) | (1) 日本國東京都千代田區神田駿河台四丁目六番地                                                           |
|                | 代 表 人<br>姓 名  | (1) 庄山悅彦                                                                            |

公告本

A8  
B8  
C8  
D8

2022年7月1日

## 六、申請專利範圍 1

1.一種液晶顯示裝置，具有一圖素區於一基底上，該基底具有多數個閘極線、多數個汲極線、多數個薄膜電晶體以及對應於該多數個薄膜電晶體之多數個圖素電極，以及一驅動電路區位於該基底之周邊以及具有作為驅動該多數個薄膜電晶體之驅動電路，

該多數個薄膜電晶體包含：

形成在該基底上之多晶矽半導體層，形成在該多晶矽半導體層上之閘極而具有閘極絕緣膜夾置其間，一絕緣膜覆蓋在該多晶矽半導體層、該閘極絕緣膜以及該閘極，一汲極形成在該絕緣膜之上並電連接至該多晶矽半導體層，以及一源極形成在該絕緣膜之上，而與該汲極分離並電連接至該多晶矽半導體層，

該多晶矽半導體層表面之不平坦度係為該多晶矽半導體層之厚度之10%之內，以及

導入至該多晶矽半導體層以決定多晶矽半導體層之導電類型之雜質濃度之深度分佈之高峰之位置變異，係為該多晶矽半導體層之厚度之10%之內，該些高峰之位置係自該基底之表面而測量起。

2.如申請專利範圍第1項之液晶顯示裝置，該多晶矽半導體層之該表面之該不平坦度以及該等雜質濃度之深度分佈之高峰位置變異係在該閘極絕緣膜之下而測量。

3.一種液晶顯示裝置，具有一圖素區於一基底上，該基底具有多數個閘極線、多數個汲極線、多數個薄膜電晶體以及對應於該多數個薄膜電晶體之多數個圖素電極，以

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

本圖係根據本局員工消費合作社印製

經濟部智慧財產局員工消費合作社印製