

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-294851
(P2005-294851A)

(43) 公開日 平成17年10月20日(2005.10.20)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 21/336	HO 1 L 29/78 6 2 7 G	5 F 1 1 0
HO 1 L 21/20	HO 1 L 21/20	5 F 1 5 2
HO 1 L 21/268	HO 1 L 21/268 G	
HO 1 L 29/786	HO 1 L 29/78 6 2 6 C	

審査請求 有 請求項の数 13 O L 外国語出願 (全 26 頁)

(21) 出願番号	特願2005-108557 (P2005-108557)	(71) 出願人	501046327 廣輝電子股▲ふん▼有限公司 台湾桃園縣龜山鄉華亞二路189号
(22) 出願日	平成17年4月5日(2005.4.5)	(74) 代理人	100077838 弁理士 池田 憲保
(31) 優先権主張番号	93109339	(74) 代理人	100082924 弁理士 福田 修一
(32) 優先日	平成16年4月5日(2004.4.5)	(72) 発明者	郭 政彰 台湾桃園県亀山郷華亞二路189号
(33) 優先権主張国	台湾 (TW)	F ターム(参考)	5F110 AA01 AA30 CC02 DD12 DD17 DD21 EE28 GG02 GG13 HM07 PP03 5F152 AA02 AA03 AA06 AA08 BB02 CD07 CD27 CE05 FF03 FF28

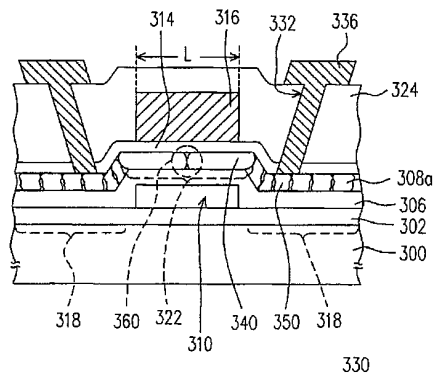
(54) 【発明の名称】 低温ポリシリコンTFT構造及びそのチャンネル層の製造方法

(57) 【要約】

【課題】 低温ポリシリコンTFT構造を提供する。

【解決手段】 低温ポリシリコンTFT構造であって、主にキャップ層、ポリシリコン薄膜及びゲートからなる。キャップ層は基板上方に配置され、基板との間に隙間領域がある。ポリシリコン薄膜はキャップ層上に配置され、チャンネル領域とチャンネル領域の両側に位置するソース/ドレイン領域とに分けられる。チャンネル領域は隙間領域の上に位置する。また、ゲートはチャンネル領域上方に配置される。チャンネル領域の下に隙間領域があるため、レーザアニール工程を行う際、該隙間領域の熱伝導係数が小さく、シリコン原子の再結晶時間がより長くなり、チャンネル領域内でより大きい結晶粒を形成して、チャンネル領域中にある結晶粒界を減少させる。且つ、ポリシリコン薄膜における結晶粒の粒子配向がすべてトランジスタにおける電子の伝達方向と平行するので、トランジスタの電気特性を向上することができる。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

基板上に配置するのに適した低温ポリシリコンTFT構造であって、
基板上方に配置され、基板との間に隙間領域があるキャップ層と、
前記キャップ層上に配置され、チャンネル領域及び前記チャンネル領域の両側に位置するソース/ドレイン領域を備え、前記チャンネル領域が前記隙間領域の上にあるポリシリコン薄膜と、
前記ポリシリコン薄膜の前記チャンネル領域上方に配置されたゲートと、
を備えることを特徴とする低温ポリシリコンTFT構造。

【請求項 2】

前記基板と前記キャップ層との間に配置された緩衝層を更に備え、前記隙間領域が前記キャップ層と前記緩衝層との間に位置することを特徴とする請求項 1 に記載の低温ポリシリコンTFT構造。

【請求項 3】

前記隙間領域の熱伝導係数が前記緩衝層の熱伝導係数より小さいことを特徴とする請求項 2 に記載の低温ポリシリコンTFT構造。

【請求項 4】

前記隙間領域の熱伝導係数が前記基板の熱伝導係数より小さいことを特徴とする請求項 1 に記載の低温ポリシリコンTFT構造。

【請求項 5】

前記ポリシリコン薄膜上に配置されたゲート絶縁層を更に備えることを特徴とする請求項 1 に記載の低温ポリシリコンTFT構造。

【請求項 6】

前記ポリシリコン薄膜の前記チャンネル領域中にある結晶粒の大きさが前記ポリシリコン薄膜の前記ソース/ドレイン領域中にある結晶粒の大きさより大きいことを特徴とする請求項 1 に記載の低温ポリシリコンTFT構造。

【請求項 7】

前記ゲートの幅が前記チャンネル領域の結晶粒の大きさより小さいことを特徴とする請求項 1 に記載の低温ポリシリコンTFT構造。

【請求項 8】

前記ゲートがダブルゲート構造であることを特徴とする請求項 1 に記載の低温ポリシリコンTFT構造。

【請求項 9】

前記ポリシリコン薄膜及び前記ゲート上に配置され、複数のコンタクトホールを有し、前記ポリシリコン薄膜の前記ソース/ドレイン領域を露出させる誘電層と、
前記誘電層上に配置され、前記誘電層における前記コンタクトホールと前記ポリシリコン薄膜の前記ソース/ドレイン領域により電氣的接続をするソース/ドレイン導電層と、
を更に備えることを特徴とする請求項 1 に記載の低温ポリシリコンTFT構造。

【請求項 10】

基板上に犠牲層を形成するステップと、
前記基板上にキャップ層を形成して前記犠牲層を被覆するステップと、
前記キャップ層上にアモルファスシリコン薄膜を形成するステップと、
前記犠牲層を除去して、前記基板と前記キャップ層との間に隙間領域を形成するステップと、
前記アモルファスシリコン薄膜を溶融させた後再結晶させて、前記隙間領域上方の前記キャップ層上にポリシリコンチャンネル層を形成するステップと、
を含む低温ポリシリコンTFTのチャンネル層の製造方法。

【請求項 11】

前記基板上方に前記犠牲層を形成する前に、緩衝層を前記基板上に形成するステップを更に含むことを特徴とする請求項 10 に記載の低温ポリシリコンTFTのチャンネル層の製造

10

20

30

40

50

方法。

【請求項 1 2】

前記犠牲層を除去する方法がウェットエッチングを含み、前記犠牲層のエッチング速度が前記キャップ層のエッチング速度より速いことを特徴とする請求項 1 0 に記載の低温ポリシリコンTFTのチャンネル層の製造方法。

【請求項 1 3】

前記アモルファスシリコン薄膜を溶融させる方法がエキシマレーザーアニールを含むことを特徴とする請求項 1 0 に記載の低温ポリシリコンTFTのチャンネル層の製造方法。

【発明の詳細な説明】

【技術分野】

10

【0 0 0 1】

本発明はTFT構造及びそのチャンネル層の製造方法に係り、特に低温ポリシリコンTFT構造及びそのチャンネル層の製造方法に係る。

【背景技術】

【0 0 0 2】

大部分の電子素子は、素子を駆動するためのスイッチを必要とする。アクティブ駆動の表示素子を例にあげると、通常はTFT (Thin Film Transistor) を駆動スイッチとしている。そして、TFTはチャンネル領域の材質により、アモルファスシリコンTFTと、ポリシリコンTFTとに分けられる。ポリシリコンTFTは、アモルファスTFTに比べてその消費電力が小さく且つ電子移動度が大きいので、次第に市場において注目を集めている。

20

【0 0 0 3】

早期のポリシリコンTFTのプロセス温度は摂氏1000度に達するため、基板材質の選択が大幅に限定されていた。然し、近年レーザー技術の発展により、プロセス温度は摂氏600度以下にまで低下し、このプロセスで形成されたポリシリコンTFTは、低温ポリシリコンTFTとも呼ばれる。

【0 0 0 4】

低温ポリシリコンTFTにおいて、ポリシリコン薄膜の形成方法は、先ず基板上にアモルファスシリコン薄膜を形成し、その後アモルファスシリコンを溶融させ、再結晶させてポリシリコン薄膜を形成する。図1A及び図1Bは従来の低温ポリシリコン薄膜の製造フロー断面図である。一般に常用されるレーザーアニールプロセス (Laser Annealing Process) はエキシマレーザーアニール (Excimer Laser Annealing、以下ELAプロセスという) である。図1Aに示すとおり、基板100上にアモルファスシリコン薄膜102を形成した後、エキシマレーザーアニールビーム106によりレーザーアニールプロセスを行ってアモルファスシリコン102を溶融させ、図1Bのように、シリコン分子を再結晶させてポリシリコン薄膜102aを形成する。

30

【0 0 0 5】

然しながら、ELAプロセスにより形成されたポリシリコン薄膜102aは、結晶粒の大きさが小さすぎ、且つサイズの均一性 (uniformity) が良くないので、ポリシリコン薄膜102aには多くの結晶粒界が存在して、ポリシリコン薄膜102aのチャンネル領域における電子の移動度が僅か100~200 cm² /V-secであるので、薄膜トランジスタの機能にかなり大きな影響を与える。

40

【発明の開示】

【発明が解決しようとする課題】

【0 0 0 6】

上記の問題を解決するために、従来は逐次的横方向結晶化 (Sequential Lateral Solidification, SLS) と呼ばれるレーザーアニール工程を提供する。図2A及び2Bは、もう一つの従来の低温ポリシリコン薄膜の製造フロー断面図を示す。

【0 0 0 7】

図2Aに示すように、SLSプロセスはマスク104でアモルファスシリコン薄膜102がレーザービーム106に照射される範囲を画定して、一部領域内のアモルファスシリコン薄膜102、即

50

ち領域110内のアモルファスシリコン薄膜102を溶融する。あるSLSプロセスにおいて、マスク104は基台により制御されて移動し、レーザービームにマスク104上のホール108を透過させて領域110における全てのアモルファスシリコン薄膜102を照射する。

【0008】

図2Bに示すとおり、一定の時間が経過すると、溶融されたアモルファスシリコン薄膜102(つまり、領域110内のアモルファスシリコン薄膜102)は、溶融していないアモルファスシリコン薄膜102を結晶核として横方向に成長し、領域110内においてポリシリコン薄膜202aを形成する。

【0009】

図2Bから分かるように、SLSプロセスにより結晶粒サイズがより大きいポリシリコン薄膜202aを形成することができる。つまり、SLSプロセスにより形成されたポリシリコン薄膜202aにおける結晶粒界が少ないので、SLSプロセスと従来のELAプロセスを比較すると、SLSプロセスはポリシリコン薄膜における電子の移動度を高くするだけでなく、薄膜トランジスタの機能を高めることができ、ポリシリコン薄膜の粒子配向を比較的一致させることができる。

10

【0010】

然しながら、SLSプロセスで使用する機器設備は比較的高価なもので、従来のELAプロセスに比べ特殊なマスクを余分に使用しなければならないため、トランジスタ全体の製造コストが高くなる。また、SLSプロセスでは、やはりポリシリコン薄膜を形成する所要時間を減少することができない。

20

【0011】

そこで、本発明の目的は低温ポリシリコンTFT構造であって、そのチャネル層における結晶粒がより均一なサイズを有し、且つ結晶粒界がより少なく、トランジスタにより好ましい素子特性をもたせることができる低温ポリシリコンTFT構造を提供する。

【0012】

本発明のもう一つの目的は、低温ポリシリコンTFT構造のチャネル層の製造方法を提供し、トランジスタのチャネル領域における結晶粒の大小及びその粒子配向を制御することにより、チャネル領域における電子の移動度を向上させる。この他、該製造方法が使用するプロセス設備は、従来のプロセス設備と相容性があるので、製造コストを節約することができる。

30

【課題を解決するための手段】

【0013】

上記の目的を達成するために、本発明は、基板上に配置するのに適した低温ポリシリコンTFT構造を提供する。当該低温ポリシリコンTFT構造は、主にキャップ層、ポリシリコン薄膜及びゲートからなる。このうち、キャップ層は基板上方に配置され、基板との間に隙間領域がある。ポリシリコン薄膜は、キャップ層上に配置されて、チャネル領域とチャネル領域の両側に位置するソース/ドレイン領域とに分けられる。チャネル領域は隙間領域の上に位置して、且つチャネル領域内のポリシリコン薄膜はトランジスタのチャネル層として、ゲートはチャネル領域上方に配置される。

【0014】

本発明の実施形態によれば、当該低温ポリシリコンTFTは、更に基板上に配置され、キャップ層と基板との間に位置し、基板における不純物が製造プロセスにおいて、予期しない拡散を起こして素子の機能に影響するのを防ぐ緩衝層を備える。本実施形態において、隙間領域は、例えばキャップ層と緩衝層との間に位置し、隙間領域の熱伝導係数は、緩衝層及び基板の熱伝導係数より低い。

40

【0015】

本発明の実施形態によれば、この低温ポリシリコンTFT構造は、ポリシリコン薄膜上に配置されたゲート絶縁層を、更に備える。

【0016】

本発明の実施形態によれば、チャネル領域内のポリシリコン薄膜の結晶粒は、例えばソ

50

ース/ドレイン領域内のポリシリコン薄膜の結晶粒より大きいので、トランジスタがより高い駆動電流とより低い漏れ電流を有する。この他、チャンネル領域中にある結晶粒の大きさがより大きいため、その内部の結晶粒界の数も、ソース/ドレイン領域中にある結晶粒界の数より少なく、電子はチャンネル領域において、電界を受けて移動できるが結晶粒界に散乱されにくく、従ってよりよい電子移動度を有する。また、ゲートの幅はチャンネル領域の結晶粒のサイズより小さいのが好ましい。この他、別の実施形態においては、ゲートは、例えばダブルゲート構造であって、電子が直接チャンネル中央にある唯一の結晶粒界の影響を受けるのを減少させて、顕かにトランジスタの機能を向上させることができる。

【0017】

本発明の実施形態による低温ポリシリコンTFTは、誘電層、ソース/ドレインコンタクトホール及びソース/ドレイン導電層と、を更に備える。このうち、誘電層はポリシリコン薄膜上に配置されてゲートを被覆する。ソース/ドレインコンタクトホールは、全て誘電層及びゲート絶縁層中に配置され、ソース/ドレイン領域と電氣的接続する。また、ソース/ドレイン導電層は、誘電層上に配置されソース/ドレインコンタクトホールを埋めて、ソース/ドレイン領域と電氣的接続する。

10

【0018】

本発明は、低温ポリシリコンTFTのチャンネル層の製造方法も提供する。該方法は、まず基板上方に犠牲層を形成し、犠牲層上にキャップ層及びアモルファスシリコン薄膜を順に形成する。次に、犠牲層を除去して、基板とキャップ層との間に隙間領域を形成する。その後、アモルファスシリコン薄膜を溶融して再結晶させ、隙間領域上方のキャップ層上にポリシリコンチャンネル層を形成する。

20

【0019】

本発明の実施形態によれば、該方法は、犠牲層を形成する前に、まず基板上に緩衝層を形成して、基板における不純物が製造プロセス中に予期しない拡散を起こすのを防ぐ。その後、犠牲層を緩衝層上に形成する。

【0020】

本発明の実施形態によれば、犠牲層を除去する方法は、例えば既に形成された構造をエッチング液に浸すウェットエッチングにより行われる。このステップにおいて、犠牲層のエッチング速度はその他の膜層のエッチング速度より大きい。

【0021】

本発明の実施形態によれば、アモルファスシリコン薄膜を溶融した後再結晶させてポリシリコンチャンネル層を形成するステップは、先ずエキシマレーザ(Excimer Laser)によりアモルファスシリコン薄膜を照射して、アモルファスシリコン薄膜を溶融して液態のシリコン材料にする。次に、アニールプロセスを行ってシリコン材料における結晶粒を新たに配列させてポリシリコン薄膜を形成する。このうち、隙間領域上方に位置するポリシリコン薄膜はポリシリコンチャンネル層であり、ポリシリコンチャンネル層でのシリコン結晶粒は、ポリシリコン薄膜が他の領域内でのシリコン結晶粒より大きい。

30

【0022】

本発明により形成されたポリシリコン薄膜における結晶粒の粒子配向は、全てトランジスタが作動状態における電子伝送の方向と平行となり、電子のチャンネル領域における移動度を改善して、トランジスタの電気特性を向上させることができる。

40

【0023】

以下で本発明のその他の目的、特徴を更に明らかにするために、図面を参照しながら実施形態をあげて説明する。

【発明の効果】

【0024】

以上の説明から、本発明の低温ポリシリコンTFTは次の特徴を有する。

【0025】

1. トランジスタのチャンネル中にある結晶粒のサイズがより大きく、且つ均一性がより良いので、本発明のトランジスタはより高い駆動電流及び高電子移動度を有する。

50

【0026】

2. 本発明の製造プロセスにより形成されたポリシリコン薄膜では、結晶粒の粒子配向がすべてトランジスタ内の電子伝達方向に平行するので、本発明によれば、電子のチャネル領域における移動度を改善して、トランジスタの電気特性を向上させる。

【0027】

3. トランジスタのチャネル領域の幅と長さは、犠牲層の幅と長さで決まる。従って、チャネル領域の幅、長さの比は実際の製造プロセスによって犠牲層の大きさを調整でき、製造プロセスの適応性が良い。

【0028】

4. 本発明のプロセス設備と、従来のプロセス設備は相容性があり、例えば従来のエキシマレーザアニール工程の設備により逐次的横方向結晶化工程のレベルに達することができ、つまり本発明により製品品質を向上できると同時に、プロセス設備のコストを節約して、最大の生産利潤に達することができる。

10

【発明を実施するための最良の形態】

【0029】

本発明は、アモルファスシリコン薄膜をポリシリコン薄膜に転換する前に、先ずアモルファスシリコン薄膜の、後続工程においてポリシリコンチャネルにする予定の領域下方の犠牲層を除去して、熱伝導性が両側より低い隙間領域を形成することにより、該隙間領域上方のシリコン結晶粒の結晶速度が両側領域内のシリコン結晶粒の結晶速度より遅く、結晶粒を両側から中央に向かって横方向に成長させ、かつチャネル領域により大きい結晶粒を成長させる。

20

【0030】

図3は、本発明の第1実施形態に係る低温ポリシリコンTFTの断面図である。図3に示すように、本発明の低温ポリシリコンTFT330は、主に基板300、キャップ層306、ポリシリコン薄膜308a、ゲート316及びソース/ドレイン導電層336からなる。このうち、キャップ層306は基板300上に配置され、本実施形態においては、基板における不純物が製造プロセス中に予期しない拡散を生じて素子の機能に影響することを防ぐよう、基板300上に、例えばキャップ層306と基板300との間にある緩衝層302を配置する。

【0031】

特に、キャップ層306と緩衝層302との間に、更に隙間領域310を有する。隙間領域310内には、例えば熱伝導係数がより低い空気若しくはその他のガスがある。

30

【0032】

ポリシリコン薄膜308aはキャップ層306上に配置され、チャネル領域322と不純物のドーブされたソース/ドレイン領域318に分けられる。このうちチャネル領域322は隙間領域310の上に位置し、チャネル領域322内のポリシリコン薄膜308aが、低温ポリシリコンTFT330のポリシリコンチャネル層である。ゲート316はポリシリコン薄膜308aのチャネル領域322の上に配置され、ポリシリコン薄膜308a上に例えばゲート絶縁層314が配置される。

【0033】

誘電層324はゲート絶縁層314上に配置され、ゲート316を被覆する。また、誘電層324上にソース/ドレイン導電層336が配置され、ソース/ドレイン導電層336は、誘電層324とゲート絶縁層314との間に配置されるソース/ドレインコンタクトホール332を介してソース/ドレイン領域318と電氣的に接続する。

40

【0034】

注意すべきは、本実施形態において、チャネル領域322内のポリシリコン薄膜308a中にあるシリコン結晶粒340は、例えばソース/ドレイン領域318内のポリシリコン薄膜308a中にあるシリコン結晶粒350より大きく、好ましい大きさは、チャネル領域322の長さLの半分より大きい程度である。従って、低温ポリシリコンTFT330は、より高い駆動電流を有することができる。且つ、チャネル領域322内の結晶粒340の大きさがより大きいため、チャネル領域322内の結晶粒界360の数が、ソース/ドレイン領域318内の結晶粒界360の数より少ない。且つ、結晶粒の粒子配向が、電子の低温ポリシリコンTFT330内での伝送方向と平

50

行であるので、低温ポリシリコンTFT330が作動状態であるとき、電子キャリアが容易にチャンネル領域322を透過でき、チャンネル領域322内の結晶粒界360が多すぎるため乱射され、電子移動度が低下することがない。

【0035】

特に、本発明は低温ポリシリコンTFT330のゲート316の幅を縮小して、結晶粒340のサイズよりも小さくすることが可能であり（図4Aに示す）、よって薄膜トランジスタのチャンネル領域が結晶粒界をまたぐのを防いで、薄膜トランジスタがより良い機能を持つことができる。この分野の通常の知識を有する者であれば分かるように、ここでいう結晶粒サイズとは、通常ゲートの幅と平行な方向上の結晶粒の長さを指す。

【0036】

ゲートの幅を縮小する以外、本発明は、更に低温ポリシリコンTFT上に、本発明の別の実施形態に係る低温ポリシリコンTFTの平面図である図4Bに示すようなダブルゲート構造416を配置することができる。このようなダブルゲート構造416も、電子が直接チャンネル中央の唯一の結晶粒界の影響を受けるのを減少して、トランジスタの機能を明らかに向上させることができる。

【0037】

本発明は、特殊な製造プロセスにより、上記チャンネル領域が好ましい特性を有する低温ポリシリコンTFTを製造する。以下で実施形態を挙げて上記低温ポリシリコンTFTのチャンネル層の製造方法について説明する。

【0038】

図5Aから図5Eは、本発明の第2実施形態に係る低温ポリシリコンTFTのチャンネル層の製造フロー断面図である。また、図6Aから図6Cはそれぞれ図5Aから図5Cに対応する平面図であり、図6Dは図5Eに対応する平面図である。

【0039】

図5Aに示すように、まず基板300上に緩衝層302及び犠牲層304を順に、例えばCVD法若しくはスパッタ法により形成する。また、犠牲層304の材質は例えば金属材料である。更に注意すべきは、緩衝層302は選択性の層であって、その機能は前記の実施形態のとおりであるので、ここでは特に述べない。また、この分野の通常の知識を有する者が実際の製造プロセスの必要に応じて緩衝層302を設けても設けなくてもよく、本発明はこれを限定しない。また、犠牲層304は、例えば図6Aに示すような、緩衝層302上に配置された長方形パターンの膜層である。

【0040】

図5B及び図6Bに示すように、緩衝層302上にキャップ層306及びアモルファスシリコン薄膜308を順に形成して、犠牲層304を被覆する。このうち、後続の製造プロセスにおいて犠牲層304上方の領域312内に低温ポリシリコンTFTのチャンネル層を形成し、領域312の両側にソース/ドレイン領域を形成する。従って、犠牲層304の幅が該低温ポリシリコンTFTのチャンネル層の長さを決定する。つまり、犠牲層304の幅を制御することにより、低温ポリシリコンTFTにおけるチャンネル領域の長さを有効に制御できる。

【0041】

図5C及び図6Cに示すように、次に犠牲層304を除去して、キャップ層306と緩衝層302との間に、例えば空気が充填している隙間領域310を形成する。このステップは、ウェットエッチングにより犠牲層304を除去し、例えば図5Bに示すような構造をエッチング液に浸す（図示せず）。また、このエッチング液の犠牲層304に対するエッチング速度が他の膜層のエッチング速度よりはるかに大きいので、このステップにより他の膜層が完全に保持されたまま犠牲層304を除去することができる。

【0042】

図5D及び図5Eに示すように、隙間領域310を形成した後、続いてレーザアニール工程によりアモルファスシリコン薄膜308を熔融して再結晶させてポリシリコン薄膜308aを形成し、隙間領域310の上方にあるキャップ層306上にポリシリコンチャンネル層522（つまり、領域312内に位置するポリシリコン薄膜308a）を形成する。本実施形態が使用するレーザ

10

20

30

40

50

アニール工程は、例えばエキシマレーザアニール工程であり、図5Dに示すように、エキシマレーザビーム326でアモルファスシリコン薄膜308を照射して熔融させ、液態シリコンとする（図示せず）。一定時間経過すると、液態シリコンが次第に冷えて再結晶し、ポリシリコン薄膜となる。この際、領域312が隙間領域310の上方に位置し、隙間領域310内には、例えば空気が存在しており、空気の熱伝導係数は $0.025\text{W}/\text{cm}^2\text{K}$ であり、キャップ層306及び緩衝層302の熱伝導係数よりはるかに小さい。従って、領域312内の液態シリコンの結晶速度が両側の液態シリコンの結晶速度より遅くなる。つまり、結晶化の過程において、シリコン原子が両側から領域312の中央に向かって横方向に結晶粒を成長させてポリシリコン薄膜308aを形成する。図5E及び図6Dに示すように、この領域312内のポリシリコン薄膜308aがトランジスタのポリシリコンチャンネル層522である。

10

【0043】

特に、領域312中にある結晶粒の成長速度が遅いため、形成された結晶粒のサイズも、両側領域内で形成された結晶粒より大きく、つまり、ポリシリコンチャンネル層522中にある結晶粒のサイズがより大きく、例えばポリシリコンチャンネル層522の長さLの半分よりやや大きい。

【0044】

この他、ポリシリコンチャンネル層522内の結晶粒界の数は、両側領域中にある結晶粒界の数より少ないので、電子がポリシリコンチャンネル層522内においてより好ましい移動度を有し、トランジスタの電気特性を向上させる。

【0045】

以上、本発明の実施例を図面を参照して詳述してきたが、具体的な構成は、この実施例に限られるものではなく、本発明の要旨を逸脱しない範囲の設計変更等があっても、本発明に含まれる。

20

【図面の簡単な説明】

【0046】

【図1A】従来の低温ポリシリコン薄膜の製造フロー断面図である。

【図1B】従来の低温ポリシリコン薄膜の製造フロー断面図である。

【図2A】もう一つの従来の低温ポリシリコン薄膜の製造フロー断面図である。

【図2B】もう一つの従来の低温ポリシリコン薄膜の製造フロー断面図である。

【図3】本発明の第1実施形態に係る低温ポリシリコンTFTの断面図である。

30

【図4A】図3に示す第1実施形態に係る低温ポリシリコンTFTの平面図である。

【図4B】図3に示す第1実施形態の変形例である低温ポリシリコンTFTの平面図である。

【図5A】本発明の第2実施形態に係る低温ポリシリコンTFTのチャンネル層の製造フロー断面図である。

【図5B】本発明の第2実施形態に係る低温ポリシリコンTFTのチャンネル層の製造フロー断面図である。

【図5C】本発明の第2実施形態に係る低温ポリシリコンTFTのチャンネル層の製造フロー断面図である。

【図5D】本発明の第2実施形態に係る低温ポリシリコンTFTのチャンネル層の製造フロー断面図である。

40

【図5E】本発明の第2実施形態に係る低温ポリシリコンTFTのチャンネル層の製造フロー断面図である。

【図6A】図5Aに対応する平面図である。

【図6B】図5Bに対応する平面図である。

【図6C】図5Cに対応する平面図である。

【図6D】図5Eに対応する平面図である。

【符号の説明】

【0047】

100、300 基板

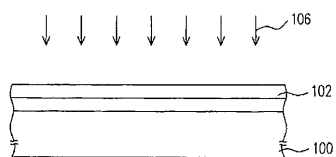
50

- 102、308 アモルファスシリコン薄膜
- 102a、202a、308a ポリシリコン薄膜
- 104 マスク
- 106、326 エキシマレーザビーム
- 108 ホール
- 110、312 領域
- 302 緩衝層
- 304 犠牲層
- 306 キャップ層
- 310 隙間領域
- 314 ゲート絶縁層
- 316 ゲート
- 318 ソース/ドレイン領域
- 322 チャンネル領域
- 324 誘電層
- 330 低温ポリシリコンTFT
- 332 ソース/ドレインコンタクトホール
- 336 ソース/ドレイン導電層
- 340、350 シリコン結晶粒
- 416 ダブルゲート構造
- 522 ポリシリコンチャンネル層

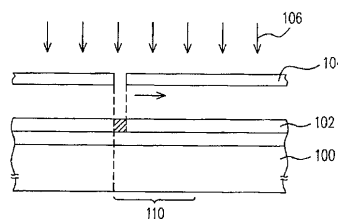
10

20

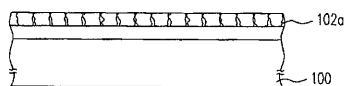
【図1A】



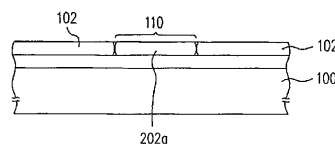
【図2A】



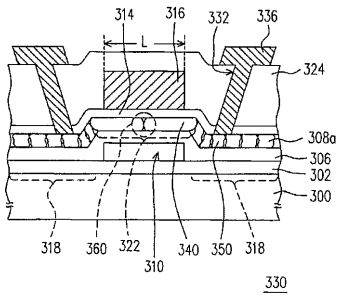
【図1B】



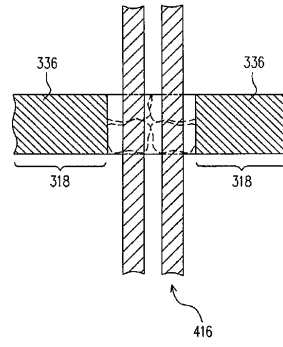
【図2B】



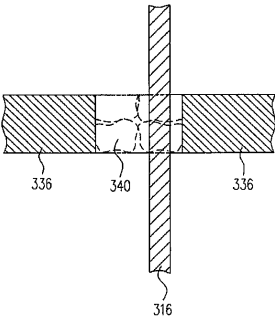
【 図 3 】



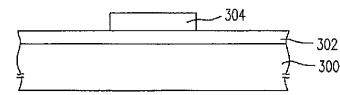
【 図 4 B 】



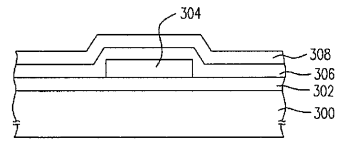
【 図 4 A 】



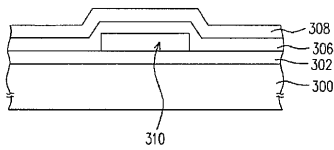
【 図 5 A 】



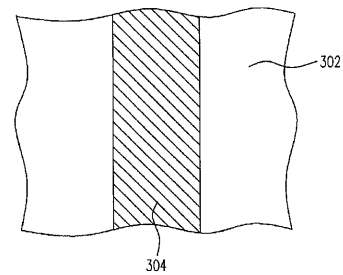
【 図 5 B 】



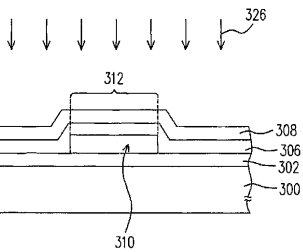
【 図 5 C 】



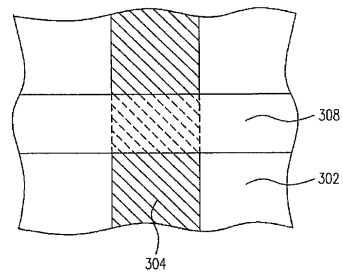
【 図 6 A 】



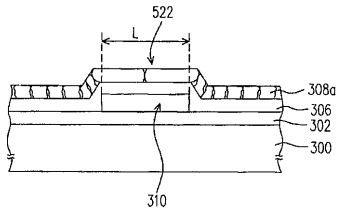
【 図 5 D 】



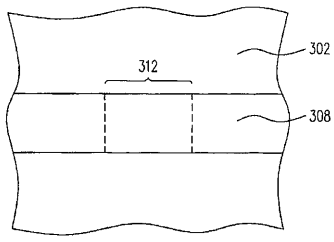
【 図 6 B 】



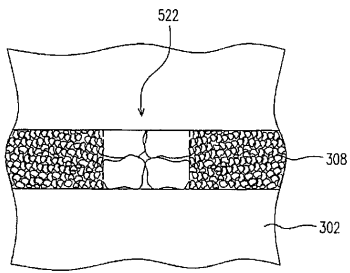
【 図 5 E 】



【 図 6 C 】



【 図 6 D 】



【外国語明細書】

1. Title of Invention

STRUCTURE OF LTPS-TFT AND METHOD OF FABRICATING
CHANNEL LAYER THEREOF

2. Detailed Description of Invention

BACKGROUND OF INVENTION

Field of the Invention

The present invention relates to a thin film transistor and method of fabricating a channel layer thereof. More particularly, the present invention relates to a low temperature polysilicon thin film transistor (LTPS-TFT) and method of fabricating a channel layer thereof.

Description of the Related Art

Most electronic devices require a switch for driving the device. For example, an active display device is often triggered using a thin film transistor (TFT). In general, thin film transistors can be further subdivided according to the channel material into amorphous silicon (a-Si) thin film transistor and polysilicon thin film transistor. Since the polysilicon thin film transistors have a lower power consumption rate and a larger electron migration rate than the amorphous silicon thin film transistors, polysilicon thin film transistors are more popular.

In the early days, the polysilicon thin film transistors are fabricated at a temperature up to 1000°C so that possible choice of material for forming the substrate is severely limited. With the advent of laser techniques, the processing temperature has dropped to about 600°C or lower. The polysilicon thin film transistors formed at a low temperature is now referred to as a low temperature polysilicon thin film transistor (LTPS-TFT).

To form an LTPS-TFT, an amorphous silicon film is formed over a substrate and then the amorphous silicon is melted and then re-crystallized into a polysilicon film. Figs. 1A and 1B are schematic cross-sectional views showing the steps for fabricating a conventional LTPS-TFT. The most common laser annealing process

is the so-called excimer laser annealing (ELA) process. After forming an amorphous silicon film 102 over the substrate 100, an excimer laser beam 106 is applied to melt the amorphous silicon film 102 in a laser annealing process as shown in Fig. 1A. Thereafter, the melt silicon film 102 is allowed to cool and recrystallize into a polysilicon film 102a as shown in Fig. 1B.

However, the average grain size of the polysilicon film 102a is usually small and significant grain size variation is obtained after an ELA process. Therefore, the polysilicon film 102a has lots of grain boundaries so that the migration rate of electrons within the polysilicon channel is at most between 100 to 200 $\text{cm}^2/\text{V}\cdot\text{sec}$. With such a low electron migration rate, electrical performance of the thin film transistor will be significantly affected.

To improve the performance of an LTPS-TFT, another type of laser annealing process called the sequential lateral solidification (SLS) process has been developed. Figs. 2A and 2B are schematic cross-sectional views showing the steps for fabricating another conventional LTPS-TFT. A photomask 104 is used to limit the extent of exposure by a laser beam 106 on the amorphous silicon film 102 as shown in Fig. 2A. After a period of time, the melted amorphous silicon film 102 (the amorphous film 102 within the area 110) utilizes the un-melt amorphous silicon film 102 in adjacent region as a nucleus for lateral crystal growth as shown in Fig. 2B. Therefore, a polysilicon film 202a is formed within the area 110.

As shown in Fig. 2B, the SLS process is capable of forming a polysilicon film 202a having a larger average grain size. In other words, the polysilicon film 202a formed by the SLS annealing process has fewer grain boundaries and hence a higher electron migration rate compared with one formed by the conventional ELA annealing process. Aside from providing the thin film transistor with a higher electrical performance, the SLS process also produces a polysilicon film having more uniform grain orientation.

However, more expensive equipment and an additional photomask compared with an ELA annealing process is required to perform the SLS annealing operation. Hence, the cost of producing the transistor is higher. In addition, the SLS process demands a longer time to complete the fabrication of the polysilicon film.

SUMMARY OF INVENTION

Accordingly, at least one objective of the present invention is to provide a low temperature polysilicon thin film transistor (LTPS-TFT) structure having a channel having uniform grain size and fewer grain boundaries so that the transistor can have better electrical performance.

At least a second objective of the present invention is to provide a method of fabricating the channel layer of a LTPS-TFT such that the grain size and grain orientation of the channel layer can be adjusted to increase the migration rate of electrons through the channel layer. In addition, the LTPS-TFT can be fabricated using conventional production equipment to reduce overall production cost.

To achieve these and other advantages and in accordance with the purpose of the invention, as embodied and broadly described herein, the invention provides a low temperature polysilicon thin film transistor (LTPS-TFT) on a substrate. The LTPS-TFT mainly comprises a cap layer, a polysilicon film and a gate. The cap layer is disposed over the substrate with a gap between the cap layer and the substrate. The polysilicon film is disposed over the cap layer. The polysilicon film can be divided into a channel region and a source/drain region on each side of the channel region. The channel region is above the gap and the channel region of the polysilicon film is the channel layer of the transistor. The gate is disposed over the channel region.

According to one embodiment of the present invention, the LTPS-TST structure further comprises a buffer layer over the substrate. The buffer layer is disposed between the cap layer and the substrate for preventing unexpected dopant diffusion from the substrate to affect device performance. In the present embodiment, the gap is located between the cap layer and the buffer layer, for example. Furthermore, the gap has a coefficient of thermal conductivity lower than the buffer layer and the substrate.

According to one embodiment of the present invention, the LTPS-TFT structure further includes a gate dielectric layer disposed over the polysilicon film.

According to one embodiment of the present invention, the channel region of the polysilicon film has an average grain size larger than the source/drain region of the polysilicon film. Hence, the transistor has a higher driving current and a

lower leakage current. Furthermore, because the grain size on average of the channel region of the polysilicon film is larger, the total quantity of grain boundary within the channel region is less than that within the source/drain region. Since electrons moving inside the channel region when driven by an electric field will be less readily dispersed by grain boundaries, the migration rate of electrons inside the channel region is increased. In addition, the gate has a width preferably smaller than the grain size of the channel region. In another embodiment, the gate can have a dual gate structure, for example. With a dual gate structure, the electrons are less affected by the grain boundary in the middle of the channel. Ultimately, the electrical performance of the transistor is improved substantially.

According to one embodiment of the present invention, the low temperature polysilicon transistor structure further comprises a dielectric layer and a source/drain conductive layer. The dielectric layer is disposed over the polysilicon film to cover the gate. A source/drain contact window is formed in the dielectric layer and the gate dielectric layer and exposes the source/drain region. The source/drain conductive layer is disposed over the dielectric layer and is electrically connected to the source/drain region through the source/drain contact window.

The present invention also provides a method of fabricating the channel layer of a low temperature polysilicon transistor structure. First, a sacrificial layer is formed over the substrate. Next, a cap layer and an amorphous silicon film are sequentially formed over the sacrificial layer. Thereafter, the sacrificial layer is removed to form a gap between the substrate and the cap layer. The amorphous silicon film is melted and then re-crystallized to form a polysilicon channel on the cap layer above the gap.

According to one embodiment of the present invention, the method further comprises forming a buffer layer over the substrate before forming the sacrificial layer such that the buffer layer can serve as a barrier to an unexpected diffusion of dopants from the substrate. This is followed by the formation of a sacrificial layer over the buffer layer.

According to one embodiment of the present invention, the method of removing the sacrificial layer includes performing a wet etching operation. For example, the substrate with the structure thereon is immersed in an etching

solution. In this step, the etching solution has a much higher etching rate for the sacrificial layer than the other film layers on the substrate.

According to the embodiment of the present invention, the method of melting the amorphous silicon film and then allowing melt silicon to re-crystallize includes aiming an excimer laser beam at the amorphous silicon film to change the amorphous silicon into a liquid state. Thereafter, an annealing process is carried out so that grains within the silicon material are re-crystallized to form a polysilicon film. The polysilicon film above the gap is the polysilicon channel layer of the transistor. Moreover, the grain size of the polysilicon channel is on average larger than the grain size of the polysilicon channel in other areas.

The grain orientation of the polysilicon film formed according to the present invention is parallel to the direction of transmission of the electrons within the transistor during operation. Hence, the electron migration rate within the channel region is increased and the electrical performance of the transistor is improved.

It is to be understood that both the foregoing general description and the following detailed description are exemplary, and are intended to provide further explanation of the invention as claimed.

The accompanying drawings are included to provide a further understanding of the invention, and are incorporated in and constitute a part of this specification. The drawings illustrate embodiments of the invention and, together with the description, serve to explain the principles of the invention.

DETAILED DESCRIPTION

Reference will now be made in detail to the present preferred embodiments of the invention, examples of which are illustrated in the accompanying drawings. Wherever possible, the same reference numbers are used in the drawings and the description to refer to the same or like parts.

Before carrying out the operation of converting the amorphous silicon into a polysilicon film, the sacrificial layer underneath the polysilicon channel is removed to form a gap having a thermal conductivity lower than each end of the gap. In this way, the re-crystallization rate of silicon above the gap is slower than the side

regions so that the grain will grow from each side towards the center. In other words, the grains near the mid-section of the channel region will be larger. In the following, the principle ideas behind the present invention are described. However, it should by no means limit the scope of the present invention.

Fig. 3 is a schematic cross-sectional view of an LTPS-TFT according to one preferred embodiment of the present invention. As shown in Fig. 3, the low temperature polysilicon thin film transistor 330 (LTPS-TFT) mainly comprises a substrate 300, a cap layer 306, a polysilicon film 308a, a gate 316 and a source/drain conductive layer 336. The cap layer 306 is disposed above the substrate 300. In the present embodiment, a buffer layer 302 is sandwiched between the cap layer 306 and the substrate 300 to prevent an unexpected diffusion of the dopants within the substrate 300 into other areas and affect the performance of the device.

Furthermore, a gap 310 is formed between the cap layer 306 and the buffer layer 302, for example. The gap 310 contains a material having a low coefficient of thermal conductivity such as air or other types of gases, for example.

The polysilicon film 308a is disposed on the cap layer 306. The polysilicon film 308a can be divided into a channel region 322 and a doped source/drain region 318. The channel region 322 is located above the gap 310 and the channel region 322 of the polysilicon film 308a is the polysilicon channel layer of the LTPS-TFT 330. The gate 316 is disposed above the channel region 322 of the polysilicon film 308a. In addition, a gate dielectric layer 314 is disposed on the polysilicon film 308a too.

A dielectric layer 324 is disposed on the gate dielectric layer 314 to cover the gate 316. The source/drain conductive layer 336 is disposed on the dielectric layer 324. The source/drain conductive layer 336 is electrically connected to the source/drain region 318 through a source/drain contact window 332 formed in the dielectric layer 324 and the gate dielectric layer 314.

It should be note that the grains 340 within the channel region 322 of the polysilicon film 308a have an average grain size greater than the grains 350 within the source/drain region 318 of the polysilicon film 308a. Preferably, the grains 340 may have a grain size slightly greater than half the length L of the channel region 322. Hence, the LTPS-TFT 330 can have a higher driving current. Furthermore, because the grain size of grains 340 within the channel region 322 is larger, total

grain boundary 360 inside the channel region 322 is less than the total grain boundary 360 inside the source/drain region 318. In addition, the grain orientation is parallel to the transmission direction of electrons inside the LTPS-TFT 330. Therefore, when the LTPS-TFT 330 is in an operating mode, electron (carriers) can easily pass through the channel region 322 with very little dispersion by grain boundary 360 inside the channel region 322. In other words, the electron migration rate is increased.

The present invention also permits a reduction of the width of the gate 316 within the LTPS-TFT 330 so that the width is smaller than the grain size of grains 340 (as shown in Fig. 4A). In this way, the channel region of the thin film transistor is prevented from crossing the grain boundary so that the thin film transistor can have a better performance. One skill artisan may notice that the so-called grain size refers to the length of grain in a direction parallel to the gate width.

Aside from reducing the width of the gate, a dual gate structure 416 may form on the LTPS-TFT as shown in Fig. 4B. Fig. 4B is a top view of the LTPS-TFT according to another embodiment of the present invention. With a dual gate structure 416, the effect of the grain boundary in the middle of the channel on the electrons is substantially reduced so that the transistor can have a much better performance.

Figs. 5A through 5E are schematic cross-sectional views showing the steps for fabricating the channel of a LTPS-TFT according to one preferred embodiment of the present invention. Figs. 6A through 6D are the top views of Figs. 5A, 5B, 5C and 5E respectively. First, as shown in Fig. 5A, a buffer layer 302 and a sacrificial layer 304 are sequentially formed over a substrate 300 by performing a chemical vapor deposition process or a sputtering process, for example. The sacrificial layer 304 is fabricated using a metallic material, for example. It should be noted that the buffer layer 302 is an optional layer mainly serving as a barrier to unexpected dopant diffusion. The presence or absence of the buffer 302 can be determined according to the actual need. In general, there is no particular limitation in this area. The sacrificial layer 304 is, for example, a rectangular film pattern disposed on the buffer layer 302 as shown in Fig. 6A.

The channel region having better electric characteristics of the LTPS-TFT according to the present invention may be manufactured by a process. Detail descriptions of the manufacturing process are described below.

As shown in Figs. 5B and 6B, a cap layer 306 and an amorphous silicon film 308 are sequentially formed over the buffer layer 302 to cover the sacrificial layer 304. In a subsequent process, the channel layer of the LTPS-TFT is formed within the area 312 above the sacrificial layer 304 and the source/drain region is formed on each side of the area 312. Thus, the width of the sacrificial layer 304 determines the length of the channel layer inside the LTPS-TFT. In other words, length of the channel region within the LTPS-TFT is effectively controlled through the width of the sacrificial layer 304.

As shown in Fig. 5C and 6C, the sacrificial layer 304 is removed to form a gap 310 between the cap layer 306 and the buffer layer 302. The gap 310 encloses some air, for example. The sacrificial layer 304 can be removed by performing a wet etching operation, for example. In other words, the structure as shown in Fig. 5B is immersed in an etching solution (not shown). Since the etching solution has a higher rate for the sacrificial layer 304 relative to other film layers, only the sacrificial layer 304 is removed after the etching operation.

As shown in Figs. 5D and 5E, a laser annealing process is carried out to melt the amorphous silicon film 308 and permit the melt silicon to re-crystallize into a polysilicon film 308a. Hence, a polysilicon channel layer 522 (the polysilicon film 308a within the area 312) is formed on the cap layer 306 above the gap 310. In the present embodiment, an excimer laser annealing process is used as shown in Fig. 5D. In the annealing process, an excimer laser beam 326 irradiates the amorphous silicon film 308 to convert the silicon material into a liquid state (not shown). After a short period, the liquid state silicon cools down slowly and re-crystallizes into a polysilicon film. Since the area 312 is located above the gap 310 and the gap is filled with air having a coefficient of thermal conductivity of about $0.025\text{W/cm}^2\text{K}$ (much smaller than the coefficient of thermal conductivity of the cap layer 306 and the buffer layer 302), the re-crystallization rate of the liquid silicon within the area 312 is slower than the recrystallization rate at each end of the area 312. In other words, grains grow from each side laterally towards the mid-section

of the area 312 to form the polysilicon film 308a during the solidification process. The polysilicon film 308a within the area 312 serves the polysilicon channel 522 of the transistor as shown in Figs. 5E and 6D.

Since the grains within the area 312 has a slower growth rate, the grain size of grains within the area 312 is on average larger than the grains on each side of the area 312. Therefore, the grains within the polysilicon channel layer 522 have a larger grain size, for example, slightly larger than half the length L of the polysilicon channel layer 522.

In addition, because the total quantity of grain boundary within the polysilicon channel layer 522 is less than the total grain boundary within the area on each side of the channel layer 522, electrons have a higher electron migration rate inside the polysilicon channel layer 522 than elsewhere. Ultimately, the transistor can have a higher electrical performance.

In summary, major advantages of the LTPS-TFT of the present invention includes:

1. Since the grains within the channel region of the transistor has a larger average grain size and a greater uniformity, the transistor of the present invention can have a higher driving current and a higher electron migration rate.

2. The polysilicon film fabricated according to the present invention has a grain orientation parallel to the electron flow direction inside the transistor. Therefore, the electron migration rate within the channel region is increased and electrical performance of the transistor is improved.

3. The width as well as the length of the channel region in the transistor is directly related to the width and length of the sacrificial layer. Hence, the width-to-length ratio of the channel region can be adjusted by controlling the grain size of the sacrificial layer. In other words, the processing window for the LTPS-TFT is increased.

4. The processing equipment for forming the LTPS-TFT according to the present invention is identical to the one used for forming other conventional devices. For example, the conventional equipment for carrying out an excimer laser annealing process can be used to form a polysilicon film with sequential lateral solidification (SLS) quality. That means, aside from improving the final quality of

the products, the present invention is able to reduce equipment cost as well.

It will be apparent to those skilled in the art that various modifications and variations can be made to the structure of the present invention without departing from the scope or spirit of the invention. In view of the foregoing, it is intended that the present invention cover modifications and variations of this invention provided they fall within the scope of the following claims and their equivalents.

3. Brief Description of Drawings

Figs. 1A and 1B are schematic cross-sectional views showing the steps for fabricating a conventional LTPS-TFT.

Figs. 2A and 2B are schematic cross-sectional views showing the steps for fabricating another conventional LTPS-TFT.

Fig. 3 is a schematic cross-sectional view of an LTPS-TFT according to one preferred embodiment of the present invention.

Fig. 4A is a top view of the LTPS-TFT according to the embodiment of the present invention.

Fig. 4B is a top view of the LTPS-TFT according to another embodiment of the present invention.

Figs. 5A through 5E are schematic cross-sectional views showing the steps for fabricating the channel of a LTPS-TFT according to one preferred embodiment of the present invention.

Figs. 6A, 6B, 6C and 6D are the top views of Figs. 5A, 5B, 5C and 5E respectively.

1. A low temperature polysilicon thin film transistor (LTPS-TFT) structure disposed on a substrate, comprising:
a cap layer disposed over the substrate, wherein there is a gap between the cap layer and the substrate;
a polysilicon film disposed over the cap layer, wherein the polysilicon film comprises a channel region and a source/drain region on each side of the channel region, and the channel region is directly above the gap; and a gate disposed above the channel region of the polysilicon film.
2. The LTPS-TFT structure of claim 1, wherein the structure further comprises a buffer layer sandwiched between the substrate and the cap layer so that the gap is disposed between the cap layer and the buffer layer.
3. The LTPS-TFT structure of claim 2, wherein the gap has a coefficient of thermal conductivity smaller than the coefficient of thermal conductivity of the buffer layer.
4. The LTPS-TFT structure of claim 1, wherein the gap has a coefficient of thermal conductivity smaller than the coefficient of thermal conductivity of the substrate layer.
5. The LTPS-TFT structure of claim 1, wherein the structure further comprises a gate dielectric layer disposed over the polysilicon film.
6. The LTPS-TFT structure of claim 1, wherein the grain size of the channel region of the polysilicon film is on average greater than the grain size of the source/drain region of the polysilicon film.
7. The LTPS-TFT structure of claim 1, wherein the width of the gate is smaller than the average grain size of the channel region.

8. The LTPS-TFT structure of claim 1, wherein the gate comprises a dual gate structure.
9. The LTPS-TFT structure of claim 1, wherein the structure further comprises:
a dielectric layer disposed on the polysilicon film and the gate, wherein the dielectric layer has a plurality of contact windows that exposes the source/drain region of the polysilicon film; and
a source/drain conductive layer disposed on the dielectric layer, wherein the source/drain conductive layer is electrically connected to the polysilicon film in the source/drain region through the contact window.
10. A method of fabricating the channel layer of a low temperature polysilicon thin film transistor (LTPS-TFT), comprising the steps of:
providing a substrate;
forming a sacrificial layer over the substrate;
forming a cap layer over the substrate to cover the sacrificial layer;
forming an amorphous silicon film over the cap layer;
removing the sacrificial layer to form a gap between the substrate and the cap layer; and
melting the amorphous silicon film and the re-crystallizing the melt silicon to form a polysilicon channel layer over the cap layer above the gap.
11. The method of claim 10, wherein before the step of forming the sacrificial layer over the substrate, further comprises forming a buffer layer over the substrate.
12. The method of claim 10, wherein the step of removing the sacrificial layer further comprises performing a wet etching operation with an etching solution having a higher etching rate on the sacrificial layer relative to the cap layer.
13. The method of claim 10, wherein the step of melting the amorphous silicon film further comprises performing an excimer laser annealing process.

1. Abstract

A LTPS-TFT structure comprising a cap layer, a polysilicon film and a gate is provided. The cap layer is disposed over the substrate with a gap between the two. The polysilicon film is disposed over the cap layer and is divided into a channel region and a source/drain region on each side of the channel region. The channel region is located above the gap. The gate is disposed above the channel region. Because the gap lies underneath the channel region, the thermal conductivity in the channel region is lower during the laser annealing process. Therefore, the silicon atoms can have a longer recrystallization time so that larger grains are formed within the channel region and grain boundary therein is reduced. Furthermore, the grain orientation of the polysilicon film is mostly parallel to the transmission direction of electron within the transistor so that the operation efficiency of the transistor is improved.

2. Representative Drawing

Figure 3

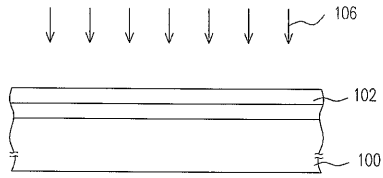


FIG. 1A (PRIOR ART)

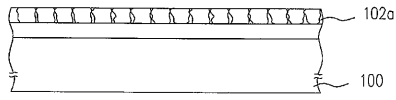


FIG. 1B (PRIOR ART)

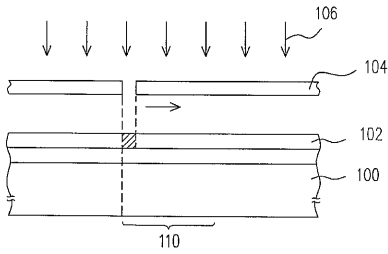


FIG. 2A (PRIOR ART)

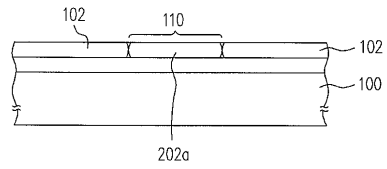


FIG. 2B (PRIOR ART)

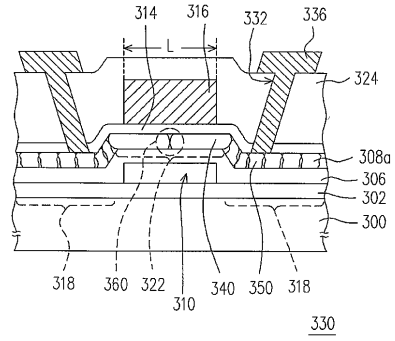


FIG. 3

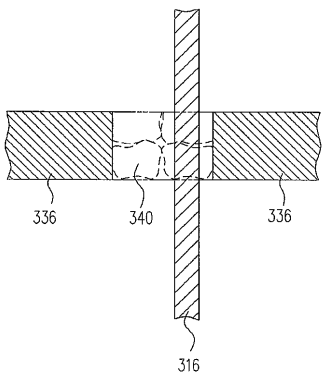


FIG. 4A

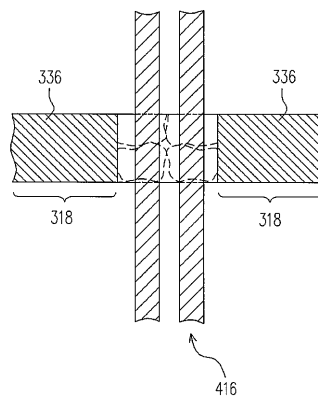


FIG. 4B

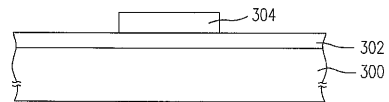


FIG. 5A

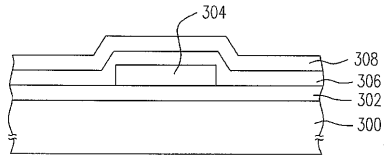


FIG. 5B

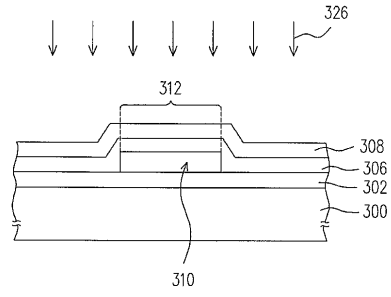


FIG. 5D

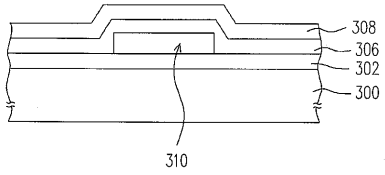


FIG. 5C

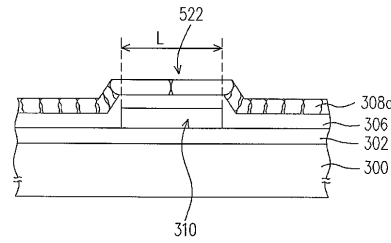


FIG. 5E

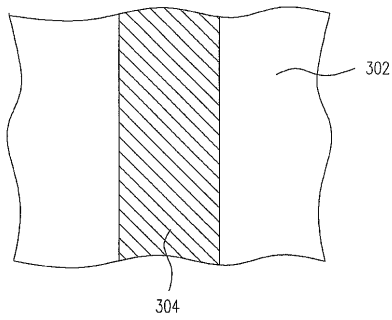


FIG. 6A

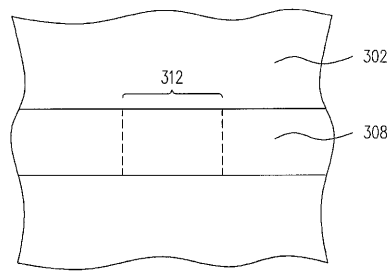


FIG. 6C

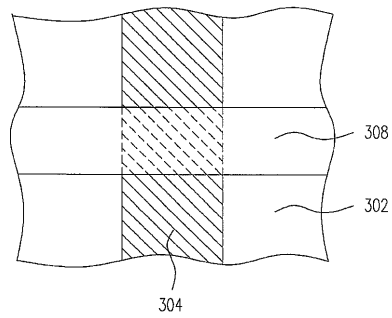


FIG. 6B

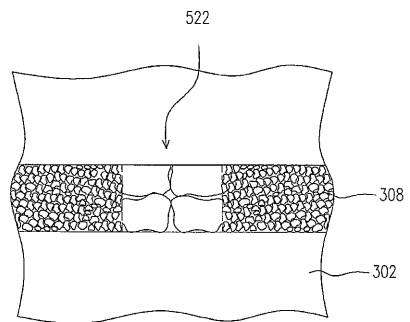


FIG. 6D