



(57)要約

本発明は、外部負荷をも考慮して位相調整が行われるディレー・ロックド・ループ(DLL)回路を提供する。

具体的には、基準クロックを遅延させて所定の位相関係を有する制御クロックを生成するDDL回路において、外部負荷によって変動する出力バッファの動作遅延時間を測定し、その動作遅延時間に応じてフィードバックループ内の第2の可変遅延回路の遅延量を調整する。その結果、位相比較回路および遅延制御回路によって遅延量が制御される第1の可変遅延回路の出力クロックのタイミングが、外部負荷の大きさに応じて調整される。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE	アラブ首長国連邦	DM	ドミニカ	KZ	カザフスタン	RU	ロシア
AL	アルバニア	EE	エストニア	LC	セントルシア	SD	スーダン
AM	アルメニア	ES	スペイン	LI	リヒテンシュタイン	SE	スウェーデン
AT	オーストリア	FI	フィンランド	LK	スリ・ランカ	SG	シンガポール
AU	オーストラリア	FR	フランス	LR	リベリア	SI	スロヴェニア
AZ	アゼルバイジャン	GA	ガボン	LS	レソト	SK	スロヴァキア
BA	ボスニア・ヘルツェゴビナ	GB	英国	LT	リトアニア	SL	シエラ・レオネ
BB	バルバドス	GD	グレナダ	LU	ルクセンブルグ	SN	セネガル
BE	ベルギー	GE	グルジア	LV	ラトヴィア	SZ	スワジランド
BF	ブルキナ・ファソ	GH	ガーナ	MA	モロッコ	TD	チャード
BG	ブルガリア	GM	ガンビア	MC	モナコ	TG	トーゴ
BJ	ベナン	GN	ギニア	MD	モルドヴァ	TJ	タジキスタン
BR	ブラジル	GW	ギニア・ビサウ	MG	マダガスカル	TZ	タンザニア
BY	ベラルーシ	GR	ギリシャ	MK	マケドニア旧ユーゴスラヴィア	TM	トルクメニスタン
CA	カナダ	HR	クロアチア		共和国	TR	トルコ
CF	中央アフリカ	HU	ハンガリー	ML	マリ	TT	トリニダード・トバゴ
CG	コンゴ	ID	インドネシア	MN	モンゴル	UA	ウクライナ
CH	スイス	IE	アイルランド	MR	モーリタニア	UG	ウガンダ
CI	コートジボアール	IL	イスラエル	MW	マラウイ	US	米国
CM	カメルーン	IN	インド	MX	メキシコ	UZ	ウズベキスタン
CN	中国	IS	アイスランド	NE	ニジェール	VN	ヴェトナム
CR	コスタ・リカ	IT	イタリア	NL	オランダ	YU	ユーゴスラビア
CU	キューバ	JP	日本	NO	ノールウェー	ZA	南アフリカ共和国
CY	キプロス	KE	ケニア	NZ	ニュージーランド	ZW	ジンバブエ
CZ	チェッコ	KG	キルギスタン	PL	ポーランド		
DE	ドイツ	KP	北朝鮮	PT	ポルトガル		
DK	デンマーク	KR	韓国	RO	ルーマニア		

## 明 細 書

## 外部負荷を考慮したD L L回路

## 5 技術分野

本発明は、クロックのタイミングを安定化する回路であるディレー・ロックド・ループ (Delay Locked Loop: D L L) に関し、特に、短時間で、出力端子に接続される外部負荷に応じて制御クロックのタイミングを調整することができるD L L回路に関する。

10

## 背景技術

高速のメモリデバイスとして、外部クロックに同期して動作するS D R A Mが広く普及している。この様なクロック同期型のメモリデバイスは、外部クロックに同期してデータの入力や出力を行う為に、内部にタイミング制御回路としてデレー・ロックド・ループ (D L L) 回路を内蔵する。かかるD L L回路は、例えば、本出願人が出願した特開平 10-112182 号に記載されている。

上記のD L L回路は、供給されるクロックと位相が一致或いは所定の位相関係にある制御クロックを生成し、その制御クロックが入力バッファや出力バッファの動作タイミングを制御する。D L L回路の概略的な構成は、基準クロックを遅延させる可変遅延回路と、その可変遅延回路の出力のクロックを入力バッファや出力バッファの遅延時間分だけ更に遅延させるダミー遅延回路と、基準クロックとダミー遅延回路の出力の遅延クロックとの位相を比較し、両クロックの位相が一致するように可変遅延回路の遅延量を制御する位相比較器及び遅延制御回路とを有する。基準クロックと遅延クロックの位相が一致するロック状態では、可変遅延回路の出力の制御クロックに応答してデータ出力バッファから出力されるデータ出力が外部クロックの位相と一

致することになる。

上記のDLL回路を内蔵するメモリデバイス或いはそれ以外のデバイスは、通常、プリント回路基板やモジュール基板上に搭載される。そして、DLL回路により生成された制御クロックにより動作タイミングが制御されるデータ出力バッファの出力端子は、搭載されるプリント回路基板等の配線に接続される。したがって、データ出力バッファの動作に要する時間は、この外部負荷の大きさに依存して異なる。

ところが、かかるデータ出力バッファの出力端子に接続される外部負荷は、搭載されるプリント回路基板やモジュール基板の配線の構造により異なり、デバイス単体で設計する段階では予測不可能である。そのため、DLL回路内のフィードバックループ内に設けられるダミー出力バッファの遅延時間を固定的にすると、デバイスがシステム内に搭載された状態でのデータ出力バッファの動作に要する遅延時間が、固定的に設定されたダミー出力バッファの動作時間と整合しなくなることが予想される。その結果、DLL回路による制御クロックのタイミングが最適でなくなる。

したがって、デバイスがシステム内に搭載された状態で、例えば電源起動後の初期化状態において、外部負荷も考慮してフィードバックループ内の遅延回路の遅延量を設定することが望まれる。

一方、デバイスからの出力は、複数のデバイスに共通のバスに接続されるので、初期化状態における各デバイスの調整は、複数のデバイスに対して同時に行うことができず、1つ1つのデバイス毎に調整を行う必要がある。その場合、デバイス1つ1つに対してフィードバックループ内の遅延量を調整することが要求される。しかしながら、上記の特開平 10-112182 号で提案したDLL回路では、タイミング調整を行う為に、複数回の基準クロックと遅延クロックとの位相比較動作と遅延量の調整を行う必要があり、もしデバイス毎に外部負荷に応じた調整を行うと、システム全体のタイミング調整に長時間を要することになる。

そこで、本発明の目的は、基準クロックに同期する制御クロックであって、デバイスの出力端子に接続される外部負荷に対応して最適のタイミングを有する制御クロックを生成することができるDLL回路を提供することにある。

- 更に、本発明の目的は、基準クロックに同期する制御クロックであって、
- 5 デバイスの出力端子に接続される外部負荷に対応して最適のタイミングを有する制御クロックを生成することができるDLL回路において、短時間で最適のタイミングに調整することができるDLL回路を提供することにある。

#### 発明の開示

- 10 上記の目的を達成する為に、本発明の第1の側面は、基準クロックを遅延させて所定の位相関係を有する制御クロックを生成するディレー・ロックド・ループ(DLL)回路において、出力バッファの動作遅延時間を測定し、その動作遅延時間に応じて制御クロックのタイミングを調整する。DLL回路は、基準クロックが入力され、制御された遅延時間だけ遅延したクロック
- 15 を出力する第1の可変遅延回路と、第1の可変遅延回路の出力クロックを入力され、所定の遅延時間遅延した遅延クロックを出力する第2の可変遅延回路と、基準クロックと遅延クロックとの位相を比較し、基準クロックと遅延クロックとの位相が一致する様に、第1の可変遅延回路の遅延量を制御する位相比較・遅延制御回路とを有する。そして、外部負荷に応じて異なる出力
- 20 バッファの動作遅延時間を測定し、その測定した出力バッファの動作遅延時間に応じて、DLL回路のフィードバックループ内の第2の可変遅延回路の遅延量を調整する。その結果、第1の可変遅延回路遅延回路の出力クロックのタイミングが、外部負荷の大きさに応じて調整される。そして、この出力クロック或いは同等の遅延制御を受ける別の可変遅延回路の出力クロックを
- 25 制御クロックとして利用する。

上記の目的を達成する為に、本発明の別の側面は、基準クロックを遅延させて所定の位相関係を有する制御クロックを生成するディレー・ロックド・

ループ（D L L）回路において、

出力端子に出力信号を供給する出力バッファが該制御クロックに応答して動作し、

前記D L L回路は、

- 5 前記基準クロックが入力され、制御された遅延時間だけ遅延したクロックを出力する第1の可変遅延回路と、

前記第1の可変遅延回路の出力クロックを入力され、所定の遅延時間遅延した遅延クロックを出力する第2の可変遅延回路と、

- 10 前記基準クロックと前記遅延クロックとの位相を比較し、前記基準クロックと遅延クロックとの位相が所定の関係になる様に、前記第1の可変遅延回路の遅延量を制御する位相比較・遅延制御回路と、

前記出力バッファの動作遅延時間を測定し、当該測定した動作遅延時間に応じて前記第2の可変遅延回路の遅延量を設定する遅延測定回路とを有することを特徴とする。

- 15 上記の構成によれば、出力端子の出力容量に応じて制御クロックのタイミングを微調整することができ、最適のタイミングの制御クロックを生成することができる。

- 更に、本発明の好ましい実施例は、上記の発明において、前記遅延測定回路は、前記制御クロックのタイミングから前記出力バッファの出力信号のタイミングまでの時間を測定することを特徴とする。出力バッファの動作遅延時間を測定して、それに応じて前記第2の可変遅延回路の遅延量を設定しているため、D L L回路のフィードバックループを利用した遅延量の設定に比較して、短時間での設定が可能になる。

- 25 図面の簡単な説明

第1図は、第1の実施の形態例のD L L回路の構成図である。

第2図は、D L L回路の動作タイミングチャート図である。

- 第3図は、第2の実施の形態例のDLL回路の構成図である。
- 第4図は、第1の実施の形態例の変形例のDLL回路の構成図である。
- 第5図は、遅延測定回路19と可変遅延回路20の構成を示す図である。
- 第6図は、遅延測定回路の動作タイミングチャート図である。
- 5 第7図は、遅延測定回路の制御部の回路図である。
- 第8図は、初期化状態での遅延測定回路の制御部の動作タイミングチャート図である。
- 第9図は、通常動作状態での遅延測定回路の制御部の動作タイミングチャート図である。
- 10 第10図は、ダミーデータ発生器の回路図である。
- 第11図は、ダミーデータ発生器の動作タイミングチャート図である。
- 第12図は、データ出力バッファの回路図である。
- 第13図は、可変遅延回路13、14の例を示す図である。
- 第14図は、位相比較回路16内の位相比較部の回路図である。
- 15 第15図は、位相比較部の動作を示す波形図である。
- 第16図は、位相比較回路16の位相比較出力部の回路図である。
- 第17図は、位相比較出力部の動作を示す波形図である。
- 第18図は、遅延制御回路の回路図である。

## 20 発明を実施するための最良の形態

以下、本発明の実施の形態について図面に従って説明する。しかしながら、本発明の技術的範囲がその実施の形態に限定されるものではない。

### [DLL回路]

- 第1図は、第1の実施の形態例のDLL回路の構成図である。また、第2
- 25 図は、その動作タイミングチャート図である。外部から供給される外部クロックCLKが、入力バッファ11に供給され、基準クロックCLK1が生成される。第2図には、入力バッファ11の遅延時間 $\Delta t_{11}$ が示され、基準ク

ロック CLK 1 が外部クロック CLK より遅延時間  $\Delta t_{11}$  だけ位相がずれていることが示される。

基準クロック CLK 1 は、可変遅延回路 13 で制御された遅延時間  $\Delta t_{13}$  だけ遅延され、制御クロック CLK 2 となる。制御クロック CLK 2 は、データ出力バッファ 17 に供給される。データ出力バッファ 17 は、制御クロック CLK 2 に応答してデータ DA を取り込み出力 D1 を出力端子 Dout に供給する。出力端子 Dout には、デバイスが搭載されるプリント回路基板などの外部負荷  $C_L$  が接続される。したがって、データ出力バッファ 17 は、出力端子  $D_{out}$  と外部負荷  $C_L$  とを駆動する必要がある。つまり、外部負荷  $C_L$  の大きさに依存して、データ出力バッファ 17 の動作時間  $\Delta t_{17}$  が異なることになる。

基準クロック CLK 1 は、分周器 12 を介して、例えば 2 分の 1 の周波数に分周される。分周された基準クロック CLK 11 は、別の可変遅延回路 14 で制御された遅延時間  $\Delta t_{14}$  だけ遅延され、クロック CLK 12 となる。この可変遅延回路 14 は、可変遅延回路 13 と同等の遅延回路であり、同じ遅延制御信号  $\phi_E$  により同等の遅延時間を有するように制御される。クロック CLK 12 は、更にフィードバックループ内に設けた可変遅延回路 20 に供給され、入力バッファ 11 と出力バッファ 17 の動作遅延時間 ( $\Delta t_{20} = \Delta t_{11} + \Delta t_{17}$ ) に相当する時間だけ遅延された遅延クロック  $d-i-clk$  が出力される。

位相比較回路 16 は、基準クロック CLK 11 と遅延された遅延クロック  $d-i-clk$  との位相を比較し、位相比較結果信号  $\phi_S$ 、 $\phi_R$  とを生成し、遅延制御回路 15 に供給する。遅延制御回路 15 は、位相比較結果信号  $\phi_S$ 、 $\phi_R$ 、にしたがって、両クロック CLK 11、 $c-i-clk$  の位相差がなくなる様に、可変遅延回路 14、13 の遅延量を制御する遅延制御信号  $\phi_E$  を生成する。その結果、可変遅延回路 14 と可変遅延回路 20 の遅延量の合計 ( $\Delta t_{14} + \Delta t_{20}$ ) は、基準クロック CLK 11 の周期 (またはクロック CL

Kの整数倍) になるように、制御される。その結果、基準クロック CLK 1 と遅延された遅延クロック c - i - c l k の位相が一致する。

第1図の実施の形態例では、DLL回路内のフィードバックループ内の可変遅延回路20の遅延量 $\Delta t_{20}$ が、出力負荷 $C_L$ に応じて異なるデータ出力バッファ17の動作遅延時間 $\Delta t_{17}$ に応じて設定される。即ち、遅延測定回路19は、データ出力バッファ17の動作開始を制御する制御クロック CLK 2の立ち上がりエッジから、その制御クロック CLK 2に応答して出力信号D1が変化するまでのタイミングまでの時間 $\Delta t_{17}$ と、その出力信号D1がダミー入力バッファ18を通過する時間 $\Delta t_{11}$ の合計を測定する。そして、その測定時間 ( $\Delta t_{17} + \Delta t_{11}$ ) に応じて、可変遅延回路20の遅延量を遅延設定信号 $\phi_d$ により設定する。したがって、可変遅延回路20は、データ出力バッファ17の動作遅延時間 $\Delta t_{17}$ と、ダミー入力バッファ18の遅延時間 $\Delta t_{11}$ の合計時間に設定される。入力バッファ11の遅延時間 $\Delta t_{11}$ は、出力端子D<sub>out</sub>の外部負荷 $C_L$ に依存しないので、それと同等の遅延時間を有するダミー入力バッファ18が利用される。

遅延測定回路19は、後述するとおり、1回のデータ出力動作でデータ出力バッファ17の動作遅延時間 $\Delta t_{17}$ を測定することができる。尚、分周器12は、必須ではないが、高周波のクロック CLK に対して、DLL回路の位相比較動作と遅延制御動作の頻度を下げる為に設けられる。動作頻度を下げる必要がない場合は、後述する例にある通り、この分周器12は必要ない。その場合は、可変遅延回路13, 14が1つの可変遅延回路で構成可能である。

上記の構成によれば、外部負荷 $C_L$ に依存して変化するデータ出力バッファ17の動作遅延時間に応じて、DLL回路のフィードバックループ内の可変遅延回路20の遅延時間が設定される。従って、基準クロック CLK 1 と遅延された遅延クロック c - i - c l k の位相が一致するので、制御クロック CLK 2の立ち上がりエッジのタイミングは、外部クロック CLK の立

ち上がりエッジ（位相0度）からデータ出力バッファ17の動作遅延時間 $\Delta t_{17}$ だけ早いので、出力される出力信号D1は、外部クロックCLKの立ち上がりエッジの位相に一致して出力される。

第3図は、第2の実施の形態例のDLL回路の構成図である。その動作タイミ  
5 イミングチャート図は、第2図に示される。第3図のDLL回路は、第1図と同じ部分には同じ引用番号を有する。第2の実施の形態例は、第1の実施の形態例と異なり、DLL回路のフィードバックループ内には、可変遅延回路で構成されるダミー出力バッファ21と遅延量が固定のダミー入力バッファ18が設けられる。そして、遅延測定回路19は、制御クロックCLK2  
10 の立ち上がりエッジからデータ出力バッファ17が出力信号D1を出力するまでの時間 $\Delta t_{17}$ を測定し、その遅延時間 $\Delta t_{17}$ に応じてダミー出力バッファ21の遅延時間を遅延量設定信号 $\phi_d$ により設定する。従って、遅延されたクロックCLK13は、クロックCLK12から測定された時間 $\Delta t_{17}$ 分だけ遅延する。そして、クロックCLK13は、更にダミー入力バッファ1  
15 8により入力バッファ11と同等の遅延時間 $\Delta t_{18}$ （= $\Delta t_{11}$ ）だけ遅延して、遅延クロックc-i-c1kとなる。それ以外の構成は、第1図の回路と同じである。

第4図は、第1の実施の形態例の変形例のDLL回路の構成図である。この例は、第1図の可変遅延回路13、14が共通の可変遅延回路13で構成  
20 され、分周器12は設けられていない。従って、可変遅延回路13の出力のクロックCLK2が可変遅延回路20を介して位相比較回路16に供給され、そのクロックCLK2が制御クロックとしてデータ出力バッファ17に共有される。そして、位相比較回路16は、外部クロックCLKの周期毎で位相比較を行い、遅延制御回路15が可変遅延回路13の遅延量を制御する。第  
25 1図の第1の実施の形態例と同様に、遅延測定回路19は、制御クロックCLK2の立ち上がりエッジからデータ出力バッファ17が出力信号D1を出力するまでの時間 $\Delta t_{17}$ と、ダミー入力バッファ18の遅延時間 $\Delta t_{11}$ の

合計を測定する。

第4図の実施の形態例では、データ出力バッファ17へのデータDAは、通常のメモリデバイス内のデータバスDBからのデータ、または電源起動時の初期化状態の時に活性化されるダミーデータ発生器22からのダミーデータが、スイッチ23により切り換えられる。電源起動時の初期化状態では、メモリデバイスは動作していないので通常のデータバスからの出力データの変化はない。従って、初期化状態において生成されるリセット信号にตอบสนองして、ダミーデータ発生器22が活性化され、ダミーデータがデータ出力バッファ17に供給され、遅延測定回路19の測定動作に利用される。

また、遅延測定回路19は、初期化状態において、リセット信号にตอบสนองして、制御クロックCLK2の立ち上がりエッジからダミー入力バッファ18の出力Di1が変化するまでの時間を測定する。そのために、遅延測定回路19は、データ出力バッファ17に供給されるデータDAが、例えばHレベルからLレベルに変化したことを検出し、その後の制御クロックCLK2の立ち上がりエッジから、出力信号Di1の立ち下がりエッジまでの時間を測定する。

更に、後述する遅延測定回路19の内部回路により明らかになるが、遅延測定回路19は、通常動作状態においても、所定の頻度で、データバスDBからのデータDAがHレベルからLレベルに変化したことを検出し、その後の制御クロックCLK2の立ち上がりエッジから、出力信号Di1の立ち下がりエッジまでの時間を測定する。初期化状態で一旦設定した可変遅延回路20の遅延量は、例えば温度変化やその他の要因により外部負荷CLが変化して、変化する場合がある。その場合は、通常動作状態における遅延測定回路19の動作により、可変遅延回路20の遅延量が再設定される。

[遅延測定回路]

第5図は、遅延測定回路19と可変遅延回路20の構成を示す図である。第2図に示した可変遅延回路21もこの構成と同等である。

遅延測定回路 19 は、遅延測定回路の制御部 19 A と、その制御部 19 A が生成するスタートパルス S T A R T、ストップパルス S T O P 及びゲートパルス G A T E により制御されて遅延時間を測定する測定部 19 B とを有する。制御部 19 A の構成は後述する。また、測定部 19 B は、測定結果に応じて遅延設定信号  $\phi_0$  を生成し、その遅延設定信号  $\phi_0$  によって、可変遅延回路 20 の遅延量が設定される。

遅延測定回路の制御部 19 A は、後述する通り、電源起動時の初期化状態において、リセット信号 R E S E T に応答して、データ D A が H レベルから L レベルに切り替わったことを検出し、その直後の制御クロック C L K 2 の立ち上がりエッジに  
10 応答してスタートパルス S T A R T を生成する。このスタートパルス S T A R T の立ち上がりによる H レベルが、N A N D ゲートとインバータからなる遅延回路 30 を伝播する。従って、遅延回路 30 の各ノード N 10 ~ N 40 は、次々に H レベルとなる。その状態は、ゲート 31 を介して、インバータからなるラッチ回路群 32 にラッチされる。

15 制御部 19 A は、ダミー入力バッファ 18 の出力信号 D i 1 の立ち下がりエッジに  
20 応答して、ストップパルス S T O P を生成し、そのストップパルス S T O P により C M O S トランスファゲート 31 が閉じられる。即ち、ストップパルス S T O P が生成された時点で、スタートパルス S T A R T が遅延回路 30 を伝播した箇所までのノード N 10 ~ N 40 が、全て H レベルとなる。第 6 図のタイミングチャートの例では、ノード N 30 までが H レベルになっている。従って、ストップパルス S T O P の生成により、ラッチ回路群 32 のノード N 11, N 21, N 31 が L レベル、それより右側のノード N 41 らが H レベルとなる。従って、N O R ゲート群 34 の出力は、ノード N 32 のみが H レベルとなり、それ以外のノード N 12, N 22, N 42 は全て L レベルとなる。  
25

制御部 19 A は、ストップパルス S T O P の生成に応答して、ゲートパルス G A T E を生成する。このゲートパルス G A T E の H レベルに応答して、

CMOSトランスファゲート群34が導通し、ラッチ回路群35が上記の状態をラッチする。従って、遅延設定信号 $\phi_d$ は、3段目の信号のみがHレベルとなり、それ以外は全てLレベルとなる。

可変遅延回路20は、インバータ45, 47, 49などとNANDゲート  
5 46, 48, 50などからなる遅延回路と、入力される制御クロックCLK  
2を供給するNANDゲート41, 42, 43, 44などで構成される。この  
NANDゲート41~44の一方の入力には、制御クロックCLK2が供  
給され、他方の入力には、遅延設定信号 $\phi_d$ が供給される。上記の例では、N  
ANDゲート43に供給される遅延設定信号 $\phi_d$ だけがHレベルであるので、  
10 NANDゲート43を介して制御クロックCLK2の立ち上がりエッジがノ  
ードN33をLレベルにする。その結果、制御クロックCLK2は、NAN  
Dゲート43とゲート50~45を通過して遅延クロックc-i-c l kと  
なるので、可変遅延回路20の遅延量は、合計7段のゲート遅延量に設定さ  
れる。

15 以上の通り、測定部19Bは、データ出力信号DAのHレベルからLレベ  
ルへの一回の変化で、データ出力バッファ17とダミー入力バッファ18の  
遅延時間の合計を測定する。そして、その測定結果により、可変遅延回路2  
0の遅延量が設定される。従って、DLL回路の出力負荷 $C_L$ に応じた位相  
調整を短時間で行うことができる。

20 第7図は、遅延測定回路の制御部19Aの回路図である。この制御部19  
Aは、初期化状態において、リセット信号RESETのHレベルに応答して  
活性化信号N2がHレベルとなる。活性化信号N2が活性状態のHレベルの  
間に、制御部19Aが、スタートパルスSTART、ストップパルスSTO  
P及びゲートパルスGATEを生成し、その後自ら非活性状態に戻る。また、  
25 通常動作状態でも、カウンタ55により所定の時間間隔で、活性化信号N2  
がHレベルになる。

活性化状態では、データDAの立ち下がりを検出する回路78によりデー

タDAの立ち下がり検出信号N4が生成され、その直後の制御クロックCLK2の立ち上がりに対応して、スタートパルスSTARTがHレベルになる。更に、スタートパルスSTARTがHレベルに立ち上がってから後の信号Di1の立ち下がりに対応して、ストップパルスSTOPがHレベルになる。

5   そして、ストップパルスSTOPの立ち上がりエッジに対応して、ゲートパルスGATEが生成される。ゲートパルスGATEの発生に対応して、非活性化信号N5が生成され、ラッチ回路53を反転して活性化信号N2をLレベルに戻す。それに対応して、スタートパルスSTART及びストップパルスSTOPがLレベルに戻る。従って、スタートパルスSTARTの立ち上

10   がりエッジから、ストップパルスSTOPの立ち上がりエッジまでが、出力バッファ17とダミー入力バッファ18の遅延時間の合計に対応する。

第8図は、初期化状態での遅延測定回路の制御部の動作タイミングチャート図である。電源起動時などの初期化状態においてDLL回路が位相調整モードになると、リセットパルスRESETが生成され、ダミーデータ発生器

15   22からダミーデータが生成される。既に説明した通り、この実施の形態例では、データ信号の立ち下がりタイミングを利用して、出力バッファ17及びダミー入力バッファ18の遅延時間を測定する。そのために、出力データ信号D1がHレベルからLレベルに切り替わる場合に、測定を行う。即ち、前回のデータDA(n-1)がHレベル、今回のデータDA(n)がLレ

20   ベルの場合に遅延時間の測定が行われる。

リセットパルスRESETの立ち上がりエッジに対応して、インバータ52がノードN6をLレベルにする。それに対応して、NANDゲート54を介して、活性化信号N2がHレベルになる。その結果、NANDゲート57が導通状態となり、制御クロックCLK2を反転してゲート58, 60に供

25   給する。一方、データDAの立ち下がり検出回路78は、データDAを制御クロックCLK2のエッジに同期して導通するゲート58, 60により、ラッチ回路59, 61に転送する。即ち、制御クロックCLK2の立ち下がり

エッジでダミーデータ D A が H レベルであり、次の立ち上がりエッジで L レベルの時に、検出信号 N 4 が H レベルになり、N 型トランジスタ 6 7 を導通する。

その直後の制御クロック C L K 2 の立ち上がりエッジに応答して、N 型トランジスタ 6 6 も導通し、ノード N 7 を L レベルにし、スタートパルス S T A R T が H レベルに立ち上がる。これにより、測定部 1 9 B の測定が開始する。

このノード N 7 の L レベルにより P 型トランジスタ 6 9 が導通する。そして、その後のダミー入力バッファ 1 8 の出力信号 D i 1 の立ち下がりエッジに 10 応答して、P 型トランジスタ 7 0 も導通し、ストップパルス S T O P が H レベルとなる。これにより、測定部 1 9 B の測定が終了する。

ストップパルス S T O P の立ち上がりエッジに 15 応答して、インバータ 7 3 の遅延時間分のパルス幅を有するゲートパルス G A T E が生成される。更に、ゲートパルス G A T E の立ち下がりエッジに 20 応答して、インバータ 7 6 の遅延時間分のパルス幅を有する非活性化パルス N 5 が生成され、信号 N 6 を H レベルに戻し活性化信号 N 2 を L レベルにする。この活性化信号 N 2 の L レベルへの立ち下がりエッジに 25 応答して、スタートパルス S T A R T 及びストップパルス S T O P が共に L レベルに立ち下がる。

第 9 図は、通常動作状態での遅延測定回路の制御部の動作タイミングチャート図である。通常動作状態では、初期化状態の位相調整モードで可変遅延回路 2 0 の遅延量が調整された D L L 回路により、制御クロック C L K 2 が生成される。そして、温度変化などを考慮して、第 7 図に示したカウンタ 5 5 が制御クロック C L k 2 をカウントし、例えば 2 5 6 回カウントすると、信号 N 1 が H レベルになる。そして、出力イネーブル信号 O E が H レベルになって、データバス D B から読み出しデータ D A がデータ出力バッファ 1 7 25 に供給される時に、N A N D ゲート 5 6 , 5 4 により活性化信号 N 2 が H レベルにされる。

この活性化信号N 2がHレベルの間に、制御クロックCLK 2の立ち下が  
りエッジでデータDAがHレベル、次の立ち上がりエッジでデータDAがL  
レベルに変化するのを検出して、上記の初期化状態の場合と同様に、スター  
トパルス、ストップパルス、ゲートパルスが生成される。その動作は、初期  
5 化状態での位相調整モード時の動作と同じである。そして、最後にカウンタ  
5 5が信号N 5の立ち上がりエッジでリセットされ、測定動作が終了する。  
このように、1回のデータDAの立ち上がりエッジを利用して遅延時間の測  
定が行われる。

[ダミーデータ発生器]

10 第10図は、ダミーデータ発生器の回路図である。また、第11図は、そ  
の動作タイミングチャート図である。ダミーデータ発生器は、電源投入直後  
の初期化状態において位相調整モードを実行する際に、ダミーデータを生成  
し、データ出力バッファ17に供給する。

15 先ず、反転信号/N 6がLレベルの間に、ラッチ回路80のノードN 5 2  
がLレベル、ラッチ回路81のノードN 5 3がHレベルになっている。そこ  
で、電源投入直後のリセットパルスRESETの応答して、信号N 6がLレ  
ベルとなり、その反転信号/N 6がHレベルとなる。その結果、NANDゲ  
ート82が導通状態となる。制御クロックCLK 2がNANDゲート82で  
20 ゲートS 1, S 2を交互にオン、オフさせる。それに応じて、ノードN 5 2,  
N 5 3には、制御クロックCLK 2を2分の1に分周したクロックが生成さ  
れる。

初期化状態では、反転信号/N 6のHレベルにより、スイッチ23Aが導  
通し、ダミーデータ発生器22の発生するダミーデータが、ノードN 5 4,  
25 N 5 5に供給され、データ出力バッファ17に供給される。また、通常状態  
では、反転信号/N 6のLレベルにより、スイッチ23Bが導通し、デー  
タバスからのデータがデータ出力バッファ17に供給される。

## [データ出力バッファ]

第12図は、データ出力バッファの回路図である。データ出力バッファは、出力端子D<sub>out</sub>を駆動する大型のP型トランジスタ87とN型トランジスタ88を有する。この最終段の出力インバータのゲートには、それぞれラッチ回路85、86によりラッチされたデータ信号が供給される。逆相のデータ入力信号N54、N55は、出力イネーブル信号OEがHレベルの時に、ANDゲート89及びNANDゲート90を介して供給され、制御クロックCLK2の立ち上がりエッジにตอบสนองしてゲート83、84が導通し、ラッチ回路85、86によりラッチされる。そのラッチ信号により、出力段のトランジスタ87、88が駆動される。また、出力イネーブル信号OEがLレベルの時は、ANDゲート89及びNANDゲート90の出力がそれぞれLレベル及びHレベルになり、出力段のトランジスタ87、88は共にオフ状態となり、出力端子D<sub>out</sub>はHインピーダンス状態となる。

## [可変遅延回路]

第13図は、可変遅延回路13、14の例を示す図である。この可変遅延回路は、入力クロックi-clkを遅延させて、出力クロックdll-clkを出力する。可変遅延回路13、14は、複数のインバータ98~112と、NANDゲート113~128により、図示される通り構成される。NANDゲート113~120の一方の入力には、入力クロックi-clkを遅延させたクロックが供給され、他方の入力には遅延制御信号 $\phi_{E-1} \sim \phi_{E-32}$ が供給される。遅延制御信号 $\phi_{E-1} \sim \phi_{E-32}$ は、いずれか1つの信号がHレベルとなり、残りの信号がLレベルとなる。

仮に、遅延制御信号 $\phi_{E-1}$ がHレベルとすると、他の遅延制御信号のLレベルにより、NANDゲート113~119の出力は全てHレベルとなる。その結果、NANDゲート121~127は全てLレベル、インバータ102~108は全てHレベルとなる。そこで、入力クロックi-clkは、4つのインバータ98~101と、NANDゲート120、128と、4つのイ

ンバータ 109～112 との合計 10 段のゲートの遅延量をもって、出力クロック  $d11-clk$  として出力される。この状態が、遅延量が最小の状態である。

そして、Hレベルの遅延制御信号  $\phi_{E-1} \sim \phi_{E-32}$  が図中右側にシフトするた  
5 びに、NANDゲート 127 及びインバータ 108 の 2 段のゲートの遅延量が追加される。そして、遅延制御信号  $\phi_{E-32}$  が Hレベルになると、最大の遅延量となる。即ち、遅延制御信号  $\phi_{E-1} \sim \phi_{E-32}$  の内、Hレベルの遅延制御信号が右側に 1 つずれると、NANDゲートとインバータの 2 段分の遅延量が増加され、左側に 1 つずれると、同様の 2 段分の遅延量が減少される。

#### 10 [位相比較回路]

第 14 図は、位相比較回路 16 内の位相比較部の回路図である。また、第 15 図は、位相比較部の動作を示す波形図である。この位相比較部は、NANDゲート 199～203 及びインバータ 215 からなる部分において、第 1 のクロック  $CLK1$ 、 $CLK11$  (以下代表して  $c-clk$ ) と第 2 のク  
15 ロック  $d-i-clk$  との位相関係を検出して、ノード  $n1 \sim n4$  にその検出結果を生成する。両クロックの位相関係は、第 15 図の (A) に示される通り、第 1 のクロック  $c-clk$  に比較して第 2 のクロック  $d-i-clk$  の位相が進んでいる状態と、第 15 図の (B) に示される通り、両クロックの位相がほぼ一致している状態と、第 15 図の (C) に示される通り、第 1  
20 のクロック  $c-clk$  に比較して第 2 のクロック  $d-i-clk$  の位相が遅れている状態とに分類される。

第 15 図の (A) の状態の場合は、両クロックが Lレベルの状態では、ノード  $n1 \sim n4$  は全て Hレベルであり、その後、第 2 のクロック  $d-i-clk$  が先に Hレベルとなり、

25  $n1 = L$ 、 $n2 = H$ 、 $n3 = L$ 、 $n4 = H$

となる。その後、第 1 のクロック  $c-clk$  が遅れて Hレベルになっても、上記のノード  $n1 \sim n4$  の状態は変化しない。NANDゲート 198 は、両

クロックが共にHレベルになると出力をLレベルにし、その立ち下がりエッジから所定の幅のHレベルパルスが、NORゲート216から出力される。このHレベルパルスが、取り込みパルスとしてNANDゲート204~207に供給され、ノードn1~n4の状態が、NANDゲート208, 209  
5 かなるラッチ回路と、NANDゲート210, 211かなるラッチ回路とにそれぞれ取り込まれる。従って、信号φb、φc、φd、φeは、第14図の表に示される通り、

$$\phi b = H, \phi c = L, \phi d = H, \phi e = L$$

となる。

10 第15図(B)の状態は、第1のクロックc-clkに対して第2のクロックd-icl kの位相が、NANDゲート201とインバータ215の遅延時間以内の範囲で遅れる場合である。その場合は、第1のクロックc-clkが先にHレベルとなり、

$$n1 = H, n2 = L$$

15 となり、更に、インバータ215の出力が第2のクロックd-icl kよりも後にHレベルとなり、

$$n3 = L, n4 = H$$

となる。

従って、両クロックがHレベルになるタイミングでラッチされ、信号φb、  
20 φc、φd、φeは、第14図の表に示される通り、

$$\phi b = L, \phi c = H, \phi d = H, \phi e = L$$

となる。この場合は、位相が一致したことを意味するので、ANDゲート418の出力の位相一致信号JSTもHレベルを出力する。

第15図(C)の状態では、第1のクロックc-clkが先にHレベルと  
25 なり、 n1 = H, n2 = L, n3 = H, n4 = L

となる。その後、第2のクロックd-icl kが遅れてHレベルになっても、上記のノードn1~n4の状態は変化しない。この状態が、両クロック

がHレベルになるタイミングでラッチされ、信号 $\phi b$ 、 $\phi c$ 、 $\phi d$ 、 $\phi e$ は、第14図の表に示される通り、

$$\phi b = L, \phi c = H, \phi d = L, \phi e = H$$

となる。

- 5 第16図は、位相比較回路16の位相比較出力部の回路図である。また、第17図は、その位相比較出力部の動作を示す波形図である。波形図の(A)、(B)、(C)は、第14図及び第15図の(A)、(B)、(C)にそれぞれ対応する。

10 位相比較出力部は、両クロックの位相比較のタイミングで生成されるタイミング信号 $\phi a$ の周波数を2分の1に分周する分周回路21Aと、その分周回路21Aからの出力のタイミングに応答して、両クロックの位相関係に依じて生成された信号 $\phi b$ 、 $\phi c$ 、 $\phi d$ 、 $\phi e$ に基づいて、位相比較結果信号 $\phi_{so}$ ～ $\phi_{re}$ を出力する出力回路21Bとから構成される。

15 2分の1分周回路21Aは、JKフリップフロップ構成であり、両クロック $c-clk$ 、 $d-icl k$ が共にHレベルになる時をNANDゲート198(第14図)で検出し、その検出パルス $\phi a$ を2分の1分周して、逆相のパルス信号 $n11$ と $n12$ とを生成する。検出パルス $\phi a$ がゲート226、227に供給され、反転検出パルス $\phi a$ がゲート222、223に供給され、ゲート228、229からなるラッチ回路と、ゲート224、225からなるラッチ回路間で、反転信号を転送する。その結果、2分の1分周された逆相のパルス信号 $n11$ 、 $n12$ が生成される。

20 出力回路21Bは、サンプリングラッチされた信号 $\phi b$ 、 $\phi c$ 、 $\phi d$ 、 $\phi e$ をデコードして、第1のクロック $c-clk$ (CLK1, CLK11)の位相が第2のクロック $d-icl k$ より遅れている時(状態(A))は、ダイオード236の出力をHレベルにし、両クロックの位相が一致している時(状態(B))は、ダイオード236と237の出力を共にLレベルにし、更に、第1のクロック $c-clk$ の位相が第2のクロック $d-icl k$ よ

り進んでいる時（状態（C））は、ダイオード237の出力をHレベルにする。

従って、出力回路21Bは、NANDゲート232～235のデコード機能により、上記の状態（A）の時は、NANDゲート232、233が、  
5 タイミング信号n11、n12にตอบสนองして、第2のクロックd-i-clkの位相を遅らせる様に、可変遅延回路13の遅延量を増加させる位相比較結果信号 $\phi_{so}$ 、 $\phi_{se}$ を、交互にHレベルにする。即ち、第17図（A）に示される通りである。また、上記の状態（B）の時は、出力回路21Bは、第17図  
（B）の如く、位相比較結果信号 $\phi_{so}$ ～ $\phi_{re}$ を生成しない。更に、上記の状態  
10 （C）の時は、第17図（C）の如く、NANDゲート234、235が、タイミング信号n11、n12にตอบสนองして、第2のクロックd-i-clkの位相を進める様に、可変遅延回路13の遅延量を減少させる位相比較結果信号 $\phi_{ro}$ 、 $\phi_{re}$ を、交互にHレベルにする。

#### [遅延制御回路]

15 第18図は、遅延制御回路15の一部の構成を示す回路図である。遅延制御回路15は、位相比較結果信号 $\phi_{so}$ ～ $\phi_{re}$ にตอบสนองして、NORゲート431-1～431-3から遅延制御信号 $\phi_{e-1}$ ～ $\phi_{e-3}$ を出力する。第13図に示した通り、遅延制御信号 $\phi_{e-1}$ ～ $\phi_{e-32}$ は、32ビットで構成される。

遅延制御回路15は、位相比較結果信号 $\phi_{so}$ 、 $\phi_{se}$ によりHレベルの遅延制御信号 $\phi_e$ を右側にシフトし、可変遅延回路の遅延量を増加させ、位相比較結果信号 $\phi_{ro}$ 、 $\phi_{re}$ によりHレベルの遅延制御信号 $\phi_e$ を左側にシフトし可変遅延回路の遅延量を減少させる。  
20

遅延制御回路の各段は、例えば1段目では、NANDゲート432-1とインバータ433-1からなるラッチ回路をそれぞれ有する。また、位相比較結果信号 $\phi_{so}$ ～ $\phi_{re}$ によりラッチ回路432-1と433-1の状態を強制的に反転させるトランジスタ434-1、436-1を有する。トランジスタ438-1、439-1は、反転の対象外の場合にトランジスタ434-  
25

1, 4 3 6 - 1 によつてはラッチ回路が反転されないようにする為に設けられる。2 段目～3 段目の回路も同様の構成である。これらのトランジスタは全てNチャンネル型である。

今仮に、Lレベルパルスのリセット信号 $\phi_R$ が印加されると、NANDゲート4 3 1 - 1～3の出力は全てHレベルとなり、インバータ4 3 3 - 1～3の出力は全てLレベルとなる。従つて、ノード5 a - 2がLレベルとなり、NORゲート4 3 1 - 1の出力の遅延制御信号 $\phi_{E-1}$ はHレベルとなる。また、ノード5 a - 1, 5 a - 3が共にHレベルであるので、それ以外の遅延制御信号 $\phi_{E-2}$ 、 $\phi_{E-3}$ は全てLレベルとなる。即ち、リセット信号 $\phi_R$ に  
10 応答して、遅延制御信号 $\phi_{E-1}$ がHレベルとなり、可変遅延回路1 3, 1 4は最小遅延時間に制御される。

次に、位相比較が実行されると、両クロックの位相関係に応じて、位相比較結果信号 $\phi_{SO} \sim \phi_{RE}$ のいずれかがHレベルとなる。今仮に、位相比較結果信号 $\phi_{SE}$ がHレベルとなると、トランジスタ4 3 4 - 1が導通し、ノード5 a - 1を強制的にLレベルに引き下げて、インバータ4 3 3 - 1の出力のノード5 a - 2を強制的にHレベルに引き上げる。その結果、NORゲート4 3 1 - 1の出力 $\phi_{E-1}$ はLレベルとなる。また、ノード5 a - 1と5 a - 4が共にLレベルであるので、NORゲート4 3 1 - 2の出力 $\phi_{E-2}$ はHレベルとなる。そして、1 段目と2 段目のラッチ回路は、その状態を保持する。更に、  
20 その後の位相比較により位相比較結果信号 $\phi_{SO}$ がHレベルになると、同様の動作により、ノード5 a - 3と5 a - 6が共にLレベルとなり、遅延制御信号 $\phi_{E-3}$ がHレベルとなる。この様に、位相比較結果信号 $\phi_{SE}$ と $\phi_{SO}$ により、遅延時間が長くなる様に遅延制御信号 $\phi_E$ が右側にシフトする。

逆に、位相比較結果信号 $\phi_{RE}$ と $\phi_{RO}$ により、上記と逆の動作により、遅延  
25 時間が短くなる様に遅延制御信号 $\phi_E$ が左側にシフトする。尚、上記の位相比較回路の出力部の動作から明らかな通り、位相比較結果信号 $\phi_{SE}$ と $\phi_{SO}$ は、第2のクロックd - i - c kが進んでいる時に位相比較毎に交互に生成さ

れ、また、位相比較結果信号  $\phi_{RE}$  と  $\phi_{RO}$  は、第2のクロック  $d-i-clk$  が遅れている時に位相比較毎に交互に生成される。

また、位相比較結果信号  $\phi_{SE}$ 、 $\phi_{SO}$  に応答して、遅延制御信号  $\phi_E$  が次々に右側に移動し、最後に遅延制御信号  $\phi_{E-32}$  がHレベルになる。この状態では、  
5 インバータ 433-32 の出力がLレベル、NANDゲート 432-32 の出力がHレベルにラッチされている。そこで、更に、遅延時間を延ばす比較結果信号  $\phi_{SO}$  が供給されると、NANDゲート 432-43 の出力がLレベルに引き下げられ、インバータ 433-32 の出力がHレベルに引き上げられる。

10

#### 産業上の利用可能性

以上説明した通り、本発明によれば、メモリデバイスなどに内蔵されるタイミング制御のためのDLL回路において、出力端子に接続される外部負荷に応じて、そのタイミングを決定する位相調整が行われる。従って、本発明  
15 のDLL回路は、デバイスがシステムに搭載された状態での条件の整合した最適のタイミングの制御クロックを、生成させることができる。

また、その位相調整動作は、1回のデータの切り替わりを利用してデータ出力バッファの動作遅延時間を測定するので、デバイスの調整に要する時間を短くすることが可能になる。そして、そのように調整された遅延量を有す  
20 る可変遅延回路をDLL回路のフィードバックループに利用することで、最適のタイミングの制御クロックを生成することが可能になる。

更に、本発明によれば、通常動作時においても、通常動作時のデータ出力の変化を利用して、データ出力バッファの動作遅延時間を測定するので、動作中の予期しない要因により位相関係が最適状態からずれることを防止する  
25 ことができる。

## 請 求 の 範 囲

1. 基準クロックを遅延させて所定の位相関係を有する制御クロックを生成するディレー・ロックド・ループ (DLL) 回路において、
- 出力端子に出力信号を供給する出力バッファが該制御クロックに応答して
- 5 動作し、
- 前記DLL回路は、
- 前記基準クロックが入力され、制御された遅延時間だけ遅延したクロックを出力する第1の可変遅延回路と、
- 前記第1の可変遅延回路の出力クロックを入力され、所定の遅延時間遅延
- 10 した遅延クロックを出力する第2の可変遅延回路と、
- 前記基準クロックと前記遅延クロックとの位相を比較し、前記基準クロックと遅延クロックとの位相が所定の関係になる様に、前記第1の可変遅延回路の遅延量を制御する位相比較・遅延制御回路と、
- 前記出力バッファの動作遅延時間を測定し、当該測定した動作遅延時間に
- 15 応じて前記第2の可変遅延回路の遅延量を設定する遅延測定回路とを有することを特徴とするDLL回路。
2. 請求の範囲1において、
- 前記基準クロックが入力バッファを介して供給され、
- 前記遅延測定回路は、前記出力バッファの動作遅延時間と前記入力バッファ
- 20 と同等の遅延時間を有するダミー入力バッファの遅延時間との合計遅延時間を測定し、前記第2の可変遅延回路の遅延量を、当該合計遅延時間と同等に設定することを特徴とするDLL回路。
3. 請求の範囲1において、
- 前記遅延測定回路は、前記制御クロックのタイミングから前記出力バッファ
- 25 の出力信号のタイミングまでの時間を測定することを特徴とするDLL回路。
4. 請求の範囲2または3において、

前記遅延測定回路は、前記出力信号が切り替わる時に動作し、前記制御クロックのタイミングから前記出力信号の切り替わりまでの時間を測定することを特徴とするDLL回路。

5. 請求の範囲2または3において、

- 5 前記遅延測定回路は、電源起動時の初期化状態において、前記時間を測定することを特徴とするDLL回路。

6. 請求の範囲2または3において、

前記遅延測定回路は、デバイスの通常状態において、定期的なタイミングで、前記時間を測定することを特徴とするDLL回路。

- 10 7. 請求の範囲5において、

更に、ダミーデータを発生するダミーデータ発生回路を有し、前記初期化状態において、前記ダミーデータが前記出力バッファに供給されることを特徴とするDLL回路。

8. 請求の範囲1において、

- 15 前記第1の可変遅延回路の出力クロックが、前記制御クロックとして前記出力バッファに供給されることを特徴とするDLL回路。

9. 請求の範囲1において、

更に、前記基準クロックが供給される第3の可変遅延回路を有し、

- 20 前記第3の可変遅延回路は前記第1の可変遅延回路と同じ遅延量に制御され、前記第3の可変遅延回路の出力クロックが、前記制御クロックとして前記出力バッファに供給されることを特徴とするDLL回路。

図 1

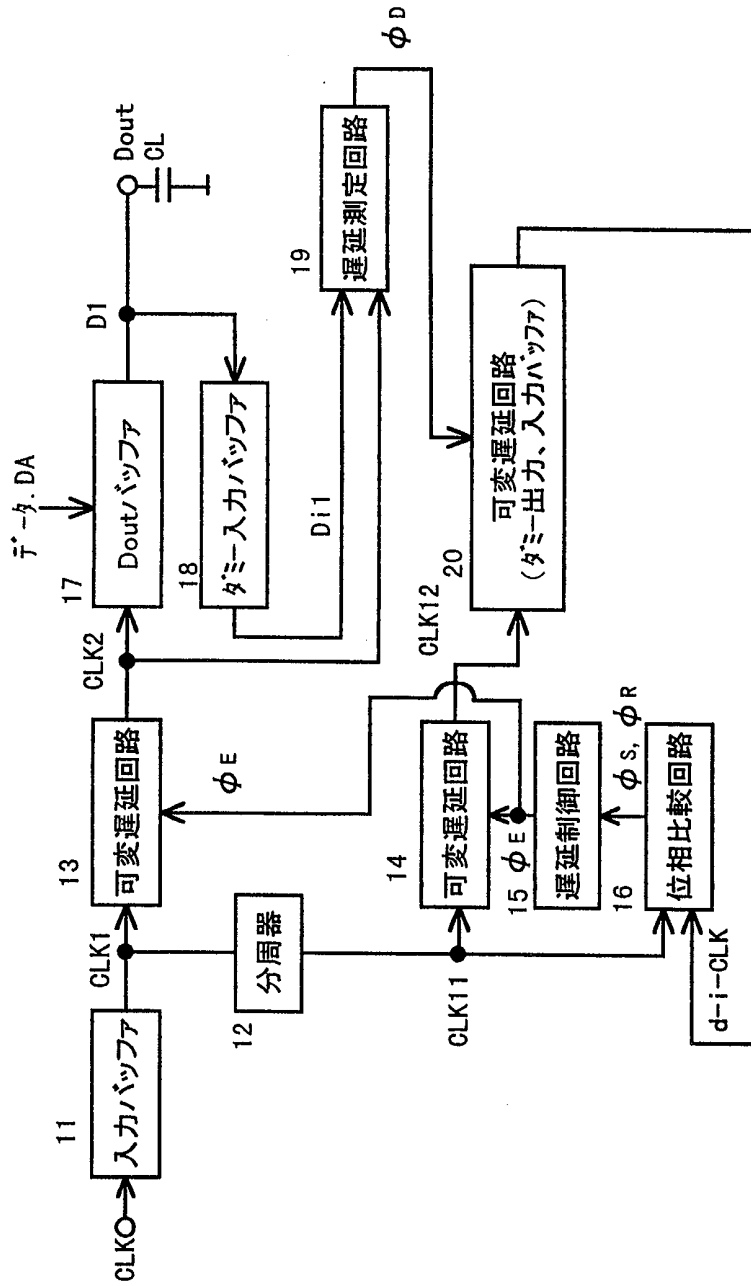


図 2

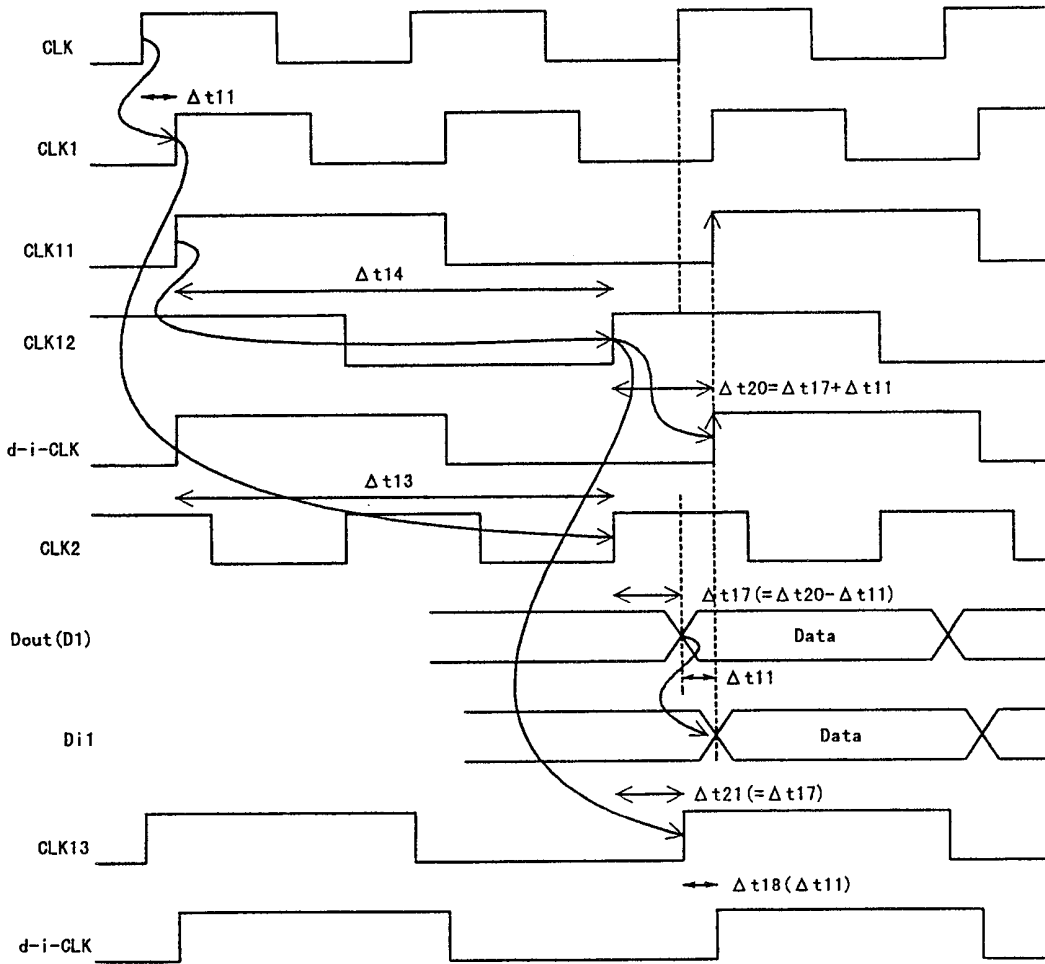


図 3

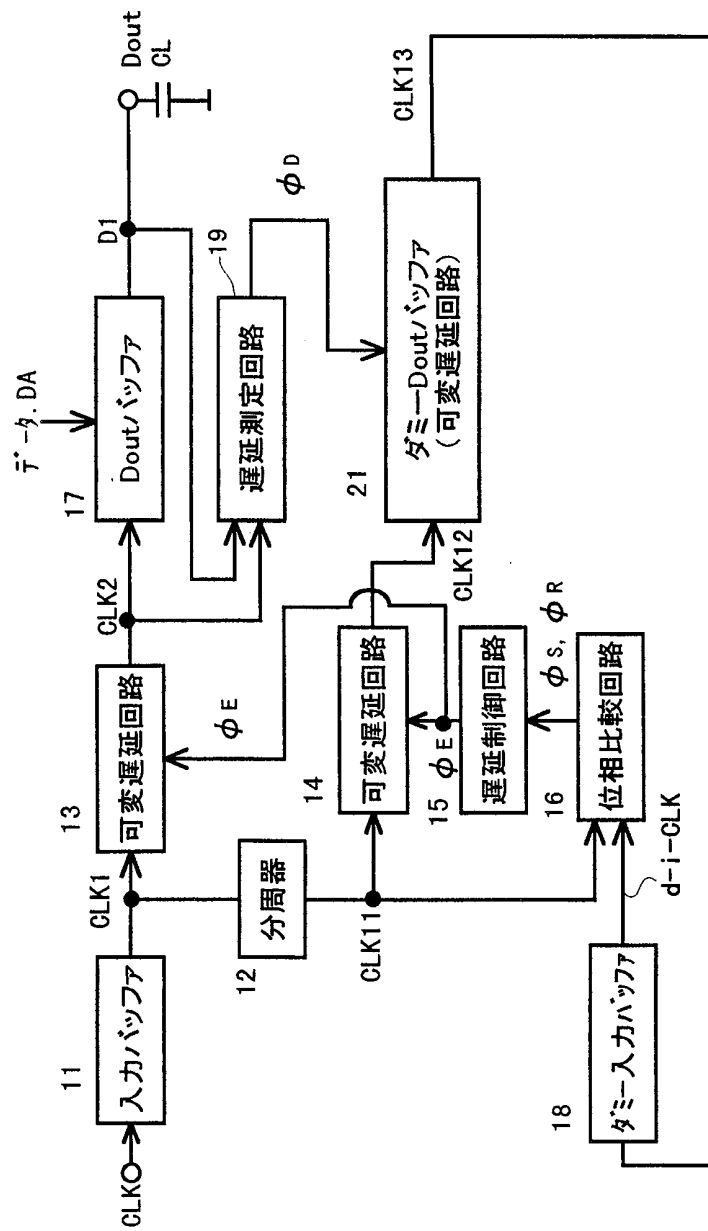


図 4

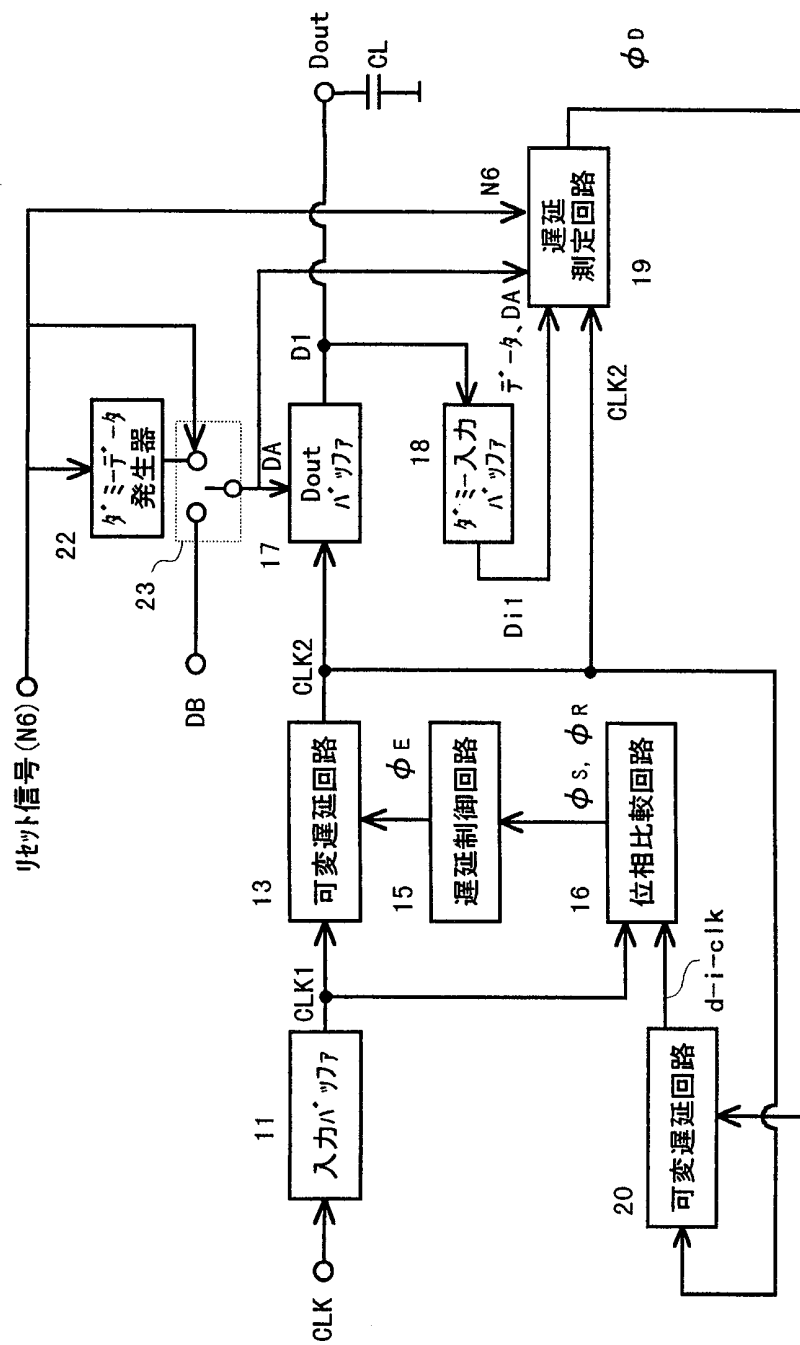




図 6

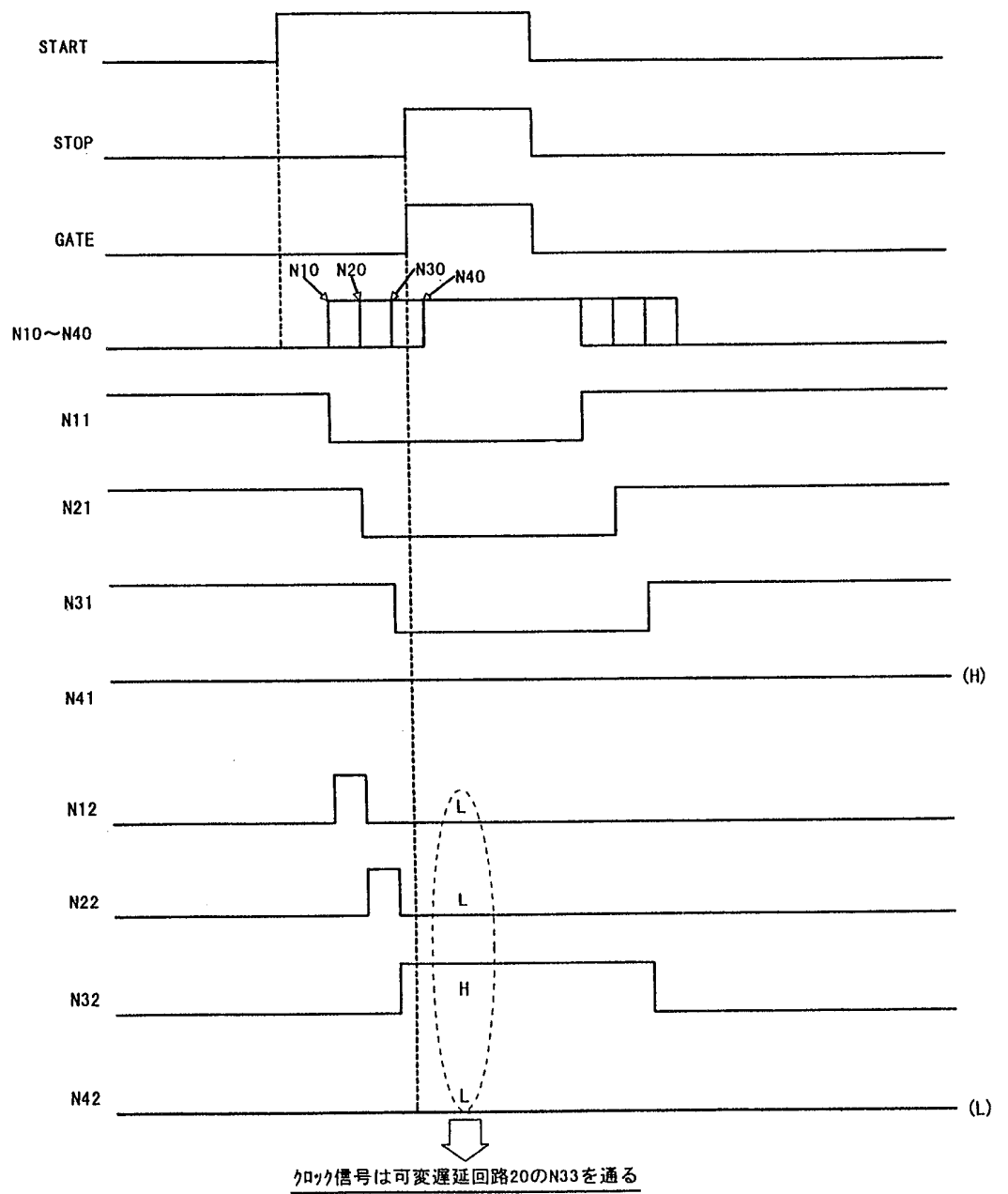
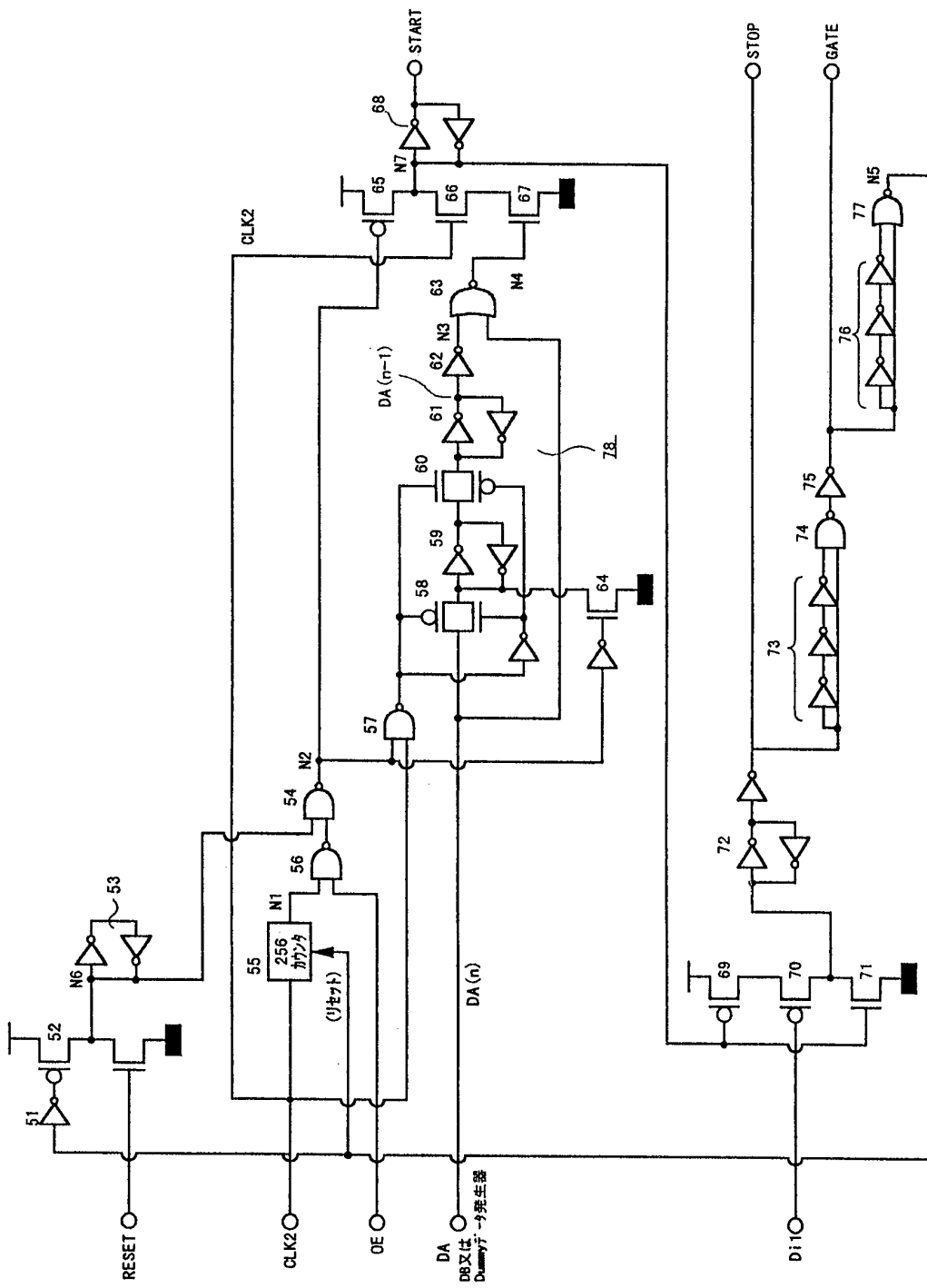


図 7



8

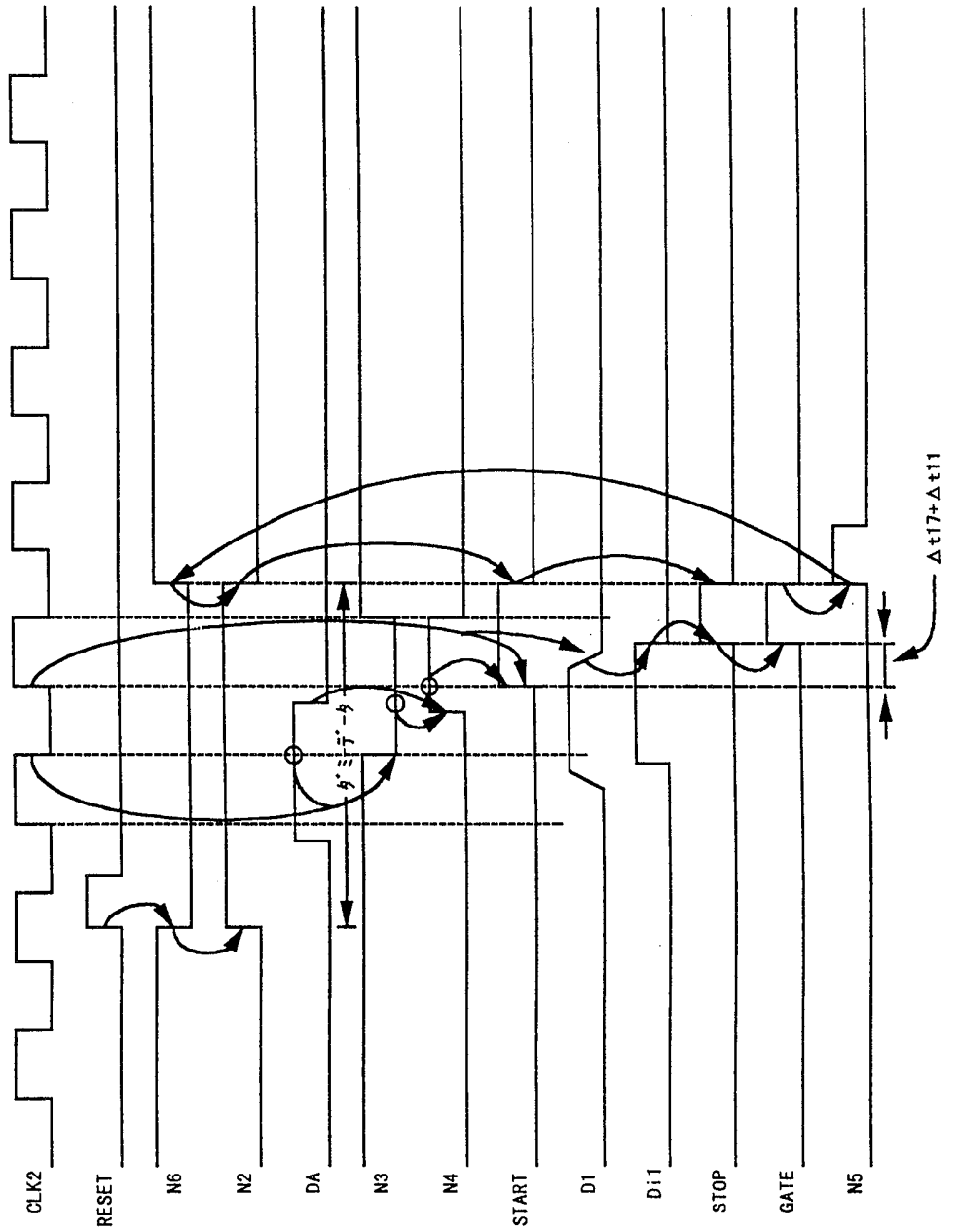


図 9

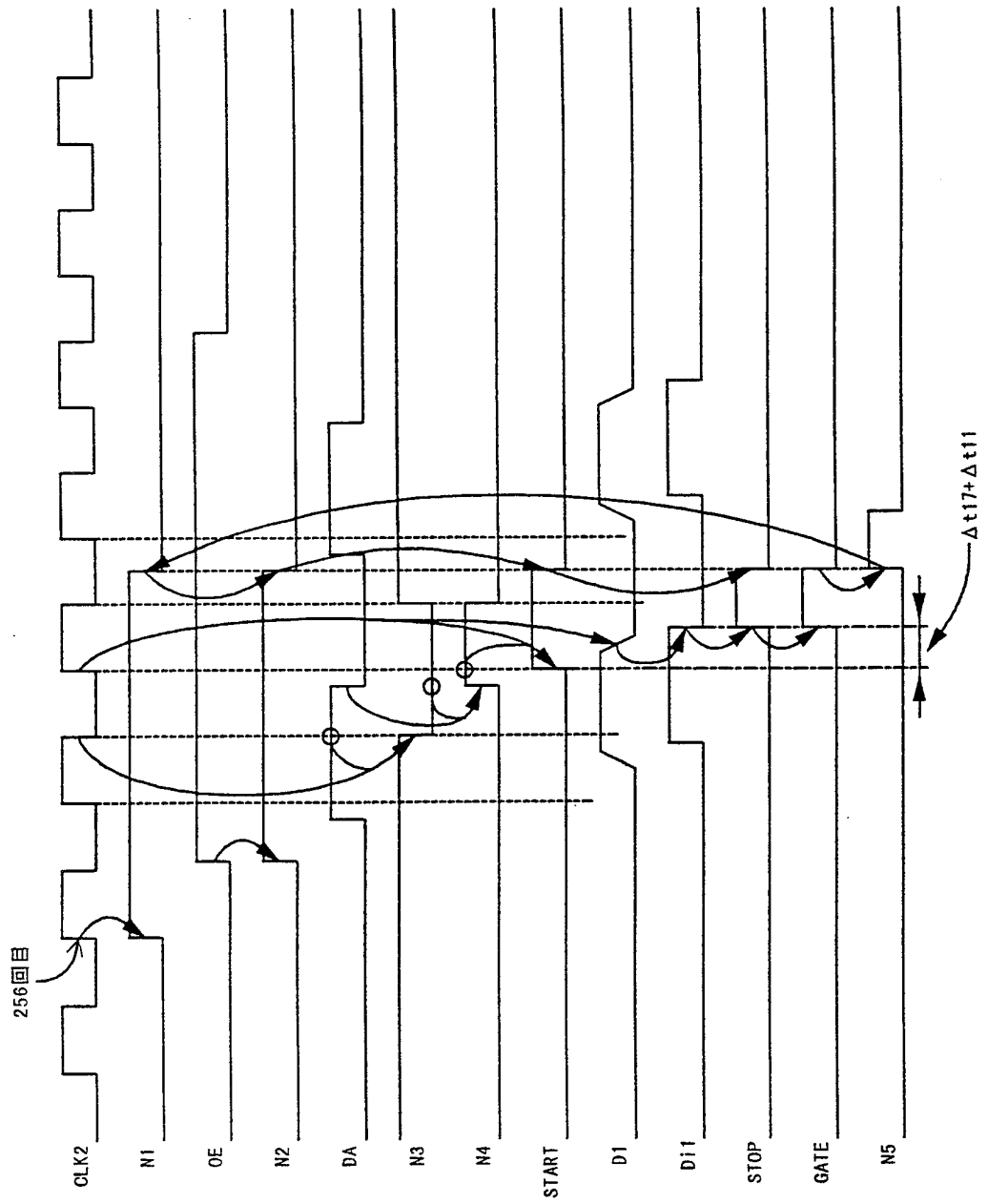


図 10

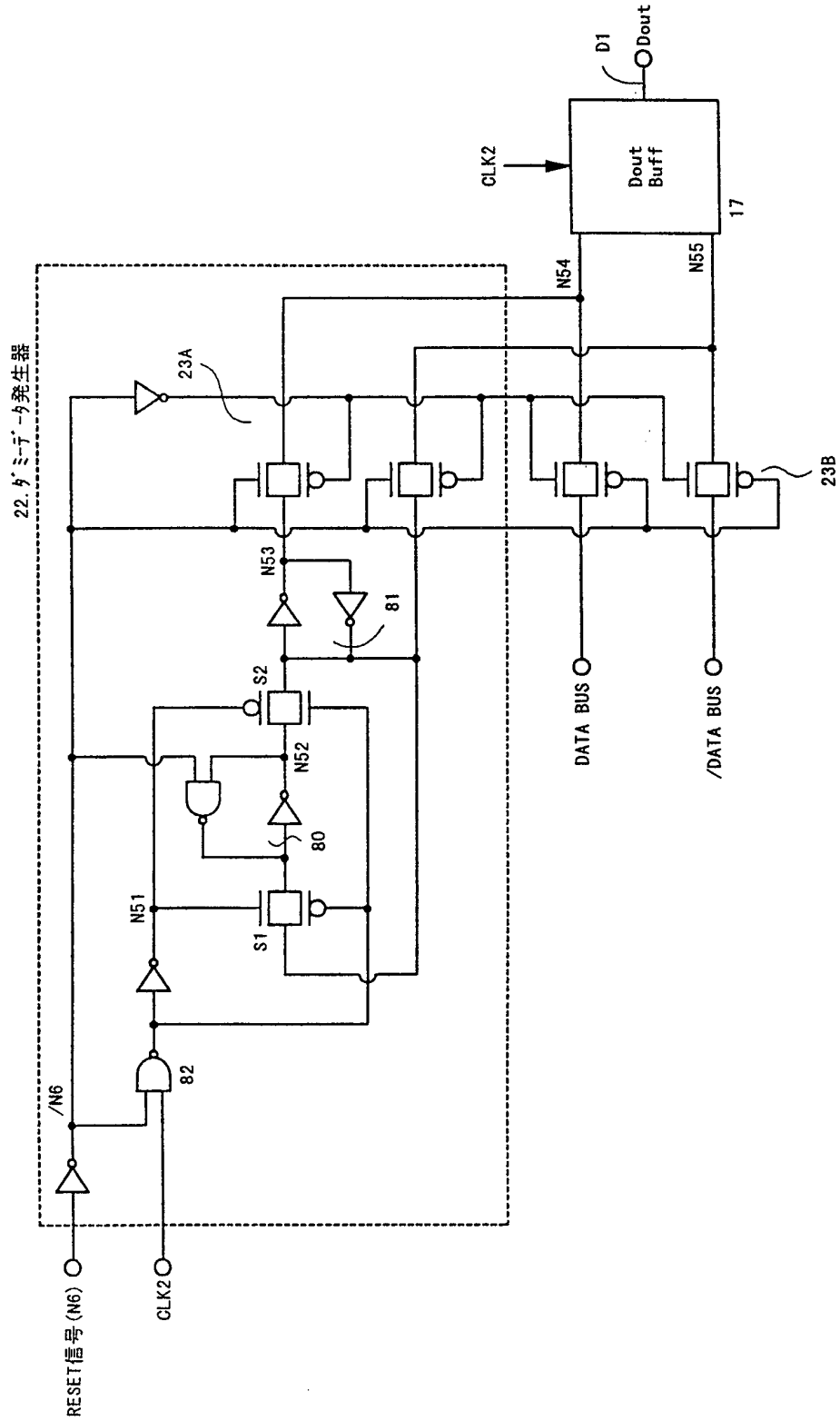


図 11

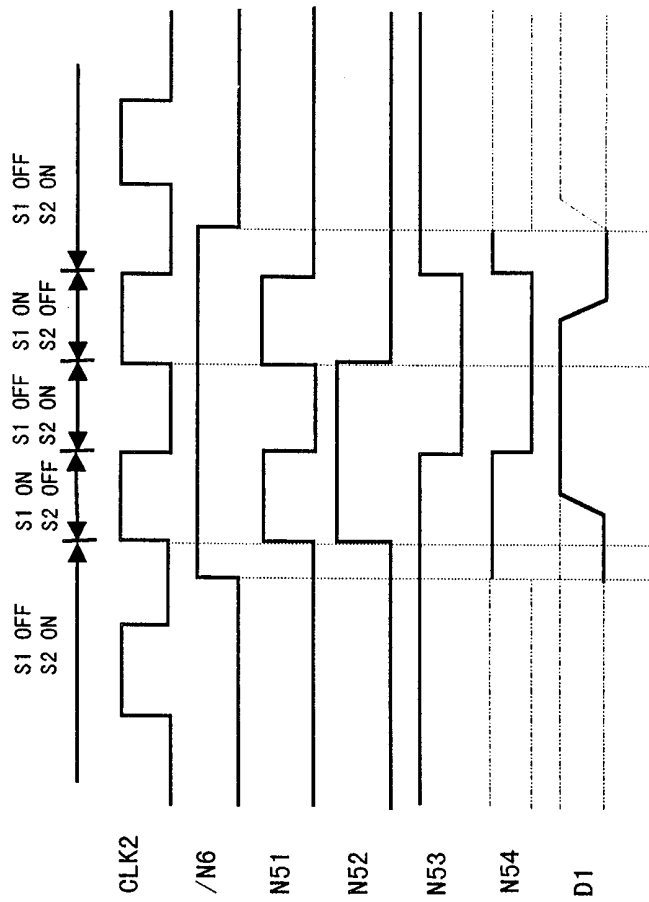
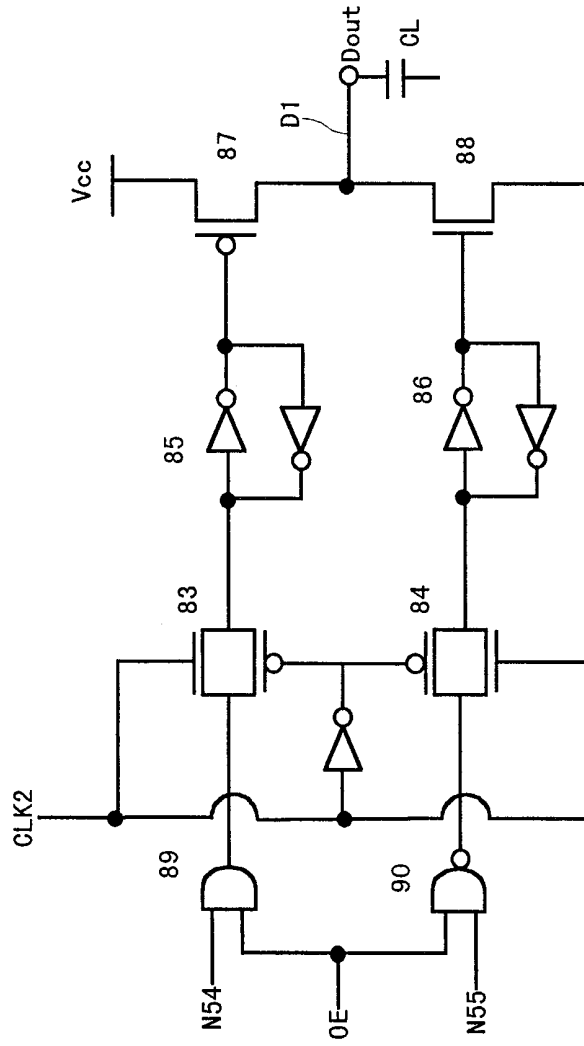


図 12



13

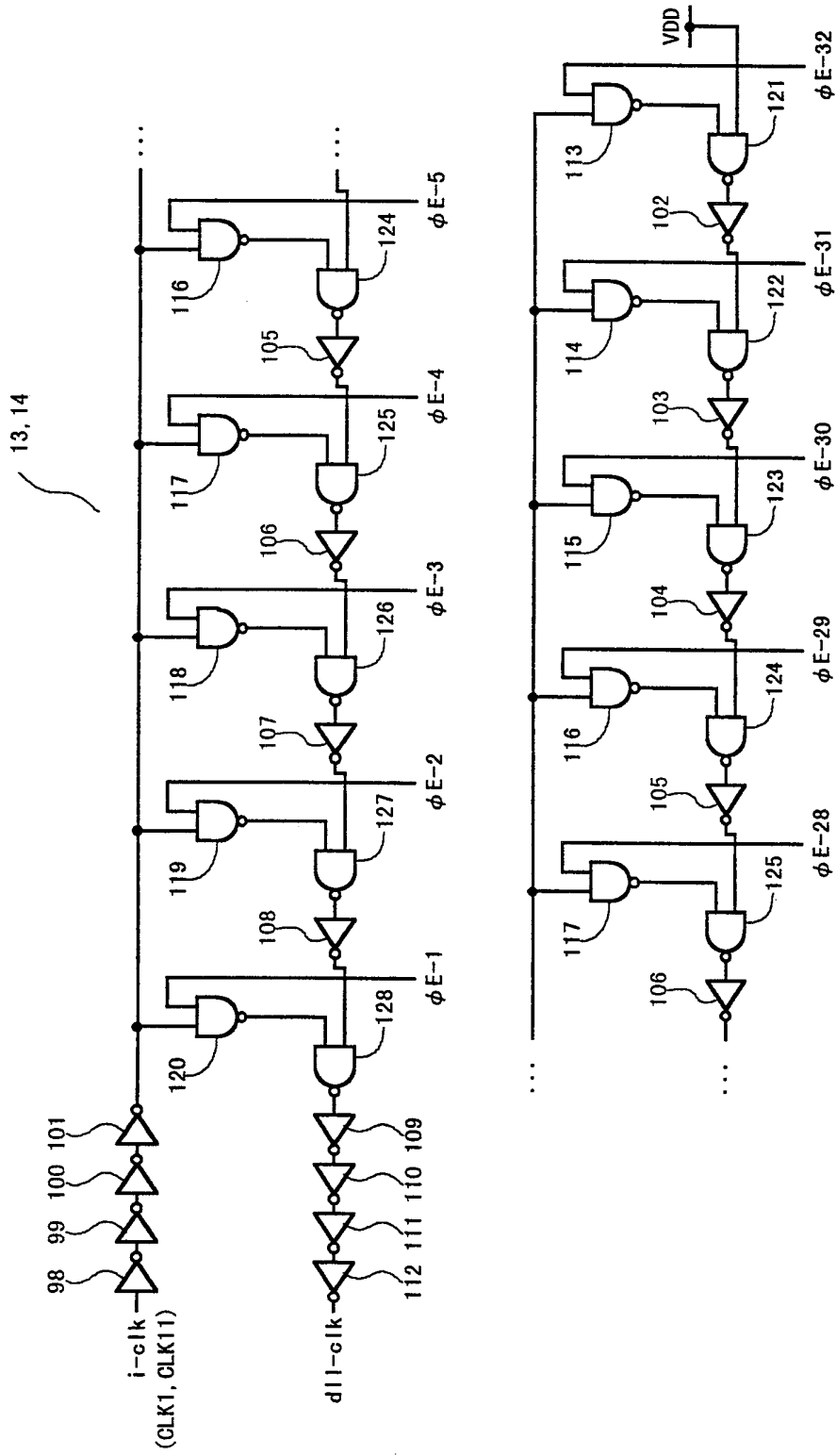


図 14

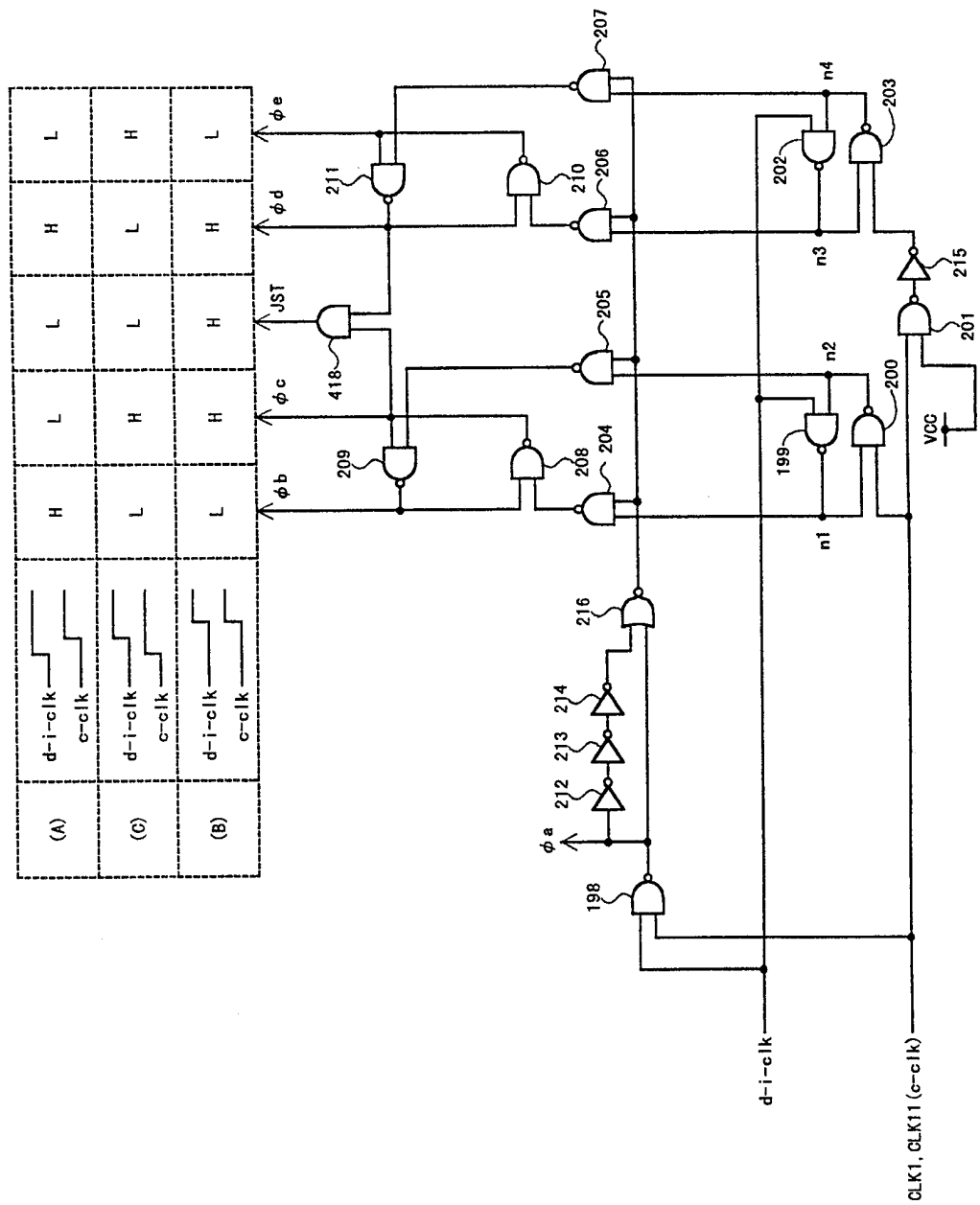


図 15

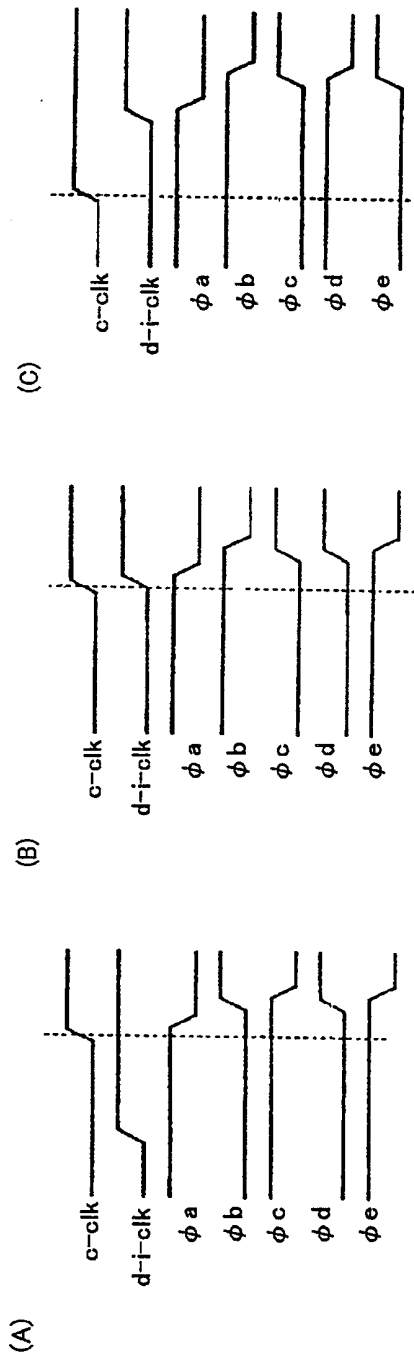




図 17

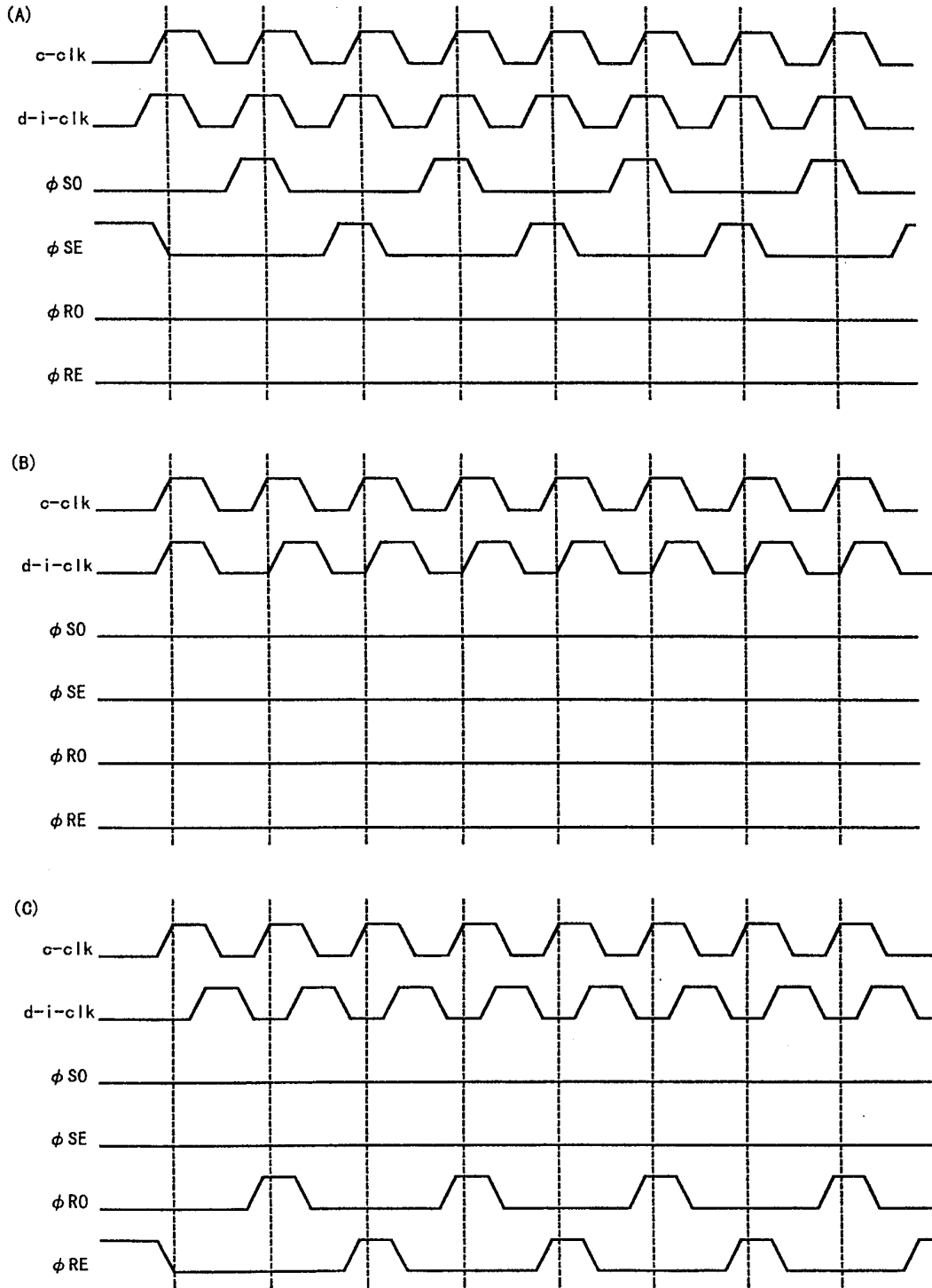
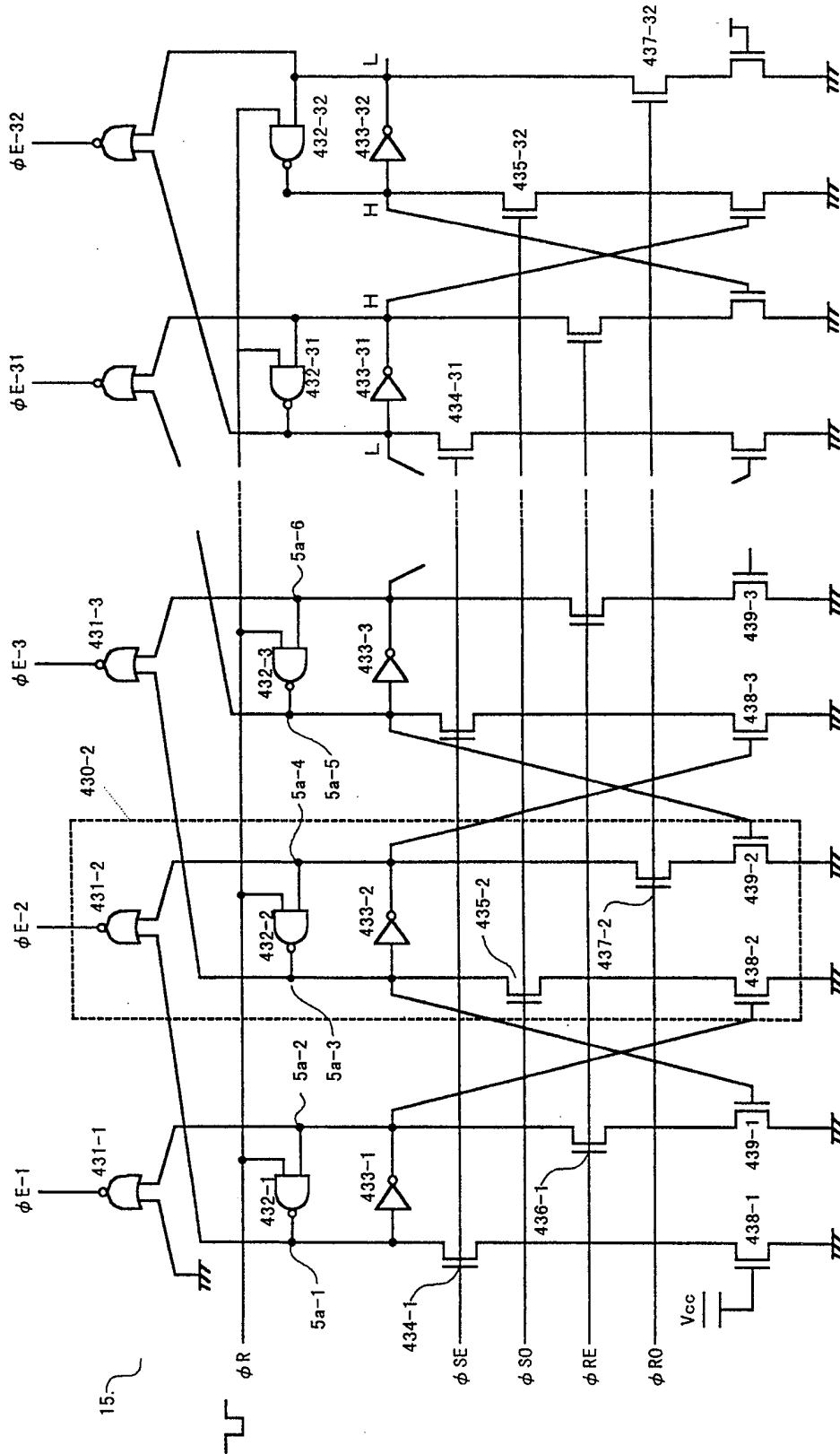


図 18



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/04247

A. CLASSIFICATION OF SUBJECT MATTER Int.Cl <sup>6</sup> H03L7/00, G11C11/34		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) Int.Cl <sup>6</sup> H03L7/00, G11C11/34		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1926-1999 Toroku Jitsuyo Shinan Koho 1994-1999 Kokai Jitsuyo Shinan Koho 1971-1999 Jitsuyo Shinan Toroku Koho 1996-1999		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 10-055668, A (Fujitsu Ltd.), 24 February, 1998 (24. 02. 98), Page 7, left column, line 29 to page 8, left column, line 3 ; Fig. 4 & GB, 9702083, A0 & GB, 2316247, A1 & US, 5822255, A	1-9
A	JP, 10-171774, A (Fujitsu Ltd.), 26 June, 1998 (26. 06. 98), Page 3, right column, line 41 to page 11, left column, line 41 ; Fig. 2 (Family: none)	1-9
EA	JP, 10-320976, A (Fujitsu Ltd.), 4 December, 1998 (04. 12. 98), Page 6, right column, line 9 to page 10, left column, line 3 ; Fig. 1 (Family: none)	1-9
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
Date of the actual completion of the international search 6 September, 1999 (06. 09. 99)		Date of mailing of the international search report 21 September, 1999 (21. 09. 99)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))	
Int. Cl. <sup>6</sup> H03L 7/00, G11C 11/34	
B. 調査を行った分野	
調査を行った最小限資料 (国際特許分類 (IPC))	
Int. Cl. <sup>6</sup> H03L 7/00, G11C 11/34	
最小限資料以外の資料で調査を行った分野に含まれるもの	
日本国実用新案公報 1926-1999年 日本国公開実用新案公報 1971-1999年 日本国登録実用新案公報 1994-1999年 日本国実用新案登録公報 1996-1999年	
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)	
C. 関連すると認められる文献	
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示
A	J P, 10-055668, A (富士通株式会社), 24. 2月. 1998 (24. 02. 98), 第7頁左欄第29行-第8頁左欄第3行, 第4図, GB, 9702083, A0&GB, 2316247, A1&US, 5822255, A
A	J P, 10-171774, A (富士通株式会社), 26. 6月. 1998 (26. 06. 98), 第3頁右欄第41行-第11頁左欄第41行, 第2図, (ファミリーなし)
EA	J P, 10-320976, A (富士通株式会社), 4. 12月. 1998 (4. 12. 98), 第6頁右欄第9行-第10頁左欄第3行, 第1図, (ファミリーなし)
	関連する 請求の範囲の番号
	1-9
	1-9
	1-9
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。	
* 引用文献のカテゴリー	
「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	
国際調査を完了した日 06. 09. 99	国際調査報告の発送日 <b>21.09 99</b>
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 和田 志郎 電話番号 03-3581-1101 内線 3575