

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：97132347

※ 申請日期：97.8.25

※IPC 分類：G06F 9/30 (2006.01)

一、發明名稱：(中文/英文)

G06F 12/00 (2006.01)

快取記憶體系統以及快取資料取代之方法

CACHE MEMORY SYSTEM AND METHOD OF CACHE DATA REPLACEMENT

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

高級微裝置公司/ADVANCED MICRO DEVICES, INC.

代表人：(中文/英文) 德瑞克 保羅 S/DRAKE, PAUL S.

住居所或營業所地址：(中文/英文)

美國·加州 94088-3453·桑尼威·第 1AMD 區·M/S 68·郵政信箱 3453 號

One AMD Place, M/S 68, P.O.Box 3453, Sunnyvale, CA 94088-3453 U.S.A.

國 籍：(中文/英文) 美國/U.S.A.

三、發明人：(共 1 人)

姓 名：(中文/英文)

1. 威廉 詹姆士 D / WILLIAMS, JAMES D.

國 籍：(中文/英文) 1. 加拿大 / CANADA

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國 2007 年 9 月 4 日 11/849,515（主張優先權）

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明揭露一種快取記憶體系統，其包含快取記憶體和方塊取代控制器。該快取記憶體可以包含複數個集合，每一個集合均包含複數個方塊儲存位置。該方塊取代控制器可以維護對應於該快取記憶體中每一個集合之個別計數值。該個別計數值指向該給定集合內儲存取代資料之合適方塊儲存位置。該方塊取代控制器可針對該方塊儲存位置中至少一些中之每一個維護相關聯之最近存取位元，該最近存取位元係指示是否該對應之方塊儲存位置係最近被存取。此外，該方塊取代控制器可以根據是否有特定之最近存取位元指示該合適之方塊儲存位置係最近被存取，而儲存該取代資料於被該個別計數值所指向之該合適之方塊儲存位置內。

六、英文發明摘要：

A cache memory system includes a cache memory and a block replacement controller. The cache memory may include a plurality of sets, each set including a plurality of block storage locations. The block replacement controller may maintain a separate count value corresponding to each set of the cache memory. The separate count value points to an eligible block storage location within the given set to store replacement data. The block replacement controller may maintain for each of at least some of the block storage locations, an associated recent access bit indicative of whether the corresponding block storage location was recently accessed. In addition, the block replacement controller may store the replacement data within the eligible block storage location pointed to by the separate count value depending upon whether a particular recent access bit indicates that the eligible block storage location was recently accessed.

七、指定代表圖：

(一)本案指定代表圖為：第 (3) 圖。

(二)本代表圖之元件代表符號簡單說明：

300、305、310、315、320 方塊

325、330、335、340 方塊

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無。

九、發明說明：

【發明所屬之技術領域】

本發明所揭示係關於微處理器快取(cache)，更詳言之，係關於快取資料取代機制。

【先前技術】

由於電腦系統之主記憶體設計係以密度為主要考量而非速度，因此，微處理器設計者使他們的設計具有額外之快取，以減少該微處理器對直接存取主記憶體之需求。快取係一種具有較主記憶體更快之存取速度之小記憶體。快取傳統上係由快速之記憶體單元所構成，如：靜態隨機存取記憶體(SRAM)，相較於使用作主記憶體之該記憶體(傳統上係動態隨機存取記憶體(DRAM)或同步動態隨機存取記憶體(SDRAM))具有較快之存取時間和頻寬。

先進之微處理器傳統上包含晶片上(on-chip)快取記憶體。於許多案例中，微處理器包含晶片上階層式(hierarchical)快取結構，階層式快取結構可能包含層次 1 (L1)、層次 2 (L2)和於某些案例中具有之層次 3 (L3)快取記憶體。傳統快取階層可以使用小且快速之 L1 快取，該 L1 快取可用以儲存該最頻繁使用之快取線(cache line)。該 L2 快取可以係較大且可能較慢之快取，用以儲存被頻繁存取但不適合於 L1 之快取線。該 L3 快取可較該 L2 快取更大且被用以儲存被頻繁存取但不適合於 L2 之快取線。具有如上所述之快取階層可以藉由減少延遲(latency)來改善處理器效能，其中該延遲係關聯於記憶體

被處理器核心所存取。

於傳統快取設計中，任何給定之資料方塊(block of data)僅可被置放於一些小數目之實體位置之其中之一，稱作集合(一般稱作集合關聯快取(set associative cache))。每一個集合中之該最大方塊數係與該快取之關聯性(associativity)。一旦給定集合係被存滿(full)，每一次新的資料必須被納入該集合時，則已存在之項目必須被該新的資料所溢寫(overwritten)或取代。某些形式之演算法必須被用以決定於取代之過程中那一個已存在之項目將被溢寫。取代演算中的一種形式係為該最近最少使用(least recently used, LRU)演算法。於該 LRU 演算法中，每一個集合中所有之項目之時間順序均被追蹤，並且如該名稱所暗示，該最近最少使用之項目係被取代。這個演算法於該關聯性很小的情況下可以運作得很好。對於較高之關聯性，持續追蹤該 LRU 位置係變得複雜且該排序資訊(ordering information)需要相當數量之儲存空間。

【發明內容】

許多用於處理器快取記憶體系統之高關聯性快取記憶體之第二次機會取代機制之實施例係被揭露。於一個實施例中，該快取記憶體系統包含連接至方塊取代控制器之快取記憶體。該快取記憶體可包含複數個集合，每一個集合均包含複數個方塊儲存位置。該方塊取代控制器可以被組構以維護對應於該快取記憶體中每一個集合之個別計數值(separate count value)。對應於給定集合之該計數值

指向該給定集合內儲存取代資料的合適之方塊儲存位置或方塊儲存位置群組(group)。該方塊取代控制器可針對該方塊儲存位置之至少一些中之每一個維護相關聯之最近存取位元，該最近存取位元係指示是否該對應之方塊儲存位置係最近被存取。此外，該方塊取代控制器可以根據是否對應於合適之方塊儲存位置之特定最近存取位元指示該合適之方塊儲存位置係最近被存取，而將該取代資料儲存於該合適之方塊儲存位置中被該個別計數值所指向之一者內。

於一個具體實現中，該方塊取代控制器可儲存該取代資料於被該個別計數值所指向之合適之方塊儲存位置內，以回應對應於該儲存位置之該特定最近存取位元，其中該特定最近存取位元指出該儲存位置係最近未被存取。

於另一個具體實現中，該方塊取代控制器可禁止儲存該取代信號於被該個別計數值所指向之合適之方塊儲存位置內，以回應對應於該合適之儲存位置之該特定最近存取位元，其中該特定最近存取位元指出該合適之方塊儲存位置係最近被存取。

【實施方式】

現在轉到第 1 圖，電腦系統 10 之一個實施例之方塊圖係被圖示於第 1 圖。於該圖示之實施例中，該電腦系統 10 包含連接至記憶體 14 和周邊裝置 13A-13B 之處理節點 12(processing node)。該節點 12 包含連接至節點控制器 20 之處理器核心 15A-15B、複數個 HyperTransport™(HT) 介面電路 24A-24C 以及共享之層次 3(shared L3) 快取記憶

體 60，其中，該節點控制器 20 係進一步連接至記憶體控制器 22。該 HT 電路 24C 係連接至該周邊裝置 13A，該周邊裝置 13A 又以菊環式組構(daisy-chain configuration)連接至該周邊裝置 13B，於本實施例中係使用 HT 介面。該剩下之 HT 電路 24A-24B 可經由其他 HT 介面(未顯示)而被連接至其他類似之處理節點(未顯示)。該記憶體控制器 22 係連接至該記憶體 14。於一個實施例中，節點 12 可係單一個積體電路晶片(integrated circuit chip)，該積體電路晶片包括顯示於第 1 圖中之該電路系統(circuitry)。也就是說，節點 12 可為晶片多重處理器(chip multiprocessor, CMP)。任何層次之整合的(integrated)或離散的(discrete)組件均可被使用。此處提到處理節點 12 可包含許多其他為了簡化而省略之電路。

於許多實施例中，節點控制器 20 也可包含許多種內連接(interconnection)電路(未顯示)，其中該內連接電路係用於將處理器核心 15A 和 15B 彼此內連接、內連接至其他節點、以及內連接至記憶體。節點控制器 20 也可包含選擇和控制許多節點特性之功能，如：該節點之該最大和最小操作頻率，以及例如該節點之最大和最小電源供應電壓。該節點控制器 20 一般可被組構以於該處理器核心 15A-15B、該記憶體控制器 22 以及該 HT 電路 24A-24C 之間進行路由通訊(route communications)，視該通訊形式和該通訊之位址…等而定。於一個實施例中，該節點控制器 20 可以包含系統要求儲列(system request queue, SRQ；

未顯示)，其中該節點控制器 20 係將接收之通訊(received communications)寫入該系統要求儲列。該節點控制器 20 可排程來自該 SRQ 之通訊以路由該通訊至該處理核心 15A-15B、該 HT 電路 24A-24C 以及該記憶體控制器 22 之間之一個目標或數個目標。

一般而言，該處理器核心 15A-15B 可利用通往該節點控制器 20 之該介面與該電腦系統 10 之其他組件(例如：周邊裝置 13A-13B、其他處理器核心(未顯示)、該記憶體控制器 22...等)通訊。該介面可被設計以任何想要之型態。於一些實施例中，快取一致通訊可對於該介面而被定義。於一個實施例中，於該節點控制器 20 和該處理器核心 15A-15B 之間的該介面上之通訊係為封包之形式，類似用於該 HT 介面上者。於其他實施例中，任何想要之通訊方式均可被使用(例如，匯流排介面上之交換(transaction)，不同形式之封包...等)。於其他實施例中，該處理器核心 15A-15B 可共享通往該節點控制器 20 之介面(例如，共享之匯流排介面)。一般而言，來自於該處理器核心 15A-15B 之該通訊可包含要求(request)，諸如：讀取操作(讀取記憶體位置或該處理器核心外部之暫存器)、寫入操作(寫入記憶體位置或外部之暫存器)、回應探測(response to probe)(對於快取一致實施例)、中斷確認(interrupt acknowledgement)以及系統管理訊息...等。

如以上所述，該記憶體 14 可包含任何適合之記憶體裝置。例如，該記憶體 14 可包括該動態隨機存取記憶體

(DRAM) 家族 (諸如 : RAMBUS DRAM(RDRAM)、同步 DRAM (synchronous DRAM, SDRAM) 和 雙倍資料傳送率 SDRAM (double data rate SDRAM)) 中一個或多個隨機存取記憶體 (RAM)。記憶體 14 可被稱作為電腦可讀取媒體 (computer readable medium)，其中該可讀取媒體可儲存程式指令 (program instruction)。該記憶體控制器 22 可包括與該記憶體 14 介接之控制電路系統。此外，該記憶體控制器 22 可包含要求儲列，該要求儲列係用以排隊 (queuing) 記憶體要求... 等。

該 HT 電路 24A-24C 可包括多種緩衝器 (buffer) 及用以自 HT 連結 (HT link) 接收封包和在 HT 連結上傳送封包之控制電路。該 HT 介面包括用以傳送封包之單向連結 (unidirectional link)。每一個 HT 電路 24A-24C 均可被連接至兩個這樣的連結 (一個用於傳送而一個用於接收)。給定之 HT 介面可以被操作於快取一致型態 (cache coherent fashion) (例如，介於處理節點之間) 或被操作於非一致型態 (non-coherent fashion) (例如，通往/來自周邊裝置 16A-16B)。於該圖示之實施例中，該 HT 電路 24A-24B 係並未被使用，而該 HT 電路 24C 係經由非一致性連結被連接至該周邊裝置 13A-13B。

此處提到，雖然該目前之實施例使用該 HT 介面作為節點之間和節點與周邊裝置之間的通訊，但其他實施例可使用任何想要之介面或任何一種通訊介面。舉例而言，其他以封包為基礎之介面可被使用，匯流排介面可被使用，

許多標準周邊介面可被使用(例如, 周邊組件內連接(peripheral component interconnect, PCI)和 PCI express...等)。

該周邊裝置 13A-13B 可為任何形式之周邊裝置。例如, 該周邊裝置 13A-13B 可包含與另一個電腦系統通訊之裝置, 其中該裝置係連接至該另一個電腦系統(例如, 網路介面卡、整合於電腦系統主電路板上類似網路介面卡之電路系統, 或數據機)。再者, 該周邊裝置 13A-13B 可包含視訊加速器(video accelerator)、音效卡(audio card)、硬式或軟式磁碟機或磁碟控制器、小型電腦系統介面(Small Computer Systems Interface, SCSI)轉接器、電話通訊卡(telephony card)、聲效卡(sound card)以及多種資料擷取卡(data acquisition card)諸如: 通用介面匯流排(GPIB)或場匯流排介面卡(field bus interface card)。此處提到該名稱"周邊裝置"係意指包含輸入/輸出(I/O)裝置。

一般而言, 處理器核心 15A-15B 可包含被設計用以執行指令之電路系統, 該指令係定義於給定之指令集合結構(instruction set architecture)中。也就是說, 該處理器核心電路系統可被組構以取得(fetch)、解碼(decode)、執行(execute)以及儲存(store)該指令之結果, 該指令係定義於該指令集合結構中。例如, 於一個實施例中, 處理器核心 15A-15B 可以該 X86 結構來實現。該處理器核心 15A-15B 可包括任何想要之組構, 包含: 超管路(superpipelined)、超純量(superscalar)或兩者之結合。

其他結構可包含純量(scalar)、管路(pipelined)、非管路(non-pipelined)…等。許多實施例可使用亂序預測執行(out of order speculative execution)或順序執行(in order execution)。該處理器核心可包含用於一個或多個指令或其他功能之微編碼(microcoding)，以與以上任何一種架構相結合。許多實施例可以實現許多其他設計特徵，諸如：快取、變換後備緩衝區(translation look-aside buffer, TLB)…等。因此，於該圖示之實施例中，除了被兩個處理器核心所共享之該 L3 快取 60 之外，處理器核心 15A 包含 L1 快取系統 16A、L2 快取系統 17A 和 TLB 18A。同樣地，處理器核心 15B 包含 L1 快取系統 16B、L2 快取系統 17B 和變換後備緩衝區 18B。該 L1 和 L2 快取各自可代表任何於微處理器中發現之 L1 和 L2 快取。另外，該處理節點 12 包含共享之 L3 快取 60，其中該 L3 快取 60 係 L3 快取次系統 30(cache subsystem)之一部份。於該圖示之實施例中，該 L3 快取次系統 30 包含快取控制器單元 21(如所示，係節點控制器 20 之一部份)和該 L3 快取 60。快取控制器 21 可被組構以控制被指向該 L3 快取 60 之要求。

如以下將詳加描述者，一個或多個該快取和(或)TLB 結構可實現取代機制，其中取代控制器可維護資料儲存陣列中每一個方塊儲存位置之最近被存取/被使用位元(recently accessed/used bit)。另外，該取代控制器可維護計數值以依次地指向每一個方塊儲存位置。當每一個合適之儲存位置均被查看以決定是否儲存取代資料，該最

近被存取/被使用(RU)位元可指示是否該對應之方塊儲存位置係最近被存取過。因此，該方塊取代控制器可根據是否該 RU 位元指示該位置最近被存取過，而將該取代資料儲存於該計數值所指向之該方塊儲存位置。

亦應注意的是，雖然第 1 圖中所示之該電腦系統 10 包含一個處理節點 12，但其他實施例可實現任意數目之處理節點。類似地，於許多實施例中，處理節點(如：節點 12)可包含任意數目之處理器核心。許多該電腦系統 10 之實施例也可以於每一個節點 12 上包含不同數目之 HT 介面和不同數目之周邊裝置 16(係連接至該節點)…等。

請參照第 2 圖，係顯示第 1 圖中快取記憶體系統實施例更詳細之態樣之方塊圖。該快取記憶體系統 200(有時又被稱作快取記憶體)包含標籤控制 262(tag control)、方塊取代控制器 266、最近最少使用(LRU)儲存陣列 264、標籤儲存陣列 263 和資料儲存陣列 265。

該標籤儲存陣列 263 可被組構以儲存一些位址位元(如：標籤)於複數個位置中的每一個，該位址位元係儲存於該資料儲存陣列 265 內之資料之快取線之位址位元。於一個實施例中，該標籤控制 262 可以被組構以搜尋該標籤儲存陣列 263 進而決定是否被要求之快取線係出現在該資料儲存陣列 265。例如，標籤控制 262 可決定是否有一個或多個關聯於讀取要求之位址位元(address bit)係與儲存於該標籤儲存陣列 263 之內之任何位址標籤(address tag)匹配。如果該標籤控制 262 與被要求之位址匹配，則

該標籤控制 262 可回覆命中指示(hit indication)給該快取控制器 21，而如果在該標籤陣列 263 中沒有發現匹配者則回覆落空指示(miss indication)。

於該圖示實施例中，該資料儲存陣列 265 包含複數個方塊儲存位置(如：269)。如圖所示，資料儲存陣列 265 具有編號由 0 至 $m-1$ 之 m 列(row)，以及編號由 0 至 $n-1$ 之 n 行(column)。於此實施例中，該資料儲存陣列 265 實現了包含 n 路關聯性(n ways of associativity)之集合關聯快取記憶體(set associative cache memory)。該路(way)係由該行所代表，而該集合由該列所代表。例如，如果該快取記憶體係 16 路之集合關聯快取，則 n 將是 16，而每一個集合將包含 16 個提供儲存資料方塊之方塊儲存位置。傳統上，資料方塊可為快取線。該集合之數目可視該快取記憶體之尺寸而定。

該 LRU 儲存陣列 264 包含複數個儲存位置。於圖示之實施例中，該 LRU 儲存陣列 264 包含相當於該資料儲存陣列 265 中該列和行之列和行，其中該列係代表該集合。於該 LRU 儲存陣列 264 中標記為"ru"之該儲存位置中，該方塊取代控制器 266 可維護該資料儲存陣列 265 中每一個方塊儲存位置之最近被存取/被使用(RU)位元。每一個 RU 位元均指示是否該資料儲存陣列中該對應之位置係最近被存取。如同此處所使用，被存取/被使用係指操作，在該操作中，該資料儲存陣列內之方塊儲存位置係由於對該方塊儲存位置中該資料之快取要求而被讀取或寫入或是被存取。

除了 RU 位元之外，該方塊取代控制器 266 可以於該 LRU 儲存陣列 264 中每一個列之內維護計數值。例如，如第 2 圖所示，每一個列中該參考編號 C0、C1、C2 和 C3 代表四位元計數值。該計數值代表指標(pointer)，指向資料儲存陣列 265 中該對應之列內個別之方塊儲存位置，其中該計數值可實現 16 路之集合關聯快取。因此，所示之該計數值係四位元數值。如果該路數(the number of way)不同，則該計數值可具有不同之位元數。於該圖示實施例中，對應於給定集合之該計數值亦代表指標，指向該 LRU 儲存陣列 264 中該相關聯之 RU 位元。

應注意的是在一個實施例中，當 RU 位元係空的(clear)，則可指示方塊儲存位置最近係未被存取。也就是說，當該 RU 位元係位於邏輯 0 數值。同樣地，當 RU 位元係被設定的(set)，則可指示方塊儲存位置最近係被存取。也就是說，當該 RU 位元係位於邏輯 1 數值。然而，同樣可預期該邏輯數值可被顛倒(reversed)以致於 RU 位元可指示出方塊儲存位置最近係未被存取，當 RU 位元係被設定的或位於邏輯 1 數值；而 RU 位元可指示出方塊儲存位置最近係被存取，當 RU 位元係空的或位於邏輯 0 數值。

如下所詳述並同時參照第 3 圖之敘述，方塊取代控制器 266 可以被組構以儲存取代資料於資料儲存陣列 265 內，如果該計數值指向具有指示該方塊儲存位置最近係未被存取之對應 RU 位元之方塊儲存位置。另外，如同此實施例中所使用之最近被存取(recently accessed)係指自從

該計數值最後一次指向此方塊儲存位置之”被存取/被使用”。

應注意的是，該取代機制可被使用於任何形式之快取，該快取係使用取代演算法。例如，上述該快取記憶體系統 200 可為 L1 快取、L2 快取或 L3 快取之代表。再者，也有其他型式之快取記憶體於處理器之微結構 (micro-architecture) 內。例如，許多處理器使用習知之儲存 (如變換後備緩衝區 (TLB)) 以儲存虛擬或線性位址至實體位址轉換。這些形式之儲存也可以大部分相同於傳統快取之方式使用取代演算法。如此，可預期上述該取代機制也可被使用於這些形式之快取。

第 3 圖係描述第 2 圖中該快取記憶體系統 200 之該實施例之該運作之流程圖。共同參照第 2 圖和第 3 圖，於方塊 300 內，於一個實施例中，該方塊取代控制器 266 造成所有 RU 位元指示最近未被存取。此情況可藉由例如：重置 (reset)，來完成。為回應快取存取要求 (諸如對給定之方塊儲存位置之讀取要求) (例如：方塊 305)，方塊取代控制器 266 設定對應於該被存取之方塊儲存位置之該 RU 位元 (方塊 310)。此操作可於每一次方塊儲存位置被存取時發生。

當該資料儲存陣列 265 係存滿有效之資料，任何額外之資料填入都將有資料被取代。因此，為回應取代要求 (方塊 315)，方塊取代控制器 266 檢查對應於該方塊儲存位置之該 RU 位元，其中該方塊儲存位置係被該集合中之該計數

值所指出，而該集合係被該要求之該位址所指示(方塊 320)。如果該 RU 位元係空的(於此例中)，指示出該位置最近係未被存取(方塊 325)，該方塊取代控制器 266 取代該方塊儲存位置中該資料，其中該方塊儲存位置係被該集合中之該計數值所指出，而該集合係被該要求之該位址所指示(方塊 330)，並且該方塊取代控制器 266 設定該對應之 RU 位元(指示最近係被存取)。操作則如上述之方塊 305 來進行。

回頭參照方塊 325，如果該 RU 位元係被設定的(is set)，指示該位置最近係被存取，則該方塊取代控制器 266 清空(clear)目前被該計數值所指向之該 RU 位元(指示最近係未被存取)，並且增加該計數值以指向該集合中該下一個合適之方塊儲存位置(方塊 340)。該方塊取代控制器 266 可接著檢查該下一個 RU 位元，以查看是否該下一個 RU 位元係空的或被設定的。如上所述，如果該 RU 位元係被設定的，指示該下一個位置最近係被存取，則該方塊取代控制器 266 清空目前被該計數值所指向之該 RU 位元(指示最近未被存取)，並增加該計數值以指向該集合中該下一個方塊儲存位置。此操作將持續直到該方塊取代控制器發現 RU 位元係空的，於此案例中操作將如以上方塊 330 中所述般被進行。因此，雖然不太可能，但所有該 RU 位元可能於一個取代週期內被清空。

上述該等實施例對可以於該計數器依次的傳遞之間被存取之任何方塊提供被取代前之第二次機會。

請參照第 4 圖，所示為圖示出快取記憶體系統 400 之另一個實施例之更詳細態樣之方塊圖。快取記憶體系統 400 類似於第 2 圖之快取記憶體 200，但是具有一些操作上的差異。詳而言之，視該實現之方式而定，不必要對於該資料儲存陣列 265 中每一個方塊儲存位置均維護 RU 位元。如下所述，該總計之最近使用資訊(包含該計數器和 RU 位元兩者)係維持在每個方塊儲存位置一個位元。

於第 4 圖所示之實施例中，該快取記憶體系統 400(有時係被稱作快取記憶體)包含標籤控制 262、方塊取代控制器 466、最近最少使用(LRU)儲存陣列 464、標籤儲存陣列 263 以及資料儲存陣列 265。如第 4 圖所示，該資料儲存陣列 265 包含複數個方塊儲存位置(如：269)，並且實現包括某路數關聯性之集合關聯快取。因此，該 LRU 儲存陣列 464 也包含複數個儲存位置。於一個實施例中，該方塊取代控制器 466 可針對該資料儲存陣列 265 中每一個集合維護計數值。如此，該 LRU 儲存陣列 464 也包含對應於該資料儲存陣列 265 中該列和該行之列和行，其中該列代表該集合。於一個實施例中，該方塊取代控制器 466 可將每一個計數值儲存於該 LRU 儲存陣列 464 之列內。例如，如第 4 圖所示，每一個列中之該參考編號 C0、C1、C2 和 C3 係代表四位元計數值。該計數值代表指向該資料儲存陣列 265 內之個別方塊儲存位置之指標。

然而，與第 2 圖所示之該實施例相比，第 4 圖中該方塊取代控制器 466 僅針對該資料儲存陣列 265 中一部份該

方塊儲存位置維護最近被存取/被使用(RU)位元。於該圖示之實施例中，為了減少LRU陣列464內之LRU資訊所需之儲存，該計數值係儲存於該等RU位元間。因此，RU位元之該數目可為 $n - \log_2 n$ ，其中 n 係關聯性之路數(number of ways of associativity)。例如，於16路之快取中，將有12個RU位元和四位元之計數值。於此案例中，最近已被該指標忽略之該RU位元可被看作係邏輯0，所以這些位元不需要儲存。另外，根據RU位元與該計數器之相對位置(position)而不是根據絕對之路數(absolute way number)來儲存該RU位元係有用的。例如，該方塊取代控制器466可儲存LRU陣列464內之該計數值，以致於該第一RU位元儲存位置(在對應於任何的方塊儲存位置之該計數值儲存之後)係被該計數值所指向。因此，例如：如果該計數值係6，儲存於行4之該RU位元將對應於路數6之方塊儲存位置，而不是如第2圖所示之實施例中該RU位元所對應之路數4。

如以上與第4圖中所描述者，每次該計數值增加，則LRU儲存陣列464中特定列內之該RU位元係被向左移位(shifted left)一個位元位置。因為該RU位元中任何一個或全部均有可能於取代要求當時成為那一個被左移之位元，所以似乎需要一個移位器(shifter)，該移位器具有和每一個列之該RU位元數目一樣多之路數。然而，該移位器所需要之尺寸可藉由數字因子" k "來減少，藉由在增加該計數器之前等待該最初 k 個RU位元被設定並且僅以 k 之倍數

增加。於此案例中，被用於任何給定之取代之該路(way)將不必要係該計數值所指向之該路，但可為自該計數值到計數值+k-1 之該路中任何一個，該路之 RU 位元指示最近未被存取/被使用。例如，於該圖示實施例中，該計數值可以 4 之倍數($k=4$)增加。於此案例中，該計數值中該 2 個最低有效位元(least significant bit)將總是邏輯 0，所以該 2 個最低有效位元不需要儲存。此方式所節省之該儲存空間可以被用以儲存額外之 RU 位元。因此，於此例中，每個集合中該 16 位元 LRU 儲存將被分配為兩位元計數值加上 14 個 RU 位元。

於一個實施例中，每一個 RU 位元均指示是否該資料儲存陣列 265 中對應之方塊儲存位置係最近被存取。如同此處所使用，被存取/被使用係指操作，在該操作中，該資料儲存陣列內之方塊儲存位置係由於對該方塊儲存位置中該資料之快取要求而被讀取或寫入或是被存取。

應注意的是在一個實施例中，當 RU 位元係空的，該 RU 位元可指示方塊儲存位置最近係未被存取。也就是說，當該 RU 位元係位於邏輯 0 數值。同樣地，當 RU 位元係被設定的，該 RU 位元可指示方塊儲存位置最近係被存取。也就是說，當該 RU 位元係位於邏輯 1 數值。然而，同樣可預期該邏輯數值可被顛倒以致於 RU 位元可指示出方塊儲存位置最近係未被存取，當 RU 位元係被設定的或位於邏輯 1 數值；而 RU 位元可指示出方塊儲存位置最近係被存取，當 RU 位元係空的或位於邏輯 0 數值。

第 5 圖係描述第 4 圖中所示之該實施例之操作細節之流程圖，如同該先前段落所修改者。共同參照第 4 圖和第 5 圖，於第 5 圖之方塊 500 中，該方塊取代控制器 466 造成所有 RU 位元指示最近未被存取。此情況可藉由例如：重置，來完成。為回應快取存取要求（諸如對給定之方塊儲存位置之讀取要求），例如（方塊 505），方塊取代控制器 466 設定對應於該被存取之方塊儲存位置之該 RU 位元，如果於該要求時存在這樣的位元（方塊 510）。此操作可於每一次方塊儲存位置被存取時發生。

當該資料儲存陣列 265 係存滿有效之資料，任何額外之資料填入都將有資料被取代。因此，為回應取代要求（方塊 515），方塊取代控制器 466 檢查對應於該方塊儲存位置之該 RU 位元以及對該集合之該下面三個 RU 位元，其中該方塊儲存位置係被該集合中之該計數值所指向，而該集合係被該要求之該位址所指示（方塊 520）。如果此四個 RU 位元中任何一個係空的，指示該位置係未被存取（方塊 525），則該方塊取代控制器 466 取代該方塊儲存位置中該資料，其中該方塊儲存位置係對應於四個 RU 位元中該第一個空的 RU 位元（方塊 530），並且該方塊取代控制器 466 設定此位元以指示最近係被存取。操作則如上述之方塊 505 來進行。

回頭參照方塊 525，如果該四個被檢驗之 RU 位元全部均被設定，指示該等位置最近係被存取，則該方塊取代控制器 466 將所有對於該列之該 RU 位元往左移位四個位元位

置，於右手端填 0(zero-fill)(指示最近未被存取)，並且將計數值增加 4 以指向該接下來包含該集合中四個方塊儲存位置之合適群組(方塊 540)。該方塊取代控制器 466 可接著檢查該接下來具有四個 RU 位元之群組，以查看是否其中任何一個係空的。如上所述，如果該四個 RU 位元全部係被設定的，指示該等位置最近係被存取，則該方塊取代控制器 466 將所有對於該列之該 RU 位元往左移位四個位元位置，並填 0 (指示最近未被存取)，並且將計數值增加 4 以指向該接下來包含該集合中四個方塊儲存位置之合適群組。此操作將持續直到該方塊取代控制器發現 RU 位元係空的，於此案例中操作將如以上方塊 530 中所述般被進行。因此，雖然不太可能，但所有該 RU 位元可能於一個取代週期內被清空。

應注意的是，於另一實施例中，每當該第一組四個位元(first four bit)被發現係被設定，則該方塊取代控制器 466 可被組構以移位/清空(shift/clear)該對於給定之列之四個 RU 位元，而無須等待該下一個取代要求。於此案例中，當取代要求到達時，已經確認第一組四個群組中至少一個 RU 位元係空的。

應注意的是，雖然於一些實施例中未顯示，但有效之位元/資訊可被儲存於該標籤陣列 263 或個別之儲存陣列。如此，具有無效資料之方塊儲存位置可以在具有有效之資料前一直被用以儲存取代之資料(replacement data)。因此，當接收到快取要求時，當正在決定儲存取代

資料至那一個位置時，該有效之資訊可優先於該 RU 資訊而被檢查。

復應注意的是，雖然上述實施例中包含具有多重處理器核心之節點，可預期的是關聯於快取系統 200 和 400 之該功能可被用於任何形式之處理器，包含單一核心處理器。另外，雖然該實施例已經以硬體的關點被描述，但可預期的是該實施例可被實現於硬體、軟體或軟體之結合。於以軟體實現之實施例中，該程式指令可被儲存於例如第 1 圖之記憶體 14 內，並如所期望的被 15A 和 15B 所執行。然而，可預期的是該程式指令可被儲存於任何形式之儲存媒體中。

雖然該以上之實施例已被儘可能地詳細描述，但以上所揭露的內容一旦理解後，許多的變化及修改對於該技術領域中熟習技術者將變得很明顯。接下來的申請專利範圍打算以涵蓋所有這種變化與修改之方式來加以解讀。

【圖式簡單說明】

藉由參考附加圖示使所屬技術領域中具有通常知識者對本發明可有較佳的了解，且明瞭其許多特色與優點。

第 1 圖係包含多核心處理節點之電腦系統之一個實施例之方塊圖；

第 2 圖係圖示第 1 圖之快取記憶體之實施例中較詳細態樣之方塊圖；

第 3 圖係描述第 2 圖之該快取記憶體之一個實施例中該操作之流程圖；

第 4 圖係圖示第 1 圖之快取記憶體之另一個實施例中較詳細態樣之方塊圖；

第 5 圖係描述第 4 圖之該快取記憶體之一個實施例中該操作之流程圖；

雖然本發明可容易作各種之修飾和替代形式，但是在此係由圖式中之範例顯示及詳細說明本發明之特定實施例。然而，應瞭解到此處特定實施例之圖式及詳細說明並不欲用來限制本發明為所揭示之特定形式，反之，本發明將涵蓋所有落於如所附申請專利範圍內所界定之本發明之精神和範圍內之修飾、等效和替代內容。請注意該字句“may”係以寬鬆之意義被貫穿地使用於本發明（也就是，有可能的、可以的），而不是強制之意義（也就是，必須）。

【主要元件符號說明】

10	電腦系統
12	節點
13A、13B	周邊
14	記憶體
15A、15B	處理器核心
16A、16B	L1 快取
17A、17B	L2 快取
18A、18B	變換後備緩衝區
20	節點控制器
21	快取控制器
22	記憶體控制器

24A、24B、24C	HyperTransport 介面電路
30	L3 快取次系統
60	L3 快取
200、400	快取記憶體系統
262	標籤控制
263	標籤儲存陣列
264、464	最近最少使用(LRU)儲存陣列
265	資料儲存陣列
266、466	方塊取代控制器
269	方塊儲存位置
300、305、310、315、320、325、330、335、340	方塊
500、505、510、515、520、525、530、535、540	方塊

十、申請專利範圍：

1. 一種快取記憶體系統，包括：

快取記憶體，包含複數個集合，每一個集合均具有複數個方塊儲存位置；以及

方塊取代控制器，連接至該快取記憶體並且被組構以維護對應於該快取記憶體中每一個集合之個別計數值，其中，對應於給定集合之該個別計數值指向該給定集合內儲存取代資料之合適之方塊儲存位置；

其中，該方塊取代控制器係復組構以針對該方塊儲存位置之至少一些中每一個維護相關聯之最近存取位元，該最近存取位元係指示自從該個別計數值最後一次指向該對應之方塊儲存位置時起是否該對應之方塊儲存位置係最近被存取，其中，對於給定之集合而言，該最近存取位元係與該個別計數值分開；以及

其中，該方塊取代控制器係被復組構以根據是否對應於該合適之方塊儲存位置之該最近存取位元中特定一者指示該合適之方塊儲存位置係最近被存取，而將該取代資料儲存於被該個別計數值所指向之該合適之方塊儲存位置內。

2. 如申請專利範圍第 1 項之快取記憶體系統，其中，該方塊取代控制器係被組構以將該取代資料儲存於被該個別計數值所指向之該合適之方塊儲存位置內，以回應對應於該合適之方塊儲存位置之該最近存取位元中該特定一者指示該合適之方塊儲存位置係最近未被存

取。

3. 如申請專利範圍第 1 項之快取記憶體系統，其中，該方塊取代控制器係復組構以造成對應於該合適之方塊儲存位置之該最近存取位元中該特定一者指示該合適之方塊儲存位置係最近被存取，以回應存取該合適之方塊儲存位置之快取存取要求。
4. 如申請專利範圍第 1 項之快取記憶體系統，其中，該方塊取代控制器係復組構以禁止將該取代資料儲存於被該個別計數值所指向之該合適之方塊儲存位置內，以回應對應於該合適之方塊儲存位置之該最近存取位元中該特定一者指示出該合適之方塊儲存位置係最近被存取。
5. 如申請專利範圍第 1 項之快取記憶體系統，其中，該方塊取代控制器係被組構以造成給定之最近存取位元指示相關聯之合適方塊儲存位置係最近未被存取，以回應指向該對應之合適方塊儲存位置之對應之個別計數值，以及該給定之最近存取位元指示該對應之合適方塊儲存位置係最近被存取。
6. 如申請專利範圍第 5 項之快取記憶體系統，其中，該方塊取代控制器係被組構以增加該個別計數值，以回應對應於該合適之方塊儲存位置之該最近存取位元中該特定一者指示出該合適之方塊儲存位置係最近被存取，該合適之方塊儲存位置係被該個別計數值所指向。
7. 如申請專利範圍第 1 項之快取記憶體系統，其中，最

近存取位元之數目係直接對應於集合之數目乘以該快取記憶體關聯性之路數。

8. 如申請專利範圍第 1 項之快取記憶體系統，其中，最近存取位元之數目係直接對應於集合之數目乘以 $n - \log_2 n$ ，此處 n 係等於該快取記憶體關聯性之路數。
9. 一種快取資料取代之方法，包括：

提供快取記憶體，包含複數個集合，每一個集合均包含複數個方塊儲存位置；以及

維護個別計數值，該個別計數值係對應於該快取記憶體中每一個集合，其中，對應於給定集合之該個別計數值指向該給定集合內儲存取代資料之合適之方塊儲存位置；

針對該方塊儲存位置之至少一些中每一個維護相關聯之最近存取位元，該最近存取位元係指示自從該個別計數值最後一次指向該對應之方塊儲存位置時起是否該對應之方塊儲存位置係最近被存取，其中，對於給定之集合而言，該最近存取位元係與該個別計數值分開；以及

根據是否對應於該合適之方塊儲存位置之該最近存取位元中特定一者指示該合適之方塊儲存位置係最近被存取，將該取代資料儲存於被該個別計數值所指向之該合適之方塊儲存位置內。

10. 如申請專利範圍第 9 項之方法，復包括將該取代資料儲存於被該個別計數值所指向之該合適之方塊儲存位

置內，以回應對應於該合適之方塊儲存位置之該最近存取位元中該特定一者指示該合適之方塊儲存位置係最近未被存取。

11. 如申請專利範圍第 10 項之方法，復包括造成該對應於該合適之方塊儲存位置之該最近存取位元中該特定一者指示該合適之方塊儲存位置係最近被存取，以回應存取該合適之方塊儲存位置之快取存取要求。
12. 如申請專利範圍第 10 項之方法，復包括禁止儲存該取代資料於被該個別計數值所指向之該合適之方塊儲存位置內，以回應對應於該合適之方塊儲存位置之該最近存取位元中該特定一者指示該合適之方塊儲存位置係最近被存取。
13. 如申請專利範圍第 11 項之方法，復包括造成給定之最近存取位元指示相關聯之合適方塊儲存位置係最近未被存取，以回應指向該對應之合適方塊儲存位置之對應之個別計數值，以及該給定之最近存取位元指示該對應之合適方塊儲存位置係最近被存取。
14. 如申請專利範圍第 11 項之方法，復包括增加該個別計數值，以回應對應於該合適之方塊儲存位置之該最近存取位元中該特定一者，該合適之方塊儲存位置係被該個別計數值所指向，該個別計數值指示該合適之方塊儲存位置係最近被存取。
15. 如申請專利範圍第 9 項之方法，其中，最近存取位元之數目係直接對應於集合之數目乘以該快取記憶體關

聯性之路數。

16. 如申請專利範圍第 9 項之方法，其中，最近存取位元之數目係直接對應於集合之數目乘以 $n \cdot \log_2 n$ ，此處 n 係等於該快取記憶體關聯性之路數。
17. 一種包含程式指令之電腦可讀取媒體，該程式指令可被處理器所執行以：

維護個別計數值，該個別計數值係對應於快取記憶體中複數個集合中每一個集合，其中各集合包含複數個方塊儲存位置，並且，其中之對應於給定集合之個別計數值指向該給定集合內儲存取代資料之合適之方塊儲存位置；

針對該方塊儲存位置之至少一些中每一個維護相關聯之最近存取位元，該最近存取位元係指示自從該個別計數值最後一次指向該對應之方塊儲存位置時起是否該對應之方塊儲存位置係最近被存取自從該個別計數值最後一次指向該對應之方塊儲存位置時起；以及

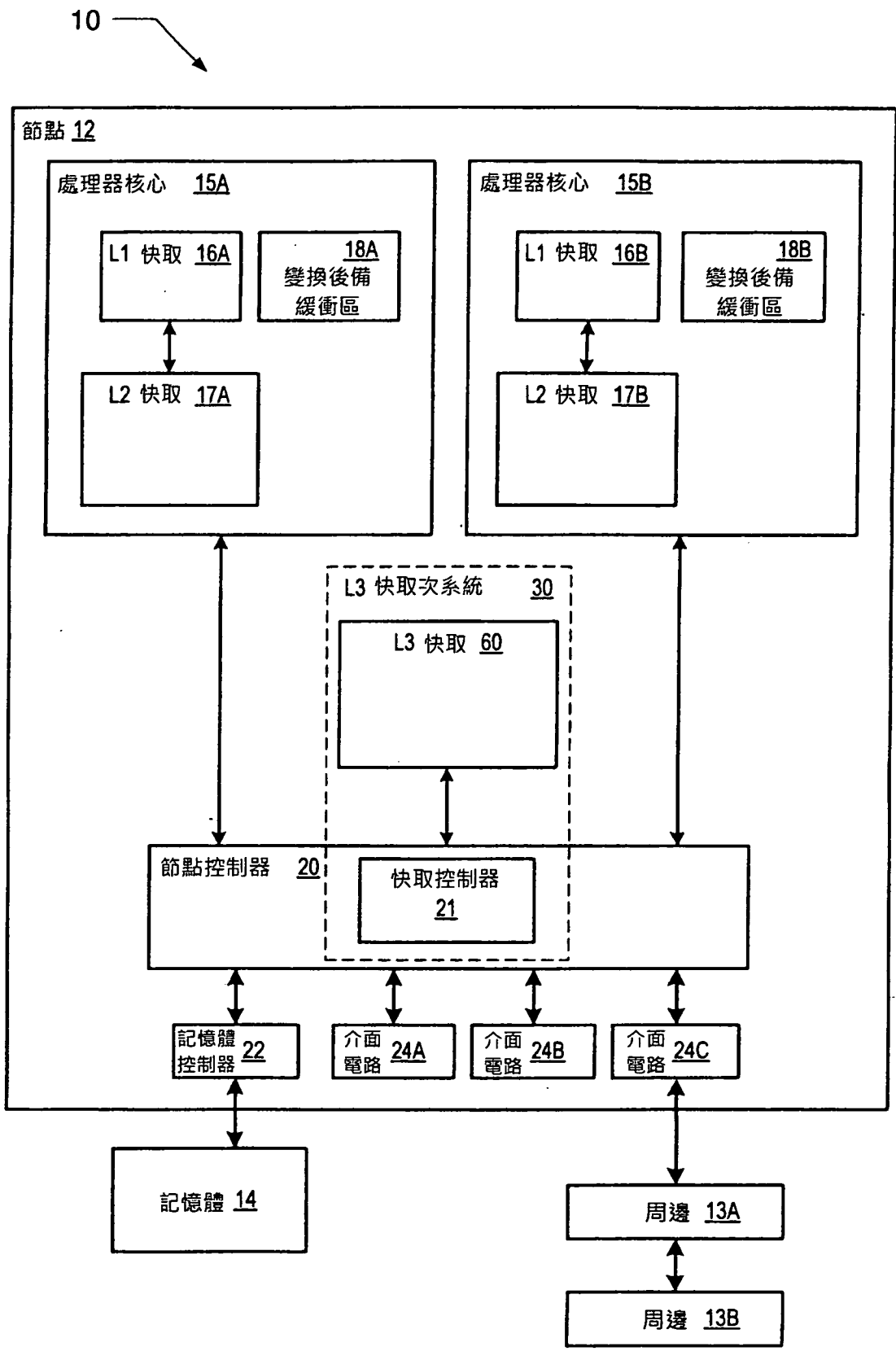
根據是否對應於該合適之方塊儲存位置之該最近存取位元中特定一者指示該合適之方塊儲存位置係最近被存取，將該取代資料儲存於被該個別計數值所指向之該合適之方塊儲存位置內。

18. 如申請專利範圍第 17 項之電腦可讀取媒體，其中，該程式指令復包括指令，該指令可被處理器所執行以儲存該取代資料於被該個別計數值所指向之該合適之方

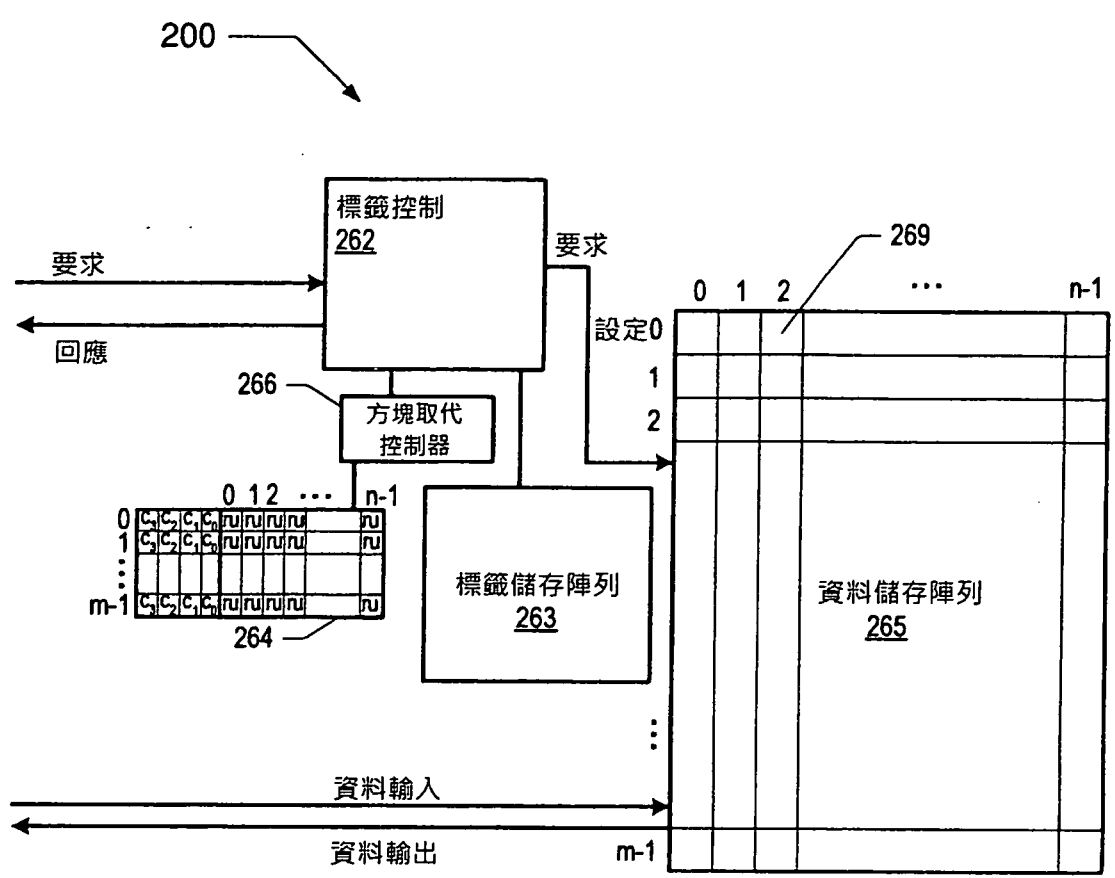
塊儲存位置內，以回應對應於該合適之方塊儲存位置之該最近存取位元中該特定一者指示該合適之方塊儲存位置係最近未被存取。

19. 如申請專利範圍第 18 項之電腦可讀取媒體，其中，該程式指令復包括指令，該指令可被處理器所執行以造成該對應於該合適之方塊儲存位置之該最近存取位元中該特定一者指示該合適之方塊儲存位置係最近被存取，以回應存取該合適之方塊儲存位置之快取存取要求。

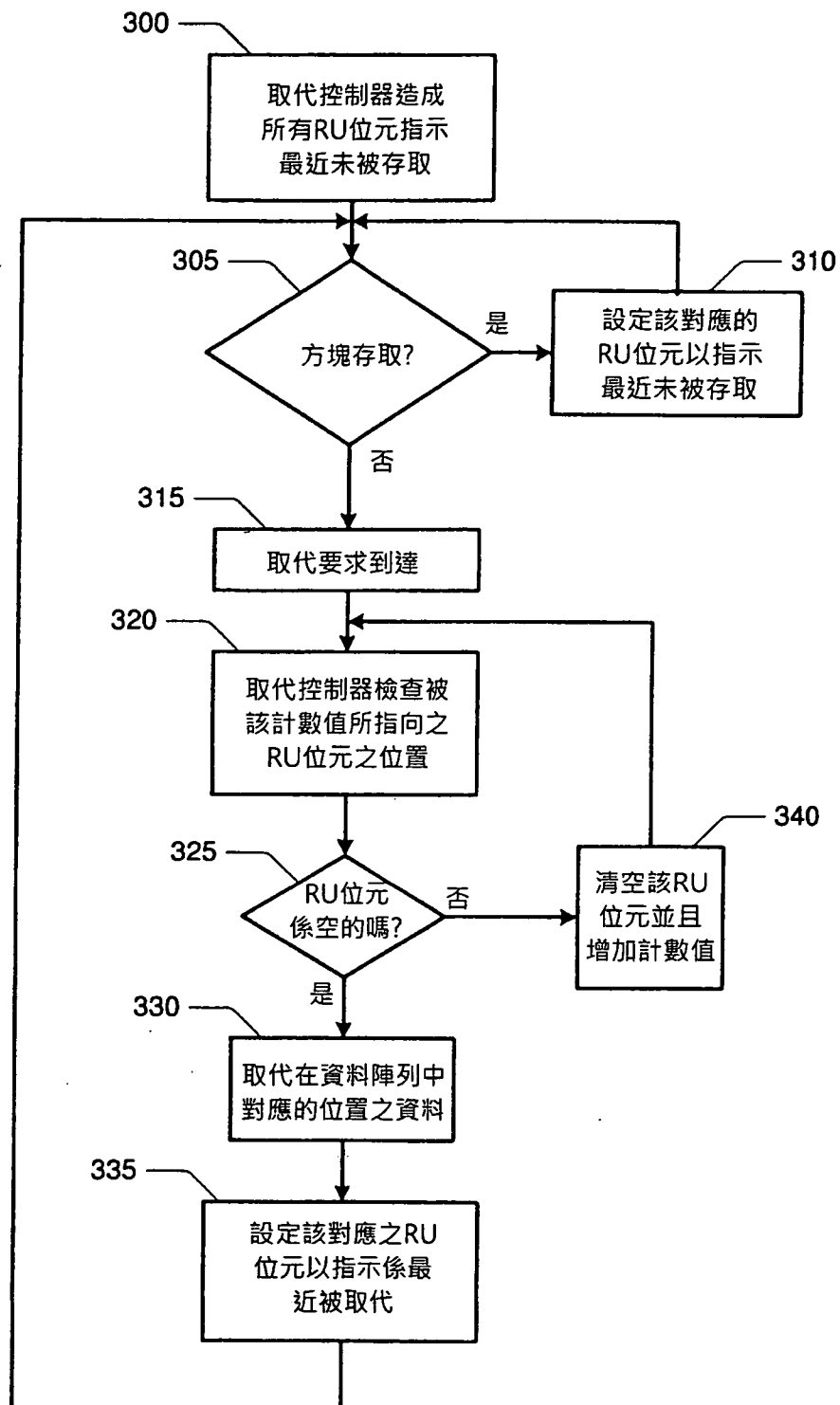
20. 如申請專利範圍第 18 項之電腦可讀取媒體，其中，該程式指令復包括指令，該指令可被處理器所執行以禁止儲存該取代資料於被該個別計數值所指向之該合適之方塊儲存位置內，以回應對應於該合適之方塊儲存位置之該最近存取位元中該特定一者指示該合適之方塊儲存位置係最近被存取。



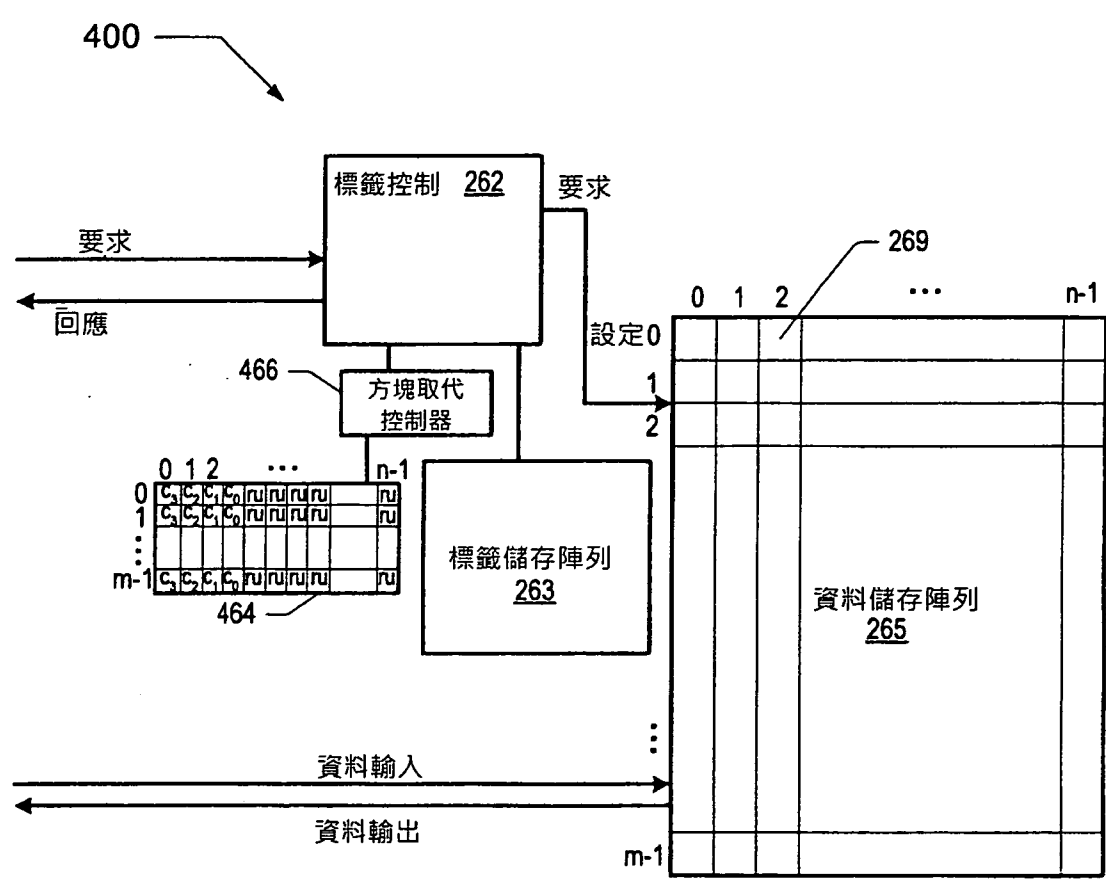
第1圖



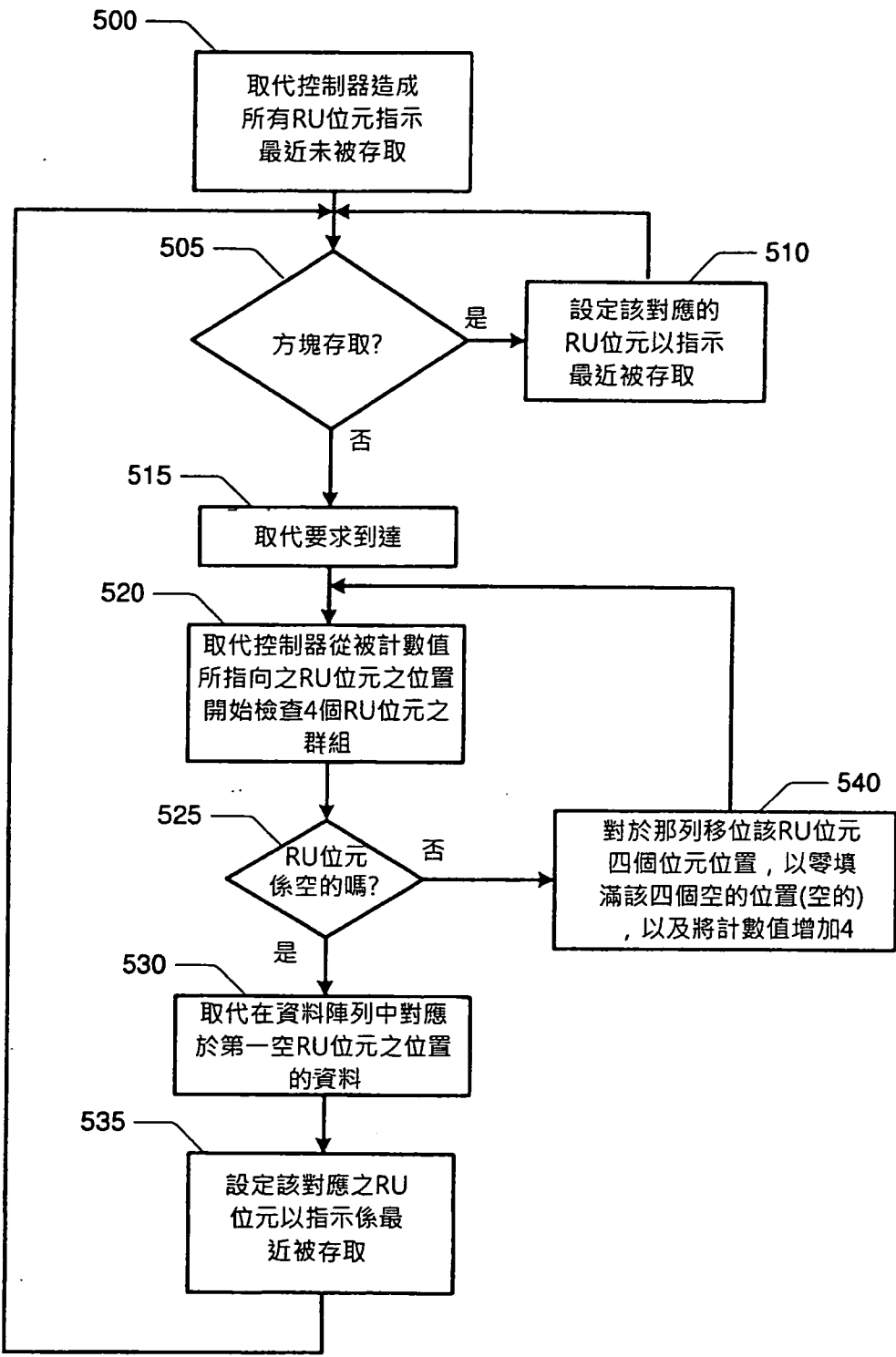
第2圖



第3圖



第4圖



第5圖