(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第4281240号
(P4281240)

(45)発行日　平成21年6月17日(2009.6.17)　(24)登録日　平成21年3月27日(2009.3.27)

(51)Int.Cl.　F I
B41J 2/44 (2006.01)　B41J 3/21 L
B41J 2/45 (2006.01)　H01L 33/00 J
B41J 2/455 (2006.01)
H01L 33/00 (2006.01)

請求項の数 13　(全 12 頁)

(21)出願番号　特願2000-325462 (P2000-325462)
(22)出願日　平成12年10月25日 (2000.10.25)
(65)公開番号　特開2002-134788 (P2002-134788A)
(43)公開日　平成14年5月10日 (2002.5.10)
審査請求日　平成19年8月22日 (2007.8.22)

(73)特許権者　000005496
富士ゼロックス株式会社
東京都港区赤坂九丁目７番３号
(74)代理人　100104880
弁理士　古部　次郎
(74)代理人　100118201
弁理士　千田　武
(72)発明者　大野　誠治
大阪府大阪市中央区道修町３丁目５番１１号　日本板硝子株式会社内

審査官　尾崎　俊彦

(56)参考文献　特開平０９－０９９５８３（ＪＰ，Ａ）

最終頁に続く

(54)【発明の名称】自己走査型発光素子アレイおよびその駆動方法

(57)【特許請求の範囲】

【請求項１】

しきい電圧もしくはしきい電流が外部から電気的に制御可能な、ゲート電極、アノード電極、カソード電極を有する３端子転送素子多数個を、一次元的に配列し、

隣接する転送素子のしきい電圧もしくはしきい電流を制御するゲート電極を、電圧もしくは電流の一方向性をもつダイオードが直列に接続されるように、ダイオードをそれぞれ介在させて互いに接続し、

前記ダイオードにより互いに接続された各転送素子のそれぞれ１素子おきに、当該転送素子のアノード電極またはカソード電極のうちの一方に、外部から２相のクロックパルスのいずれか一方を供給する２本のクロックパルスラインを設け、

一方の相のクロックパルスにより、ある転送素子がオンしているとき、その転送素子に前記ダイオードを介して接続され、当該ダイオードによりしきい電圧もしくはしきい電流が変化した転送素子を、他方の相のクロックパルスによりオンさせ、

発光のためのしきい電圧もしくはしきい電流が外部から電気的に制御可能な、ゲート電極、アノード電極、カソード電極を有する３端子発光素子多数個を、前記転送素子のそれぞれに対応させて一次元的に配列し、

前記転送素子の各ゲート電極を、当該転送素子に対応する前記発光素子のゲート電極に接続し、

前記各発光素子のアノード電極またはカソード電極の一方に、発光のための書込み信号を印加する１本の書込み信号ラインを設けた自己走査型発光素子アレイにおいて、

前記各発光素子のアノード電極またはカソード電極の一方は、抵抗を介して、前記書込み信号ラインに接続され、

前記抵抗の値は、１個の発光素子に流す電流では、オンしている転送素子に対応する発光素子は発光するが、ダイオードを介してしきい電圧もしくはしきい電流が変化した転送素子に対応する発光素子が発光せず、２倍の電流を流したとき、当該発光素子も同時に発光するように選ばれる

ことを特徴とする自己走査型発光素子アレイ。

【請求項２】

前記３端子転送素子および前記３端子発光素子は、ｐｎｐｎ構造の３端子発光サイリスタよりなることを特徴とする請求項１記載の自己走査型発光素子アレイ。

【請求項３】

前記抵抗は、前記ｐｎｐｎ構造の最上層の保護膜上に形成された抵抗体よりなることを特徴とする請求項２記載の自己走査型発光素子アレイ。

【請求項４】

前記抵抗は、前記発光素子のアノード電極またはカソード電極の一方の電極上に形成された抵抗体よりなることを特徴とする請求項１記載の自己走査型発光素子アレイ。

【請求項５】

前記抵抗体は、サーメットよりなることを特徴とする請求項３または４記載の自己走査型発光素子アレイ。

【請求項６】

前記サーメットは、ＣｒＳｉＯ，ＡｕＳｉＯまたはＡｇＳｉＯであることを特徴とする請求項５記載の自己走査型発光素子アレイ。

【請求項７】

前記抵抗体は、金属被膜よりなることを特徴とする請求項３または４記載の自己走査型発光素子アレイ。

【請求項８】

前記金属被膜は、Ｎｉ，Ｃｒ，ＮｉＣｒ，Ｗ，ＰｔまたはＰｄであることを特徴とする請求項７記載の自己走査型発光素子アレイ。

【請求項９】

前記抵抗は、前記ｐｎｐｎ構造の最上層である半導体層の不純物濃度を調整して、この半導体層上に形成される、前記発光素子のアノード電極またはカソード電極のうちの一方の電極との間の接触抵抗により形成されることを特徴とする請求項２記載の自己走査型発光素子アレイ。

【請求項１０】

前記抵抗は、前記発光素子である発光サイリスタの寄生抵抗により形成されることを特徴とする請求項２記載の自己走査型発光素子アレイ。

【請求項１１】

請求項１に記載の自己走査型発光素子アレイを駆動する方法において、前記転送素子がオンしているときに、ゲート電極がこの転送素子のゲート電極に接続されている発光素子のアノード電極またはカソード電極の一方に印加される書込み信号の電流を、１個の発光素子が点灯する場合と、２個の隣接する発光素子が同時に点灯する場合とに制御することを特徴とする自己走査型発光素子アレイの駆動方法。

【請求項１２】

前記２個の隣接する発光素子を同時に点灯させる場合に、解像度を小さくするように、前記書込み信号を制御することを特徴とする請求項１１記載の自己走査型発光素子アレイの駆動方法。

【請求項１３】

前記２個の隣接する発光素子を同時に点灯させる場合に、前記２相のクロックパルス毎に、前記書込み信号を制御することを特徴とする請求項１１記載の自己走査型発光素子アレイの駆動方法。

【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、自己走査型発光素子アレイ、特に、１チップ上で２個のサイリスタを同時に点灯できるようにした自己走査型発光素子アレイ、およびその駆動方法に関する。
【０００２】
【従来の技術】
光プリンタの書込みヘッド（光書込みヘッド）は、感光ドラムに光を露光させるための光源であり、発光素子アレイを有している。光書込みヘッドを備える光プリンタの原理図を図１に示す。円筒形の感光ドラム５の表面に、アモルファスＳｉ等の光導電性を持つ材料（感光体）が作られている。このドラムはプリントの速度で回転している。回転しているドラムの感光体表面を、帯電器６で一様に帯電させる。そして、光書込みヘッド７で、印字するドットイメージの光を感光体上に照射し、光の当たったところの帯電を中和し、潜像を形成する。続いて、現像器８で感光体上の帯電状態にしたがって、トナーを感光体上につける。そして、転写器１０でカセット１２中から送られてきた用紙１４上に、トナーを転写する。用紙は、定着器１６にて熱等を加えられ定着され、スタッカ１８に送られる。一方、転写の終了したドラムは、消去ランプ２０で帯電が全面にわたって中和され、清掃器２２で残ったトナーが除去される。
【０００３】
光書込みヘッド７の構造を図２に示す。光書込みヘッドは発光素子アレイ２４と、正立等倍光学系、例えばロッドレンズアレイ２６で構成され、レンズの焦点が感光ドラム５上に結ぶようになっている。
【０００４】
本発明者らは、自己走査型の発光素子アレイの構成要素として、ｐｎｐｎ構造を持つ３端子発光サイリスタに注目し、既に特許出願（特開平１－２３８９６２号公報、特願平２－１４５８４号公報、特開平２－９２６５０号公報、特開平２－９２６５１号公報）し、光プリンタ用光源として実装上簡便となること、発光素子ピッチを細かくできること、コンパクトな自己走査型発光素子アレイを作製できること等を示した。
【０００５】
さらに本発明者らは、転送サイリスタアレイをシフト部として、発光部である発光サイリスタアレイと分離した構造の自己走査型発光素子アレイを提案している（特開平２－２６３６６８号公報）。
【０００６】
従来の自己走査型発光素子アレイの回路例を図３に示す。２相クロックパルスφ１，φ２で駆動するシフト部（サイリスタT_0，T_1，T_2，…）と、シフト部の指定によって発光可能となる発光部（サイリスタL_0，L_1，L_2，…）からなっている。転送部サイリスタのゲートを互いに電気的に接続するのにダイオードD_0，D_1，D_2，…を用いている。V_{GK}は電源（通常＋５Ｖ）であり、負荷抵抗R_Lを経て各転送部サイリスタのゲート電極G_0，G_1，G_2，…に接続されている。また、転送部サイリスタのゲート電極は、発光部サイリスタのゲート電極にも接続される。転送部サイリスタT_0のゲート電極にはスタートパルスϕ_Sが加えられ、転送部サイリスタのアノード電極には、交互に転送用クロックパルスφ１，φ２が加えられ、発光部サイリスタのアノード電極には、書込み信号ϕ_Iが加えられる。
【０００７】
なお図中、１０はϕ_Iライン，１２はV_{GK}ライン，１４はφ１ライン，１６はφ２ラインを示している。また、Ｒ１，Ｒ２，R_Iは、φ１ライン，φ２ライン，ϕ_Iラインに挿入された電流制限抵抗、R_Sはスタートパルス用の電流制限抵抗を示している。
【０００８】
いま、ｎ番目のシフト部サイリスタT_nがオンしているとき、書込み信号ϕ_IをＨとすると、選択的にシフト部サイリスタT_nに対応する発光部サイリスタL_nがオンする。これ

は、サイリスタT_nとサイリスタL_nのゲート同士は直接接続され同電位となっており、サイリスタT_nがオンしている場合、発光部サイリスタL_nのゲート電位は、ほとんど基板電位となり、最も低い電位となるからである。次に低い電位となる発光部サイリスタは、サイリスタL_{n+1}のゲートであり、結合ダイオードD_nの電圧降下分の約１Ｖ高い値となる。この状態で、書込み信号ϕ_IラインをＨの電圧（例えば＋５Ｖ）に引き上げると、ゲート電位が最も低いサイリスタL_nが最も早くオンする。ひとたびオンすると、サイリスタL_nのアノードの電圧は、ｐｎ接合の順方向電圧の約１Ｖに固定される。発光部の全てのサイリスタのアノードはϕ_Iライン１０に直接接続されているので、次にゲート電位の高いサイリスタL_{n+1}は、ゲート・アノード間の電位差が無くなりオンできなくなる。このため、従来の構成の自己走査型発光素子アレイでは、ϕ_Iライン１本あたり１個のサイリスタしか同時に点灯できない。

【０００９】

【発明が解決しようとする課題】

光プリンタの印刷速度を上げるためには、感光ドラム上での露光エネルギーを大きくする必要がある。露光エネルギーは、サイリスタの光出力（仕事率の次元を持つ）と露光時間の積なので、露光エネルギーを大きくするには、光出力を大きくするか、露光時間を長くすることが必要になる。

【００１０】

光出力を大きくするには、サイリスタの構造が同じであれば、電流を増やすことになるが、素子寿命に影響するのでむやみに電流を増やすことはできない。例えば、Ａｌ配線の寿命を決める、エレクトロマイグレーションの進む速度は、電流の１．６～４乗に比例することが知られ、電流を大きくすると、劇的に寿命が短くなるおそれがある。

【００１１】

一方、露光時間を長くするには、同時に発光できるサイリスタの数を増やす必要がある。しかし、従来の技術では、同時に発光できるサイリスタの数を増やすにはϕ_Iラインの本数を増やさなければならず、この方法では、ϕ_Iラインの増加分だけ素子面積および、取出し端子が増えるという問題点があった。素子面積の増加はチップコストの増加となり、取出し端子数の増加は組立コストおよび駆動回路の複雑化を招く。

【００１２】

本発明の目的は、ϕ_Iラインの数を１本のまま、２個のサイリスタを同時に点灯できる自己走査型発光素子アレイを提供することにある。

【００１３】

【課題を解決するための手段】

本発明の第１の態様は、自己走査型発光素子アレイである。本発明は、しきい電圧もしくはしきい電流が外部から電気的に制御可能な３端子転送素子多数個を、一次元的に配列し、隣接する転送素子のしきい電圧もしくはしきい電流を制御する制御電極を、電圧もしくは電流の一方向性をもつ電気的手段にて互いに接続し、前記一次元的に配列された各転送素子の残りの２電極のうちの一方に、外部から２相のクロックパルスを、それぞれ１素子おきに供給する２本のクロックパルスラインを設け、一方の相のクロックパルスにより、ある転送素子がオンしているとき、その転送素子近傍の転送素子のしきい電圧もしくはしきい電流を、前記電気的手段を介して変化させ、他方の相のクロックパルスにより、前記ある転送素子の隣接する転送素子をオンさせ、発光のためのしきい電圧もしくはしきい電流が外部から電気的に制御可能な３端子発光素子多数個を、一次元的に配列し、前記転送素子の各制御電極を、前記発光素子の対応する制御電極に接続し、前記各発光素子の残りの２電極の一方に、発光のための書込み信号を印加する１本の書込み信号ラインを設けた自己走査型発光素子アレイにおいて、前記各発光素子の残りの２電極の一方は、抵抗を介して、前記書込み信号ラインに接続されていることを特徴とする。

【００１４】

前記抵抗の値は、１個の発光素子に流す電流では隣接する発光素子が発光せず、２倍の電流を流したとき、隣接する発光素子も同時に発光するように選ばれる。

【００１５】
前記３端子転送素子および前記３端子発光素子は、ｐｎｐｎ構造の３端子発光サイリスタよりなる。この場合、前記抵抗は、
（１）前記ｐｎｐｎ構造の最上層の保護膜上に形成された抵抗体で、
（２）前記発光素子の残りの２電極の一方の電極上に形成された抵抗体で、
（３）前記ｐｎｐｎ構造の最上層である半導体層の不純物濃度を調整して、この半導体層上に形成される、前記発光素子の残りの２電極のうちの一方の電極との間の接触抵抗で、あるいは、
（４）前記発光素子である発光サイリスタの寄生抵抗で形成できる。
【００１６】
また、本発明の第２の態様は、自己走査型発光素子アレイの駆動方法である。この方法によれば、転送素子がオンしているときに、制御電極がこの転送素子の制御電極に接続されている発光素子の一方の電極に印加される書込み信号を、１個の発光素子が点灯する場合と、２個の隣接する発光素子が同時に点灯する場合とに制御することを特徴とする。
【００１７】
【発明の実施の形態】
図４に、本発明の自己走査型発光素子アレイの一実施形態の等価回路図を示す。基本的には、図３の回路にほぼ同じであり、したがって図３と同じ構成要素には、図３と同じ参照番号または記号を付して示してある。
【００１８】
本実施の形態によれば、図３の回路において、ϕ_I ラインと発光部サイリスタのアノード端子との間に、適切な値の抵抗R_A を設ける。
【００１９】
このような構成の自己走査型発光素子アレイにおいて、いま、シフト部サイリスタT_n がオンしているとき、サイリスタT_n とゲートが接続されている発光部サイリスタL_n のＩ－Ｖ特性の例を図５に実線で示す。図５において、横軸は電流を、縦軸は電圧を示す。シフト部サイリスタT_n がオンしているため、発光部サイリスタL_n は単純なダイオードと同じ直線状のＩ－Ｖ特性となっている。すなわち、順方向立上がり電圧が約１Ｖ、直線の傾きは抵抗R_A の抵抗値（以降、R_A は抵抗値を示すこともある）に相当し、この図では、５０Ωである。一方、発光部サイリスタL_n の右隣のサイリスタL_{n+1} のゲートは、結合ダイオードD_n の電圧降下分（約１Ｖ）高い電圧がかけられているので、ϕ_I ラインが（２＋α）Ｖの電圧がかからないとオンできない。もし、サイリスタL_n と同時にサイリスタL_{n+1} を点灯しようとすると、電流を増やしていき、ϕ_I の電圧がサイリスタL_{n+1} のオン電圧（しきい電圧）を超えればよい。このとき、Ｉ－Ｖ特性曲線は、図５において実線から破線に乗り移る。
【００２０】
さて、$R_A = 0$ の場合、すなわち図３の回路の場合、サイリスタの内部抵抗を無視するなら、Ｉ－Ｖ特性曲線は水平となり、いくら電流を流しても、サイリスタL_{n+1} のしきい電圧を超えることができない。これが、従来の自己走査型発光素子アレイにおいてϕ_I ライン１本あたり１サイリスタしか点灯できなかった理由である。
【００２１】
図４の回路において、抵抗値R_A は、１個のサイリスタに流す電流では、隣りのサイリスタが点灯せず、かつ、２倍の電流を流したときに、隣のサイリスタも点灯するように選ぶ。すなわち、サイリスタを点灯させようとしている電流がI_L のとき、
【００２２】
【数１】
$$V_D + R_A \times I_L < V_{th(n+1)} < V_D + R_A \times 2 I_L$$
ただし、
$V_{th(n+1)}$は、サイリスタL_{n+1} のしきい電圧、V_D は、サイリスタのｐｎ接合の立上がり電圧である。

R_A について解くと、

【００２３】

【数２】

$(V_{th(n+1)}-V_D)/I_L > +R_A > (V_{th(n+1)}-V_D)/2I_L$

例えば、$V_{th(n+1)}=2.1V$, $I_L=15mA$, $V_D=1V$とすると、

$73.3\Omega > R_A > 36.7\Omega$

となる。

【００２４】

このような値の抵抗R_Aを、ｐｎｐｎ構造の３端子発光サイリスタに作り込む第１の例を図６に示す。（ａ）は平面図、（ｂ）は（ａ）のＡ－Ａ′線断面図である。

【００２５】

３端子発光サイリスタは、基本的に、ｎ型半導体基板１６０上に、ｎ型半導体基板１６１，ｐ型半導体層１６２，ｎ型半導体層１６３，ｐ型半導体層１６４が順次積層されている。保護膜１５０上に、ϕ_I ライン（Ａｌ配線）１２０，発光部サイリスタのアノード電極１１２へのＡｌ配線１１９、ゲート電極１３２へのＡｌ配線１３０が設けられている。抵抗R_Aは、Ａｌ配線１２０とＡｌ配線１１９との間の保護膜１５０上に設けられたＣｒＳｉＯサーメットよりなる薄膜抵抗１４０により形成される。ここでは、抵抗体として、ＣｒＳｉＯサーメットを用いたが、他のサーメット（ＡｕＳｉＯ，ＡｇＳｉＯなど）でもよく、また、Ｎｉ，Ｃｒ，ＮｉＣｒ，Ｗ，Ｐｔ，Ｐｄなどの、金属被膜を抵抗体に用いても良い。

【００２６】

なお、ｎ型半導体基板１６０の裏面には共通の裏面電極１００が設けられている。

【００２７】

図７は、抵抗R_Aの他の構成例を示す。（ａ）は平面図、（ｂ）は（ａ）のＢ－Ｂ′線断面図である。この例では、抵抗R_Aは、Ａｌ配線１１９とアノード電極１１２の間に、Ｎｉの抵抗体１１３を挿入して構成されている。ここでも、前述の抵抗体と同様の材料を用いることができる。

【００２８】

さらに、抵抗R_Aは、アノード層１６４の不純物濃度を調整して、アノード電極１１２との間の接触抵抗を調整することにより形成することも可能である。また、抵抗R_Aは、オン時のサイリスタの寄生抵抗で実現しても良い。

【００２９】

なお、図７の例では、アノード電極へのＡｌ配線１１９は、ϕ_I 配線１２０に直接に接続されていることに留意されたい。

【００３０】

図８は、以上の実施形態の自己走査型発光素子アレイのϕ_I ラインの駆動回路の例を示す。この駆動回路は、インバータと、ＭＯＳＦＥＴと、電流制限用抵抗R_{Ia}，R_{Ib}とで構成される。V_{Ia}，V_{Ib}はコントロール端子、V_I は出力端子である。

【００３１】

コントロール端子V_{Ia}をＨレベルにすると、出力端子は抵抗R_{Ia}経由で$+V_{DD}$に接続される。さらに、コントロール端子V_{Ib}をＨレベルとすると、抵抗R_{Ia}と並列に抵抗R_{Ib}が接続され、抵抗R_{Ia}，R_{Ib}の抵抗値を同じにしておくとϕ_I の電流が２倍になる。

【００３２】

したがって、この駆動回路によれば、１個のサイリスタを点灯させるには、コントロール端子V_{Ia}をＨレベルにし、隣接する２個のサイリスタを同時に点灯させるには、コントロール端子V_{Ia}，V_{Ib}を同時にＨレベルにすることになる。

【００３３】

図９は、２つの電流源J_a，J_bと、各電流源の出力に接続されたスイッチSW_a，SW_bとよりなるϕ_I ライン駆動回路の他の例を示す。各スイッチは、コントロール端子V_{Ia}，V_{Ib}により、開／閉が制御される。すなわち、コントロール端子がＨレベルのときスイ

ッチが閉となる。

【００３４】

コントロール端子V_{Ia}をＨレベルにすることで、スイッチSW_aが閉じϕ_I端子に電流源J_aの電流が流れる。さらに、コントロール端子V_{Ib}をＨレベルにすると、電流源J_aおよびJ_bから電流が流れる。各電流源の電流を同一にしておくと、ϕ_I端子に２倍の電流が流れる。

【００３５】

したがって、この駆動回路によれば、図８の駆動回路と同様に、１個のサイリスタを点灯させるには、コントロール端子V_{Ia}をＨレベルにし、隣接する２個のサイリスタを同時に点灯させるには、コントロール端子V_{Ia}，V_{Ib}を同時にＨレベルにすることになる。

【００３６】

次に、以上のような駆動回路を用いて、図４の自己走査型発光素子アレイの駆動方法の一例を説明する。自己走査型発光素子アレイには、１２００ｄｐｉの解像度のものを用いるものとする。

【００３７】

この駆動方法では、高解像度（高画質）の出力を得たい場合は１２００ｄｐｉでの描画を行い、一方、低解像度でも十分な用途には６００ｄｐｉでの描画を行う、すなわち隣接する２個のサイリスタを同時に順次点灯させるものとする。

【００３８】

図１０（ａ）は、１２００ｄｐｉの高解像度で描画する場合の駆動波形を、図１０（ｂ）は、６００ｄｐｉの低解像度で描画する場合の駆動波形を示す。

【００３９】

図１０（ａ）において、コントロール端子V_{Ia}を、クロックパルスϕ１，ϕ２にそれぞれ対応させて、Ｈレベルにする。他方、コントロール端子V_{Ib}はＬレベルのままにしておく。これにより、図４の発光部サイリスタは、１個ずつ順次点灯していく。この駆動方法によれば、１２００ｄｐｉの解像度で描画される。しかし、この方法では、１個のサイリスタが順次点灯していくので、解像度を下げても露光時間は変わらない。したがって、露光量が変わらないので、印刷速度はほとんど変わらない。

【００４０】

図１０（ｂ）において、コントロール端子V_{Ia}，V_{Ib}は、連続する２個のクロックパルスϕ１，ϕ２にそれぞれ対応させて同じタイミングでＨレベルにする。これにより、２個のサイリスタが同時に順次点灯していく。この駆動方法によれば、６００ｄｐｉの解像度で描画されるが、図１０（ａ）の駆動方法に比べて、露光時間を２倍にできるので、したがって印刷速度を２倍にすることができる。

【００４１】

図４の自己走査型発光素子アレイの駆動方法の他の例を説明する。この駆動方法では、解像度を落とすことなく、露光量を２倍にできる。その駆動波形例を図１１に示す。

【００４２】

図４の自己走査型発光素子アレイにおいて、シフト部のｎ番目のサイリスタがオンした状態で、コントロール端子V_{Ia}をＨレベルとすると、発光部のサイリスタL_nが点灯する。さらに、コントロール端子V_{Ia}がＨレベルの状態でコントロール端子V_{Ib}をＨレベルとすると、サイリスタL_{n+1}も同時に点灯する。図中、点列Ａは、コントロール端子V_{Ia}がＨレベルとなることにより、サイリスタL_nが点灯していることを、○印にハッチングして示している。さらに、コントロール端子V_{Ib}がＨレベルになることにより、サイリスタL_{n+1}も同時に点灯している場合を点列Ｂの○印にハッチングして示した。点列Ｂの点は、ｎ＋１番目の点であるので、右にずらして書いてある。

【００４３】

１ライン描画後、各ドットの露光量は、点列Ａ，Ｂの縦に並んだ２個の点が何個点灯しているかできまる。０個のとき白丸（無露光）、１個のときハッチングした丸（露光量１単位）、２個のときは黒丸（露光量２単位）で示した（点列Ｃ）。これによると、黒丸が並

ぶ先頭は必ず露光量が半分となるハッチングした丸となっている。

【００４４】

この駆動方法では、解像度を落とすことなく、露光量を２倍にできる。ただし、この駆動方法を使うと、描画ラインの先頭ドットの露光量が他のドットの半分になってしまう。しかし、電子写真方式では、パターンによっては原画よりも太ってしまう場合が多いため、先頭の露光量を抑えることにより、より原画に忠実な露光が可能となる。また、必要に応じて、描画ラインの末尾ドットの露光量も半分にすることも可能である。

【００４５】

【発明の効果】

本発明によれば、ϕ_I ラインの数を１本のまま、２個のサイリスタを同時に点灯できる自己走査型発光素子アレイを提供できる。したがって、露光時間を大きくできるので感光ドラム上での露光量が増大する結果、光プリンタ装置の印刷速度を高めることができる。

【図面の簡単な説明】

【図１】光書込みヘッドを備える光プリンタの原理を示す図である。

【図２】光書込みヘッドの構造を示す図である。

【図３】シフト部と発光部とを分離した構造の自己走査型発光素子アレイの等価回路図である。

【図４】本発明の自己走査型発光素子アレイの一実施形態の等価回路図である。

【図５】発光部サイリスタのＩ－Ｖ特性を示す図である。

【図６】抵抗R_Aを、ｐｎｐｎ構造の３端子発光サイリスタに作り込む第１の例を示す図である。

【図７】抵抗R_Aを、ｐｎｐｎ構造の３端子発光サイリスタに作り込む第２の例を示す図である。

【図８】ϕ_I ライン駆動回路の第１の例を示す図である。

【図９】ϕ_I ライン駆動回路の第２の例を示す図である。

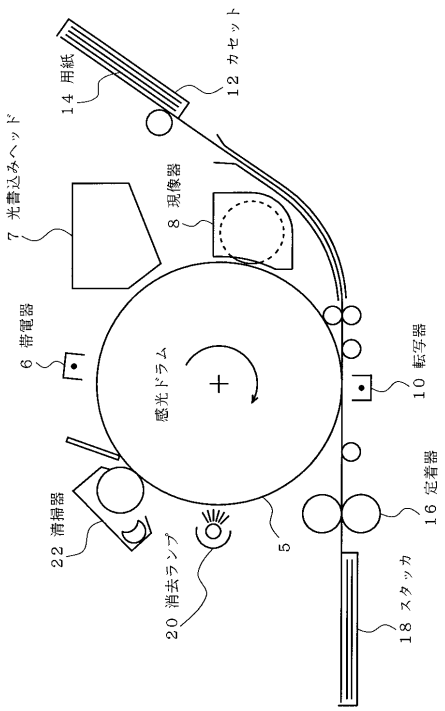
【図１０】駆動方法の第１の例を示す波形図である。

【図１１】駆動方法の第２の例を示す波形図である。

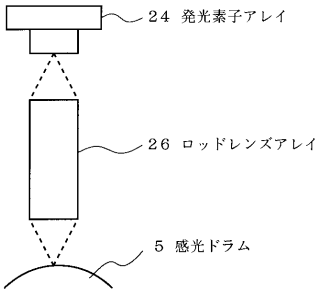
【符号の説明】

１０　ϕ_I ライン
１２　V_{GK}ライン
１４　φ１ライン
１６　φ２ライン
１１２　アノード電極
１１９　Ａｌ配線
１２０　ϕ_I ライン
１３０　Ａｌ配線
１３２　ゲート電極
１５０　保護膜
１６０　ｎ型半導体基板
１６２　ｐ型半導体層
１６３　ｎ型半導体層
１６４　ｐ型半導体層

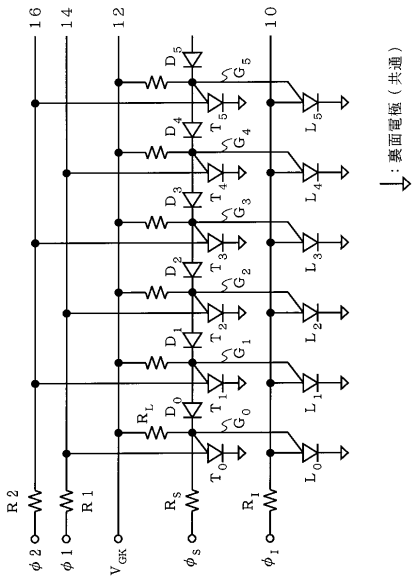
【図１】


14 用紙
12 カセット
7 光書込みヘッド
8 現像器
6 帯電器
感光ドラム
10 転写器
16 定着器
22 清掃器
20 消去ランプ
5
18 スタッカ

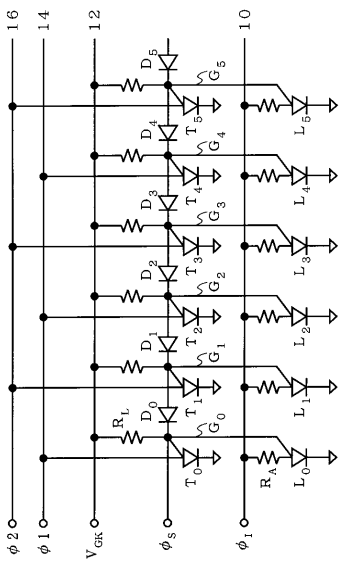
【図２】


24 発光素子アレイ
26 ロッドレンズアレイ
5 感光ドラム

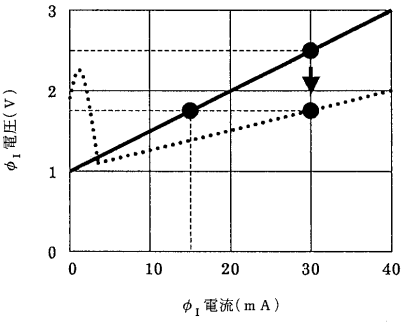
【図３】


16
14
12
10
R2
R1
V_{GK}
R_S
R_I
$\phi 2$
$\phi 1$
ϕ_S
ϕ_I
R_L
D_0
D_1
D_2
D_3
D_4
D_5
T_0
T_1
T_2
T_3
T_4
T_5
G_0
G_1
G_2
G_3
G_4
G_5
L_0
L_1
L_2
L_3
L_4
L_5
：裏面電極（共通）

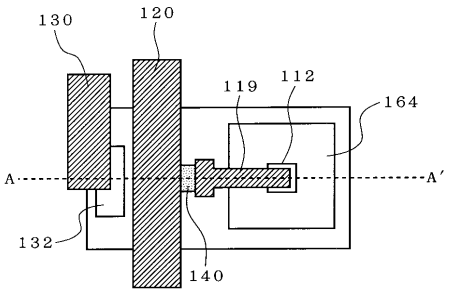
【図４】


16
14
12
10
$\phi 2$
$\phi 1$
V_{GK}
ϕ_S
ϕ_I
R_L
R_A
D_0
D_1
D_2
D_3
D_4
D_5
T_0
T_1
T_2
T_3
T_4
T_5
G_0
G_1
G_2
G_3
G_4
G_5
L_0
L_1
L_2
L_3
L_4
L_5

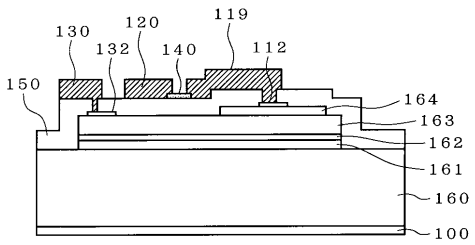
【図５】



【図６】

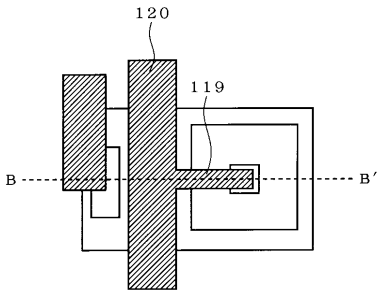


(a)

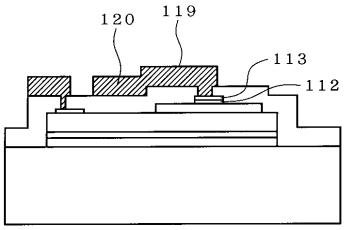


(b)

【図７】

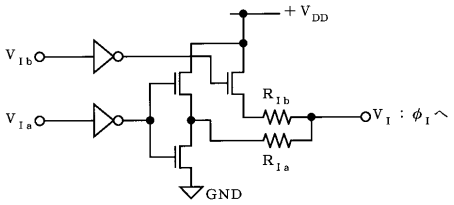


(a)

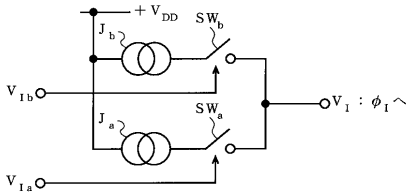


(b)

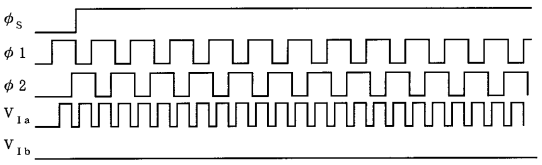
【図８】



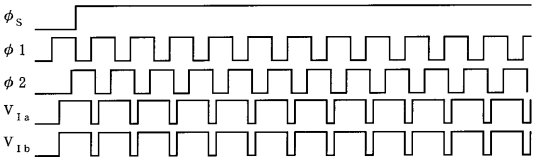
【図９】



【図１０】

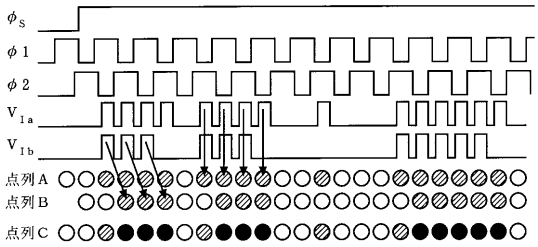


（ａ）



（ｂ）

【図１１】



フロントページの続き

(58)調査した分野(Int.Cl., ＤＢ名)

B41J 2/44
B41J 2/45
B41J 2/455
H01L 33/00
H01S 5/00-5/50