(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[6]
H01L 27/108

(45) 공고일자 2003년09월22일
(11) 등록번호 10-0373224
(24) 등록일자 2003년02월10일

(21) 출원번호 10-1995-0051276
(22) 출원일자 1995년12월18일

(65) 공개번호 특1996-0026876
(43) 공개일자 1996년07월22일

(30) 우선권주장 94-337975 1994년12월27일 일본(JP)

(73) 특허권자 히다찌디바이스엔지니어링 가부시기가이샤
일본국 치바켕 모바라시 하야노 3681

가부시끼가이샤 히다치 세이사꾸쇼
일본국 도쿄도 지요다구 간다 스루가다이 4-6

(72) 발명자 시바따 겐
일본국 도꾜도 다찌까와시 이찌반쵸 2-26-1

오이시 간지
일본국 도꾜도 고가네이시 미도리쵸 5-16-38

(74) 대리인 백남기

심사관 : 조지은

(54) 다이나믹메모리장치

요약

다이나믹형 RAM에 관한 것으로, 넓은 동작주파수범위에서의 안정된 동작을 가능하게 하기 위해, 싱크로너스DRAM에 있어서 PLL회로 또는 DLL회로에 의해 외부에서 공급된 클럭신호와 동기한 내부클럭신호를 형성하고, 외부에서 공급된 모드설정정보에 따라서 PLL회로의 가변주파수범위 또는 DLL회로의 가변지연시간을 변화시키는 전환회로를 마련하는 구성으로 하였다.
이러한 구성으로 하는 것에 의해, 내부클럭신호를 PLL회로 또는 DLL회로에서 형성하고 있으므로, 높은 주파수에서도 안정하게 외부클럭신호와 동기를 취할 수 있음과 동시에 그 동작범위를 전환하는 것에 의해서 낮은 동작주파수까지의 넓은 동작주파수범위를 실현할 수 있다.

대표도

도 1

명세서

도면의 간단한 설명

제1도는 본 발명에 관한 다이나믹형 RAM(싱크로너스DRAM)의 1실시예를 도시한 주요부의 블럭도.
제2도는 본 발명에 관한 싱크로너스DRAM의 1실시예를 도시한 블럭도.

제3도는 상기 싱크로너스DRAM의 내부클럭을 형성하는 PLL회로의 1실시예를 도시한 회로도.
제4도는 상기 싱크로너스DRAM의 내부클럭을 형성하는 DLL회로의 1실시예를 도시한 회로도.
제5도는 제3도의 일정지연단의 1실시예를 도시한 회로도.
제6도는 상기 PLL회로 또는 DLL회로에 사용되는 차지펌프회로의 1실시예를 도시한 회로도.
제7도는 제3도의 PLL회로에 사용되는 링 오실레이터의 1실시예를 도시한 회로도.
제8도는 상기 PLL회로 또는 DLL회로에 사용되는 위상비교기의 1실시예를 도시한 회로도.
제9도는 상기 위상비교기의 동작의 1예를 설명하기 위한 타이밍도.
제10도는 모드 레지스터의 설정동작을 설명하기 위한 타이밍도.
제11도는 모드 레지스터에 의해 설정되는 어드레스와 동작모드의 1실시예를 설명하기 위한 구성도.
제12도는 본 발명에 관한 SDRAM의 리드사이클의 1예를 설명하기 위한 타이밍도.
제13도는 본 발명에 관한 SDRAM의 라이트 사이클의 1예를 설명하기 위한 타이밍도.
제14도(A) 및 제14도(B)는 본 발명이 적용된 다이나믹형 RAM을 사용한 퍼스널컴퓨터시스템의 1실시예를 도시한 구성도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 다이나믹형 RAM(random access memory)(다이나믹 메모리장치)에 관한 것으로, 특히 외부단자에서 공급되는 클럭신호와 동기해서 라이트 및 리드가 실행되는 싱크로너스DRAM(다이나믹형 RAM)에 이용해서 유효한 기술에 관한 것이다.
싱크로너스DRAM에 대해서는 예를 들면 1993년 1월 18일, 주식회사 히다찌제작소발생의 「HM5216800, HM5416800시리즈 데이타북」 등에 기재되어 있다.
반도체 집적회로의 제조기술의 진전에 따라, 싱크로너스DRAM도 그 예외는 아니고 가일층의 고속화가 진행되고 있다. 이러한 내부회로의 고속화에 대응해서 클럭 신호도 높은 주파수로 된다. 그러나, 클럭신호의 고주파수화에 따라, MOS회로에 의해 구성되는 입력버퍼에 있어서의 신호지연을 무시할 수 없게 된다. 그래서, 본 원 발명자들은 싱크로너스DRAM의 회로동작에 필요한 내부클럭 신호를 공지의 PLL(위상 록 루프)회로 또는 DLL(지연 록 루프)회로를 이용해서 내부회로에서 발생시키는 것을 고안하였다. 이와 같이 하는 것에 의해, 입력버퍼에서의 신호지연을 실질적으로 없애거나 또는 필요에 따라서 외부에서 공급되는 클럭신호를 분주하고 일단 낮은 주파수로 변환해서 싱크로너스DRAM에 입력하고, 내부의 PLL회로에 의해 원래의 주파수로 되돌려 높은 주파수이고 또 외부의 시스템 클럭과 동기한 내부클럭신호를 형성할 수 있다.
그러나, 싱크로너스DRAM의 사용자에게 있어서는 그것이 조립되는 시스템에 대응한 동작주파수로 동작시키는 것이다. 즉, 아무리 고속동작이 가능한 싱크로너스DRAM이라도 그것이 탑재되는 마이크로컴퓨터 등의 정보처리시스템의 성능이 낮으면, 그것에 대응한 동작이 요구된다. 이 경우, 싱크로너스DRAM 그 자체는 상한의 동작주파수 이하이면 그것에 대응해서 충분히 동작하는 것이지만, 상기와 같이 PLL회로나 DLL회로를 사용해서 내부클럭 신호를 형성하는 방식으로 하면, PLL회로에 있어서의 가변동작주파수나 DLL회로에 있어서의 가변지연시간 그 자체가 비교적 좁기 때문에 실제상의 동작주파수가 제한되어 버린다. 이 때문에, PLL회로나 DLL회로에 의해 내부클럭신호를 형성하고자 하면, 저속용, 중속용 및 고속용 등과 같이 동작속도별로 마련된 여러 종류의 품종을 형성하는 것이 필요하게 되고, 각각에 대응한 제품개발이나 제품관리가 필요하게 되어 양산성이 떨어져 버린다는 문제가 발생하는 것이 명백하게 되었다.
본 발명의 목적은 넓은 동작주파수 범위에서의 안정된 동작을 가능하게 한 다이나믹형 RAM을 제공하는 것이다.
본 발명의 상기 및 그 밖의 목적과 새로운 특징은 본 명세서의 기술 및 첨부도면으로부터 명확하게 될 것이다.
본원에 있어서 개시되는 발명중 대표적인 것의 개요를 간단히 설명하면, 다음과 같다. 즉, 싱크로너스DRAM에 있어서, PLL회로 또는 DLL회로에 의해 외부에서 공급된 클럭신호와 동기한 내부클럭신호를 형성하고, 외부에서 공급된 모드설정정보에 따라서 PLL회로의 가변주파수범위 또는 DLL회로의 가변지연시간을 변화시키는 전환회로를 마련한다.
상기한 수단에 의하면, 내부클럭 신호를 PLL회로 또는 DLL회로에 의해 형성하고 있으므로, 높은 주파수에서도 안정하게 외부클럭신호와 동기를 취할 수 있음과 동시에 그 동작범위를 전환하는 것에 의해서 낮은 동작주파수까지의 넓은 동작주파수범위를 실현할 수 있다.
제1도에는 본 발명에 관한 다이나믹형 RAM(싱크로너스DRAM)의 1실시예의 주요부 블럭도가 도시되어 있다. 동일 도면에는 싱크로너스DRAM중 입출력버퍼와 그것에 관련된 내부회로가 대표로서 예시적으로 도시되어 있다.
클럭입력버퍼(Clock Input Buffer)(1)은 외부클럭 CLK 이외에 칩선택 신호/CS, 로우어드레스 스트로브신호/RAS, 컬럼어드레스 스트로브신호/CAS 및 라이트 인에이블신호/WE 등의 제어신호를 받아서 내부동작에 필요한 각종 제어신호를 형성한다. 그리고, 종래의 싱크로너스DRAM과 달리 외부클럭 CLK가 그대로 내부클럭으로서 사용되는 것이 아니라 클럭입력버퍼(1)에 포함되는 PLL회로에 의해 내부클 럭이 형성된다.

즉, 외부클럭CLK는 PLL회로의 위상비교기에 입력되어 여기에서 내부클럭과 비교되고, 외부클럭 CLK에 대응해서 내부클럭의 위상제어(주파수제어)가 실행되어 외부클럭과 동기한 내부클럭이 형성된다. 이 구성에서는 외부클럭 CLK를 그대로 내부클럭으로서 사용하는 종래회로에 비해, 입력버퍼에서의 신호지연을 실질적으로 없앨 수 있어 외부클럭CLK의 고주파수화에도 충분히 대응할 수 있게 된다.

어드레스입력버퍼(Address Input Buffer)(2)는 후술하는 바와 같이 시계열적으로 입력되는 어드레스신호를 페치한다. 이 어드레스입력버퍼(2)로 부터는 로우계 어드레스신호나 컬럼계 어드레스신호 이외에 모드설정에 사용되는 코드정보Code도 페치된다. 이 코드정보Code는 모드디코더(Mode Decoder)(5)에 포함되는 모드레지스터에 세트되고, 모드디코더(5)에 의해서 해독되어 그것에 대응한 동작을 실현하기 위한 제어신호가 형성된다.

데이타입력버퍼(Data Input Buffer)(3)은 입출력단자I/O에서 공급되는 라이트신호를 페치하고, 도시하지 않은 메모리어레이(Memory array)에 라이트데이타Data로서 전달된다. 데이타출력버퍼(4)는 메모리어레이에서 리드된 리드데이타Data를 외부단자I/O에서 송출시킨다.

RAS계 제어회로(RAS계 Control)(6)은 모드디코더(5)의 출력에 의해 로우계 어드레스 카운터(Row계 Adress Counter)(7)과 로우계 어드레스 프리디코더(ROW계 Address pre-Decoder)(10)을 제어해서 로우계 어드레스 선택동작을 제어한다. 상기 로우계 어드레스 카운터(7)에는 로우어드레스신호(Row Address)가 초기값으로서 입 력된다. 로우계 어드레스 프리디코더(10)은 어드레스신호를 해독해서 뱅크0과 1(Bank-0 과 Bank-1)에 프리디코드된 어드레스신호(Row Address')를 송출한다.

뱅크 제어회로(Bank Control)(9)는 모드 디코더(5)로 부터의 출력신호에 의해, 컬럼계 어드레스 카운터(Column계 Address Counter)(8)과 컬럼계 어드레스 프리디코더(Column계 Address pre-Decoder)(12)를 제어해서 로우계의 어드레스 선택동작을 제어한다. 컬럼계 어드레스 카운터(8)에는 컬럼어드레스신호(Column Address)가 초기값으로서 입력된다. 이 컬럼계 어드레스카운터(8)은 버스트 카운터 (Burst Counter)라고도 불린다. 컬럼계 어드레스 프리디코더(12)는 어드레스신호를 해독해서 메모리어레이에 프리디코드된 컬럼 어드레스신호(Column Address')를 송출한다.

로우계 어드레스 프리디코더(10)에는 용장회로(Redundancy)(11)이 마련되고, 불량의 워드선이 용장워드선으로 치환된다. 마찬가지로, 컬럼계 어드레스 프리디코더(12)에는 용장회로(13)이 마려되어 불량의 데이타선이 용장데이타선으로 치환된다.

제2도에는 상기 싱크로너스DRAM(이하, 단지 SDRAM이라 한다)의 1실시예의 블럭도가 도시되어 있다. 동일 도면에 도시된 SDRAM은 특히 제한되지 않지만, 공지의 반도체 집적회로의 제조기술에 의해서 단결정 실리콘과 같은 1개의 반도체 기판상에 형성된다. 동일 도면에 있어서는 싱크로너스DRAM의 전체 회로의 이해를 용이하게 하기 위해서, 제1도와 동일한 회로블럭이라도 전체적으로 통일시키기 위해 다른 회로기호로 나타내고 있다.

이 실시예의 SDRAM은 메모리뱅크A(BANKA)를 구성하는 메모리어레이(200A)와 메모리뱅크B(BANKB)를 구성하는 메모리어레이(200B)를 구비한다. 각각의 메모리어레이(200A)와 (200B)는 매트릭스 배치된 다이나믹형 메모리셀을 구비하고, 도면에 따르면 동일 열에 배치된 메모리셀의 선택단자는 열마다의 워드선(도시하지 않음)에 결합되며, 동일 행에 배치된 메모리셀의 데이타 입출력단자는 행마다 상보데이타선(도시하지 않음)에 결합된다.

상기 메모리어레이(200A)의 도시하지 않은 워드선은 로우디코더(201A)에 의한 로우어드레스신호의 디코드결과에 따라서 1개가 선택레벨로 구동된다. 메모리어레이(200A)의 도시하지 않은 상보데이타선은 센스앰프 및 컬럼선택회로(202A)에 결합된다. 센스앰프 및 컬럼선택회로(202A)에 있어서의 샌스앰프는 메모리셀로 부터의 데이타리드에 의해서 각각의 상보데이타선에 나타나는 미소전위차를 검출해서 증폭하는 증폭회로이다. 그것에 있어서의 컬럼스위치회로는 상보데이타선을 각각 별도로 선택해서 상보공통데이타선(204)에 도통시키기 위한 스위치회로이다. 컬럼스위치회로는 컬럼디코더(203A)에 의한 컬럼어드레스신호의 디코드결과에 따라서 선택동작된다.

메모리어레이(200B)측에도 마찬가지로 로우디코더(201B), 센스앰프 및 컬럼선택회로(202B), 컬럼디코더(203B)가 마련된다. 상기 상보공통데이타선(204)는 입력버퍼(210)의 출력단자 및 출력버퍼(211)의 입력단자에 접속된다. 입력버퍼(210)의 입력단자 및 출력버퍼(211)의 출력단자는 16비트의 데이타입출력단자I/O0 I/O15에 접속된다.

어드레스 입력단자A0 A9에서 공급되는 로우어드레스신호와 컬럼어드레스신호는 컬럼어드레스버퍼(205)와 로우어드레스버퍼(206)에 어드레스 멀티플렉스형식으로 페치된다. 공급된 어드레스신호는 각각의 버퍼가 유지된다. 로우어드레스버퍼(206)은 리프레시동작모드에 있어서는 리프레시카운터(208)에서 출력되는 리프레시어드레스신호를 로우어드레스신호로서 페치한다. 컬럼어드레스버퍼(205)의 출력은 컬럼어드레스카운터(207)의 프리세트데이타로서 공급되고, 컬럼어드레스카운터(207)은 후술하는 커맨드등에 의해 지정되는 동작모드에 따라서 상기 프리세트데이타로서의 컬럼어드레스신호 또는 그 컬럼어드레스신호를 순차 인크리먼트한 값을 컬럼디코더(203A), (203B)를 향해서 출력한다.

컨트롤러(212)는 특히 제한되지 않지만, 클럭신호CLK, 클럭인에이블신호CKE, 칩선택신호/CS, 컬럼어드레스스트로브신호/CAS(기호/는 이것이 붙여진 신호가 로우인에이블의 신호인 것을 의미한다), 로우어드레스스트로브신호/RAS 및 라이트인에이블신호/WE등의 외부제어신호와 어드레스입력단자A0 A9로 부터의 제어데이타가 공급되고, 그들 신호의 레벨변화나 타이밍 등에 따라서 SDRAM의 동작모드 및 상기 회로블럭의 동작을 제어하기 위한 내부타이밍신호를 형성하는 것으로, 그를 위한 컨트롤 로직(도시하지 않음)과 모드레지스터(30)을 구비한다.

클럭신호CLK는 상기와 같이 PLL회로(또는 DLL회로)의 위상비교기에 입력되고, 여기에서 형성된 내부클럭과의 동기를 취하기 위해 사용된다. PLL회로에 의해 형성된 내부클럭은 SDRAM의 마스터클럭으로 되고, 그 밖의 외부입력신호는 해당 내부클럭신호의 상승에지와 동기해서 의미를 갖게 된다. 칩선택신호/CS는 그 로우레 벨에 의해서 커맨드 입력사이클의 개시를 지시한다. 칩선택신호/CS가 하이레벨일 때(칩 비선택상태) 그 밖의 입력은 의미를 갖지 않는다. 단, 후술하는 메모리뱅크의 선택상태나 버스트동작등의 내부동작은 칩 비선택상태로의 변화에 의해서 영향받지

않는다. /RAS, /CAS, /WE의 각 신호는 통상의 DRAM에 있어서의 대응신호와는 기능이 상이하게 되며, 후술하는 커맨드사이클을 정의할때 의미있는 신호로 된다.
클럭인에이브신호CKE는 다음의 클럭 신호의 유효성을 지시하는 신호로서, 상기 신호CKE가 하이레벨이면 다음의 클럭신호CLK의 상승에지가 유효로 되고, 로우레벨일 때에는 무효로 된다. 또, 도시하지는 않지만, 리드모드에 있어서 출력버퍼(211)에 대한 출력인에이블의 제어를 실행하는 외부제어신호도 컨트롤러(212)에 공급되고, 그 신호가 예를 들면 하이레벨일 때에는 출력버퍼(211)은 고출력 임피던스상태로 된다.
상기 로우어드레스신호는 클럭신호CLK(내부클럭신호)의 상승에지와 동기하는 후술하는 로우어드레스 스트로브 뱅크 액티브 커맨트 사이클에 있어서의 A0 A8의 레벨에 의해서 정의된다.
A9로 부터의 입력은 상기 로우어드레스 스트로브 뱅크 액티브 커맨드 사이클에 있어서 뱅크선택신호라고 간주된다. 즉, A9의 입력이 로우레벨일 때는 메모리뱅크BANKA가 선택되고, 하이레벨일 때는 메모리뱅크BANKB가 선택된다. 메모리뱅크의 선택제어는 특히 제한되지 않지만, 선택메모리뱅크측의 로우디코더만의 활성화, 비선택메모리뱅크측의 컬럼스위치회로의 전체 비선택, 선택메모리뱅크측만의 입력버퍼(210) 및 출력버퍼(211)로의 접속 등의 처리에 의해서 실행할 수 있다.
후술하는 프리차지 커맨드 사이클에 있어서의 A8의 입력은 상보데이타선 등에 대한 프리차지동작의 형태를 지시하고, 그 하이레벨은 프리차지의 대상이 양쪽의 메모리뱅크인 것을 지시하고, 그 로우레벨은 A9에 의해 지시받고 있는 한쪽의 메모리뱅크가 프리차지의 대상인 것을 지시한다.
상기 컬럼어드레스신호는 클럭신호CLK(내부클럭)의 상승에지와 동기하는 리드 또는 라이트커맨드(후술하는 컬럼어드레스 리드커맨드, 컬럼어드레스 라이트커맨드) 사이클에 있어서의 A0 A7의 레벨에 의해서 정의된다. 그리고, 이와 같이 해서 정의된 컬럼어드레스는 버스트액세스의 개시 어드레스로 된다.
다음에, 커맨드에 의해서 지시받는 SDRAM의 주요한 동작모드에 대해서 설명한다.
(1) 모드레지스터 세트커맨트(Mo)
상기 모드레지스터(30)을 세트하기 위한 커맨드로서, /CS, /RAS, /CAS, /WE=로우레벨에 의해서 상기 커맨드 지정되고, 세트할 데이타(레지스터세트데이타)는 A0 A9를 거쳐서 부여된다. 레지스터세트데이타는 특히 제한되지 않지만 버스트 길이(length), CAS 회전지연(latency), 라이트 모드 등으로 된다. 특히 제한되지 않지만, 설정가능한 버스트 길이는 1, 2, 4, 8, 전체 페이지(256)로 되고, 설정 가능한 CAS 회전지연은 1, 2, 3으로 되며 , 설정 가능한 라이트 모드는 버스트라이트와 싱글라이트로 된다.
상기 CAS지연은 후술하는 컬럼어드레스 리드커맨드에 의해서 지시되는 리드동작에 있어서 /CAS의 하강부터 출력버퍼(211)의 출력동작까지 내부클럭신호의 몇 사이클분을 소비할지를 지시하는 것이다. 리드데이타가 확정될 때까지는 데이타 리드를 위한 내부동작시간이 필요하게 되고, 그것을 내부클럭신호의 사용주파수에 따라서 설정하기 위한 것이다. 즉, 주파수가 높은 내부클럭신호를 사용하는 경우에는 CAS 회전지연을 상대적으로 큰 값으로 설정하고, 주파수가 낮은 내부클럭신호를 사용하는 경우에는 CAS 회전지연을 상대적으로 작은 값으로 설정한다.
(2) 로우어드레스스트로브 뱅크액티브커맨드(Ac)
이것은 로우어드레스 스트로브의 지시와 A9에 의한 메모리뱅크의 선택을 유효하게 하는 커맨트로서, /CS, /RAS=로우레벨, /CAS, /WE=하이레벨에 의해 지시되고, 이 때 A0 A8에 공급되는 어드레스가 로우어드레스신호로서 페치되고, A9에 공급되는 신호가 메모리뱅크의 선택신호로서 페치된다. 페치동작은 상술한 바와 같이 내부클럭신호의 상승에지와 동기해서 실행된다. 예를 들면, 상기 커맨드가 지정되면, 그것에 의해서 지정되는 메모리뱅크에 있어서의 워드선이 선택되고, 상기 워드선에 접속된 메모리셀이 각각 대응하는 상보데이타선과 도통된다.
(3) 컬럼어드레스 리드커맨드(Re)
이 커맨드는 버스트리드동작을 개시하기 위해 필요한 커맨드임과 동시에 컬럼에드레스 스트로브의 지시를 부여하는 커맨드로서, /CS, /CAS=로우레벨, /RAS, /WE=하이레벨에 의해서 지시되고, 이 때 A0 A7에 공급되는 컬럼어드레스가 컬럼어드레스신호로서 페치된다. 이것에 의해서 페치된 컬럼어드레스신호는 버스트 개시 어드레스로서 컬럼어드레스카운터(207)에 공급된다. 이것에 의해서 지시된 버스트리드동작에 있어서는 그 전에 로우어드레스스트로브 뱅크액티브커맨드사이클에서 메모리뱅크와 그것에 있어서의 워드선의 선택이 실행되고 있고, 상기 선택워드선의 메모리셀은 내부클럭신호와 동기해서 컬럼어드레스카운터(207)에서 출력되는 어드레스신호에 따라서 순차선택되어 연속적으로 리드된다. 연속적으로 리드되는 데이타수는 상기 버스트길이에 의해서 지정된 갯수로 된다. 또, 출력버퍼(211)로 부터의 데이타리드개시는 상기 CAS 회전지연에 의해 규정되는 내부클럭신호의 사이클수를 대기해서 실행된다.
(4) 컬럼어드레스 라이트커맨드(Wr)
라이트동작의 형태로서 모드레지스터(30)에 버스트라이트가 설정되어 있을 때는 상기 버스트라이트동작을 개시하기 위해 필요한 커맨드로 되고, 라이트동작의 형태로서 모드레지스터(30)에 싱글라이트가 설정되어 있을 때는 상기 싱글라이트동작을 개시하기 위해 필요한 커맨드로 된다. 또 상기 커맨드는 싱글라이트 및 버스트라이트에 있어서의 컬럼어드레스스트로브의 지시를 부여한다. 상기 커맨드는 /CS, /CAS, /WE=로우레벨, /RAS=하이레벨에 의해 지시되고, 이 때 A0 A7에 공급되는 어드레스가 컬럼어드레스신호로서 페치된다. 이것에 의해서 페치된 컬럼어드레스신호는 버스트라이트에 있어서는 버스트 개시 어드레스로서 컬럼어드레스카운터(207)에 공급된다. 이것에 의해서 지시된 버스트라이트동작의 수순도 버스트리드동작과 마찬가지로 실행된다. 단, 라이트동작에는 CAS 회전지연은 없고, 라이트데이타의 페치는 상기 컬럼어드레스 라이트커맨드 사이클부터 개시된다.
(5) 프리차지커매드(Pr)
이것은 A8, A9에 의해서 선택된 메모리뱅크에 대한 프리차지동작의 개시커맨 드로 되고, /CS, /RAS, /WE=로우레벨, /CAS=하이레벨에 의해서 지시된다.
(6) 오토 리프레시 커맨드

이 커맨드는 오토 리프레시를 개시하기 위해 필요로 되는 커맨드로서, /CS, /RAS, /CAS=로우레벨, /WE, CKE=하이레벨에 의해서 지시된다.
(7) 버스트 스톱 인 풀페이지 커맨드
전체 페이지에 대한 버스트동작을 모든 메모리뱅크에 대해서 정지시키기 위해 필요한 커맨드로서, 전체 페이지 이외의 버스트동작에서는 무시된다. 이 커맨트는 /CS, /WE=로우레벨, /RAS, /CAS=하이레벨에 의해서 지시된다.
(8) 노 오퍼레이션 커맨드(Nop)
이것은 실질적인 동작을 실행하지 않는 것을 지시하는 커맨드로서, /CS=로우레벨, /RAS, /CAS, /WE의 하이레벨에 의해서 지시된다.
SDRAM에 있어서는 한쪽의 메모리뱅크에서 버스트동작이 실행되고 있을 때, 그 도중에 다른 메모리뱅크를 지정해서 로우어드레스스트로브 뱅크액티브커맨드가 공급되면, 상기 실행중인 한쪽의 메모리뱅크에서의 동작에는 아무런 영향을 미치지 않아 상기 다른 메모리뱅크에 있어서의 로우어드레스계의 동작이 가능하게 된다. 예를 들면, SDRAM은 외부에서 공급되는 데이타, 어드레스 및 제어신호를 내부에 유지하는 수단을 갖고, 그 유지내용 특히 어드레스 및 제어신호는 특히 제한되지 않지만 메모리뱅크마다 유지되도록 되어있다. 또는 로우어드레스스트로브 뱅크액티브커맨드 사이클에 의해서 선택된 메모리블럭에 있어서의 워드선 1개분의 데이타가 컬럼계 동작 전에 미리 리드동작을 위해 도시하지 않은 래치회로에 래치되도록 되 어 있다.
따라서, 데이타 입출력단자I/O0 I/O15에 있어서 데이타가 충돌하지 않는 한, 처리가 종료하지 않은 커맨드 실행중에 상기 실행중인 커맨드가 처리대상으로 하는 메모리뱅크와는 달리, 메모리뱅크에 대한 프리차지 커맨드, 로우어드레스스트로브 뱅크액티브커맨드를 발행해서 내부동작을 미리 개시시키는 것이 가능하다.
SDRAM(22)는 클럭신호CLK(내부클럭신호)와 동기해서 데이타, 어드레스, 제어신호를 입출력할 수 있으므로, DRAM과 동일한 대용량 메모리를 SRAM에 필적하는 고속동작을 시키는 것이 가능하고, 또 선택된 1개의 워드선에 대해서 몇개의 데이타를 액세스할지를 버스트길이에 따라 지정하는 것에 의해서, 내장 컬럼어드레스카운터(207)에 의해 순차 컬럼계의 선택상태를 전환해서 여러개의 데이타를 연속적으로 리드 또는 라이트할 수 있다는 것을 이해하기 바란다.
제3도에는 클럭신호 입력회로를 구성하는 상기 PLL회로의 1실시예의 회로도가 도시되어 있다. 상기 클럭입력버퍼를 통해서 입력된 외부클럭신호CLK는 위상주파수 비교기(이하, 단지 위상비교기라 한다)의 한쪽의 입력에 공급된다. 전압제어형 발진회로(이하, 단지 VCO라 한다)에서 형성된 내부클럭신호clk는 일정지연단을 거쳐서 상기 위상비교기의 다른쪽의 입력에 공급된다. 위상비교기는 상기 2개의 클럭CLK와 내부클럭 clk와의 위상(주파수)비교를 실행하여 그 위상차에 대응한 업신호UP와 다운신호DWN을 형성한다.
상기 위상비교기에서 형성된 업신호UP와 다운신호DWN은 차지펌프회로에 입력된다. 이 차지펌프회로는 상기 업신호UP의 펄스폭(위상차)에 대응해서 켜패시터를 차지 업시켜 제어전압VC를 높게 하고, 다운신호DWN의 펄스폭(위상차)에 대응해서 커패시터를 디스차지시켜 제어전압VC를 낮게한다. 즉, 차지펌프회로는 상기와 같은 업신호UP 또는 다운신호DWN을 적분해서 직류화한다고 하는 루프필터를 구성하는 것이다.
VCO는 전압가변지연단을 고리형상으로 종렬 접속한 링 오실레이터로 이루어지고, 상기 제어신호VC에 의해 그 지연단의 지연시간이 제어된다. VCO는 이러한 지연시간의 역비에 대응해서 발진주파수가 결정되고, 전압제어형 발진회로로서 동작시켜진다. 즉, 내부클럭clk의 위상(주파수)가 외부클럭CLK에 대해서 지연되어(주파수가 낮게 되어) 있는 경우에는 위상비교기는 상기 위상차에 대응한 업신호UP를 형성하므로 차지펌프회로가 제어전압VC를 높인다. 이 제어전압VC가 높아짐에 따라서 전압가변지연단의 지연시간이 짧아져 내부클럭clk의 위상이 진행되고(주파수가 높아지고) 외부클럭CLK와 동기가 취해진다.
반대로, 내부클럭clk의 위상(주파수)가 외부클럭CLK에 대해서 진행되고 있는(주파수가 높아지고 있는) 경우에는 위상비교기는 상기 위상차에 대응한 다운신호DWN을 형성하므로 차지펌프회로가 제어전압VC를 낮게한다. 이 제어전압VC가 낮아짐에 따라서 전압가변지연단의 지연시간이 길어져 내부클럭clk의 위상이 지연되고(주파수가 낮아지고) 외부클럭CLK와 동기가 취해진다.
이 실시예에서는 특히 제한되지 않지만, 위상비교기는 입력버퍼를 통과한 외부클럭CLK와 일정지연단을 통과한 내부클럭clk을 비교하고 있다. 이러한 일정지연단을 마련하고, 그것을 입력버퍼의 신호전달지연시간과 일치시키는 것에 의해, 외 부단자에 공급되는 클럭CLK와 내부회로에서 발생되는 내부클럭clk를 완전히 동기시킬 수 있다. 이것에 의해, 이 실시예의 싱크로너스DRAM에서는 클럭신호를 페치하는 입력버퍼에서의 신호지연을 고려하지 않고 오로지 내부회로의 동작 상한주파수에 대응한 높은 주파수에서의 동작이 가능하게 된다.
제4도에는 클럭신호 입력회로를 구성하는 상기 DLL회로의 1실시예의 회로도가 도시되어 있다. 상기 클럭입력버퍼를 통해서 입력된 외부클럭신호CLK는 한쪽에 있어서 위상주파수비교기(이하, 단지 위상비교기라 한다)의 한쪽의 입력에 공급되고, 다른쪽에 있어서 전압가변지연단에 입력된다. 이 전압가변지연단에 의해 지연되어 형성된 내부클럭clk는 상기 위상비교기의 다른쪽의 입력에 공급된다. 위상비교기는 상기 2개의 클럭CLK와 내부클럭clk의 위상(주파수)비교를 실행하고, 그 위상차에 대응한 업신호UP와 다운신호DWN을 형성한다. 또한, 상기 위상주파수비교기에 상기 클럭 입력버퍼를 포함시킨 회로를 위상주파수비교기로서 정의해도 좋다. 이 경우에는 위상주파수비교기는 칩 외부에서 입력된 외부클럭신호를 받는다.
상기 위상비교기에 의해 형성된 업신호UP와 다운신호DWN은 상기와 마찬가지의 차지펌프회로에 입력된다. 이 차지펌프회로는 상기 업신호UP의 펄스폭(위상차)에 대응해서 커패시터를 차지 업시켜 제어전압VC를 높게 하고, 다운신호DWN의 펄스폭(위상차)에 대응해서 커패시터를 디스차지시켜 제어전압VC를 낮게 한다.
전압가변지연단은 상기 제어신호VC에 의해 그의 지연시간이 제어된다. 즉, 내부클럭clk는 상기 전압가변지연단에 의해 외부클럭CLK에 대해서 1주기 지연된 동일한 주파수의 클럭으로 된다. 이 내부클럭clk의 위상이 외부클럭 CLK에

대해서 지 연되어 있는 경우에는 위상비교기는 상기 위상차에 대응한 업신호UP를 형성하므로 차지펌프회로가 제어전압VC를 높인다. 이 제어전압VC가 높아짐에 따라서 전압가변지연단의 지연시간이 짧아져 내부클럭clk의 위상이 진행되고 외부클럭CLK와 동기가 취해진다.
반대로, 내부클럭clk의 위상이 외부클럭CLK에 대해서 진행되어 있는 경우에는 위상비교기는 상기 위상차에 대응한 다운신호DWN을 형성하므로 차지펌프회로가 제어전압VC를 낮게 한다. 이 제어전압VC가 낮아짐에 따라서 전압가변지연단의 지연시간이 길어져 내부클럭clk의 위상이 지연되고 외부클럭CLK와 동기가 취해진다.
외부클럭CLK를 받아서 입력버퍼에서의 신호지연이 문제로 되면, 상기 제3도의 실시예와 마찬가지로 입력버퍼의 신호전파지연시간에 대응한 일정지연단에 의해 내부클럭clk를 지연시켜 위상비교기에 입력하는 것이라도 좋다. 이와 같이 하면, 상기와 마찬가지로 외부단자에 공급되는 클럭CLK와 내부회로에서 발생되는 내부클럭clk를 동기시킬 수 있다.
제5도에는 상기 일정지연단(지연회로)의 1실시예의 회로도가 도시되어 있다. 게이트가 정상적으로 회로의 접지전위에 접속된 P채널형 MOSFET Q1에 의해 형성한 전류를 다이오드형태의 N채널형 MOSFET Q2로 흐르도록 하고, 이 MOSFET Q2와 전류미러형태로 된 N채널형 MOSFET Q4, Q5를 마련하여 CMOS인버터회로를 구성하는 N채널형 MOSFET Q10, Q12에 직렬 접속시킨다. 상기 MOSFET Q1에 의해 형성된 전류는 MOSFET Q2와 전류미러형태로 된 N채널형 MOSFST Q3을 거쳐서 다이오드형태로 된 P채널형 MOSFET Q6으로 흐르도록 하고, 이 MOSFET Q6과 전류미러형태로 된 P채널형 MOSFET Q7, Q8을 마련하여 CMOS인버터회로를 구성하는 P채널형 MOSFET Q9, Q11에 직렬 접속시킨다.
이것에 의해, P채널형 MOSFET Q9와 N채널형 MOSFET Q10 및 P채널형 MOSFET Q11과 N채널형 MOSFET Q12로 이루어지는 CMOS인버터회로는 MOSFET Q1에 의해 형성된 전류에 대응한 출력전류를 형성하므로, 그 출력전류에 대응해서 신호지연시간이 결정된다. 이 실시예에서는 특히 제한되지 않지만, 입력신호IN은 인버터회로N1을 통해서 입력단의 CMOS인버터회로Q9, Q10에 공급되고, 출력단의 CMOS인버터회로Q11, Q12의 출력신호는 인버터회로N2를 통해서 출력신호OUT가 출력된다.
제6도에는 차지펌프회로의 1실시예의 회로도가 도시되어 있다. 이 실시예에서는 업신호/UP를 받는 P채널형 MOSFET Q1과 다운신호DWN을 받는 N채널형 MOSFET Q2 및 이들 MOSFET Q1과 Q2를 통해서 차지 업/디스차지가 실행되는 커패시터C로 구성된다. 업신호/UP의 로우레벨에 대응해서 P채널형 MOSFET Q1이 온상태로 되어 커패시터C를 충전해서 제어전압VC를 높게 한다. 반대로, 다운신호DWN의 하이레벨에 따라서 N채널형 MOSFET Q2가 온상태로 되고, 커패시터C를 디스차지시켜서 제어전압을 낮게 한다.
상기 차지펌프회로에 있어서, 전원의존성을 없애기 위해 P채널형 MOSFET Q1과 전원전압VCC 사이에 정전류원을 마련해서 단위시간당의 차지 업 전류를 일정하게 하고, N채널형 MOSFET Q2와 회로의 접지전위 사이에 정전류원을 마련해서 단위시간당의 디스차지전류를 일정하게 하는 것이 바람직하다.
제7도에는 제3도의 PLL에 사용되는 링 오실레이터(VCO)(발진회로)의 1실시예 의 회로가 도시되어 있다. PLL회로는 VCO의 가변주파수범위가 비교적 좁은 것에 의해, 그 동작주파수범위도 비교적 좁아진다. 링 오실레이터에 의해 구성된 VCO에 있어서는 예를 들면 중심주파수를 약 100MHz정도로 설정하고자 하면, 약 160MHz 50MHz 정도의 범위에서 밖에 발진주파수를 가변으로 할 수 없다.
현재의 SDRAM에서는 3종류의 CAS 회전지연에 대응해서 동작주파수는 30 50MHz, 50 100MHz 및 100 150MHz로 각각 결정되어 있다. 이 때문에, 현재의 SDRAM에 있어서도 최악의 경우를 고려한다면, 상기 150MHz에서의 안정된 동작을 실행 하도록 하면 약 30MHz와 같은 가장 낮은 동작주파수에 있어서, 반대로 약 30MHz에서의 안정된 동작을 실행하도록 하면 150MHz와 같은 가장 높은 동작주파수에 있어서, PLL회로의 동작이 불안정하게 될 가능성이 있다. 단, 상기와 같은 30MHz~150MHz와 같은 동작주파수범위이면 PLL회로나 DLL회로를 사용하지 않고 외부단자에서 공급된 클럭신호를 입력버퍼를 통해서 그대로 내부클럭으로서 사용해도 그다지 문제는 없다.
그러나, 반도체 집적회로의 제조기술의 진전에 따라서, 가까운 장래에는 동작주파수를 최고 약 300MHz까지 높게 할 수 있다. 이러한 높은 주파수에서 동작시키고자 한 경우에는 입력버퍼에서의 신호지연을 무시할 수 없게 되어 상기와 같은 PLL회로나 DLL회로가 필요하게 된다. 그러나, 사용자에게 있어서 그 용도나 기존의 시스템에 적합하게 하기 위해 약 300MHz에서도 동작할 수 있는 SDRAM을 상기 약 30MHz나 50MHz와 같은 낮은 주파수에서도 사용할 수 있는 것이 편리하다.
내부회로의 동작 그 자체는 충분한 시간마진이 있기 때문에 상기 약 30MHz나 50MHz와 같은 낮은 주파수에서도 충분히 동작할 수 있다. 그러나, PLL회로나 DLL회로에 의해 내부클럭을 형성하는 것으로 한 경우에는 이러한 PLL회로나 DLL회로의 가변주파수범위나 가변지연시간이 상기 30MHz 300MHz에 대응한 넓은 동작주파수로 하는 것이 필요하게 되지만, 그와 같은 동작주파수범위의 링 오실리에터를 실현하는 것은 불가능하다.
이 실시예에서는 제어전압에 의한 링 오실레이터의 가변주파수범위에는 상기와 같은 한계가 있으므로, 링 오실레이터를 구성하는 인버터회로(지연회로)의 단수를 전환하도록 해서 실질적인 동작주파수범위를 넓게 할 수 있도록 하는 것이다. 특히 제한되지 않지만, 이 실시예에서는 3종류의 동작주파수범위로 전환할 수 있게 된다.
즉, 단수 전환용으로서, 2단의 인버터회로, 4단의 인버터회로 및 8단의 인버터회로가 마련된다. 동일 도면에는 4단의 인버터회로에 의한 전압가변지연단이 대표로서 예시적으로 도시되어 있는 바와 같이, 4개의 CMOS인버터회로가 종렬 접속된다. 그리고, 이들 CMOS인버터회로의 N채널 형 MOSFET 및 P채널형 MOSFET의 각각에는 상기 제5도에서 설명한 것과 동일한 동작전류를 흐르게 하는 N채널형 MOSFET와 P채널형 MOSFET가 직렬 형태로 마련된다. 제5도의 일정지연단과 다른 점은 상기 동작전류를 흐르게 하는 N채널형 MOSFET의 게이트에는 제어전압VC가 공급되고, 여기에서 전압/전류 변환동작이 실행된다. 또, 제어전압VC는 N채널형 MOSFET에 의해 전류신호로 변환되어 다이오드형태로 된 P채널형 MOSFET로 흐르도록 하고, 이러한 P채널형 MOSFET와 상기 동작전류를 흐르게 하는 P채

널형 MOSFET가 전류미러형태로 접속된다. 이와 같이 해서, 상기 4단의 CMOS인버터회로는 각각의 동작전류가 제어전압VC에 대응해서 변화시켜져 전압가변지연단으로서의 동작을 실행하도록 된다. 즉, 제어전압VC를 변화시키는 것에 의해 제7도에 도시되어 있는 링 오실레이터의 주파수를 변화시키는 것이 가능하게 된다. 즉, 제어전압VC의 전압값을 크게하면 할수록 링 오실레이터의 주파수도 커진다.
상기 2단의 인버터회로, 4단의 인버터회로 및 8단의 인버터회로의 입력a에는 귀환신호가 공통으로 공급된다. 이들 2단의 인버터회로, 4단의 인버터회로 및 8단의 인버터회로의 각각의 출력신호는 출력선택회로로서의 3상태 버퍼를 거쳐서 1개가 선택되어 상기와 동일한 3단의 인버터회로를 통해서 귀환된다. 내부클럭clk(발진신호)는 파형정형회로로서의 2개의 인버터회로를 거쳐서 출력된다.
인버터INV1, INV2, INV3, INV18, INV19는 제1 인버터군을 구성하고, 인버터INV4 INV8, INV18, INV19는 제2 인버터군을 구성하고, 인버터INV9 INV19는 제3 인버터군을 구성한다.
외부단자에서 공급된 클럭신호 또는 외부단자에서 공급된 클럭신호에 응답하는 외부클럭신호의 주파수가 제1의 범위(예를 들면 300 200MHz)인 경우에 상기 제1 인버터군이 선택되고, 제2의 범위(예를 들면 200 100MHz)인 경우에 상기 제2 인버터군이 선택되며, 제3의 범위(예를 들면 100 50MHz)인 경우에 상기 제3 인버터군이 선택된다. 즉, 외부클럭신호의 주파수에 따라서 대응하는 제1, 제2, 제3 인버터군중의 1개의 군이 동작상태로 되어 발진경로를 구성한다.
또한, 인버터INV18, INV19는 생략해도 좋다.
상기 3개의 3상태 버퍼는 특히 제한되지 않지만 어드레스신호A8과 A9를 받는 논리회로에 의해 1개가 동작상태로 되고, 나머지 2개가 출력 하이임피던스상태로 된다. 3상태 버퍼는 그 1개가 대표로서 예시적으로 도시되어 있는 바와 같이 CMOS인버터회로를 구성하는 P채널형 MOSFET와 N채널형 MOSFET에 각각 P채널형 MOSFET와 N채널형 MOSFET가 직렬 접속되어 제어신호B와 T가 공급된다. 제어신호B가 로우레벨이고 제어신호T가 하이레벨이면 상기의 P채널형 MOSFET와 N채널형 MOSFET가 온상태로 되고, CMOS인버터회로의 동작이 유효로 되어 출력신호가 형성된다. 상기 제어신호B가 하이레벨이고 제어신호T가 로우레벨이면 상기 P채널형 MOSFET와 N채널형 MOSFET가 오프상태로 되어 CMOS인버터회로의 출력을 하이임피던스상태로 되게 한다.
어드레스신호A8이 하이레벨이고 어드레스신호A9가 로우레벨이면 2단의 인버터회로의 출력에 마련된 3상태 버퍼가 동작상태로 되어 가장 짧은 지연신호를 출력하므로, 예를 들면 300MHz 200MHz와 같은 높은 가변주파수범위로 된다. 어드레스신호A8이 로우레벨이고 어드레스신호A9가 하이레벨이면, 4단의 인버터회로의 출력에 마련된 3상태 버퍼가 동작상태로 되어 중간적인 지연신호를 출력하므로, 예를 들면 200MHz 100MHz와 같은 중간적인 가변주파수범위로된다. 그리고, 어드레스신호A8과 A9가 모두 로우레벨이면 8단의 인버터회로의 출력에 마련된 3상태 버퍼가 동작상태로 되어 가장 긴 지연신호를 출력하므로, 예를 들면 100MHz 50MHz와 같은 낮은 가변주파수범위로 된다. 상기 어드레스신호A8과 A9는 후술하는 바와 같은 모드레지스터에 기억되고, 커맨드의 설정에 의해 외부에서 지정할 수 있게 된다. 또, CAS 회전지연에 의해서 동작주파수가 변화하기 때문에 CAS 회전지연의 설정모드에 의해 자동적으로 상기 PLL회로(DLL회로)의 가변주파수범위도 동시에 설정하도록 하는 것이 편리하다.
제8도에는 상기 PLL회로 또는 DLL회로에 사용되는 위상비교기의 1실시예의 회로도가 도시되어 있다. 위상비교기(비교회로)는 특히 제한되지 않지만 도시하는 바와 같은 인버터회로, 논리회로 및 복합논리게이트회로로 구성되고, 제9도의 타이밍도로 도시한 바와 같이 2개의 클럭신호CLK와 clk이 위상차에 대응한 펄스폭을 갖도록 된 업신호UP 또는 다운신호DWN(검지신호)를 형성한다. 즉, 위상비교기(비교회로)는 클럭신호CLK의 변화타이밍과 클럭신호clk의 변화타이밍의 변화타이밍차를 검지하고, 상기 변화타이밍차에 따른 검지신호UP 및 DWN을 출력한다.
제10도에는 모드레지스터의 설정타이밍도가 도시되어 있다. 신호 /CS, /RAS, /CAS, /WE가 로우레벨로 되는 것에 의해, 상기 모드레지스터 세트커맨드가 지정되고, 세트할 데이타(레지스터세트데이타)는 A0 A11을 거쳐서 부여된다. 레지스터 세트데이타는 제11도에 도시한 바와 같이 어드레스A0 A2의 3비트에 의해 4종류의 버스트 길이(1, 2, 4, 8)이 지정되고, 어드레스A3에 의해 2종류의 버스트 타입(시퀀셜(sequential)과 인터리브(interleave))가 지정되고, 어드레스A4 A6의 3비트에 의해 CAS 회전지연이 지정된다. 그리고, 장래 사용할 경우의 예비로서 마련되어 있는 어드레스A8 A11중 어드레스A8과 A9에 의해 상기 PLL회로(또는 DLL회로)의 동작주파수범위를 지정한다.
제12도에는 본 발명에 관한 SDRAM의 리드사이클의 1예를 설명하기 위한 타이 밍도가 도시되어 있다. /CS와 /RAS의 로우레벨에 의해 로우어드레스R : a가 페치된다. 또, 어드레스A11(뱅크선택BS)의 로우레벨에 의해 뱅크0이 액티브로 되어 뱅크0에 대해서 로우계의 어드레스 선택동작이 개시된다. 3클럭 후에 /CAS가 로우레벨로 되어 컬럼어드레스C : a가 페치되고 컬럼계의 선택동작이 개시된다.
CAS 회전지연이 3으로 되어 있는 것으로 하면, 3클럭후에 출력신호 a가 출력된다. 버스트리드가 지정되어 있으면 이후 클럭과 동기해서 데이타a+1, a+2, a+3이 순차 출력된다. 이러한 리드동작과 병행해서 액티브뱅크 1이 지정되고, 그것에 대응한 로우어드레스R : b가 입력되고, 그 후에 3클럭 지연해서 컬럼어드레스C : b가 입력된다. 이것에 의해, 3클럭 후에 데이타b, b+1, b+2, b+3이 순차로 리드된다.
리드뱅크1을 지정해서 컬럼어드레스C : b' 를 입력하면, 계속해서 그것보다 3클럭 지연해서 데이타b' 와 b'+1이 출력된다. 2클럭후에 리드뱅크1을 지정해서 컬럼어드레스C : b' 를 입력하면, b' 가 b'로 치환되므로 그것보다 3클럭 지연해서 데이타b'와 b'+1, b'+2, b'+3이 출력된다.
제13도에는 본 발명에 관한 SDRAM의 라이트사이클의 1예를 설명하기 위한 타이밍도가 도시되어 있다. /CS와 /RAS의 로우레벨에 의해 로우어드레스R : a가 페치된다. 또, 어드레스A11(뱅크선택BS)의 로우레벨에 의해 뱅크0이 액티브로 되어 뱅크0에 대해서 로우계의 어드레스 선택동작이 개시된다. 3클럭 후에 /CAS가 로우레벨로 되어 컬럼어드레스C : a가 페치되어 컬럼계의 선택동작이 개시되고, 그것과 동시에 입력된 라이트신호a 가 선택된 메모리셀에 라이트되고, 이하 버스트 라이트에 대응하여 컬럼어드레스가 갱신되고 데이타a+1, a+2, a+3이 클럭과 동기해서 라 이트

된다.
이러한 버스트 라이트동작과 병행해서 액티브뱅크1이 지정되고, 그것에 대응한 로우어드레스R : b가 입력되고, 그 후 3클럭 지연해서 컬럼어드레스C : b가 입력되고, 라이트데이타b가 라이트된다. 이하, 상기 마찬가지로 b+1, b+2, b+3이 클럭과 동기해서 순차 라이트된다. 이하, 라이트뱅크1을 지정해서 컬럼어드레스C : b' 를 입력하고, 라이트데이타b' 와 b'+1을 입력하고, 리드뱅크1을 지정해서 컬럼어드레스C : b' 를 입력하면, 컬럼어드레스가 b' 에서 b'로 치환되므로, 그것에 대응한 데이타b'와 b'+1, b'+2, b'+3이 순차로 라이트된다.
제14도(A)및 제14도(B)에는 본 발명이 적용된 다이나믹형 RAM을 사용한 퍼스널 컴퓨터시스템의 1실시예의 구성도가 도시되어 있다. 제14도(A)에는 그 외관의 주요부 개략도가 도시되어 있고, 제14도(B)에는 그 블럭도가 도시되어 있다.
플로피 디스크 드라이브FDD 및 주기억 메모리로서의 본 발명이 적용된 DRAM에 의한 파일메모리fileM, 배터리 백업으로서의 SRAM을 내장한 시스템이다. 그리고, 입출력장치를 키보드KB 및 디스플레이DP로 하고, 플로리 디스크FD가 상기 플로피 디스크 드라이브FDD에 삽입된다. 이것에 의해서 소프트 웨어로서의 상기 플로 피 디스크FD 및 하드웨어로서의 상기 파일메모리fileM에 정보를 기억할 수 있는 데스크톱형 퍼스널컴퓨터로 된다.
본 실시예에서는 데스크톱형 퍼스널컴퓨터에 대해서 적용한 예에 대해서 기재하였지만, 노트형 퍼스널컴퓨터 등에 대해서도 적용이 가능하며, 보조기능으로서 플로피디스크를 예로서 기재하였지만 특별히 한정되는 것은 아니다.
제14도(B)에 있어서, 이 실시예의 퍼스널 컴퓨터는 본 정보기기로서의 중앙처리장치CPU, 상기 정보처리시스템내에 구축한 I/O버스, 버스유닛(Bus Unit), 주기억메모리나 확장메모리 등 고속메모리를 액세스하는 메모리제어유닛, 주기억메모리로서의 본 발명에 관한 DRAM(SDRAM) 및 확장RAM(SDRAM), 기본제어프로그램 등이 저장된 EPROM(플래시EPROM), 선단에 키보드가 접속된 키보드 컨트롤러KBDC 등에 의해서 구성된다.
표시어댑터로서의 디스플레이 어댑터(Display adapter)가 I/O버스에 접속되고, 상기 디스플레이 어댑터의 선단에는 디스플레이가 접속되어 있다. 그리고, 상기 I/O버스에는 병렬포트(Parallel Port)I/F, 마우스 등의 직렬포트(Serial Port)I/F, 플로피 디스크 드라이브FDD, 상기 I/O버스에서 HDD I/F로 변환하는 버퍼컨트롤러HDD버퍼가 접속된다. 상기 메모리제어유닛으로 부터의 버스에 확장RAM 및 주기억메모리로서의 본 발명에 관한 SDRAM이 접속되어 있다. 확장RAM도 특별히 제한되는 것은 아니지만 본 발명에 관한 SDRAM에 의해 구성된다.
이 퍼스널컴퓨터시스템의 동작의 개략에 대해서 설명한다. 전원이 투입되고 동작을 개시하면, 먼저 상기 중앙처리장치CPU는 상기 ROM을 상기 I/O버스를 통해서 액세스하고, 초기진단, 초기설정을 실행한다. 그리고, 보조기억장치에서 시스템 프로그램을 주기억메모리로서의 본 발명의 DRAM으로 로드한다. 상기 중앙처리장치 CPU는 상기 I/O버스를 통해서 HDD컨트롤러로 HDD를 액세스하는 것으로 해서 동작한다. 시스템 프로그램의 로드가 종료하면, 사용자의 처리요구에 따라서 처리를 진행해 간다.
사용자는 상기 I/O버스상의 키보드 컨트롤러KBDC나 표시어댑터에 의해 처리의 입출력을 실행하면서 작업을 진행한다. 그리고, 필요에 따라서 병렬포트I/F, 직렬포트I/F에 접속된 입출력장치를 활용한다. 또, 본체상의 주기억메모리로서의 본 발명에 관한 SDRAM에서는 주기억용량이 부족한 경우에는 확장RAM에 의해 주기억을 보충한다. 또, 도면에는 하드 디스크 드라이브HDD로서 기재하였지만, 플래시메모리 FEPROM을 사용한 플래시파일로 치환할 수도 있다.
상기의 실시예에서 얻어지는 작용효과는 다음과 같다. 즉,
(1) 싱크로너스DRAM에 있어서, PLL회로 또는 DLL회로에 의해 외부에서 공급된 클럭신호와 동기한 내부클럭신호를 형성하고, 외부에서 공급된 모드설정정보에 따라서 PLL회로의 가변주파수범위 또는 DLL회로의 가변지연시간을 변화시키는 전환회로를 마련하는 것에 의해, 높은 주파수에서도 안정하게 외부클럭신호와 동기를 취할 수 있음과 동시에 그 동작범위를 전환하는 것에 의해서 낮은 주파수까지의 넓은 동작주파수범위를 실현할 수 있다는 효과가 얻어진다.
(2) PLL회로를 구성하는 링 오실레이터의 가변주파수범위 또는 DLL회로를 구성하는 지연회로의 가변지연범위를 변화시키는 전환회로는 단위의 인버터회로의 단수의 전환에 의해 실행하도록 하는 것에 의해서, 간단한 구성으로 필요에 따른 넓은 동작주파수범위를 확보할 수 있다는 효과가 얻어진다.
(3) 상기 단위의 인버터회로의 단수의 전환은 모드레지스터에 의해 설정된 CAS 회전지연에 대응해서 내부회로에 의해 자동적으로 실행하도록 하는 것에 의해서, 사용상 편리함을 향상시킬 수 있다는 효과가 얻어진다.
(4) PLL회로 또는 DLL회로의 위상비교기에 입력되는 내부클럭은 외부단자에서 공급된 클럭신호를 페치하는 입력버퍼에 대응한 지연량을 갖는 지연회로에 의해 지연시키는 것에 의해서 입력버퍼에서의 신호지연이 상쇄되므로, 외부단자에 공급되는 클럭과 내부클럭을 정확하게 동기시킬 수 있다는 효과가 얻어진다.
이상 본 발명자에 의해 이루어진 발명을 실시예에 따라서 구체적으로 설명하였지만, 본원 발명은 상기 실시예에 한정되는 것은 아니고, 그 요지를 이탈하지 않는 범위에서 여러가지로 변경 가능한 것은 물론이다. 예를 들면, 개발설계시나 제품검사 등을 위해 통상의 동작주파수에 대해서 극단적으로 지연된 클럭에서의 동작도 가능하게 하기 위해, PLL회로 또는 DLL회로의 동작주파수를 그것에 맞게 낮은 것을 마련하거나 또는 시험모드일 때에는 PLL회로 또는 DLL회로의 동작을 정지시켜서 외부단자에서 공급된 클럭신호를 그대로 통과시키고 내부클럭으로서 사용하는 기능을 마련해도 좋다. 이러한 시험모드의 설정도 상기 모드레지스터에 의해 실행하는 것이 편리하다.
본 발명은 외부단자에서 공급된 클럭신호와 동기해서 입력신호의 페치나 출력신호의 송출 및 각각에 대응해서 내부회로의 동작타이밍이 제어되는 싱크로너스DRAM등의 다이나믹형 RAM에 널리 이용할 수 있는 것이다.
본원에 있어서 개시되는 발명중 대표적인 것에 의해서 얻어지는 효과를 간단히 설명하면 다음과 같다. 즉, 싱크로너스DRAM에 있어서 PLL회로 또는 DLL회로에 의해 외부에서 공급된 클럭신호와 동기한 내부클럭신호를 형성하고, 외부에서 공급된 모드설정정보에 따라서 PLL회로의 가변주파수범위 또는 DLL회로의 가변지연시간 을 변화시키는 전환회로를 마련하는 것에 의해, 높은 주파수에서도 안정하게 외부클럭신호와 동기를 취할 수 있음과 동시에 그 동작

범위를 전환하는 것에 의해서 낮은 주파수까지의 넓은 동작주파수범위를 실현할 수 있다.
PLL회로를 구성하는 링 오실레이터의 가변주파수범위 또는 DLL회로를 구성하는 지연회로의 가변지연범위를 변화시키는 전환회로는 단위의 인버터회로의 단수의 전환에 의해 실행하도록 하는 것에 의해서, 간단한 구성으로 필요에 따른 넓은 동작주파수범위를 확보할 수 있다.
상기 단위의 인버터회로의 단수의 전환은 모드레지스터에 의해 설정된 CAS 회전지연에 대응해서 내부회로에 의해 자동적으로 실행하도록 하는 것에 의해서, 사용상 편리함을 향상시킬 수 있다.
PLL회로 또는 DLL회로의 위상비교기에 입력되는 내부클럭은 외부단자에서 공급된 클럭신호를 페치하는 입력버퍼에 대응한 지연량을 갖는 지연회로에 의해 지연시키는 것에 의해서 입력버퍼에서의 신호지연이 상쇄되므로, 외부단자에 공급되는 클럭과 내부클럭을 정확하게 동기시킬 수 있다.

(57) 청구의 범위

청구항 1.

1개의 반도체기판상에 형성되고, 클럭신호 입력회로를 갖는 다이나믹 메모리장치로서,
상기 클럭신호 입력회로는
[a] 상기 다이나믹 메모리장치의 외부에서 입력된 외부클럭신호를 입력하는 제1 입력단자;
[b] 내부클럭신호를 출력하는 제1 출력단자;
[c] 상기 제1 출력단자에 결합된 제2 입력단자와 제2 출력단자를 갖고, 상기 제2 입력단자에 입력된 신호를 지연시켜 상기 제2 출력단자로 출력하는 지연회로;
[d] 상기 제1 입력단자에 결합된 제3 입력단자와 상기 제2 출력단자에 결합된 제4 입력단자를 갖고, 상기 제3 입력단자에 입력되는 신호가 변화하는 타이밍과 상기 제4 입력단자에 입력되는 신호가 변화하는 타이밍의 변화타이밍차를 검지하고 상기 변화타이밍차에 따른 검지신호를 출력하는 비교회로;
[e] 상기 제1 출력단자에 결합된 제3 출력단자를 갖고, 또는 링형상으로 결합된 n개의 인버터를 포함하는 제1 인버터군과 링형상으로 결합된 m개의 인버터를 포함하는 제2 인버터군을 갖고, 상기 제3 출력단자로 발진신호를 출력하는 발진회로;
[f] 상기 비교회로로부터 상기 검지신호를 받고 상기 검지신호에 따라서 상기 발진신호의 발진주파수가 변화하도록 상기 발진회로를 제어하는 제어회로 및;
[g] 상기 외부클럭신호의 주파수 제1 범위에 있는 경우에 상기 제1 인버터군을 선택하고, 상기 외부클럭신호의 주파수가 제2 범위에 있는 경우에는 상기 제2 인버터군을 선택하는 선택회로를 갖고,
상기 제1 범위의 주파수는 상기 제2 범위의 주파수가 높고,
상기 n은 기수이고,
상기 m은 상기 n과의 다른 기수이고,
상기 제1 범위와 상기 제2 범위는 다른 것을 특징으로 하는 다이나믹 메모리장치.

청구항 2.

외부단자에서 인가되는 클럭신호와 내부클럭신호를 비교하는 위상비교기, 상기 위상비교기의 출력신호를 직류전류로 변환하는 루프필터, 상기 내부클럭신호를 형성하는 링 오실레이터 및 전환회로를 포함하는 PLL회로 및;
어드레스신호의 입력, 제어신호의 입력, 라이트신호의 입력 및 리드신호의 출력중의 적어도 하나 상기 내부클럭신호와 동기하도록 제어되는 입출력인터페이스를 포함하고,
상기 링 오실레이터는 여러개의 단위 인버터회로를 포함하고,
상기 단위 인버터회로의 신호지연량은 상기 루프필터에 의해 형성된 제어전압에 이해서 제어되고,
상기 전환회로는 외부유닛에서 공급된 모드설정정보에 따라서 상기 링 오실레이터에 포함되는 상기 여러개의 단위 인버터회로의 단수를 선택하는 것에 의해 상기 링 오실레이터의 가변주파수범위를 변화시키는 것을 특징으로 하는 다이나믹 메모리장치.

청구항 3.

제2항에 있어서,
상기 단위 인버터회로의 단수는 모드레지스터에 설정된 CAS회전지연의 정보에 따라서 동작하는 내부회로에 의해서 자동적으로 설정되는 것을 특징으로 하는 다이나믹 메모리장치.

청구항 4.

제3항에 있어서,
상기 위상비교기에 입력되는 내부클럭신호는 외부단자를 거쳐서 인가되는 클럭신호를 수신하는 입력버퍼에 대응하는 지연량을 갖는 지연회로에 의해 지연된 신호인 것을 특징으로 하는 다이나믹 메모리장치.

청구항 5.

외부단자에서 인가되는 외부클럭신호와 내부클럭신호를 비교하는 위상비교기, 상기 위상비교기의 출력신호를 직류전류로 변환하는 루프필터, 상기 외부클럭신호와 동일한 주파수이고, 또한 상기 외부클럭신호에 대해 지연시킨 상기 내부클러신호를 형성하는 지연회로 및 전환회로를 포함하는 DLL회로 및;
어드레스신호의 입력, 제어신호의 입력, 라이트신호의 입력 및 리드신호의 출력중의 적어도 하나가 상기 내부클럭신호와 동기하도록 제어되는 입출력인터페이스를 포함하고,
상기 지연회로는 여러개의 단위 인버터회로를 포함하고,

상기 단위인버터회로의 신호지연량은 상기 루프필터에 의해 형성된 제어전압에 의해서 제어되고,
상기 전환회로는 외부유닛에서 공급된 모드설정정보에 따라서 상기 지연회로에 포함하는 상기 여러개의 단위 인버터 회로의 단수를 선택하는 것에 의해 상기 지연회로의 가변주파수범위를 변화시키는 것을 특징으로 하는 다이나믹 메모리장치.

청구항 6.

소정의 주파수를 갖는 외부클럭신호를 수신하는 외부단자;
상기 외부클럭신호를 수신해서 내부클럭신호를 형성하고 상기 내부클럭신호의 위상을 가변으로 제어할 수 있는 내부클럭형성회로;
여러개의 메모리셀 및;
상기 여러개의 메모리셀에서 리드된 데이타를 출력하는 출력회로를 포함하고,
상기 출력회로는 상기 내부클럭신호에 따라서 동작하는 것을 특징으로 하는 반도체장치.

청구항 7.

소정의 주파수를 갖는 외부클럭신호를 수신하는 외부단자;
상기 외부클럭신호를 수신하여 소정의 주파수를 갖는 내부클럭신호를 출력하는 위상록루프회로;
여러개의 메모리셀 및;
상기 여러개의 메모리셀에서 리드된 데이타를 출력하는 출력회로를 포함하고,
상기 출력회로는 상기 내부클럭신호에 따라서 동작하는 것을 특징으로 하는 반도체장치.

청구항 8.

소정의 주파수를 갖는 외부클럭신호를 수신하는 외부단자;
상기 외부클럭신호를 수신하고 소정의 주파수를 갖는 내부클럭신호를 출력하는 지연록루프회로;
여러개의 메모리셀 및;
상기 여러개의 메모리셀에서 리드된 데이타를 출력하는 출력회로를 포함하고,
상기 출력회로는 상기 내부클럭신호에 따라서 동작하는 것을 특징으로 하는 반도체장치.

청구항 9.

소정의 주파수를 갖는 제1 클럭신호를 수신하고 소정의 주파수를 갖는 제2 클럭신호를 출력하는 PLL회로;
여러개의 메모리셀 및;
상기 여러개의 메모리셀에서 리드된 데이타를 출력하는 출력회로를 포함하고,
상기 PLL회로는 상기 제2 클럭신호를 지연시킨 제3 클럭신호를 형성하는 지 연회로, 상기 제1 클럭신호와 상기 제3 클럭신호를 비교하는 비교회로 및 상기 비교회로의 출력신호에 따라서 제어되는 발진회로를 포함하고,
상기 출력회로는 상기 제2 클럭신호에 따라서 동작하는 것을 특징으로 하는 반도체장치.

청구항 10.

소정의 주파수를 갖는 제1 클럭신호를 수신하고 소정의 주파수를 갖는 제2 클럭신호를 출력하고, 상기 제1 클럭신호와 상기 제2 클럭신호를 비교하는 비교회로를 포함하고, 상기 비교회로의 출력신호에 따라서 그의 동작이 제어되는 클럭형성회로;
여러개의 메모리셀 및;
상기 여러개의 메모리셀에서 리드된 데이타를 출력하는 출력회로를 포함하고,
상기 출력회로는 상기 제2 클럭신호에 따라서 동작하는 것을 특징으로 하는 반도체장치.

청구항 11.

제10항에 있어서,
상기 클럭형성회로는 PLL회로인 것을 특징으로 하는 반도체장치.

청구항 12.

제10항에 있어서,
상기 클럭형성회로는 DLL회로인 것을 특징으로 하는 반도체장치.

청구항 13.

제10항에 있어서,
상기 여러개의 메모리셀은 다이나믹형 메모리셀이고,
상기 반도체장치는 1개의 반도체기판에 형성된 동기 메모리장치이고,
상기 제1 클럭신호는 상기 동기 메모리장치의 외부에서 입력되는 것을 특징으로 하는 반도체장치.

청구항 14.

제1 클럭신호를 수신하고 제2 클럭신호를 출력하고, 상기 제1 클럭신호와 상기 제2 클럭신호를 비교하는 비교회로를 포함하고, 상기 비교회로의 출력신호에 따라서 그의 동작이 제어되는 클럭형성회로 및;
여러개의 메모리셀을 포함하고,
상기 여러개의 메모리셀에 데이타를 라이트하는 동작 또는 상기 여러개의 메모리셀에 유지된 데이타를 리드하는 동작은 상기 제2 클럭신호와 동기해서 실행되는 것을 특징으로 하는 반도체장치.

청구항 15.

제10항에 있어서,
상기 제1 클럭신호와 상기 제2 클럭신호는 소정의 주파수를 갖고,
상기 여러개의 메모리셀은 다이나믹형 메모리셀이고,

상기 반도체장치는 1개의 반도체기판에 형성된 동기DRAM이고,
상기 제1 클럭신호는 상기 동기DRAM의 외부에서 입력되는 것을 특징으로 하 는 반도체장치.

청구항 16.

제1 클럭신호를 수신하고 제2 클럭신호를 출력하고, 상기 제2 클럭신호의 위상을 가변으로 제어할 수 있는 클럭형성회로 및;
여러개의 메모리셀을 포함하고,
상기 여러개의 메모리셀에 데이타를 라이트하는 동작 또는 상기 여러개의 메모리셀에 유지된 데이타를 리드하는 동작은 상기 제2 클럭신호와 동기해서 실행되고,
상기 클럭형성회로가 동작하는 주파수의 범위는 가변으로 설정할 수 있는 것을 특징으로 하는 반도체장치.

청구항 17.

제16항에 있어서,
상기 클럭형성회로가 동작하는 주파수의 범위는 레지스터의 값에 따라서 가변으로 설정할 수 있는 것을 특징으로 하는 반도체장치.

청구항 18.

제17항에 있어서,
상기 레지스터는 모드레지스터인 것을 특징으로 하는 반도체장치.

청구항 19.

제17항에 있어서,
상기 레지스터에는 CAS회전지연의 정보가 유지되는 것을 특징으로 하는 반도 체장치.

청구항 20.

제16항에 있어서,
상기 클럭형성회로는 직렬로 접속된 여러개의 단위 인버터회로를 포함하고,
상기 단위 인버터회로의 단수를 변경하는 것에 의해 상기 클럭형성회로가 동작하는 주파수의 범위가 변경되는 것을 특징으로 하는 반도체장치.

청구항 21.

제1 클럭신호를 수신하고 제2 클럭신호를 출력하고, 상기 제2 클럭신호의 위상을 가변으로 제어할 수 있는 클럭형성회로;
여러개의 메모리셀;
CAS회전지연의 정보가 유지되는 레지스터 및;
상기 여러개의 메모리셀에서 리드된 데이타를 출력하는 출력회로를 포함하고,
상기 출력회로는 상기 제2 클럭신호에 따라서 동작하고,
상기 클럭형성회로가 동작하는 주파수의 범위는 상기 레지스터의 값에 따라서 가변으로 설정되는 것을 특징으로 하는 반도체메모리장치.

청구항 22.

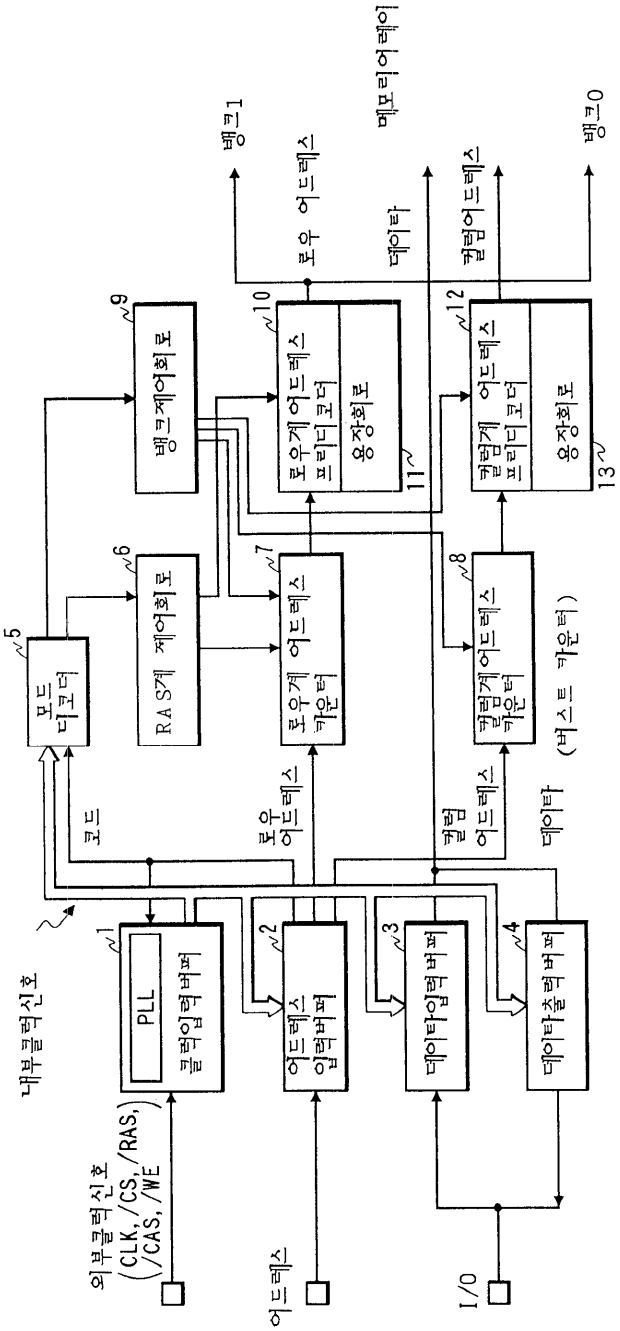
제21항에 있어서,
상기 클럭형성회로는 PLL회로인 것을 특징으로 하는 반도체메모리장치.

청구항 23.

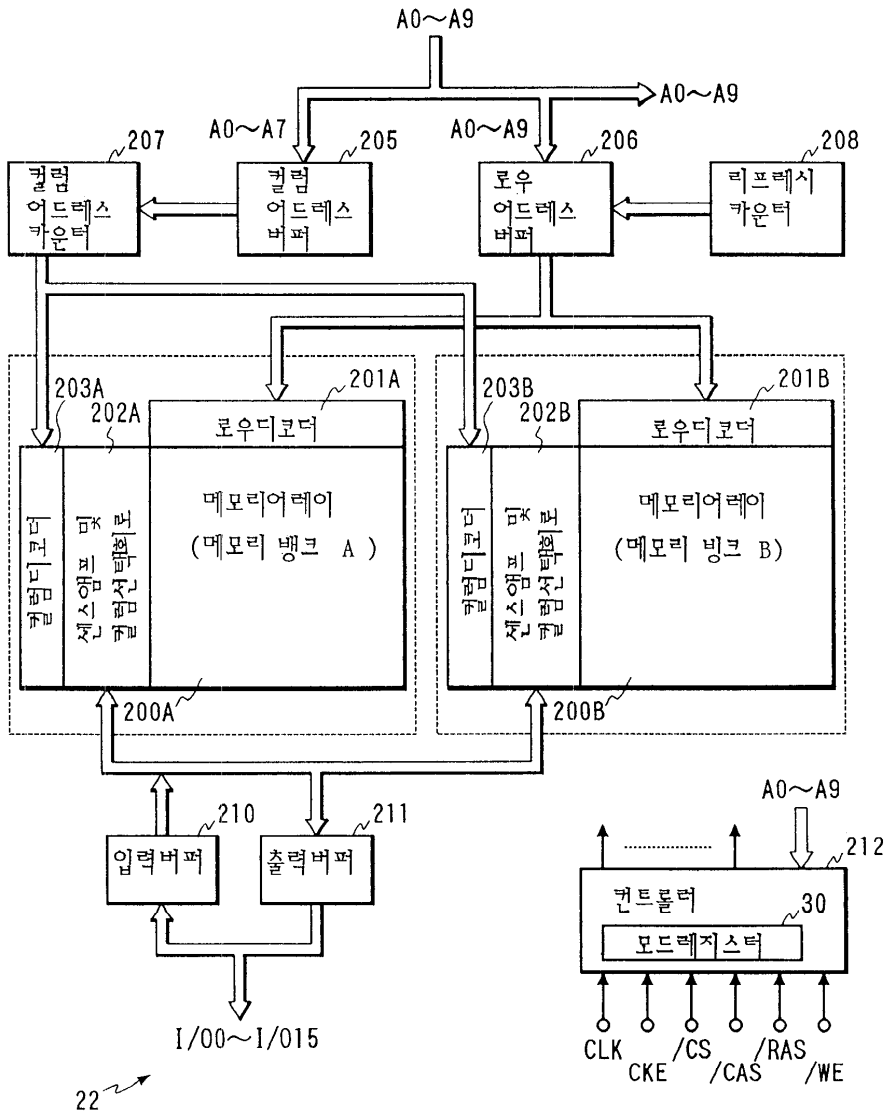
제21항에 있어서,
상기 클럭형성회로는 DLL회로인 것을 특징으로 하는 반도체메모리장치.

도면

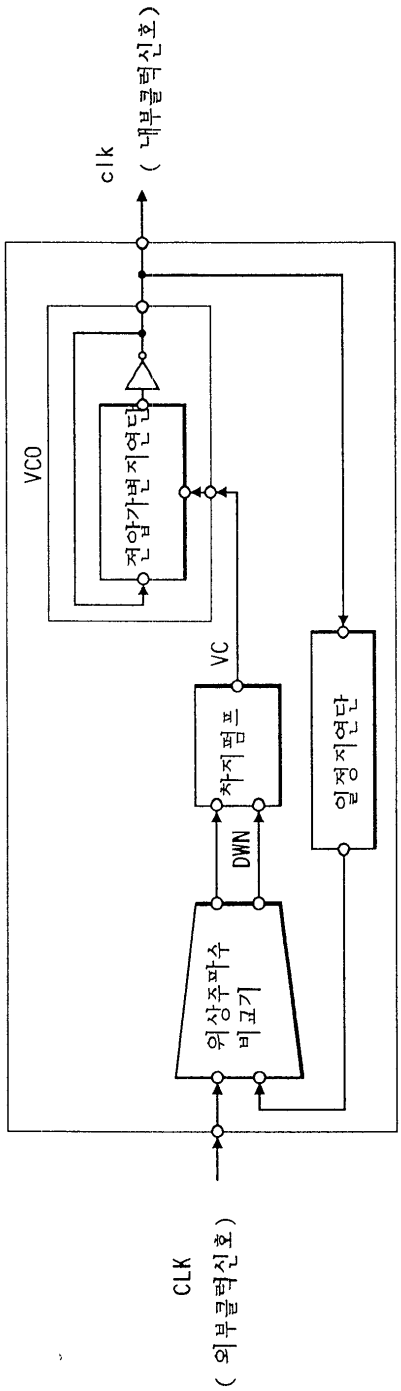
도면1


뱅크1
로우 어드레스
메모리어레이
데이타
컬럼어드레스
뱅크0
뱅크제어회로
로우계 어드레스 프리디코더
용장회로
컬럼계 어드레스 프리디코더
용장회로
모드 디코더
RAS계 제어회로
로우계 어드레스 카운터
컬럼계어드레스 카운터
(버스트 카운터)
코드
로우 어드레스
컬럼 어드레스
데이타
내부클럭신호
PLL
클럭입력버퍼
어드레스 입력버퍼
데이타입력버퍼
데이타출력버퍼
외부클럭신호 (CLK, /CS, /RAS, /CAS, /WE)
어드레스
I/O

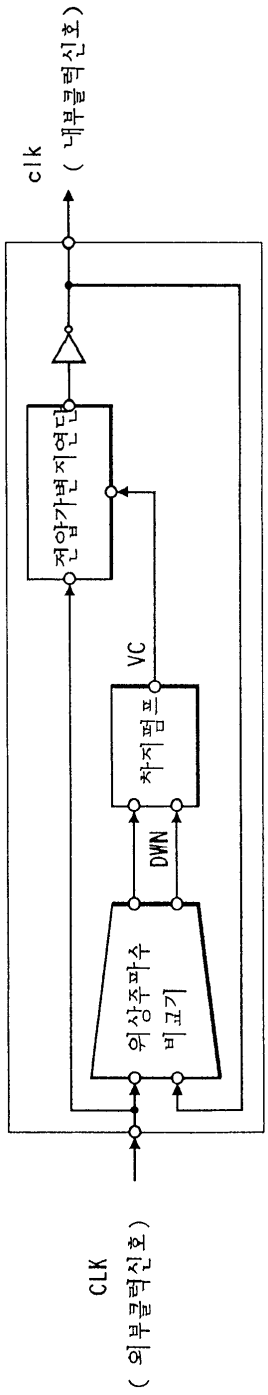
도면2


A0~A9
A0~A9
A0~A7
A0~A9
207
205
206
208
컬럼 어드레스 카운터
컬럼 어드레스 버퍼
로우 어드레스 버퍼
리프레시 카운터
203A
202A
201A
로우디코더
컬럼디코더
센스앰프 및 컬럼선택회로
메모리어레이 (메모리 뱅크 A)
203B
202B
201B
로우디코더
컬럼디코더
센스앰프 및 컬럼선택회로
메모리어레이 (메모리 뱅크 B)
200A
200B
210
211
입력버퍼
출력버퍼
I/O0~I/O15
22
A0~A9
212
컨트롤러
30
모드레지스터
CLK
CKE
/CS
/CAS
/RAS
/WE

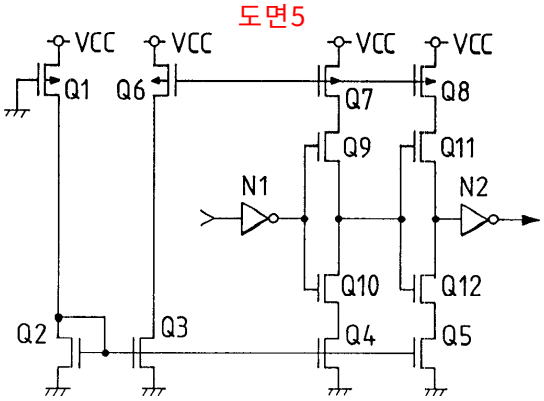
도면3


clk
(내부클럭신호)
VCO
전압가변지연단
VC
차지펌프
DWN
위상주파수
비교기
일정지연단
CLK
(외부클럭신호)

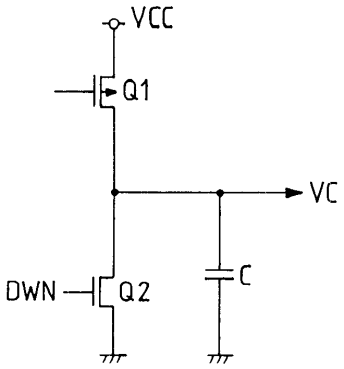
도면4


clk
(내부클럭신호)
전압가변지연단
VC
차지펌프
DWN
위상주파수
비교기
CLK
(외부클럭신호)

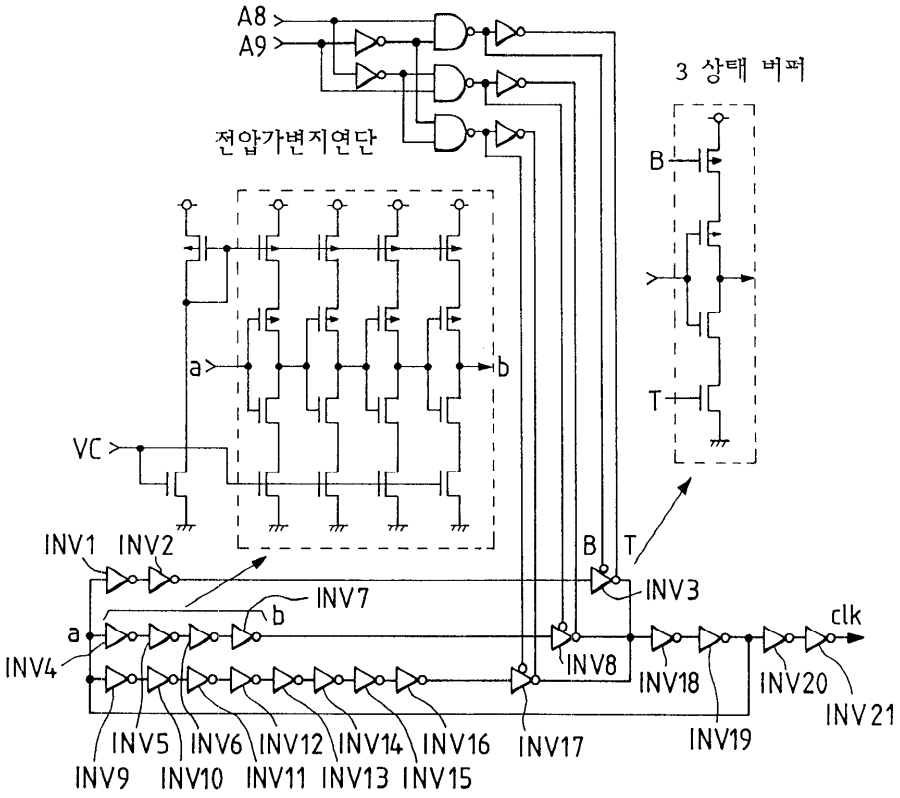
도면5


VCC
VCC
VCC
VCC
Q1
Q6
Q7
Q8
Q9
Q11
N1
N2
Q10
Q12
Q2
Q3
Q4
Q5

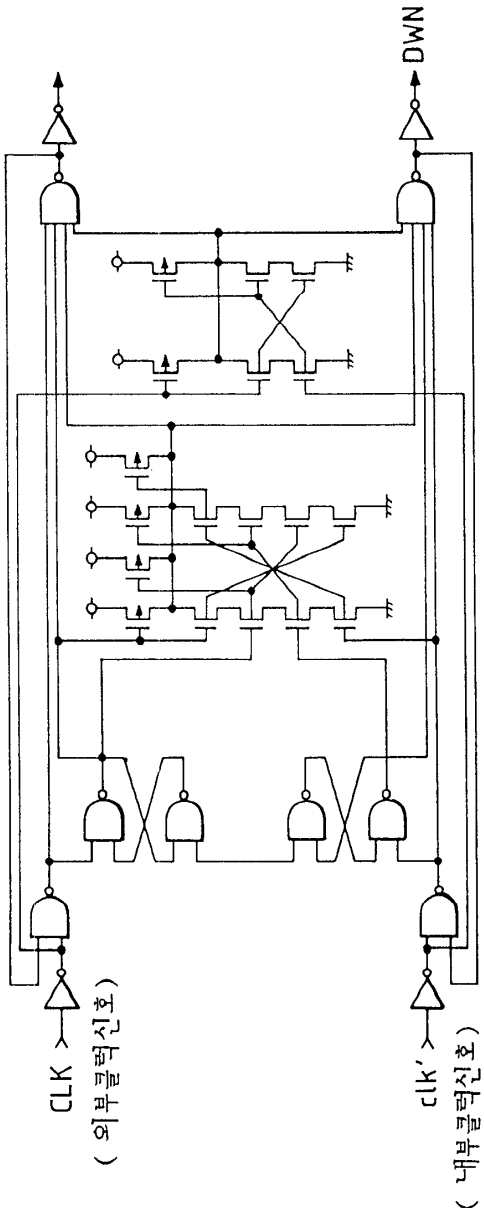
도면6


VCC
Q1
VC
DWN
Q2
C

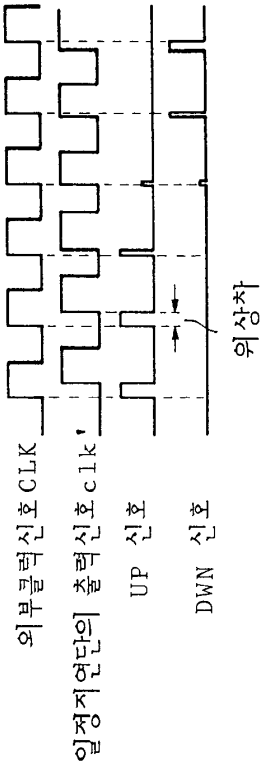
도면7


A8
A9
전압가변지연단
3 상태 버퍼
B
T
a
b
VC
INV1
INV2
INV7
INV3
INV4
INV8
INV18
INV20
INV21
clk
INV5
INV6
INV12
INV14
INV16
INV17
INV19
INV9
INV10
INV11
INV13
INV15

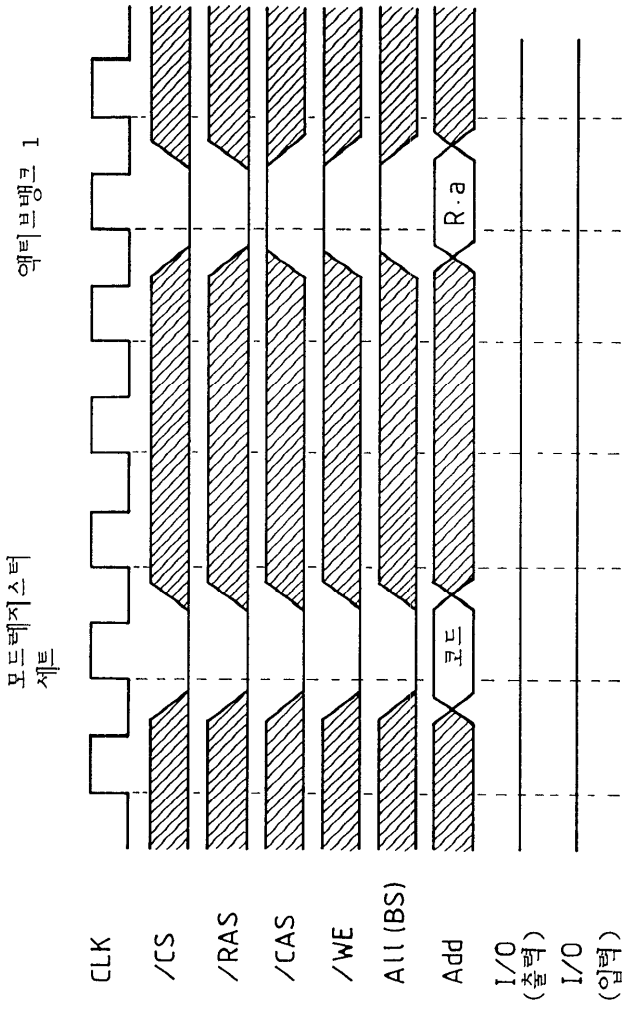
도면8



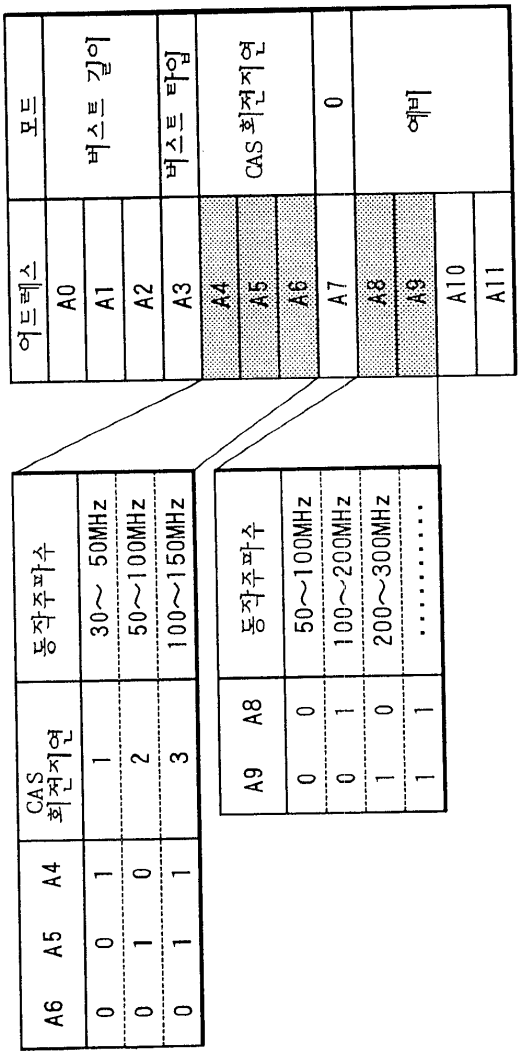
도면9


외부클럭신호CLK
임정지연단의 출력신호clk'
UP 신호
DWN 신호
위상차

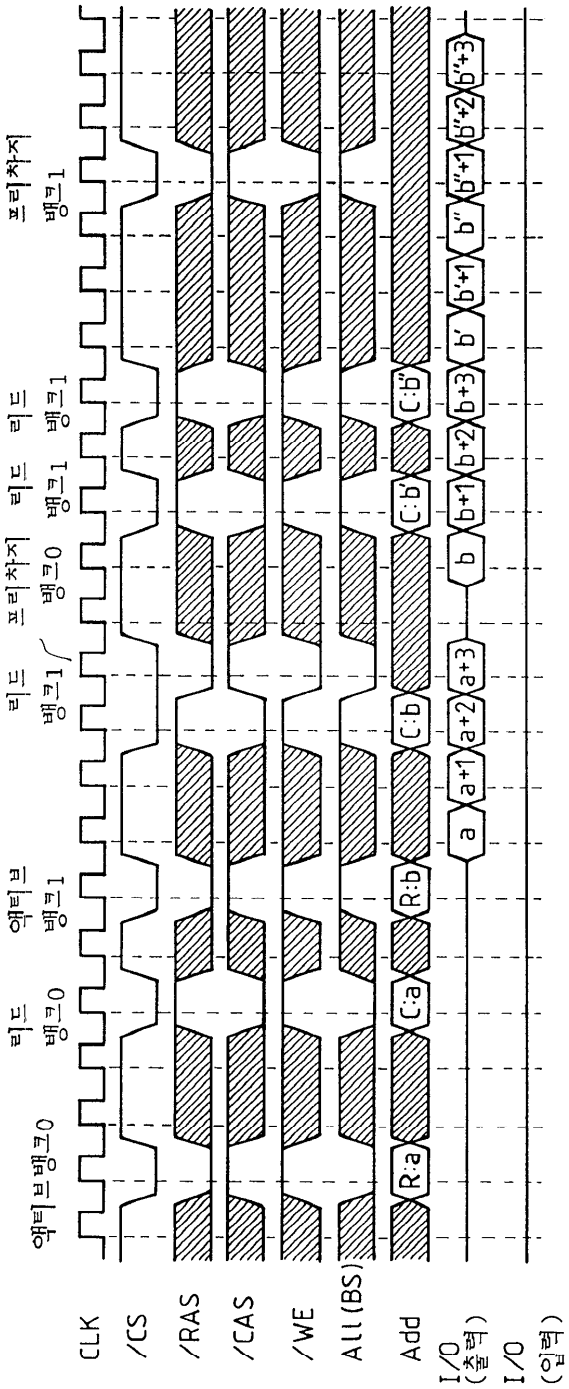
도면10


모드레지스터
세트
액티브뱅크 1
CLK
/CS
/RAS
/CAS
/WE
All (BS)
Add
I/O (출력)
I/O (입력)
코드
R.a

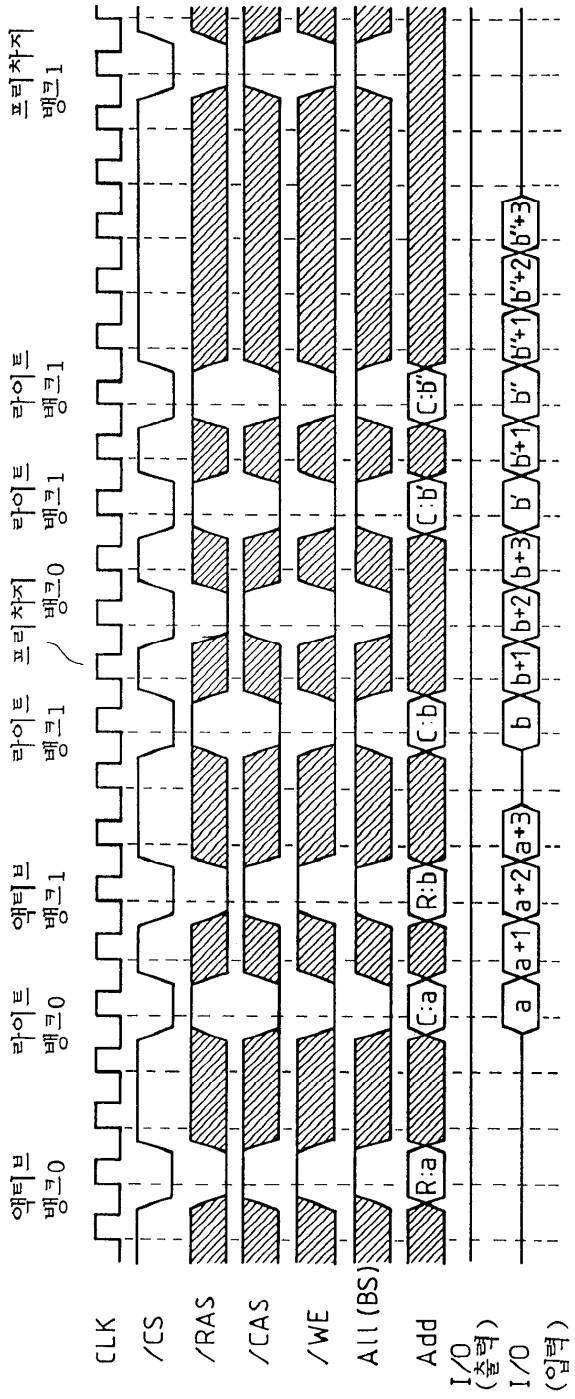
도면11


어드레스
모드
A0
A1
A2
A3
A4
A5
A6
A7
A8
A9
A10
A11
버스트 길이
버스트 타입
CAS 회전지연
0
예비
A6 A5 A4
CAS 회전지연
동작주파수
0 0 1
1
30~ 50MHz
0 1 0
2
50~100MHz
0 1 1
3
100~150MHz
A9 A8
동작주파수
0 0
50~100MHz
0 1
100~200MHz
1 0
200~300MHz
1 1
.....

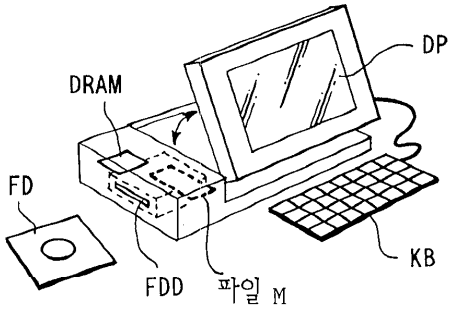
도면12


CLK
/CS
/RAS
/CAS
/WE
All(BS)
Add
I/O (출력)
I/O (입력)
액티브뱅크0
리드 뱅크0
액티브 뱅크1
리드 뱅크1
프리차지 뱅크0
리드 뱅크1
리드 뱅크1
프리차지 뱅크1
R:a
C:a
R:b
C:b
C:b'
C:b''
a
a+1
a+2
a+3
b
b+1
b+2
b+3
b'
b'+1
b''
b''+1
b''+2
b''+3

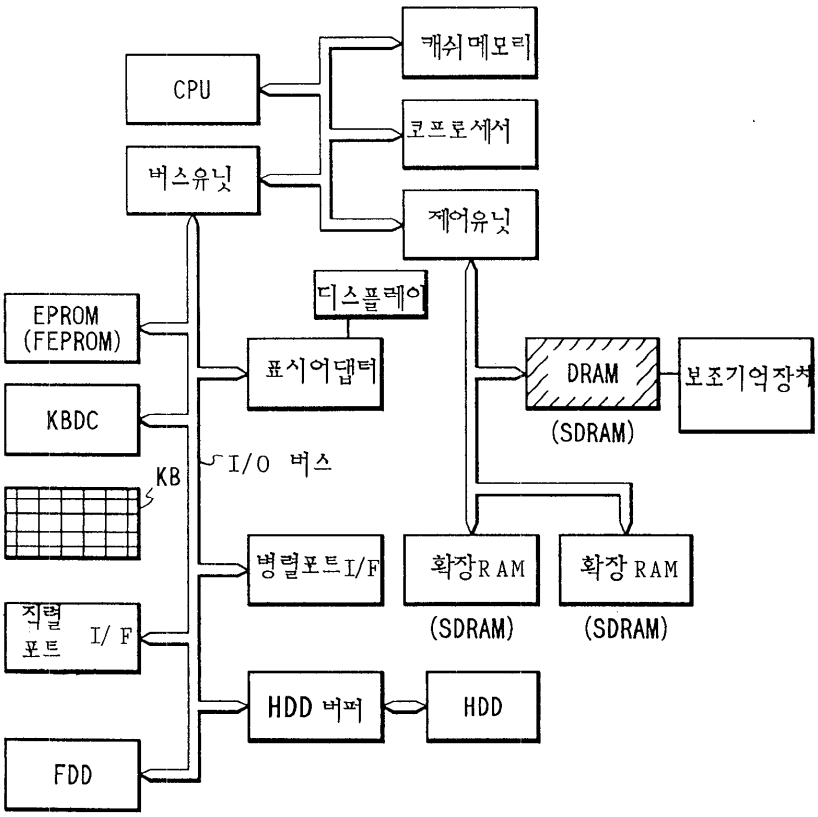
도면13


CLK
/CS
/RAS
/CAS
/WE
All (BS)
Add
I/O (출력)
I/O (입력)
액티브 뱅크0
라이트 뱅크0
액티브 뱅크1
라이트 뱅크1
프리차지 뱅크0
프리차지 뱅크1
R:a
R:b
C:a
C:b
C:b'
C:b''
a
a+1
a+2
a+3
b
b+1
b+2
b+3
b'
b'+1
b''
b''+1
b''+2
b''+3

도면14a


DP
DRAM
FD
FDD
파일 M
KB

도면14b


캐쉬메모리
CPU
코프로세서
버스유닛
제어유닛
디스플레이
EPROM
(FEPROM)
표시어댑터
DRAM
보조기억장치
(SDRAM)
KBDC
I/O 버스
KB
병렬포트I/F
확장RAM
(SDRAM)
확장 RAM
(SDRAM)
직렬
포트
I/F
HDD 버퍼
HDD
FDD