



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0075582
(43) 공개일자 2008년08월19일

(51) Int. Cl.

G09G 3/36 (2006.01) G09G 3/20 (2006.01)
G02F 1/133 (2006.01) H04B 1/40 (2006.01)

(21) 출원번호 10-2007-0014644

(22) 출원일자 2007년02월13일
심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

이주형

경기 과천시 별양동 주공아파트 504-907

안보영

경기 수원시 영통구 망포동 536-13번지 미림빌20
1호

(뒷면에 계속)

(74) 대리인

박영우

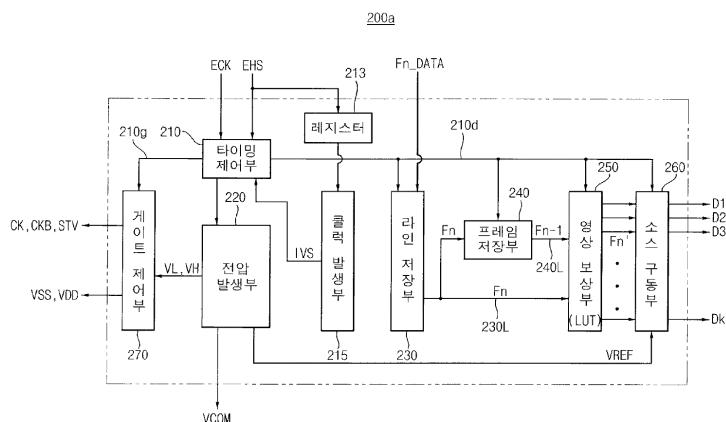
전체 청구항 수 : 총 26 항

(54) 표시 패널의 구동 장치 및 구동 방법

(57) 요약

CPU 인터페이스 모드에서 동영상의 표시 품질을 향상하기 위한 표시 패널의 구동 장치 및 구동 방법이 개시된다. 표시 패널의 구동 장치는 타이밍 제어부, 라인 저장부, 프레임 저장부 및 영상 보상부를 포함한다. 타이밍 제어부는 CPU 인터페이스 방식으로 상호 연결된 외부 시스템으로부터 외부수평동기신호를 수신한다. 라인 저장부는 외부 시스템으로부터 전송된 n(n은 자연수)번째 프레임 영상신호를 외부수평동기신호에 기초하여 라인 단위로 저장한다. 프레임 저장부는 외부수평동기신호에 기초하여 n-1번째 프레임 영상신호가 저장된다. 영상 보상부는 라인 저장부 및 프레임 저장부로부터 외부수평동기신호에 기초하여 각각 출력된 n번째 및 n-1번째 프레임 영상신호를 이용하여 n번째 프레임 보상영상신호를 생성한다. 이에 따라, CPU 인터페이스 모드에서 동영상의 표시 품질을 향상시킬 수 있다.

대표도



(72) 발명자
조만승
서울 양천구 신정6동 신시가지8단지아파트 805동
1202호

문승빈
서울특별시 금천구 시흥동 902-28

특허청구의 범위

청구항 1

CPU 인터페이스 방식으로 상호 연결된 외부 시스템으로부터 외부수평동기신호를 수신하는 타이밍 제어부;

상기 외부 시스템으로부터 전송된 n (n 은 자연수)번째 프레임 영상신호를 상기 외부수평동기신호에 기초하여 라인 단위로 저장하는 라인 저장부;

상기 외부수평동기신호에 기초하여 $n-1$ 번째 프레임 영상신호를 저장하는 프레임 저장부; 및

상기 라인 저장부 및 상기 프레임 저장부로부터 상기 외부수평동기신호에 기초하여 각각 출력된 상기 n 번째 및 $n-1$ 번째 프레임 영상신호를 이용하여 n 번째 프레임 보상영상신호를 생성하는 영상 보상부를 포함하는 표시 패널의 구동 장치.

청구항 2

제1항에 있어서, 상기 n 번째 프레임 보상영상신호를 아날로그 형태의 보상영상신호로 변환하여 출력하는 소스 구동부를 더 포함하는 표시 패널의 구동 장치.

청구항 3

제1항에 있어서, 상기 외부수평동기신호를 이용해 프레임의 시작점을 기록하는 레지스터; 및

상기 레지스터에 기록된 상기 프레임의 시작점을 이용해 내부수직동기신호를 생성하는 클럭 발생부를 더 포함하는 표시 패널의 구동 장치.

청구항 4

제3항에 있어서, 상기 타이밍 제어부는 상기 내부수직동기신호를 이용해 상기 라인 저장부, 상기 프레임 저장부 및 상기 영상 보상부를 제어하는 표시 패널의 구동 장치.

청구항 5

제3항에 있어서, 상기 클럭 발생부는 상기 외부수평동기신호를 분주하여 픽셀클럭신호를 생성하는 표시 패널의 구동 장치.

청구항 6

제5항에 있어서, 상기 라인 저장부는 상기 픽셀클럭신호에 동기시켜 상기 n 번째 프레임 영상신호를 픽셀 단위로 출력하는 표시 패널의 구동 장치.

청구항 7

제6항에 있어서, 상기 프레임 저장부는 상기 픽셀클럭신호에 동기시켜 상기 $n-1$ 번째 프레임 영상신호를 픽셀 단위로 출력하는 표시 패널의 구동 장치.

청구항 8

제7항에 있어서, 상기 영상 보상부는 상기 픽셀 단위로 출력된 상기 n 번째 및 $n-1$ 번째 프레임 영상신호를 이용하여 상기 픽셀 단위의 n 번째 프레임 보상영상신호를 생성하는 표시 패널의 구동 장치.

청구항 9

제1항에 있어서, 상기 타이밍 제어부는 상기 외부 시스템으로부터 외부수직동기신호를 수신하는 것을 특징으로 하는 표시 패널의 구동 장치.

청구항 10

제9항에 있어서, 상기 타이밍 제어부는 상기 외부수직동기신호에 기초하여 상기 라인 저장부, 상기 프레임 저장

부 및 상기 영상 보상부를 제어하는 표시 패널의 구동 장치.

청구항 11

내부수평동기신호 및 내부수직동기신호를 생성하는 클럭 발생부;

CPU 인터페이스 방식으로 상호 연결된 외부 시스템에 상기 내부수평동기신호 및 상기 내부수직동기신호를 전송하는 타이밍 제어부;

상기 외부 시스템으로부터 상기 내부수평동기신호에 동기되어 수신된 n(n은 자연수)번째 프레임 영상신호를 라인 단위로 저장하는 라인 저장부;

상기 내부수평동기신호에 기초하여 상기 n-1번째 프레임 영상신호를 저장하는 프레임 저장부; 및

상기 라인 저장부 및 상기 프레임 저장부로부터 상기 내부수평동기신호에 기초하여 각각 출력된 상기 n번째 및 n-1번째 프레임 영상신호를 이용하여 n번째 프레임 보상영상신호를 생성하는 영상 보상부를 포함하는 표시 패널의 구동 장치.

청구항 12

제11항에 있어서, 상기 n번째 프레임 보상영상신호를 아날로그 형태의 보상영상신호로 변환하여 출력하는 소스 구동부를 더 포함하는 표시 패널의 구동 장치.

청구항 13

제11항에 있어서, 상기 클럭 발생부는 픽셀클럭신호를 더 생성하고, 상기 타이밍 제어부는 상기 픽셀클럭신호를 상기 외부 시스템에 전송하는 것을 표시 패널의 구동 장치.

청구항 14

제13항에 있어서, 상기 외부 시스템은 상기 픽셀클럭신호에 동기된 영상신호를 전송하는 표시 패널의 구동 장치.

청구항 15

제13항에 있어서, 상기 타이밍 제어부는 상기 픽셀클럭신호를 이용해 상기 라인 저장부, 상기 프레임 저장부 및 상기 영상 보상부를 제어하는 표시 패널의 구동 장치.

청구항 16

제13항에 있어서, 상기 라인 저장부는 상기 픽셀클럭신호에 동기시켜 상기 n번째 프레임 영상신호를 픽셀 단위로 출력하는 표시 패널의 구동 장치.

청구항 17

제16항에 있어서, 상기 프레임 저장부는 상기 픽셀클럭신호에 동기시켜 상기 n-1번째 프레임 영상신호를 픽셀 단위로 출력하는 표시 패널의 구동 장치.

청구항 18

제17항에 있어서, 상기 영상 보상부는 상기 픽셀 단위로 출력된 상기 n번째 및 n-1번째 프레임 영상신호를 이용하여 상기 픽셀 단위의 n번째 프레임 보상영상신호를 생성하는 표시 패널의 구동 장치.

청구항 19

외부 시스템으로부터 CPU 인터페이스 방식으로 전송된 외부수평동기신호 및 n(n은 자연수)번째 프레임 영상신호를 수신하는 단계;

상기 n번째 프레임 영상신호를 상기 외부수평동기신호에 기초하여 라인 단위로 저장하는 단계;

상기 외부수평동기신호에 기초하여 기 저장된 n-1번째 프레임 영상신호 및 n번째 프레임 영상신호를 출력하는 단계;

상기 n번째 및 n-1번째 프레임 영상신호를 이용하여 n번째 프레임 보상영상신호를 생성하는 단계; 및
상기 n번째 프레임 보상영상신호를 아날로그 형태의 보상영상신호로 변환하여 출력하는 단계를 포함하는 표시 패널의 구동 방법.

청구항 20

제19항에 있어서, 상기 외부수평동기신호를 분주하여 픽셀클럭신호를 생성하는 단계를 더 포함하는 표시 패널의 구동 방법.

청구항 21

제20항에 있어서, 상기 n-1번째 프레임 영상신호 및 n번째 프레임 영상신호를 출력하는 단계는
상기 픽셀클럭신호에 기초하여 기 저장된 n-1번째 프레임 영상신호 및 n번째 프레임 영상신호를 픽셀 단위로 출력하는 것을 특징으로 하는 표시 패널의 구동 방법.

청구항 22

제21항에 있어서, 상기 n번째 프레임 보상영상신호를 생성하는 단계는

상기 픽셀 단위로 출력된 상기 n번째 및 n-1번째 프레임 영상신호를 이용하여 상기 픽셀 단위의 n번째 프레임 보상영상신호를 생성하는 것을 특징으로 하는 표시 패널의 구동 방법.

청구항 23

내부수평동기신호 및 내부수직동기신호를 생성하는 단계;

CPU 인터페이스 방식으로 상호 연결된 외부 시스템에 상기 내부수평동기신호 및 상기 내부수직동기신호를 전송하는 단계;

상기 외부 시스템으로부터 상기 내부수평동기신호에 동기되어 수신된 n(n은 자연수)번째 프레임 영상신호를 라인 단위로 저장하는 단계;

상기 내부수평동기신호에 기초하여 기 저장된 n-1번째 프레임 영상신호 및 n번째 프레임 영상신호를 출력하는 단계;

상기 n번째 및 n-1번째 프레임 영상신호를 이용하여 n번째 프레임 보상영상신호를 생성하는 단계; 및

상기 n번째 프레임 보상영상신호를 아날로그 형태의 보상영상신호로 변환하여 출력하는 단계를 포함하는 표시 패널의 구동 방법.

청구항 24

제23항에 있어서, 픽셀클럭신호를 생성하여 상기 외부 시스템에 전송하는 단계; 및

상기 외부 시스템으로부터 상기 픽셀클럭신호에 동기된 영상신호를 수신하는 단계를 더 포함하는 표시 패널의 구동 방법.

청구항 25

제24항에 있어서, 상기 n-1번째 프레임 영상신호 및 n번째 프레임 영상신호를 출력하는 단계는

상기 픽셀클럭신호에 기초하여 기 저장된 n-1번째 프레임 영상신호 및 n번째 프레임 영상신호를 픽셀 단위로 출력하는 표시 패널의 구동 방법.

청구항 26

제25항에 있어서, 상기 n번째 프레임 보상영상신호를 생성하는 단계는

상기 픽셀 단위로 출력된 상기 n번째 및 n-1번째 프레임 영상신호를 이용하여 상기 픽셀 단위의 n번째 프레임 보상영상신호를 생성하는 표시 패널의 구동 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <20> 본 발명은 표시 패널의 구동 장치 및 구동 방법에 관한 것으로, 보다 상세하게는 CPU 인터페이스 모드에서 동영상의 표시 품질을 향상하기 위한 표시 패널의 구동 장치 및 구동 방법에 관한 것이다.
- <21> 최근 중소형 액정표시장치의 시장이 확대됨에 따라서 적용되는 분야가 다양해지고, 이에 따라 요구되는 조건이 다양해지고 있다. 예컨대, 디지털 카메라 및 DMB(Digital Multimedia Broadcasting)와 같은 동영상 구현이 필요한 중소형 액정표시장치에 적용됨에 따라 고화질 및 고품질이 요구되고 있다.
- <22> 그러나, 현재 중소형 액정표시장치는 주로 정지영상을 표시하도록 구현됨에 따라 액정의 응답속도 느리며, 계조간의 응답속도는 더욱 더 느리다. 전 계조 간의 응답속도를 동영상 표시에 용이한 정도로 구동하기 위해서는 오버 드라이빙(Overdriving) 기술이 적용되어야 한다. 상기 오버 드라이빙 기술을 프레임 단위의 영상신호를 비교하여 현재 입력된 프레임 영상신호를 보상하는 기술이다. 예컨대, N-1번째 프레임 영상신호와 연속되는 N번째 프레임 영상신호를 비교하여 N-1번째 프레임 보상영상신호를 출력하는 기술이다. 따라서, 상기 오버 드라이빙 기술은 입력되는 영상신호와 보상되어 출력되는 영상신호가 간에 동기가 필요하다.
- <23> 현재 중소형 액정표시장치는 CPU 인터페이스 방식에 따라서 외부 시스템의 외부클럭신호에 동기되어 수신된 영상신호를 액정표시장치 내의 프레임 메모리에 저장하고, 액정표시장치 내에서 내부적으로 생성된 내부클럭신호에 동기시켜 상기 프레임 메모리에 저장된 영상신호를 표시 패널에 출력하는 방식을 갖는다.
- <24> 즉, 상기 외부 시스템으로부터 실시간으로 영상신호가 전송되지 않으므로 수신되는 영상신호와 표시 패널에 출력되는 영상신호 간에 동기가 맞지 않게 된다. 이에 따라 CPU 인터페이스 방식을 적용하는 중소형 액정표시장치는 상기 오버 드라이빙 기술을 적용할 수 없는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

- <25> 이에 본 발명의 기술적 과제는 이러한 종래의 문제점을 해결하기 위한 것으로, 본 발명의 목적은 CPU 인터페이스 모드에서 동영상의 표시 품질을 향상하기 위한 표시 패널의 구동 장치를 제공하는 것이다.
- <26> 본 발명의 다른 목적은 상기 표시 패널의 구동 방법을 제공하는 것이다.

발명의 구성 및 작용

- <27> 상기한 본 발명의 목적을 실현하기 위한 일 실시예에 따른 표시 패널의 구동 장치는 타이밍 제어부, 라인 저장부, 프레임 저장부 및 영상 보상부를 포함한다. 상기 타이밍 제어부는 CPU 인터페이스 방식으로 상호 연결된 외부 시스템으로부터 외부수평동기신호를 수신한다. 상기 라인 저장부는 상기 외부 시스템으로부터 전송된 n(n은 자연수)번째 프레임 영상신호를 상기 외부수평동기신호에 기초하여 라인 단위로 저장한다. 상기 프레임 저장부는 상기 외부수평동기신호에 기초하여 n-1번째 프레임 영상신호가 저장된다. 상기 영상 보상부는 상기 라인 저장부 및 상기 프레임 저장부로부터 상기 외부수평동기신호에 기초하여 각각 출력된 상기 n번째 및 n-1번째 프레임 영상신호를 이용하여 n번째 프레임 보상영상신호를 생성한다.
- <28> 상기한 본 발명의 목적을 실현하기 위한 다른 실시예에 따른 표시 패널의 구동 장치는 클럭 발생부, 타이밍 제어부, 라인 저장부, 프레임 저장부 및 영상 보상부를 포함한다. 상기 클럭 발생부는 내부수평동기신호 및 내부 수직동기신호를 생성한다. 상기 타이밍 제어부는 CPU 인터페이스 방식으로 상호 연결된 외부 시스템에 상기 내부수평동기신호 및 상기 내부수직동기신호를 전송한다. 상기 라인 저장부는 상기 외부 시스템으로부터 상기 내부수평동기신호에 동기되어 수신된 n(n은 자연수)번째 프레임 영상신호를 라인 단위로 저장한다. 상기 프레임 저장부는 상기 내부수평동기신호에 기초하여 상기 n-1번째 프레임 영상신호를 저장한다. 상기 영상 보상부는 상기 라인 저장부 및 상기 프레임 저장부로부터 상기 내부수평동기신호에 기초하여 각각 출력된 상기 n번째 및 n-1번째 프레임 영상신호를 이용하여 n번째 프레임 보상영상신호를 생성한다.
- <29> 상기한 본 발명의 다른 목적을 실현하기 위한 일 실시예에 따른 표시 패널의 구동 방법은 외부 시스템으로부터

CPU 인터페이스 방식으로 전송된 외부수평동기신호 및 n(n은 자연수)번째 프레임 영상신호를 수신하는 단계와, 상기 n번째 프레임 영상신호를 상기 외부수평동기신호에 기초하여 라인 단위로 저장하는 단계와, 상기 외부수평동기신호에 기초하여 기 저장된 n-1번째 프레임 영상신호 및 n번째 프레임 영상신호를 출력하는 단계와, 상기 n번째 및 n-1번째 프레임 영상신호를 이용하여 n번째 프레임 보상영상신호를 생성하는 단계 및 상기 n번째 프레임 보상영상신호를 아날로그 형태의 보상영상신호로 변환하여 출력하는 단계를 포함한다.

<30> 상기한 본 발명의 다른 목적을 실현하기 위한 다른 실시예에 따른 표시 패널의 구동 방법은 내부수평동기신호 및 내부수직동기신호를 생성하는 단계와, CPU 인터페이스 방식으로 상호 연결된 외부 시스템에 상기 내부수평동기신호 및 상기 내부수직동기신호를 전송하는 단계와, 상기 외부 시스템으로부터 상기 내부수평동기신호에 동기되어 수신된 n(n은 자연수)번째 프레임 영상신호를 라인 단위로 저장하는 단계와, 상기 내부수평동기신호에 기초하여 기 저장된 n-1번째 프레임 영상신호 및 n번째 프레임 영상신호를 출력하는 단계와, 상기 n번째 및 n-1번째 프레임 영상신호를 이용하여 n번째 프레임 보상영상신호를 생성하는 단계 및 상기 n번째 프레임 보상영상신호를 아날로그 형태의 보상영상신호로 변환하여 출력하는 단계를 포함한다.

<31> 이러한 표시 패널의 구동 장치 및 구동 방법에 의하면, CPU 인터페이스 방식을 가지는 중소형 표시 장치에서 라인 단위의 영상신호를 저장하는 라인 저장부를 구비함으로써 n-1번째 프레임 영상신호와 n번째 프레임 영상신호 간의 입출력 동기를 맞추어 n번째 프레임의 보상영상신호를 생성할 수 있다.

<32> 이하, 침부한 도면들을 참조하여, 본 발명을 보다 상세하게 설명하고자 한다. 또한, 동일한 구성요소에 대해서는 동일한 도면 부호를 부여하고 반복되는 설명은 간략하게 설명한다.

<33> 도 1은 본 발명의 실시예에 따른 표시 장치의 평면도이다.

<34> 도 1을 참조하면, 상기 표시 장치는 표시 패널(100), 구동 장치(200) 및 연성인쇄회로기판(300)을 포함한다.

<35> 상기 연성인쇄회로기판(Flexible Printed Circuit Board; 이하, FPC)(300)은 외부 시스템(미도시)과 상기 구동 장치(200)를 전기적으로 연결한다. 상기 외부 시스템과 상기 구동 장치(200)는 CPU 인터페이스 방식으로 상호 연결되어, 영상신호와 제어신호를 송신 및 수신한다.

<36> 상기 표시 패널(100)은 복수의 화소부들이 형성된 표시 영역(DA)과 상기 표시 영역(DA)을 둘러싸는 주변 영역(PA)으로 이루어진다. 상기 표시 영역(DA)은 서로 교차하는 방향으로 연장된 소스 배선들과 게이트 배선들에 의해 상기 화소부들이 정의된다. 각 화소부(P)에는 해당하는 게이트 배선(GL) 및 소스 배선(DL)에 연결된 스위칭 소자(TFT)와 상기 스위칭 소자(TFT)에 연결된 액정 캐패시터(CLC) 및 상기 액정 캐패시터(CLC)에 연결된 스토리지 캐패시터(CST)를 포함한다.

<37> 상기 주변 영역(PA)에는 상기 구동 장치(200) 및 게이트 구동부(110)가 배치된다. 상기 구동 장치(200)는 칩 형태로 상기 소스 배선(DL)의 일단부에 대응하는 주변 영역(PA)에 실장된다. 상기 게이트 구동부(110)는 상기 게이트 배선(GL)의 일단부에 대응하는 주변 영역(PA)에 접적되거나 칩으로 실장된다.

<38> 상기 구동 장치(200)는 상기 CPU 인터페이스 방식으로 전송된 상기 n번째 프레임 영상신호와 기 저장된 n-1번째 영상신호를 이용해 n번째 프레임 보상영상신호를 생성하여 상기 표시 패널(100)의 소스 배선들에 출력한다. 상기 n은 자연수이다.

<39> 상기 게이트 구동부(110)는 상기 구동 장치(200)로부터 제공된 게이트 제어신호에 기초하여 상기 게이트 배선들에 게이트 신호를 출력한다.

제1 실시예의 구동 장치

<41> 도 2는 도 1의 구동 장치에 대한 제1 실시예에 따른 블록도이다.

<42> 도 1 및 도 2를 참조하면, 제1 실시예에 따른 구동 장치(200a)는 타이밍 제어부(210), 레지스터(213), 클럭 발생부(215), 전압 발생부(220), 라인 저장부(230), 프레임 저장부(240), 영상 보상부(250), 소스 구동부(260) 및 게이트 제어부(270)를 포함한다.

<43> 상기 타이밍 제어부(210)는 외부 시스템으로부터 CPU 인터페이스 방식으로 전송된 외부클럭신호(ECK) 및 외부수평동기신호(EHS)에 기초하여 상기 구동 장치(200a)를 제어하는 제어신호를 출력한다. 상기 제어신호는 영상신호를 처리하는 라인 저장부(230), 프레임 저장부(240), 영상 보상부(250) 및 소스 구동부(260)를 제어하는 소스제어신호(210d)와 상기 게이트 구동부(110)를 제어하는 게이트 제어신호(210g)를 포함한다.

- <44> 상기 레지스터(213)는 상기 외부수평동기신호(EHS)를 이용해 프레임 영상신호의 시작점을 기록한다. 상기 클럭 발생부(215)는 상기 레지스터(213)에 기록된 프레임 영상신호의 시작점에 기초하여 내부수직동기신호(IVS)를 생성하여 상기 타이밍 제어부(210)에 제공한다. 결과적으로 상기 타이밍 제어부(210)는 상기 외부클럭신호(ECK), 외부수평동기신호(EHS) 및 내부수직동기신호(IVS)에 기초하여 상기 소스제어신호(210d) 및 게이트 제어신호(210g)를 발생한다.
- <45> 상기 전압 발생부(220)는 상기 타이밍 제어부(210)의 제어에 따라서 구동전압들을 생성한다. 상기 구동전압들은 상기 게이트 제어부(270)에 제공되는 게이트 전압(VL, VH), 상기 소스 구동부(260)에 제공하는 기준감마전압(VREF), 상기 표시 패널(100)에 제공되는 공통전압(VCOM)을 포함한다.
- <46> 상기 라인 저장부(230)는 상기 외부수평동기신호(EHS)에 동기된 상기 소스제어신호(210d)에 기초하여 상기 외부 시스템으로부터 전송된 상기 n번째 프레임(Fn)의 영상신호를 라인 단위로 저장하고, 라인 단위로 상기 영상 보상부(250)에 출력한다. 상기 라인 저장부(230)는 라인 래치 또는 라인 메모리이며, 바람직하게는 적어도 2라인 이상의 영상신호를 저장한다.
- <47> 상기 프레임 저장부(240)는 상기 외부수평동기신호(EHS)에 동기된 상기 소스제어신호(210d)에 기초하여 기저장된 n-1번째 프레임(Fn-1)의 영상신호를 라인 단위로 상기 영상 보상부(250)에 출력하고, 상기 라인 저장부(230)로부터 출력된 상기 n번째 프레임(Fn)의 영상신호를 저장한다.
- <48> 예컨대, 상기 라인 저장부(230)에 상기 n번째 프레임(Fn)의 k번째 라인의 영상신호가 저장이 완료되면, 상기 라인 저장부(230)는 상기 n번째 프레임의 k번째 라인의 영상신호를 상기 영상 보상부(250)에 출력하고 상기 프레임 저장부(240)에 저장한다. 한편, 상기 프레임 저장부(240)는 상기 n-1번째 프레임(Fn-1)의 k번째 라인의 영상신호를 상기 영상 보상부(250)에 출력한다.
- <49> 상기 영상 보상부(250)는 상기 n번째 프레임(Fn)의 k번째 라인의 영상신호(230L)와 상기 n-1번째 프레임(Fn-1)의 k번째 라인의 영상신호(240L)가 입력된다. 상기 영상 보상부(250)는 n-1번째 프레임의 영상신호와 n번째 프레임의 영상신호에 대응하여 보상영상신호 또는 연산 파라미터가 맵핑된 룩업테이블(Look Up Table : LUT)을 포함한다. 상기 영상 보상부(250)는 상기 룩업테이블을 이용해 상기 n번째 프레임의 k번째 라인의 보상영상신호(Fn')를 생성하여 상기 소스 구동부(260)에 출력한다.
- <50> 상기 소스 구동부(260)는 상기 라인 단위의 보상영상신호를 아날로그 형태의 보상영상신호(D1, D2, ..., Dk)로 변환하여 상기 표시 패널(100)의 소스 배선들에 출력한다. 상기 k는 자연수이다.
- <51> 상기 게이트 제어부(270)는 상기 타이밍 제어부(210)로부터 제공된 게이트 제어신호(210g)와 상기 전압 발생부(220)로부터 제공된 게이트 전압(VL, VH)을 레벨 쉬프트하여 상기 게이트 구동부(110)에 제공한다. 즉, 상기 게이트 구동부(110)에는 수직개시신호(STV), 제1 클럭신호(CK), 제2 클럭신호(CKB) 및 게이트 온 전압(VDD) 및 게이트 오프 전압(VSS)이 제공된다.
- <52> 제2 실시예의 구동 장치
- <53> 도 3은 도 1의 구동 장치에 대한 제2 실시예에 따른 블록도이다.
- <54> 도 1 및 도 3을 참조하면, 제2 실시예에 따른 구동 장치(200b)는 타이밍 제어부(210), 전압 발생부(220), 라인 저장부(230), 프레임 저장부(240), 영상 보상부(250), 소스 구동부(260) 및 게이트 제어부(270)를 포함한다.
- <55> 상기 타이밍 제어부(210)는 외부 시스템으로부터 CPU 인터페이스 방식으로 전송된 외부클럭신호(ECK), 외부수평동기신호(EHS) 및 외부수직동기신호(EVS)에 동기된 제어신호를 생성하여 상기 구동 장치(200b)를 제어한다.
- <56> 즉, 상기 구동 장치(200b)는 외부 시스템으로부터 상기 외부수직동기신호(EVS)를 더 수신한다. 이에 의해 상기 제1 실시예의 구동 장치(200a)에서와 같이, 상기 레지스터(213)를 이용해 상기 내부수직동기신호(IVS)를 별도로 생성할 필요가 없다.
- <57> 이하, 상기 전압 발생부(220), 라인 저장부(230), 프레임 저장부(240), 영상 보상부(250), 소스 구동부(260) 및 게이트 제어부(270)의 동작은 상기 제1 실시예와 실질적으로 동일하므로 상세한 설명은 생략한다.
- <58> 제1 실시예의 구동 방법
- <59> 도 4는 도 2 및 도 3에 도시된 구동 장치의 구동 방법을 나타낸 흐름도이다. 이하에서는 도 2의 구동 장치를 참조하여 제1 실시예의 구동 방법을 설명한다.

- <60> 도 1, 도 2 및 도 4를 참조하면, 상기 구동 장치(200a)는 외부 시스템으로부터 수신된 외부클럭신호(ECK) 및 외부수평동기신호(EHS)에 동기되어 수신된 n번째 프레임(Fn)의 k번째 라인의 영상신호를 라인 저장부(230)에 저장한다(S410).
- <61> 상기 라인 저장부(230)에 상기 n번째 프레임(Fn)의 k번째 라인의 영상신호가 저장되면, 상기 외부수평동기신호(EHS)에 동기되어 저장된 상기 n번째 프레임(Fn)의 k번째 라인의 영상신호(230L)를 상기 영상 보상부(250)에 출력한다(S420).
- <62> 상기 프레임 저장부(240)는 상기 외부수평동기신호(EHS)에 동기되어 기저장된 상기 n-1번째 프레임(Fn-1)의 k번째 라인의 영상신호(240L)를 상기 영상 보상부(250)에 출력한다(S420).
- <63> 상기 영상 보상부(250)는 상기 n번째 프레임(Fn)의 k번째 라인의 영상신호(230L)와 상기 n-1번째 프레임(Fn-1)의 k번째 라인의 영상신호(240L)를 이용해 n번째 프레임의 k번째 라인의 보상영상신호(Fn')을 출력한다(S430).
- <64> 상기 소스 구동부(260)는 상기 n번째 프레임의 k번째 라인의 보상영상신호(Fn')를 상기 기준감마전압(VREF)을 이용하여 아날로그 형태의 보상영상신호(D1, D2, ..., Dk)로 변환한다. 상기 소스 구동부(260)는 상기 아날로그 형태의 상기 n번째 프레임의 k번째 라인의 보상영상신호(D1, D2, ..., Dk)를 소스 배선들에 출력한다(S440).
- <65> 한편, 상기 게이트 구동부(110)는 상기 타이밍 제어부(210)의 제어에 따라 게이트 신호를 상기 표시 패널(100)의 게이트 배선들에 출력한다. 상기 소스 배선들에 상기 k번째 라인의 보상영상신호(Fn')가 출력되는 동안 상기 k번째 라인에 해당하는 게이트 배선(GLk)에 게이트 신호가 인가된다. 이에 의해 상기 표시 패널(100)에는 보상 영상신호가 표시된다(S450).
- <66> 제3 실시예의 구동 장치
- <67> 도 5는 도 1의 구동 장치에 대한 제3 실시예에 따른 블록도이다.
- <68> 도 1 및 도 5를 참조하면, 제3 실시예에 따른 구동 장치(200c)는 타이밍 제어부(210), 레지스터(213), 클럭 발생부(215), 전압 발생부(220), 라인 저장부(230), 프레임 저장부(240), 영상 보상부(250), 소스 구동부(260) 및 게이트 제어부(270)를 포함한다.
- <69> 상기 타이밍 제어부(210)는 외부 시스템으로부터 CPU 인터페이스 방식으로 전송된 외부클럭신호(ECK) 및 외부수평동기신호(EHS)에 동기된 제어신호를 생성하여 상기 구동 장치(200c)를 제어한다. 상기 제어신호는 영상신호를 처리하는 라인 저장부(230), 프레임 저장부(240), 영상 보상부(250) 및 소스 구동부(260)를 제어하는 소스제어 신호(210d)와 상기 게이트 구동부(110)를 제어하는 게이트 제어신호(210g)를 포함한다.
- <70> 상기 레지스터(213)는 상기 외부수평동기신호(EHS)를 이용해 프레임 영상신호의 시작점을 기록한다.
- <71> 상기 클럭 발생부(215)는 상기 레지스터(213)에 기록된 프레임 영상신호의 시작점을 이용해 내부수직동기신호(IVS)를 생성한다. 상기 클럭 발생부(215)는 상기 외부수평동기신호(EHS)를 분주하여 픽셀클럭신호(PCK)를 생성한다.
- <72> 상기 클럭 발생부(215)는 상기 내부수직동기신호(IVS) 및 픽셀클럭신호(PCK)를 상기 타이밍 제어부(210)에 제공한다. 결과적으로 상기 타이밍 제어부(210)는 상기 외부클럭신호(ECK), 외부수평동기신호(EHS), 내부수직동기신호(IVS) 및 픽셀클럭신호(PCK)에 기초하여 상기 소스제어신호(210d) 및 게이트 제어신호(210g)를 발생한다.
- <73> 상기 전압 발생부(220)는 상기 타이밍 제어부(210)의 제어에 따라서 구동전압들을 생성한다. 상기 구동전압들은 상기 게이트 제어부(270)에 제공되는 게이트 전압(VL, VH), 상기 소스 구동부(260)에 제공하는 기준감마전압(VREF), 상기 표시 패널(100)에 제공되는 공통전압(VCOM)을 포함한다.
- <74> 상기 라인 저장부(230)는 상기 외부수평동기신호(EHS) 및 상기 픽셀클럭신호(PCK)에 동기된 상기 소스제어신호(210d)에 기초하여 상기 외부 시스템으로부터 전송된 상기 n번째 프레임(Fn)의 영상신호를 라인 단위로 저장하고, 상기 n번째 프레임(Fn)의 영상신호를 픽셀 단위로 상기 영상 보상부(250)에 출력한다.
- <75> 상기 프레임 저장부(240)는 상기 외부수평동기신호(EHS) 및 상기 픽셀클럭신호(PCK)에 동기된 상기 소스제어신호(210d)에 기초하여 기 저장된 n-1번째 프레임(Fn-1)의 영상신호를 픽셀 단위로 상기 영상 보상부(250)에 출력한다. 또한, 상기 프레임 저장부(240)는 상기 라인 저장부(230)로부터 출력된 상기 n번째 프레임(Fn)의 영상신호를 저장한다.

- <76> 예컨대, 상기 라인 저장부(230)에 상기 n번째 프레임(Fn)의 k번째 라인의 영상신호가 저장이 완료되면, 상기 라인 저장부(230)는 상기 n번째 프레임의 k번째 라인의 픽셀영상신호(230P)를 상기 영상 보상부(250)에 출력한다. 한편, 상기 프레임 저장부(240)는 상기 n-1번째 프레임(Fn-1)의 k번째 라인의 픽셀영상신호(240P)를 상기 영상 보상부(250)에 출력한다.
- <77> 상기 영상 보상부(250)는 상기 n번째 프레임(Fn)의 픽셀영상신호(230P)와 상기 n-1번째 프레임(Fn-1)의 픽셀영상신호(240P)가 입력된다. 상기 영상 보상부(250)는 n번째 프레임의 픽셀영상신호(230P)와 n-1번째 프레임의 픽셀영상신호(240P)에 대응하는 n번째 프레임의 픽셀보상영상신호(Fn')를 상기 소스 구동부(260)에 출력한다.
- <78> 상기 소스 구동부(260)는 상기 픽셀 단위의 보상영상신호를 라인 단위의 보상영상신호로 그룹핑하고, 그룹핑된 상기 라인 단위의 보상영상신호를 아날로그 형태의 보상영상신호(D1, D2, ..., Dk)로 변환하여 상기 표시 패널(100)의 소스 배선들에 출력한다.
- <79> 상기 게이트 제어부(270)는 상기 타이밍 제어부(210)로부터 제공된 게이트 제어신호(210g)와 상기 전압 발생부(220)로부터 제공된 게이트 전압(VL, VH)을 레벨 쉬프트하여 상기 게이트 구동부(110)에 제공한다. 즉, 상기 게이트 구동부(110)에는 수직제어신호(STV), 제1 클럭신호(CK), 제2 클럭신호(CKB) 및 게이트 온 전압(VDD) 및 게이트 오프 전압(VSS)이 제공된다.
- <80> 제4 실시예의 구동 장치
- <81> 도 6은 도 1의 구동 장치에 대한 제4 실시예에 따른 블록도이다.
- <82> 도 1 및 도 6을 참조하면, 제4 실시예에 따른 구동 장치(200d)는 타이밍 제어부(210), 클럭 발생부(215), 라인 저장부(230), 프레임 저장부(240), 영상 보상부(250), 소스 구동부(260) 및 게이트 제어부(270)를 포함한다.
- <83> 상기 타이밍 제어부(210)는 외부 시스템으로부터 수신된 외부클럭신호(ECK), 외부수평동기신호(EHS) 및 외부수직동기신호(EVS)에 동기된 제어신호를 생성하여 상기 구동 장치(200d)를 제어한다.
- <84> 즉, 상기 구동 장치(200d)는 상기 제3 실시예와 비교하여 외부 시스템으로부터 상기 외부수직동기신호(EVS)를 더 수신한다. 이에 의해 상기 제3 실시예의 구동 장치(200c)에서와 같이, 상기 레지스터(213)를 이용해 상기 내부수직동기신호(IVS)를 별도로 생성할 필요가 없다.
- <85> 이하, 픽셀클럭신호(PCK)를 생성하는 상기 클럭 발생부(215), 상기 전압 발생부(220), 라인 저장부(230), 프레임 저장부(240), 영상 보상부(250), 소스 구동부(260) 및 게이트 제어부(270)의 동작은 상기 제3 실시예와 실질적으로 동일하므로 상세한 설명은 생략한다.
- <86> 상기 제1 및 제2 실시예는 라인 단위로 영상신호를 보상하는 반면, 상기 제3 실시예 및 제4 실시예는 픽셀 단위로 영상신호를 보상한다. 이에 따라서, 고해상도인 경우 상기 영상 보상부에서 처리하는 데이터량이 증가하여 상기 영상 보상부의 로직회로가 커지는 단점을 보안할 수 있다.
- <87> 제2 실시예의 구동 방법
- <88> 도 7은 도 5 및 도 6에 도시된 구동 장치의 구동 방법을 나타낸 흐름도이다. 이하에서는 도 5의 구동 장치를 참조하여 제2 실시예의 구동 방법을 설명한다.
- <89> 도 1, 도 5 및 도 7을 참조하면, 상기 구동 장치(200c)는 외부 시스템으로부터 수신된 외부클럭신호(ECK) 및 외부수평동기신호(EHS)에 동기되어 수신된 n번째 프레임(Fn)의 k번째 라인의 영상신호를 라인 저장부(230)에 저장한다(S510).
- <90> 상기 라인 저장부(230)에 상기 n번째 프레임(Fn)의 k번째 라인의 영상신호가 저장되면, 상기 외부수평동기신호(EHS)를 분주하여 생성된 픽셀클럭신호(PCK)에 동기되어 상기 n번째 프레임(Fn)의 k번째 라인의 영상신호를 픽셀 단위로 출력한다. 즉, 상기 라인 저장부(230)는 상기 n번째 프레임(Fn)의 픽셀영상신호(230P)를 상기 영상 보상부(250)에 출력한다(S520).
- <91> 상기 프레임 저장부(240)는 상기 픽셀클럭신호(PCK)에 동기되어 기저장된 상기 n-1번째 프레임(Fn-1)의 k번째 라인의 영상신호를 픽셀 단위로 출력한다. 즉, 상기 프레임 저장부(240)는 상기 n-1번째 프레임(Fn-1)의 픽셀영상신호(240P)를 상기 영상 보상부(250)에 출력한다(S520).
- <92> 상기 영상 보상부(250)는 상기 n번째 프레임(Fn)의 픽셀영상신호(230P)와 상기 n-1번째 프레임(Fn-1)의 픽셀영상신호(240P)를 이용해 n번째 프레임의 픽셀보상영상신호(Fn')을 출력한다(S530).

- <93> 상기 소스 구동부(260)는 상기 n번째 프레임의 픽셀보상영상신호(F_n')를 라인 단위로 그룹핑하고, 라인 단위의 상기 n번째 프레임의 보상영상신호(F_n')를 상기 기준감마전압(VREF)을 이용하여 아날로그 형태의 보상영상신호(D_1, D_2, \dots, D_k)로 변환한다. 상기 소스 구동부(260)는 상기 아날로그 형태의 상기 n번째 프레임의 k번째 라인의 보상영상신호(D_1, D_2, \dots, D_k)를 소스 배선들에 출력한다(S540).
- <94> 한편, 상기 게이트 구동부(110)는 상기 타이밍 제어부(210)의 제어에 따라 게이트 신호를 상기 표시 패널(100)의 게이트 배선들에 출력한다. 상기 소스 배선들에 상기 k번째 라인의 보상영상신호(F_n')가 출력되는 동안 상기 k번째 라인에 해당하는 게이트 배선(GL k)에 게이트 신호가 인가된다. 이에 의해 상기 표시 패널(100)에는 보상 영상신호가 표시된다(S550).
- <95> 제5 실시예의 구동 장치
- <96> 도 8은 도 1의 구동 장치에 대한 제5 실시예에 따른 블록도이다.
- <97> 도 1 및 도 8을 참조하면, 제5 실시예의 구동 장치(200e)는 타이밍 제어부(210), 클럭 발생부(215), 전압 발생부(220), 라인 저장부(230), 프레임 저장부(240), 영상 보상부(250), 소스 구동부(260) 및 게이트 제어부(270)를 포함한다.
- <98> 상기 타이밍 제어부(210)는 상기 클럭 발생부(215)로부터 생성된 내부수평동기신호(IHS) 및 내부수직동기신호(IVS)를 외부 시스템에 전송한다. 상기 외부 시스템은 상기 내부수평동기신호(IHS) 및 내부수직동기신호(IVS)에 동기된 영상신호(F_n_DATA)를 상기 구동 장치(200e)에 전송한다.
- <99> 상기 타이밍 제어부(210)는 상기 내부수평동기신호(IHS) 및 내부수직동기신호(IVS)에 동기된 제어신호를 생성하여 상기 구동 장치(200e)를 제어한다. 상기 제어신호는 영상신호를 처리하는 라인 저장부(230), 프레임 저장부(240), 영상 보상부(250) 및 소스 구동부(260)를 제어하는 소스제어신호(210d)와 상기 게이트 구동부(110)를 제어하는 게이트 제어신호(210g)를 포함한다.
- <100> 상기 전압 발생부(220)는 상기 타이밍 제어부(210)의 제어에 따라서 구동전압들을 생성한다. 상기 구동전압들은 상기 게이트 제어부(270)에 제공되는 게이트 전압(VL, VH), 상기 소스 구동부(260)에 제공하는 기준감마전압(VREF), 상기 표시 패널(100)에 제공되는 공통전압(VCOM)을 포함한다.
- <101> 상기 라인 저장부(230)는 상기 내부수평동기신호(IHS) 및 내부수직동기신호(IVS)에 동기되어 상기 외부 시스템으로부터 전송된 상기 n번째 프레임(F_n)의 영상신호를 라인 단위로 저장하고, 상기 n번째 프레임(F_n)의 영상신호를 라인 단위로 상기 영상 보상부(250)에 출력한다.
- <102> 상기 프레임 저장부(240)는 상기 내부수평동기신호(IHS) 및 내부수직동기신호(IVS)에 동기된 상기 소스제어신호(210d)에 기초하여 기 저장된 n-1번째 프레임(F_{n-1})의 영상신호를 라인 단위로 상기 영상 보상부(250)에 출력한다. 또한, 상기 프레임 저장부(240)에는 상기 라인 저장부(230)로부터 출력된 상기 n번째 프레임(F_n)의 영상신호가 저장된다.
- <103> 예컨대, 상기 라인 저장부(230)에 상기 n번째 프레임(F_n)의 k번째 라인의 영상신호가 저장이 완료되면, 상기 라인 저장부(230)는 상기 n번째 프레임의 k번째 라인의 영상신호를 상기 영상 보상부(250)에 출력하고 상기 프레임 저장부(240)에 저장한다. 한편, 상기 프레임 저장부(240)는 상기 n-1번째 프레임(F_{n-1})의 k번째 라인의 영상신호를 상기 영상 보상부(250)에 출력한다.
- <104> 상기 영상 보상부(250)는 상기 n번째 프레임(F_n)의 k번째 라인의 영상신호($230L$)와 상기 n-1번째 프레임(F_{n-1})의 k번째 라인의 영상신호($240L$)가 입력된다. 상기 영상 보상부(250)는 n-1번째 프레임의 영상신호와 n번째 프레임의 영상신호에 대응하여 보상영상신호 또는 연산 파라미터가 맵핑된 툭업테이블(Look Up Table : LUT)을 포함한다. 상기 영상 보상부(250)는 상기 툭업테이블을 이용해 상기 n번째 프레임의 k번째 라인의 보상영상신호(F_n')를 상기 소스 구동부(260)에 출력한다.
- <105> 상기 소스 구동부(260)는 상기 라인 단위의 보상영상신호를 아날로그 형태의 보상영상신호(D_1, D_2, \dots, D_k)로 변환하여 상기 표시 패널(100)의 소스 배선들에 출력한다. 상기 k는 자연수이다.
- <106> 상기 게이트 제어부(270)는 상기 타이밍 제어부(210)로부터 제공된 게이트 제어신호(210g)와 상기 전압 발생부(220)로부터 제공된 게이트 전압(VL, VH)을 레벨 쉬프트하여 상기 게이트 구동부(110)에 제공한다. 즉, 상기 게이트 구동부(110)에는 수직개시신호(STV), 제1 클럭신호(CK), 제2 클럭신호(CKB) 및 게이트 온 전압(VDD) 및 게이트 오프 전압(VSS)이 제공된다.

<107> 제3 실시예의 구동 방법

<108> 도 9는 도 8에 도시된 구동 장치의 구동 방법을 나타낸 흐름도이다.

<109> 도 1, 도 8 및 도 9를 참조하면, 상기 구동 장치(200e)는 외부 시스템에 내부수평동기신호(IHS) 및 내부수직동기신호(IVS)를 전송한다(S610).

<110> 상기 구동 장치(200e)는 CPU 인터페이스 방식으로 상기 외부 시스템으로부터 상기 내부수평동기신호(IHS) 및 내부수직동기신호(IVS)에 동기되어 수신된 n번째 프레임(Fn)의 k번째 라인의 영상신호를 라인 저장부(230)에 저장한다(S620).

<111> 상기 라인 저장부(230)에 상기 n번째 프레임(Fn)의 k번째 라인의 영상신호가 저장되면, 상기 내부수평동기신호(IHS)에 동기되어 저장된 상기 n번째 프레임(Fn)의 k번째 라인의 영상신호(230L)를 상기 영상 보상부(250)에 출력한다(S630).

<112> 상기 프레임 저장부(240)는 상기 내부수평동기신호(IHS)에 동기되어 기저장된 상기 n-1번째 프레임(Fn-1)의 k번째 라인의 영상신호(240L)를 상기 영상 보상부(250)에 출력한다(S630).

<113> 상기 영상 보상부(250)는 상기 n번째 프레임(Fn)의 k번째 라인의 영상신호(230L)와 상기 n-1번째 프레임(Fn-1)의 k번째 라인의 영상신호(240L)를 이용해 n번째 프레임의 k번째 라인의 보상영상신호(Fn')을 출력한다(S640).

<114> 상기 소스 구동부(260)는 상기 n번째 프레임의 k번째 라인의 보상영상신호(Fn')를 상기 기준감마전압(VREF)을 이용하여 아날로그 형태의 보상영상신호(D1, D2, ..., Dk)로 변환한다. 상기 소스 구동부(260)는 상기 아날로그 형태의 상기 n번째 프레임의 k번째 라인의 보상영상신호(D1, D2, ..., Dk)를 소스 배선들에 출력한다(S650).

<115> 한편, 상기 게이트 구동부(110)는 상기 소스 배선들에 상기 k번째 라인의 보상영상신호(Fn')가 출력되는 동안 상기 k번째 라인에 해당하는 게이트 배선(GLk)에 게이트 신호가 인가된다. 이에 의해 상기 표시 패널(100)에는 보상영상신호가 표시된다(S660).

<116> 제6 실시예의 구동 장치

<117> 도 10은 도 1의 구동 장치에 대한 제6 실시예에 따른 블록도이다.

<118> 도 1 및 도 10을 참조하면, 제6 실시예의 구동 장치(200f)는 타이밍 제어부(210), 클럭 발생부(215), 전압 발생부(220), 라인 저장부(230), 프레임 저장부(240), 영상 보상부(250), 소스 구동부(260) 및 게이트 제어부(270)를 포함한다.

<119> 상기 타이밍 제어부(210)는 상기 클럭 발생부(215)로부터 생성된 내부수평동기신호(IHS), 내부수직동기신호(IVS) 및 픽셀클럭신호(PCK)를 외부 시스템에 전송한다.

<120> 상기 외부 시스템은 상기 내부수평동기신호(IHS), 내부수직동기신호(IVS) 및 픽셀클럭신호(PCK)에 동기된 영상신호(Fn_DATA)를 상기 구동 장치(200e)에 전송한다. 즉, 상기 제6 실시예는 상기 제5 실시예에 비해, 상기 픽셀클럭신호(PCK)를 상기 외부 시스템에 더 전송함으로써 상기 외부 시스템으로부터 전송되는 영상신호를 픽셀 단위까지 동기시킨다.

<121> 상기 타이밍 제어부(210)는 상기 내부수평동기신호(IHS), 내부수직동기신호(IVS) 및 픽셀클럭신호(PCK)에 동기된 제어신호를 생성하여 상기 구동 장치(200f)를 제어한다. 상기 제어신호는 영상신호를 처리하는 라인 저장부(230), 프레임 저장부(240), 영상 보상부(250) 및 소스 구동부(260)를 제어하는 소스제어신호(210d)와 상기 게이트 구동부(110)를 제어하는 게이트 제어신호(210g)를 포함한다.

<122> 상기 전압 발생부(220)는 상기 타이밍 제어부(210)의 제어에 따라서 구동전압들을 생성한다. 상기 구동전압들은 상기 게이트 제어부(270)에 제공되는 게이트 전압(VL, VH), 상기 소스 구동부(260)에 제공하는 기준감마전압(VREF), 상기 표시 패널(100)에 제공되는 공통전압(VCOM)을 포함한다.

<123> 상기 라인 저장부(230)는 상기 내부수평동기신호(IHS), 내부수직동기신호(IVS) 및 픽셀클럭신호(PCK)에 동기되어 상기 외부 시스템으로부터 전송된 상기 n번째 프레임(Fn)의 영상신호를 라인 단위로 저장하고, 상기 n번째 프레임(Fn)의 영상신호를 픽셀 단위로 상기 영상 보상부(250)에 출력한다.

<124> 상기 프레임 저장부(240)는 상기 픽셀클럭신호(PCK)에 동기된 상기 소스제어신호(210d)에 기초하여 기저장된 n-

1번째 프레임(Fn-1)의 영상신호를 픽셀 단위로 상기 영상 보상부(250)에 출력하고, 상기 라인 저장부(230)로부터 출력된 상기 n번째 프레임(Fn)의 영상신호를 저장한다.

<125> 예컨대, 상기 라인 저장부(230)에 상기 n번째 프레임(Fn)의 k번째 라인의 영상신호가 저장이 완료되면, 상기 라인 저장부(230)는 상기 n번째 프레임의 k번째 라인의 픽셀영상신호(230P)를 상기 영상 보상부(250)에 출력한다. 한편, 상기 프레임 저장부(240)는 상기 n-1번째 프레임(Fn-1)의 k번째 라인의 픽셀영상신호(240P)를 상기 영상 보상부(250)에 출력한다.

<126> 상기 영상 보상부(250)는 상기 n번째 프레임(Fn)의 픽셀영상신호(230P)와 상기 n-1번째 프레임(Fn-1)의 픽셀영상신호(240P)가 입력된다. 상기 영상 보상부(250)는 n번째 프레임의 픽셀영상신호(230P)와 n-1번째 프레임의 픽셀영상신호(240P)에 대응하여 n번째 프레임의 픽셀보상영상신호(Fn')를 상기 소스 구동부(260)에 출력한다.

<127> 상기 소스 구동부(260)는 상기 픽셀 단위의 보상영상신호(Fn')를 라인 단위의 보상영상신호로 그룹핑하고, 상기 라인 단위로 그룹핑된 보상영상신호를 아날로그 형태의 보상영상신호(D1, D2, ..., Dk)로 변환하여 상기 표시 패널(100)의 소스 배선들에 출력한다.

<128> 상기 게이트 제어부(270)는 상기 타이밍 제어부(210)로부터 제공된 게이트 제어신호(210g)와 상기 전압 발생부(220)로부터 제공된 게이트 전압(VL, VH)을 레벨 쉬프트하여 상기 게이트 구동부(110)에 제공한다. 즉, 상기 게이트 구동부(110)에는 수직개시신호(STV), 제1 클럭신호(CK), 제2 클럭신호(CKB) 및 게이트 온 전압(VDD) 및 게이트 오프 전압(VSS)이 출력된다.

제4 실시예의 구동 방법

<130> 도 11은 도 10에 도시된 구동 장치의 구동 방법을 나타낸 흐름도이다.

<131> 도 1, 도 10 및 도 11을 참조하면, 상기 구동 장치(200f)는 외부 시스템에 내부수평동기신호(IHS), 내부수직동기신호(IVS) 및 픽셀클럭신호(PCK)를 전송한다(S710).

<132> 상기 구동 장치(200f)는 CPU 인터페이스 방식으로 상기 외부 시스템으로부터 상기 내부수평동기신호(IHS), 내부수직동기신호(IVS) 및 픽셀클럭신호(PCK)에 동기되어 수신된 n번째 프레임(Fn)의 k번째 라인의 영상신호를 라인 저장부(230)에 저장한다(S720).

<133> 상기 라인 저장부(230)에 상기 n번째 프레임(Fn)의 k번째 라인의 영상신호가 저장되면, 상기 픽셀클럭신호(PC_K)에 동기되어 상기 n번째 프레임(Fn)의 k번째 라인의 영상신호를 픽셀 단위로 출력한다. 즉, 상기 라인 저장부(230)는 상기 n번째 프레임(Fn)의 픽셀영상신호(230P)를 상기 영상 보상부(250)에 출력한다(S730).

<134> 상기 프레임 저장부(240)는 상기 픽셀클럭신호(PCK)에 동기되어, 기저장된 상기 n-1번째 프레임(Fn-1)의 k번째 라인의 영상신호를 픽셀 단위로 출력한다. 즉, 상기 프레임 저장부(240)는 상기 n-1번째 프레임(Fn-1)의 픽셀영상신호(240P)를 상기 영상 보상부(250)에 출력한다(S730).

<135> 상기 영상 보상부(250)는 상기 n번째 프레임(Fn)의 픽셀영상신호(230P)와 상기 n-1번째 프레임(Fn-1)의 픽셀영상신호(240P)를 이용해 n번째 프레임의 픽셀보상영상신호(Fn')을 출력한다(S740).

<136> 상기 소스 구동부(260)는 상기 n번째 프레임의 픽셀보상영상신호(Fn')를 라인 단위로 그룹핑하고, 라인 단위의 상기 n번째 프레임의 보상영상신호(Fn')를 상기 기준감마전압(VREF)을 이용하여 아날로그 형태의 보상영상신호(D1, D2, ..., Dk)로 변환한다. 상기 소스 구동부(260)는 상기 아날로그 형태의 상기 n번째 프레임의 k번째 라인의 보상영상신호(D1, D2, ..., Dk)를 소스 배선들에 출력한다(S750).

<137> 한편, 상기 게이트 구동부(110)는 상기 타이밍 제어부(210)의 제어에 따라 게이트 신호를 상기 표시 패널(100)의 게이트 배선들에 출력한다. 상기 소스 배선들에 상기 k번째 라인의 보상영상신호(Fn')가 출력되는 동안 상기 k번째 라인에 해당하는 게이트 배선(GLk)에 게이트 신호가 인가된다. 이에 의해 상기 표시 패널(100)에는 보상영상신호가 표시된다(S760).

발명의 효과

<138> 이상에서 설명한 바와 같이, 본 발명에 따르면 CPU 인터페이스 방식을 가지는 중소형 표시 장치에서 라인 단위의 영상신호를 저장하는 라인 저장부를 구비함으로써 n-1번째 프레임 영상신호와 n번째 프레임 영상신호 간의 입출력 동기를 맞추어 n번째 프레임의 보상영상신호를 생성할 수 있다. 이에 따라서 CPU 인터페이스 방식을 가지는 중소형 표시 장치에서 동영상의 표시 품질을 향상시킬 수 있다.

<139> 이상에서는 실시예들을 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

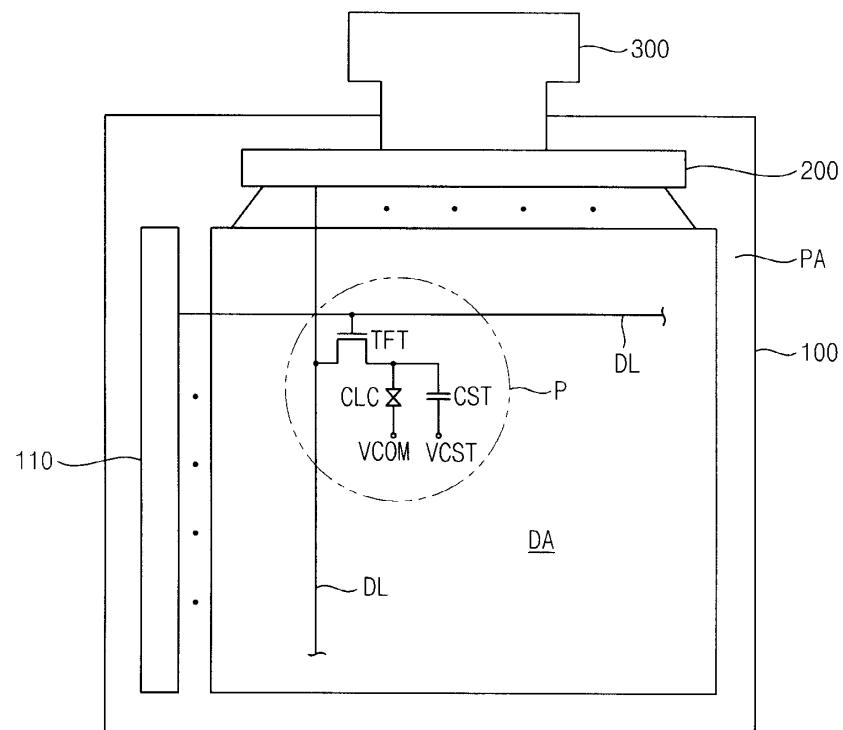
- <1> 도 1은 본 발명의 실시예에 따른 표시 장치의 평면도이다.
- <2> 도 2는 도 1의 구동 장치에 대한 제1 실시예에 따른 블록도이다.
- <3> 도 3은 도 1의 구동 장치에 대한 제2 실시예에 따른 블록도이다.
- <4> 도 4는 도 2 및 도 3에 도시된 구동 장치의 구동 방법을 나타낸 흐름도이다.
- <5> 도 5는 도 1의 구동 장치에 대한 제3 실시예에 따른 블록도이다.
- <6> 도 6은 도 1의 구동 장치에 대한 제4 실시예에 따른 블록도이다.
- <7> 도 7은 도 5 및 도 6에 도시된 구동 장치의 구동 방법을 나타낸 흐름도이다.
- <8> 도 8은 도 1의 구동 장치에 대한 제5 실시예에 따른 블록도이다.
- <9> 도 9는 도 8에 도시된 구동 장치의 구동 방법을 나타낸 흐름도이다.
- <10> 도 10은 도 1의 구동 장치에 대한 제6 실시예에 따른 블록도이다.
- <11> 도 11은 도 10에 도시된 구동 장치의 구동 방법을 나타낸 흐름도이다.

<12> <도면의 주요부분에 대한 부호의 설명>

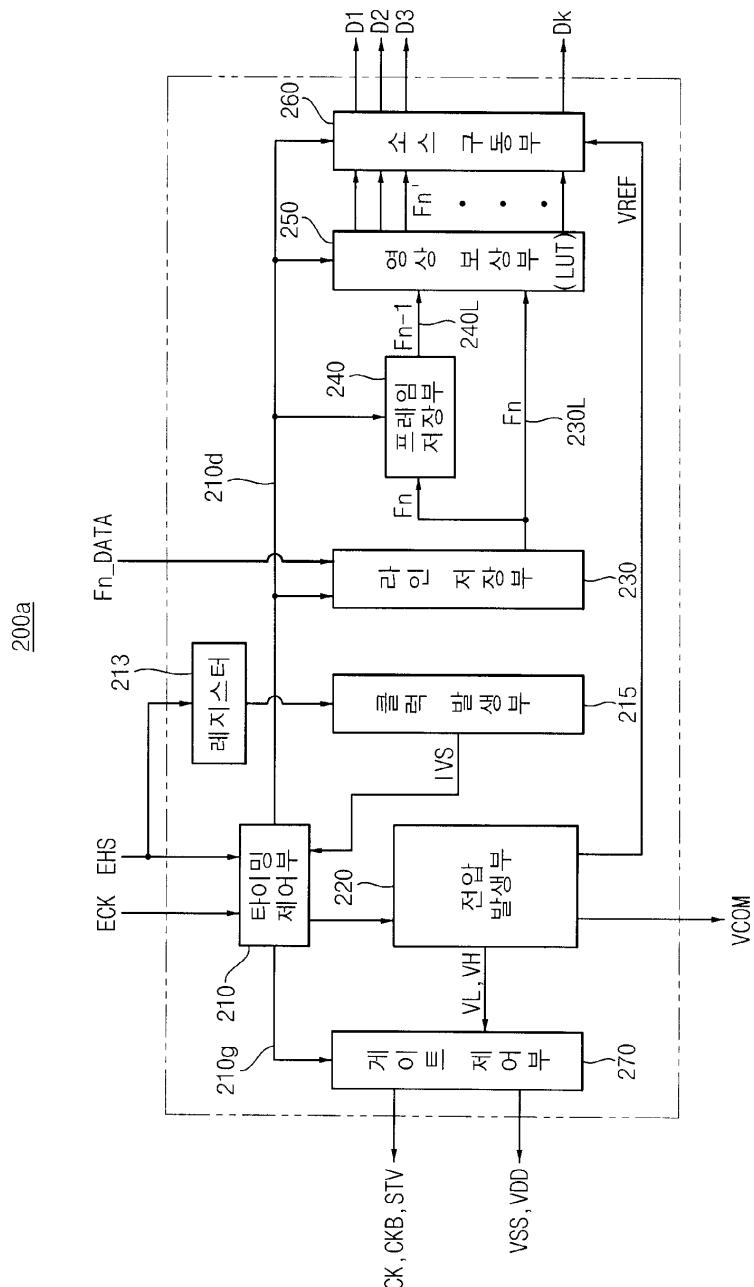
- | | |
|--|---------------|
| <13> 100 : 표시 패널 | 110 : 게이트 구동부 |
| <14> 210 : 제어부 | 213 : 레지스터 |
| <15> 215 : 클럭 발생부 | 220 : 전압 발생부 |
| <16> 230 : 라인 저장부 | 240 : 프레임 저장부 |
| <17> 250 : 영상 보상부 | 260 : 소스 구동부 |
| <18> 270 : 게이트 제어부 | |
| <19> 200, 200a, 200b, 200c, 200d, 200e, 200f : 구동 장치 | |

도면

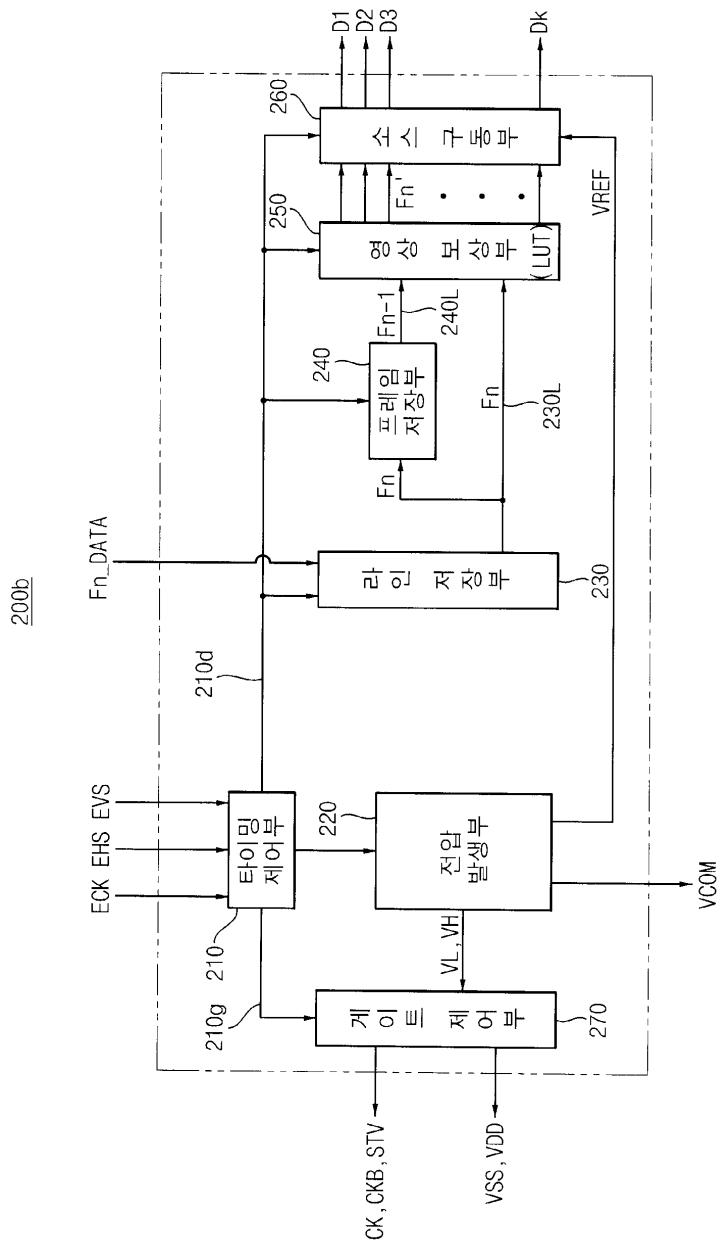
도면1



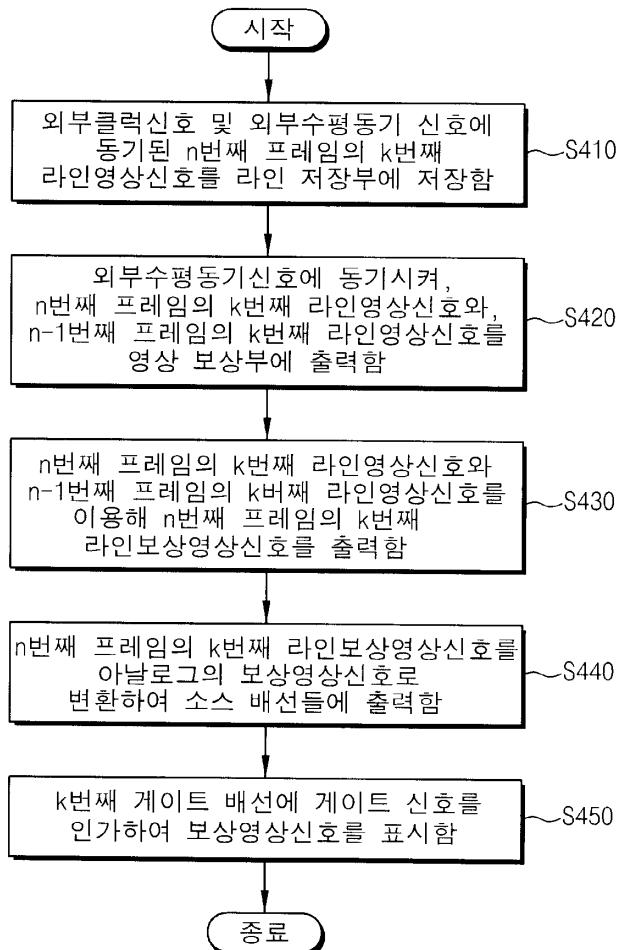
도면2



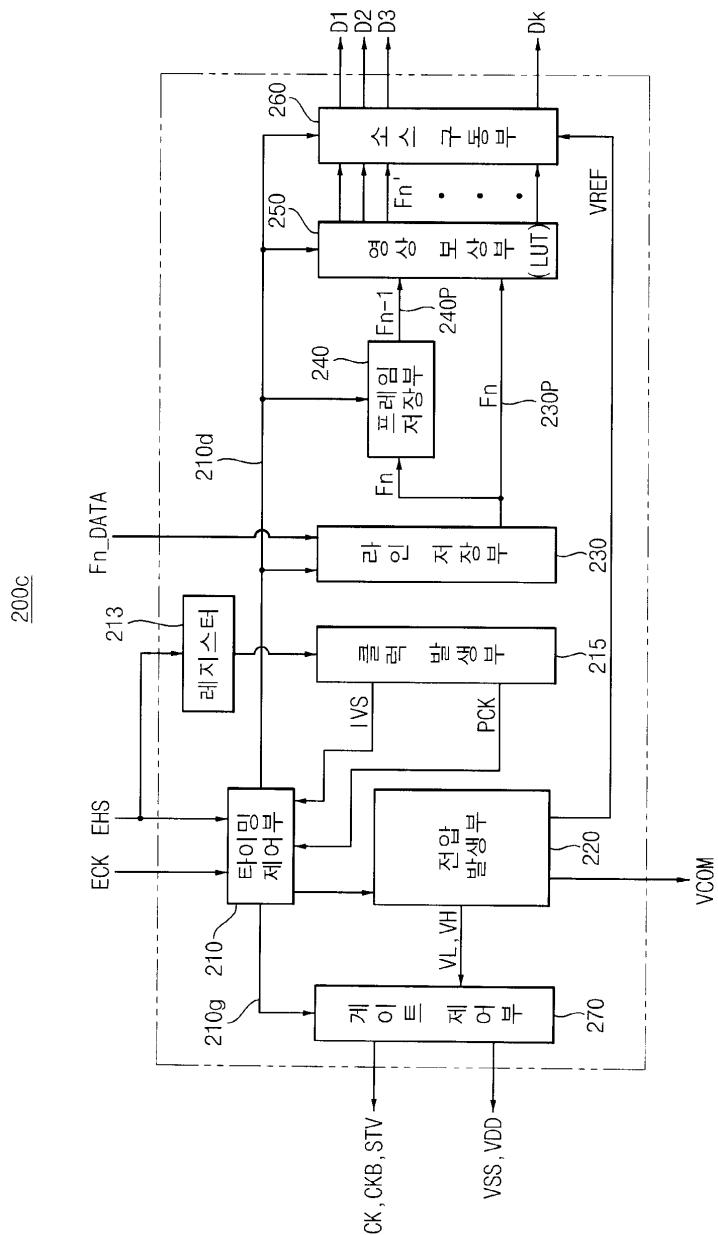
도면3



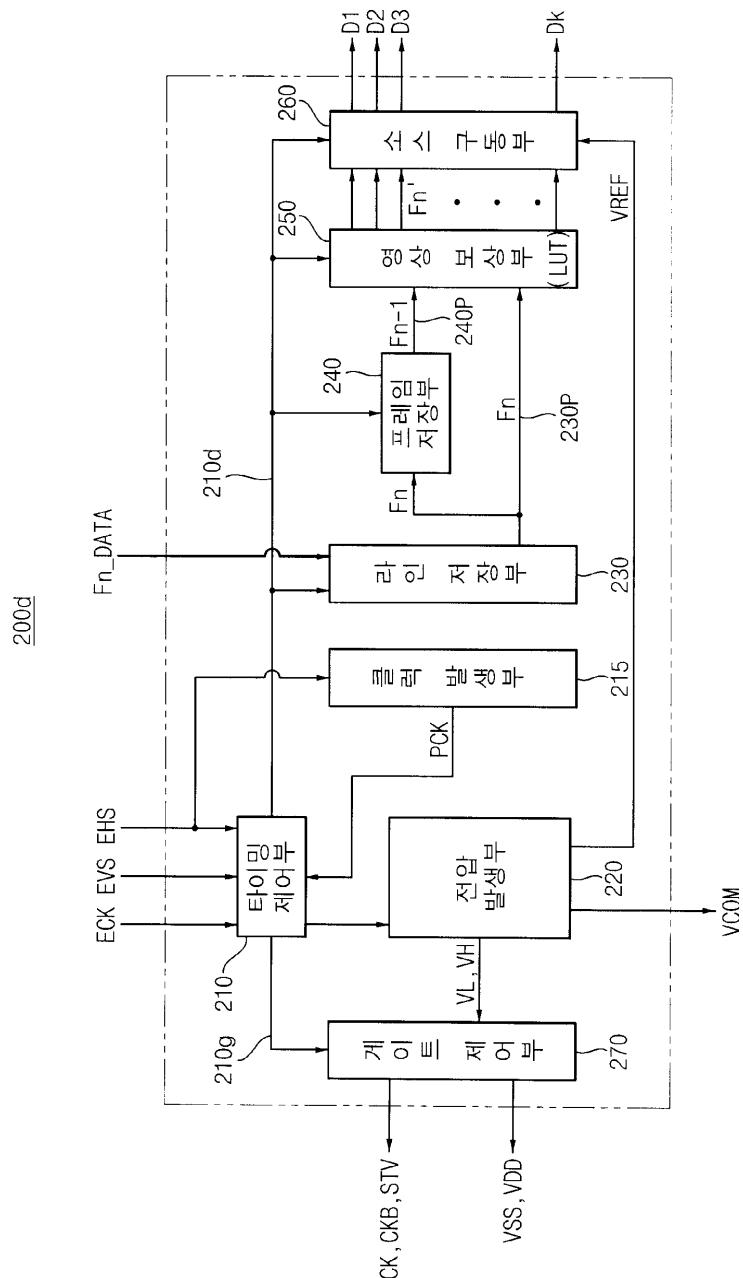
도면4



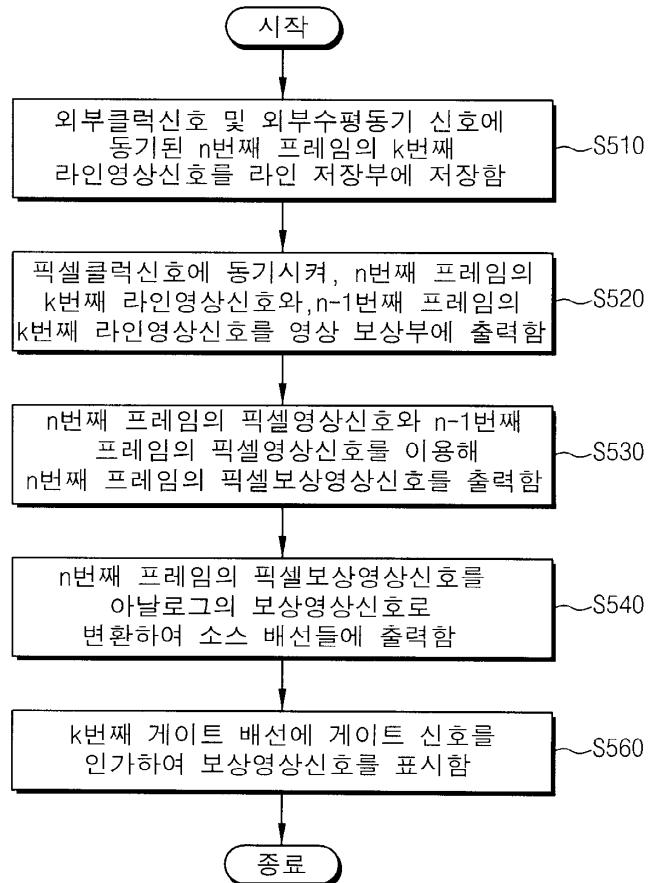
도면5



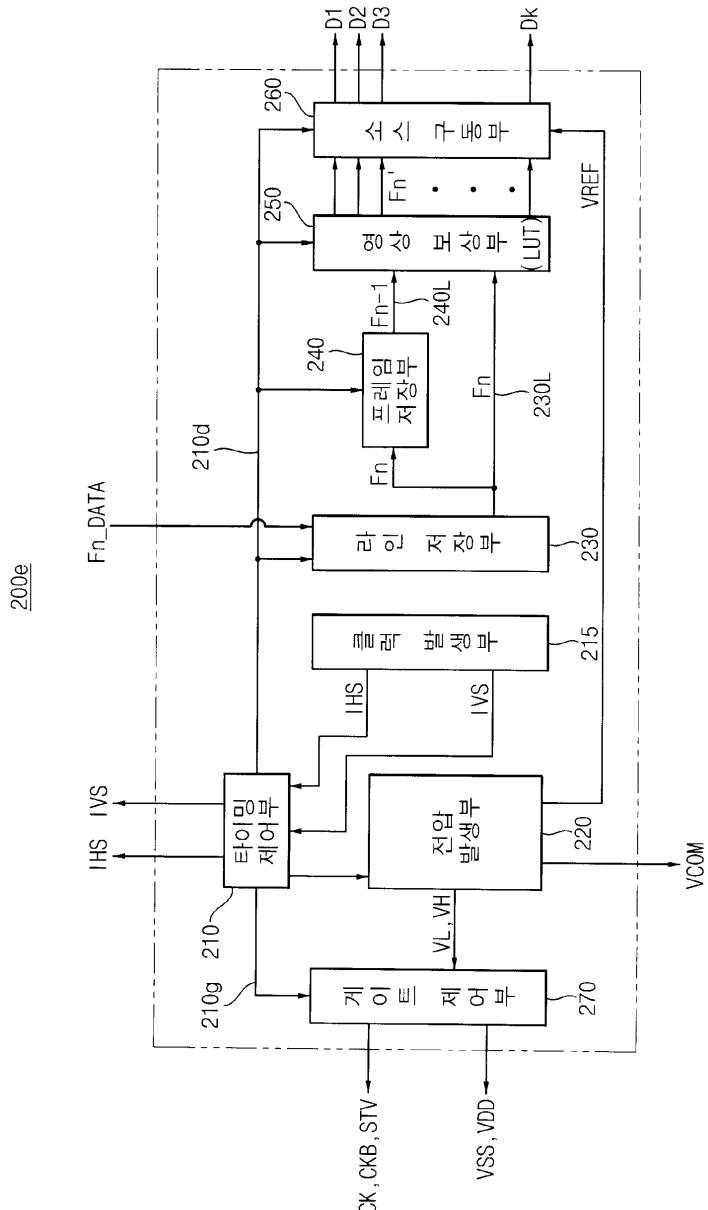
도면6



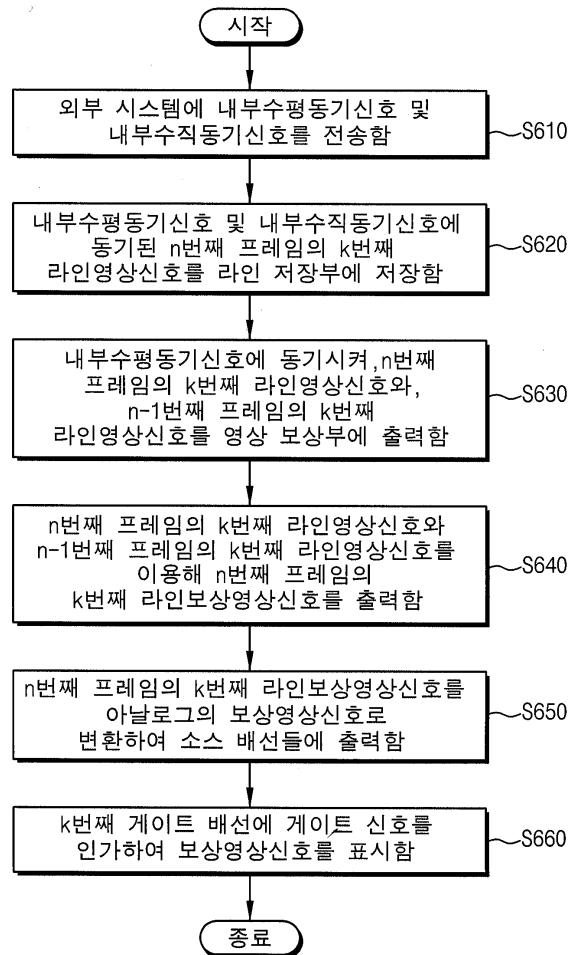
도면7



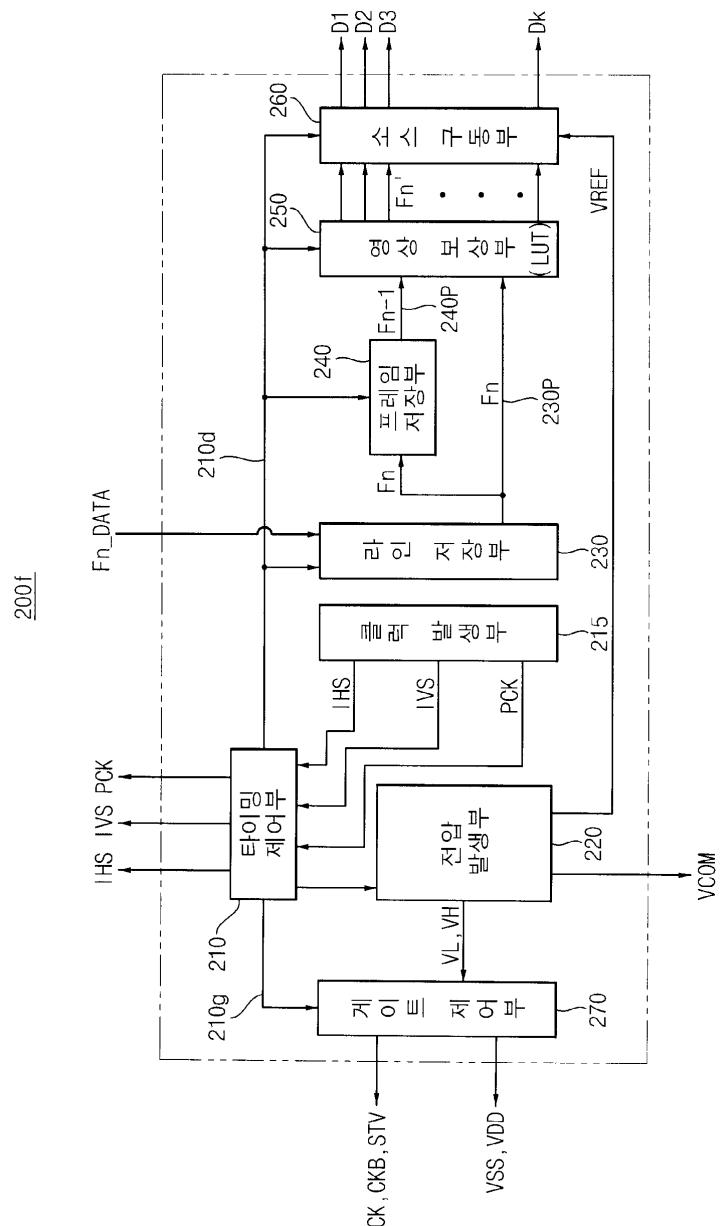
도면8



도면9



도면10



도면11

