



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 869074

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 21.01.80 (21) 2873950/18-09

с присоединением заявки № -

(23) Приоритет -

Опубликовано 30.09.81. Бюллетень № 36

Дата опубликования описания 02.10.81

(51) М. Кл.³

H 04 L 7/02

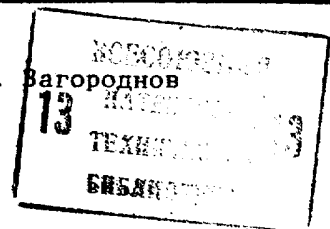
(53) УДК 621.394...
.662.2(088.8)

(72) Авторы
изобретения

В. П. Леонов, А. И. Козлов и В. Т.

Вагороднов

(71) Заявитель



(54) УСТРОЙСТВО ТАКТОВОЙ СИНХРОНИЗАЦИИ

1

Изобретение относится к технике связи и может использоваться в аппаратуре передачи данных.

Известно устройство тактовой синхронизации, содержащее последовательно соединенные задающий генератор, блок управления, делитель частоты, фазовый дискриминатор и блок усреднений, выходы которого подсоединены к соответствующим входам блока управления [1].

В описанном устройстве перерыв приема дискретных сигналов, например, по причине фединга или воздействия помех на время $t \approx \frac{f}{\Delta f} \cdot T$, вызывает нарушение синхронизма и как следствие - нарушение циклового фазирования (Δf - разность частот опорных генераторов приемного и передающего устройств, f - номинал частоты задающих генераторов, T - длительность элементарной посылки). Для восстановления приема информации по истечении перерыва необходим прием фазирующей комбинации.

2

Цель изобретения - повышение помехоустойчивости.

Поставленная цель достигается тем, что в устройство тактовой синхронизации, содержащее последовательно соединенные задающий генератор, блок управления, делитель частоты, фазовый дискриминатор и блок усреднения, выходы которого подсоединены к соответствующим входам блока управления, введены последовательно соединенные дополнительный делитель частоты, блок задержки, реверсивный счетчик, объединенный по входу с входом адресного счетчика, блок сравнения и блок памяти, к другому входу которого подключен другой выход блока задержки, а к соответствующим входам подключены выходы адресного счетчика, выходы блока памяти подключены к другим входам блока усреднения, к дополнительному входу которого подсоединен выход дополнительного делителя частоты,

вход которого подключен к входу фазового дискриминатора.

На чертеже представлена структурно-электрическая схема устройства.

Устройство тактовой синхронизации содержит задающий генератор 1, блок 2 управления, делитель 3 частоты, фазовый дискриминатор 4, дополнительный делитель 5 частоты, блок 6 усреднения, блок 7 памяти, адресный счетчик 8, блок 9 задержки, реверсивный счетчик 10 и блок 11 сравнения.

Устройство тактовой синхронизации работает следующим образом.

Импульсы задающего генератора 1 через блок 2 управления поступают на счетный вход делителя 3 частоты. С выхода делителя 3 частоты импульсы опорного напряжения поступают на один вход фазового дискриминатора 4, на его второй вход поступают принимаемые дискретные сигналы. В зависимости от знака временного рассогласования между импульсами опорного напряжения и фронтами дискретных сигналов фазовым дискриминатором 4 вырабатывается команда на добавление или исключение одного импульса.

Предположим, что фазовым дискриминатором 4 вырабатываются команды на добавление. Эти команды поступают на счетный вход блока 6 усреднения и заполняют его. Одновременно каждая команда добавления устанавливает по установочному входу исходное состояние блока 6 усреднения. После заполнения блока 6 усреднения каждая команда на добавление импульса с его выхода поступает на вход блока 2 управления и суммирующий вход реверсивного счетчика 10. Блок управления вырабатывает дополнительный импульс в последовательность импульсов, поступающих от задающего генератора 1 на счетный вход делителя 3 частоты. Выработанные фазовым дискриминатором 4 команды на исключение импульсов аналогично описанному выше через блок 6 усреднения поступают на блок 2 управления и вычитающий вход реверсивного счетчика 10.

Блок 2 управления исключает из последовательности импульсов, поступающих на счетный вход делителя 3 частоты, один импульс. Каждый исключенный или добавленный импульс в зависимости от знака рассогласования сокращает величину фазового рассогласования между опорным напряжением и фронтами ин-

формационной последовательности на величину $\frac{1}{nF}$, где F - скорость передачи, n - коэффициент деления делителя 3 частоты.

Реверсивный счетчик 10 считает команды добавления, поступающие на его суммирующий вход и команды исключения, поступающие на его вычитающий вход. Емкость реверсивного счетчика 10 определяется действующей нестационарностью коррекций, которая может быть вызвана краевыми искажениями, многолучевостью и другими факторами. Выходы всех разрядов реверсивного счетчика 10 соединены со входами блока 11 сравнения, выходы которой соединены с информационными входами блока 7 памяти. Емкость блока 7 памяти определяет, с какой точностью подлечит компенсации разность приемной и передающей опорных частот. Если реверсивный счетчик 10 насчитывает больше команд на добавление, чем на исключение, на выходе блока 11 сравнения вырабатывается потенциал записи "1" и "0" в блок 7 памяти. Если реверсивный счетчик 10 насчитывает больше команд на исключение, чем на добавление, на выходе блока 11 сравнения вырабатывается потенциал записи "0" и "1" в блок 7 памяти. Если реверсивный счетчик 10 находится в нулевом состоянии, на обоих выходах блока 11 сравнения вырабатываются потенциалы логического "0". Указанные потенциалы поступают на информационные входы блока памяти.

Импульсы опорной частоты с делителя 3 частоты поступают также на счетный вход дополнительного делителя 5 частоты, коэффициент деления которого выбирается по соотношению:

$$K < \frac{F}{\Delta f n}$$

где K - коэффициент деления дополнительного делителя 5;

Δf - максимально возможная разность частот передающего и приемного опорных генераторов;

f - номинальная частота опорных генераторов;

n - коэффициент деления делителя частоты 3.

По своей физической сущности коэффициент K определяет, на сколько тактов приема информации должен вырабатываться один импульс коррекции

частоты при максимальной разности частот передающего и приемного опорных генераторов.

Сигнал с выхода дополнительного делителя частоты 5 поступает на вход блока усреднения 6 и разрешает прохождение через блок 7 памяти запомненной усредненной команды коррекции. Применение блока 7 памяти позволяет компенсировать рассогласования опорных частот любого знака при величине рассогласования меньшей или равной максимальной.

Команда коррекции поступает непосредственно на блок 2 и изменяет на величину шага коррекции фазу следования тактовых импульсов.

Сигнал с выхода дополнительного делителя 5 частоты поступает также на блок 9 задержки. Сигнал с первого выхода блока 9 задержки, спустя время t_1 , поступает на вход управления записью блока 7 памяти. Происходит перезапись в блок 7 памяти усредненного сигнала коррекции.

Сигнал со второго выхода блока задержки 9, спустя время $t_2 > t_1$, поступает, во-первых, на установочный вход реверсивного счетчика 10 и устанавливает его исходное состояние и, во-вторых, на счетный вход адресного счетчика 8 и изменяет на 1 выбранный адрес. Таким образом блок 7 памяти подготавливается к записи коррекции в следующий интервал усреднения, а реверсивный счетчик 10 к усреднению следующей коррекции.

После некоторого времени приема дискретных сигналов весь необходимый объем коррекции записан в блоке 7 памяти, а по цепи фазовый дискриминатор 4, блок 6 усреднения, реверсивный счетчик 10 вносятся исправления запомненных коррекций, вызванные изменением абсолютной разницы частот приемного и передающего опорных генераторов.

Наличие корректирующей цепи, состоящей из блока 7 памяти, блока 6 усреднения, реверсивного счетчика 10 и блока 11 сравнения практически не влияет на время вхождения в синхронизм, так как корректирующие импульсы данной цепи поступают на блок 2 управления не чаще, чем $1/K$.

Таким образом, в период вхождения в синхронизацию, признаком чего является повторяющееся следование одноименных команд из фазового дискриминатора 4, коррекция тактовой частоты

производится аналогично известному устройству.

Во время приема информации в блок 7 памяти записывается усредненная коррекция.

Во время перерыва приема дискретных сигналов, например при нарушении канала связи, признаком чего является поочередное следование от фазового дискриминатора 4 разноименных команд управления, коррекция частоты от фазового дискриминатора 4 прекращается благодаря блоку усреднения. При этом коррекция частоты осуществляется по усредненным за определенный период и запомненным в блоке 7 памяти командам коррекции.

Технико-экономическая эффективность устройства состоит в том, что кратковременная нестабильность частоты опорного генератора на 2-4 порядка меньше действующего отклонения частоты от номинала; продолжительность сохранения тактовой синхронизации определяется, в основном, разностью приемной и передающей опорных частот. Кроме того, в устройстве запоминается и после прекращения приема дискретных сигналов продолжается ранее действовавшая усредненная коррекция частоты следования приемных тактовых импульсов, которая компенсирует ранее действовавшую разность приемной и передающей опорных частот.

Выше сказанное увеличивает на несколько порядков продолжительность сохранения тактовой синхронизации после прекращения приема дискретных сигналов, вызванных, например, воздействием помех или совмещенных использованием канала для передачи дискретных сигналов и информации в аналоговой форме.

Продолжительное сохранение тактовой синхронизации повышает помехоустойчивость и позволяет не передавать дополнительные сигналы для тактовой синхронизации и циклового фазирования после кратковременного нарушения приема. Это сокращает время передачи дискретных сигналов и повышает эффективность использования канала.

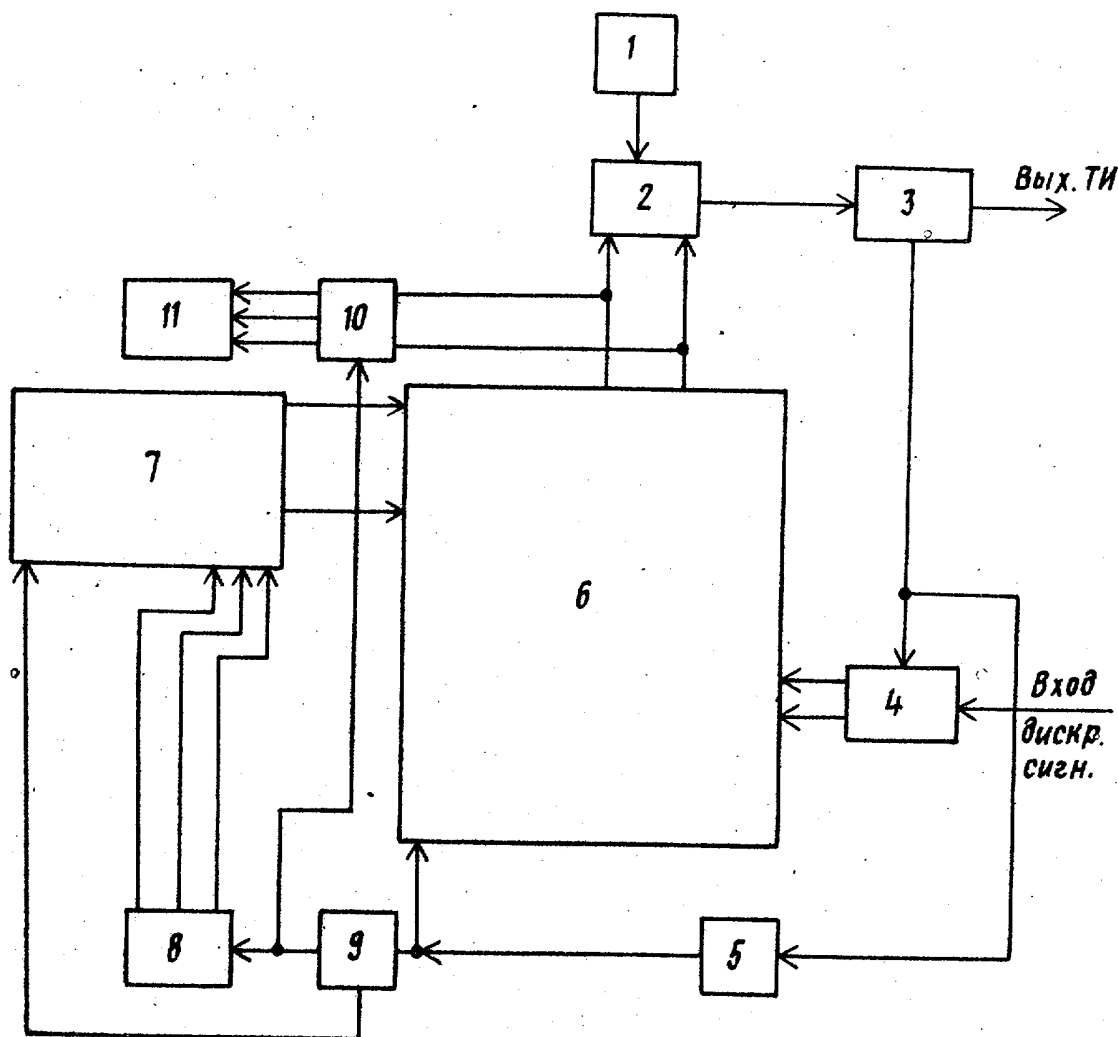
Формула изобретения

Устройство тактовой синхронизации, содержащее последовательно соединенные задающий генератор, блок управ-

ления, делитель частоты, фазовый дискриминатор и блок усреднения, выходы которого подсоединены к соответствующим входам блока управления, отличающееся тем, что, с целью повышения помехоустойчивости, введены последовательно соединенные дополнительный делитель частоты, блок задержки, реверсивный счетчик, объединенный по входу с входом адресного счетчика, блок сравнения и блок памяти, к другому входу которого подключен другой выход блока задержки, а к соответствующим входам подключе-

ны выходы адресного счетчика, выходы блока памяти подключены к другим входам блока усреднения, к дополнительному входу которого подсоединен выход дополнительного делителя частоты, вход которого подключен к входу фазового дискриминатора.

Источники информации, принятые во внимание при экспертизе
1. Мартынов Е.М. Синхронизация в системах передачи дискретных сообщений. М., "Связь", 1972, с. 108, рис. 6.16 (прототип).



Составитель Т. Поддубняк

Редактор Е. Папп

Техред А. Савка

Корректор Ю. Макаренко

Заказ 8359/87

Тираж 701

Подписное

ВНИИПИ Государственного комитета СССР

по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4