

(43) 国際公開日
2006 年 10 月 5 日 (05.10.2006)

PCT

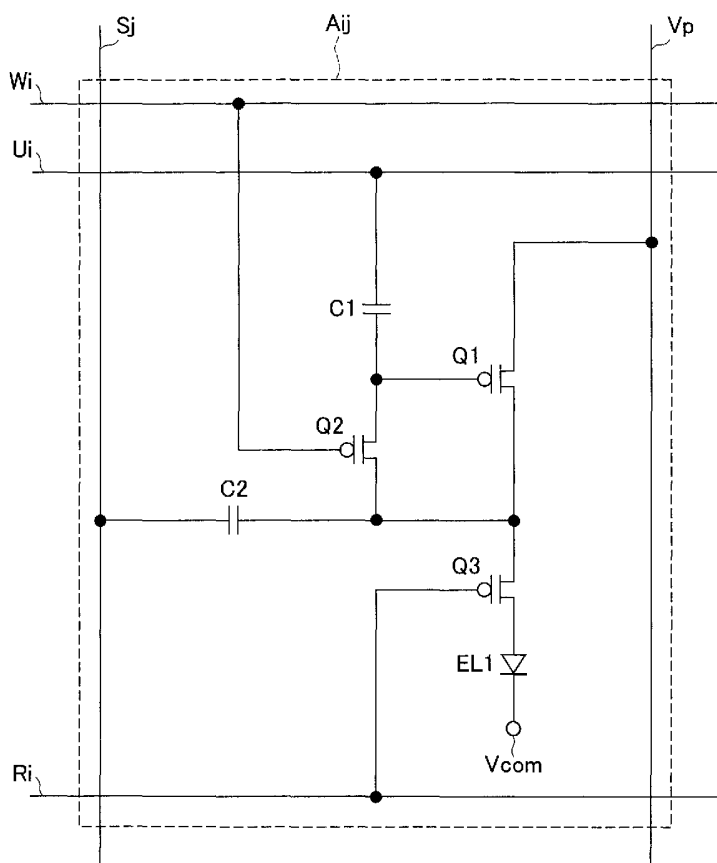
(10) 国際公開番号
WO 2006/103802 A1

- (51) 国際特許分類:
G09G 3/30 (2006.01) G09G 3/20 (2006.01)
- (21) 国際出願番号: PCT/JP2005/021057
- (22) 国際出願日: 2005 年 11 月 16 日 (16.11.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2005-089952 2005 年 3 月 25 日 (25.03.2005) JP
特願 2005-246831 2005 年 8 月 26 日 (26.08.2005) JP
- (71) 出願人 (米国を除く全ての指定国について): シャープ株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町 2 番 2 号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 沼尾 孝次 (NUMAO, Takaji). 田川 晶 (TAGAWA, Akira).
- (74) 代理人: 特許業務法人原謙三国際特許事務所 (HARAKENZO WORLD PATENT & TRADE-MARK); 〒5300041 大阪府大阪市北区天神橋 2 丁目北 2 番 6 号 大和南森町ビル Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ユーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,

[続葉有]

(54) Title: DISPLAY DEVICE AND METHOD FOR DRIVING SAME

(54) 発明の名称: 表示装置及びその駆動方法



(57) Abstract: In a pixel circuit (Aij), a TFT (Q1) for driving, a TFT (Q3) for switching and an organic LED (EL1) are connected in series between a power supply wiring (Vp) and a common cathode (Vcom). A capacitor (C1) is connected between a gate terminal of the TFT (Q1) for driving and a voltage wiring (Ui). The TFT (Q2) for switching is connected between the gate terminal and a drain terminal of the TFT (Q1) for driving. A capacitor (C3) is connected between the drain terminal of the TFT (Q1) for driving and a source wiring (Sj).

(57) 要約: 画素回路 (Aij) において、駆動用 TFT: (Q1)、スイッチ用 TFT: (Q3)、及び、有機 LED: (EL1) を、電源配線 (Vp) と共通陰極 (Vcom) との間に直列に接続する。コンデンサ (C1) を、駆動用 TFT: (Q1) のゲート端子と電圧配線 (Ui) との間に接続する。スイッチ用 TFT: (Q2) を、駆動用 TFT: (Q1) のゲート端子とドレイン端子との間に接続する。コンデンサ (C3) を、駆動用 TFT: (Q1) のドレイン端子とソース配線 (Sj) との間に接続する。



IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

明 細 書

表示装置及びその駆動方法

技術分野

- [0001] 本発明は、有機LED (Organic Light Emitting Diode) ディスプレイやFED (Field Emission Display) 等の電流駆動素子を用いた表示装置及びその駆動方法に関するものである。

背景技術

- [0002] 近年、有機LEDディスプレイやFED等の電流駆動発光素子の研究開発が活発に行われている。特に有機LEDディスプレイは、低電圧・低消費電力で発光可能なディスプレイとして、携帯電話やPDA (Personal Digital Assistants) など携帯機器用として注目されている。
- [0003] この有機LEDディスプレイの画素回路構成として、特開2003-173165号公報 (2003年6月20日公開) に示された回路構成を図17に示す。なお、以下ではTFTのゲート端子電圧はGND電位を基準にした電圧を表し、ゲート・ソース間電圧及び閾値電圧 V_{th} はソース端子に対するゲート端子の電圧として表す。また、ソース・ドレイン間電圧は、p型TFTにおいてはドレイン端子に対するソース端子の電圧を表し、n型TFTにおいてはソース端子に対するドレイン端子の電圧を表す。以下、本明細書では同様とする。
- [0004] 図17に示す画素回路100は、p型TFT (Thin Film Transistor) からなる1つの駆動用TFT117、3つのスイッチSW1～SW3、1つの画素スイッチ113、2つのコンデンサ118・120、及び、有機LED116から構成される。また、画素回路100に必要な電圧を印加する電源配線VEL、共通陰極VSS、信号線112、及び、リセット配線RESETがパネル上に設けられている。電源配線VELは所定の電源電圧を出力し、共通陰極VSSは電源配線VELよりも低い所定の電圧を出力し、信号線112は映像信号の電圧 V_{sig} を出力し、リセット配線RESETは電圧 V_{rst} を出力する。
- [0005] 駆動用TFT117、スイッチSW1、及び、有機LED116は、電源配線VELと共通陰極VSSとの間に、電源配線VELから共通陰極VSSへ向かってこの順に直列に接続

されている。有機LED116は、電流に対応した輝度で発光する電流駆動型の電気光学素子である。コンデンサ118は、駆動用TFT117のゲート端子と電源配線VELとの間に接続されている。コンデンサ120と画素スイッチ113とは、駆動用TFT117のゲート端子と信号線112との間に、駆動用TFT117のゲート端子から信号線112へ向かってこの順に直列に接続されている。スイッチSW2は、駆動用TFT117のゲート端子とドレイン端子との間に接続され、スイッチSW3は、コンデンサ120と画素スイッチ113との接点であるノードAと、リセット配線RESETとの間に接続されている。

[0006] 駆動用TFT117のゲート端子をノードB、ドレイン端子をノードCとして、この画素回路100の動作を、ノードA～Cの電圧変化と、スイッチSW1～SW3及び画素スイッチ113のそれぞれのON/OFF状態との関係で説明したのが図18である。

[0007] 図18に示すように、この画素回路100では、まずリセット期間となり、スイッチSW1～SW3がON状態、画素スイッチ113がOFF状態となる。これにより、ノードAの電圧が V_{rst} となり、ノードB・Cの電圧が共通陰極VSSの電圧VSS(共通陰極VSSの符号で代用している。)に近づく。

[0008] 次に、閾値電圧 V_{th} ばらつきキャンセル期間となり、スイッチSW1をOFF状態、スイッチSW2・SW3をON状態、画素スイッチ113をOFF状態とする。スイッチSW1をOFF状態としたので、駆動用TFT117のドレイン端子からゲート端子に電流が流れ、駆動用TFT117のゲート・ソース間電圧が閾値電圧 V_{th} に達してOFF状態となるまでゲート電圧が上昇する。この結果、ノードBの電圧は $VEL - |V_{th}|$ (VELは電源配線VELの符号で代用している。また、閾値電圧 V_{th} をソース端子に対するゲート端子の電圧として表すと断ったことに整合しているが、駆動用TFT117はp型TFTのため閾値電圧 V_{th} は負の値で示すことが一般的なので、絶対値で表示している。)となる。

[0009] その後、映像信号書込期間となり、スイッチSW1だけでなくスイッチSW2・SW3もOFF状態とする。また、画素スイッチ113をON状態とする。このことによりノードAの電圧が V_{rst} から V_{sig} に変化し、それにつれてノードBの電圧も変化する。このとき、ノードBの電圧は、ノードAの電圧が V_{rst} から V_{sig} に変化したことにより低下するようになっている。従って、駆動用TFT117のゲート・ソース間電圧は閾値電圧 V_{th} から絶

対値が所定電圧だけ大きくなる。

- [0010] 次いで映像信号表示期間となり、画素スイッチ113をOFF状態とすることでノードBの電圧を保持するとともに、スイッチSW1をON状態としてノードBの電圧に対応する映像信号の表示を行う。
- [0011] このように、図17の画素回路100を用いることで、駆動用TFT117のゲート端子電圧を、駆動用TFT117の閾値電圧 V_{th} のばらつきによる影響分をキャンセルした電圧とすることができる。
- [0012] 駆動用TFT117を流れる電流は、駆動用TFT117のソース・ドレイン間電圧が十分大きいとき、駆動用TFT117の閾値補償された後のゲート・ソース間電圧により決まる。
- [0013] このことにより、駆動用TFT117から有機LED116へ流れる電流を、駆動用TFT117の閾値電圧 V_{th} に依らない値として設定することができる。
- [0014] 以上のような駆動用TFT117の閾値補償は、TFTの閾値電圧 V_{th} がガラス基板上でばらつくために行うものである。ばらつきに際してTFTのドレイン電流とソース・ドレイン間電圧との関係を示す特性曲線の飽和領域において各ドレイン電流に対応するゲート・ソース間電圧が一様に、ガラス基板上の位置に対応してずれることを利用し、各TFTのゲート・ソース間電圧が閾値電圧 V_{th} となっている状態である閾値状態(ドレイン電流が流れるか流れないかの境目にある状態)からゲート・ソース間電圧の絶対値を各TFTについて同じだけ大きくした状態として、各TFT間でドレイン電流が閾値電圧 V_{th} に依らず略等しくなるようにしている。
- [0015] また、このような閾値補償を行う有機LEDディスプレイの別の画素回路構成として、特開2003-195809号公報(2003年7月9日公開)に示された回路構成を図19に示す。
- [0016] 図19に示す画素回路300は、p型TFTからなる1つの駆動用TFT117a、p型TFTからなる4つのスイッチ用TFT117b~117e、2つのコンデンサ114a・114b、及び有機LED116aから構成される。また、画素回路300に必要な電圧を印加する電源配線VDD、共通陰極Vcom、ソース配線Sj、及び、制御配線112a~112cがパネル上に設けられている。電源配線VDDは所定の電源電圧を出力し、共通陰極Vcom

は電源配線VDDよりも低い所定の電圧を出力し、ソース配線Sjはデータ電圧Vdaを出力し、制御配線112a～112cはHighとLowとに切り替えられる電圧を出力する。

[0017] 駆動用TFT117a、スイッチ用TFT117e、及び、有機LED116aは、電源配線VDDと共通陰極Vcomとの間に、電源配線VDDから共通陰極Vcomへ向かってこの順に直列に接続されている。スイッチ用TFT117dは、駆動用TFT117aのゲート端子(接続点1001)とドレイン端子との間に接続されている。コンデンサ114aとスイッチ用TFT117bとは、駆動用TFT117aのゲート端子とソース配線Sjとの間に、駆動用TFT117aのゲート端子からソース配線Sjへ向かってこの順に直列に接続されている。スイッチ用TFT117cは、コンデンサ114aとスイッチ用TFT117bとの接続点1002と、駆動用TFT117aのソース端子との間に接続されている。また、コンデンサ114bは、接続点1002とGND配線との間に接続されている。

[0018] スイッチ用TFT117c・117dのゲート端子は制御配線112aに接続され、スイッチ用TFT117bのゲート端子は制御配線112bに接続され、スイッチ用TFT117eのゲート端子は制御配線112cに接続されている。

[0019] この画素回路300の動作は次のようになる。まず、制御配線112aをLowとしてスイッチ用TFT117c・117dをON状態とすることにより、接続点1002の電圧を電源電圧VDD(電源配線VDDの符号で代用している。)とするとともに、駆動用TFT117aのゲート端子とドレイン端子とを短絡させる。このとき制御配線112cをLowとしてスイッチ用TFT117eをON状態とすれば、接続点1001の電圧はVcom(共通陰極Vcomの符号で代用している。)に近づき、駆動用TFT117aはON状態となる。

[0020] その後、制御配線112cをHighとし、スイッチ用TFT117eをOFF状態とする。この結果、接続点1001の電圧は上昇し、駆動用TFT117aは閾値状態でOFF状態となる。このとき、接続点1001の電圧は $VDD - |V_{th}|$ (ここでも閾値電圧 V_{th} の大きさを絶対値で表示している。)となり、コンデンサ114aの接続点1001側には、接続点1001側と反対側の端子(すなわちTFT117aのソース)を基準とした電圧 $-|V_{th}|$ が保持される。

[0021] その後、制御配線112aをHighとしてスイッチ用TFT117c・117dをOFF状態とし、また、制御配線112bをLowとしてスイッチ用TFT117bをON状態とする。この結

果、接続点1002の電圧は電源電圧VDDからソース配線Sjのデータ電圧Vdaに変化する。この結果、接続点1001の電圧は電圧 $VDD - |V_{th}|$ からデータ電圧 $Vda - |V_{th}|$ に変化する。

[0022] その後、制御配線112bをHighとしてスイッチ用TFT117bをOFF状態とし、また、制御配線112cをLowとしてスイッチ用TFT117eをON状態とする。この結果、駆動用TFT117aのゲート端子電圧は $Vda - |V_{th}|$ に保持され、駆動用TFT117aのゲート・ソース間電圧は $Vda - |V_{th}| - VDD$ となる。

[0023] このようにして、駆動用TFT117aの閾値電圧 V_{th} に依らず、駆動用TFT117aから有機LED116aへ流れる電流を設定することができ、その電流値はVdaとVDDとの関係をどのように設定するかで決まる。

[0024] 上記のように図19の画素回路300を用いても、駆動用TFT117aから有機LED116aへ流れる電流を、駆動用TFT117aの閾値電圧 V_{th} に依らず設定することができる。

発明の開示

[0025] 上記のように図17または図19の画素回路を用いれば、駆動用TFTの閾値電圧 V_{th} に依らず、所望の電流を有機LEDに与えることができる。

[0026] しかし、図17のスイッチSW1～SW3や画素スイッチ113もTFTで構成される。この結果、図17の画素回路100では5つのTFTと2つのコンデンサとが必要になる。これは図3の画素回路300でも同様である。

[0027] 一方、携帯機器の表示画面は高精細化が進んでいる。例えば、携帯電話では表示画面に2.4型QVGA液晶を搭載した機種が増えている。2.4型QVGAパネルの1画素サイズは概ね $51\mu m \times RGB \times 153\mu m$ であり、RGB各色当たり $51\mu m \times 153\mu m$ の画素サイズに、図17や図19の画素回路を配置すると、有機LEDを配置する場所を確保することが困難になる。

[0028] このため、有機LEDの光をTFT基板側から取り出すボトムエミッション構成では、有機LEDに割り当てられる面積(ここでは液晶と同様に、開口率とする。)が小さくなる。パネルの明るさは1画素当たりの平均輝度Lにより決まる。一方、有機LEDが1画素あたりに占める割合は開口率Aで決まる。画素の平均輝度Lと開口率Aと有機LE

Dの平均輝度LAとの間には $L = LA \times A$ の関係がある。このため、開口率Aが小さければ、その分、有機LEDの平均輝度LAを上げる必要がある。

[0029] 一方、有機LEDの平均輝度LAと有機LEDの寿命との関係は、SID'04DIGEST, p162-163等の文献に示されている。この文献に示された有機LEDの平均輝度LAと有機LEDの寿命との関係を図20に示す。

[0030] この図20によれば、有機LEDの輝度半減寿命T50は、

[0031] [数1]

$$T50 \propto 1 / (LA)^{1.9} = 1 / (L/A)^{1.9}$$

となっている。このため、開口率Aが小さいと、寿命が極端に短くなる。

[0032] 有機LED実用化の課題は寿命とされる。図17や図19の画素回路を用いれば、駆動用TFT117・117aの閾値電圧Vthに依らず、有機LEDに所望の電流を与えることができる。しかし、1画素当たり5つのTFTと2つのコンデンサとが必要なので、有機LEDの光をTFT基板側から取り出すボトムエミッション構成では、開口率Aが小さくなり、有機LEDの平均輝度LAを上げる必要があるため、有機LEDの寿命が短くなるという課題がある。

[0033] なお、有機LEDの光をTFT基板と反対側から取り出すトップエミッション構成では、開口率Aが1画素当たりの素子数とは無関係に決まる。しかし、図17や図19の画素回路を用いる場合でも、必要とする素子が5つのTFT及び2つのコンデンサと多いため、全体として大きな面積を要するためにこれらの素子を画素に配置することができなくなり、2.4型QVGAよりも高精細化することができないという課題がある。

[0034] 本発明は上記課題に対してなされたものであり、その目的は、駆動用トランジスタの閾値電圧に依らず電気光学素子に所望の電流を与え、かつ1画素当たりの素子数を減らすことのできる回路構成を実現することのできる表示装置およびその駆動方法を提供することにある。

[0035] 本発明の表示装置は、上記課題を解決するために、電流駆動型の電気光学素子と、電源配線に接続された基準電圧端子に対する電流制御端子の電圧で制御され

る出力電流を電流出力端子から前記電気光学素子に駆動電流として供給する駆動用トランジスタとが、マトリックス状に設けられた各画素に配置された表示装置において、第1の電圧を出力する第1電圧配線と、前記画素の表示データに対応したデータ電圧を出力するデータ配線とを備え、前記画素のそれぞれは、前記駆動用トランジスタの前記電流制御端子と前記第1電圧配線との間に接続された第1コンデンサと、前記駆動用トランジスタの前記電流制御端子と前記電流出力端子との間に接続された第1スイッチ素子と、前記駆動用トランジスタの前記電流出力端子と前記データ配線との間に接続された第2コンデンサとを備えていることを特徴としている。

[0036] 上記の発明によれば、まず、第1電圧配線の第1の電圧を所定電圧とするとともに第1スイッチ素子をON状態とした状態で前記データ配線の電圧を初期化電圧としてから前記データ電圧とし、駆動用トランジスタの電流制御端子の電圧を、駆動用トランジスタの出力電流が流れるか流れないかの境目にある閾値状態となる電圧とする第1の期間を実行することができる。そして、第1の期間に続いて、データ配線の電圧を初期化電圧としてからデータ電圧とし前記第1スイッチ素子をOFF状態とする第2の期間を実行することができる。この時点で、第1コンデンサ及び第2コンデンサを用いてデータ配線の電圧により駆動用トランジスタの電流制御端子の電圧を変化させることができるので、当該電流制御端子の電圧を、閾値状態のときの電流制御端子の電圧からデータ電圧に応じた値だけ離れた電圧とすることができる。そして、第2の期間に続いて、前記第1電圧配線の電圧を変化させることで電流制御端子の電圧を制御し、電気光学素子を駆動する第3の期間を実行することができる。この第3の期間により、駆動用トランジスタから電気光学素子に、閾値電圧に依らずにデータ電圧に応じた駆動電流を供給することができる。

[0037] 従って、駆動用トランジスタの閾値電圧のばらつきに影響を受けることなくデータ電圧に応じた駆動電流を電気光学素子に供給することのできる表示装置を、駆動用トランジスタの電流出力端子と、電気光学素子やデータ配線との間にスイッチ素子を設ける場合を含めても、駆動用トランジスタと、最少で1つ高々3つのスイッチ素子と、2つのコンデンサとを用いるだけで構成することができる。

[0038] 駆動用トランジスタとスイッチ素子とをTFTで構成する場合には、最少で2つ高々4

つのTFTと2つのコンデンサとで上記表示装置を構成することができる。従って、表示装置において、従来技術に比べ1画素当たりの素子数を減らし、ボトムエミッション構成では開口率を大きくすることができるとともに有機LEDの長寿命化を図ることができる。また、トップエミッション構成ではより高精細なディスプレイを作ることができる。

- [0039] 本発明の表示装置は、上記課題を解決するために、前記第1電圧配線の前記第1の電圧を所定電圧とするとともに前記第1スイッチ素子をON状態とした状態で前記データ配線の電圧を初期化電圧としてから前記データ電圧とし、前駆駆動用トランジスタの前記電流制御端子の電圧を、前記駆動用トランジスタの前記出力電流が流れるか流れないかの境目にある閾値状態となる電圧とする第1の期間を実行し、前記第1の期間に続いて、前記データ配線の電圧を初期化電圧としてから前記データ電圧とする第2の期間を実行し、前記第2の期間に続いて、前記電流制御端子の電圧を制御し、前記電気光学素子を駆動する第3の期間を実行することを特徴としている。
- [0040] 上記の発明によれば、1画素当たりの素子数を減らした状態で、駆動用トランジスタの閾値電圧に依らず電気光学素子に所望の電流を与えることができるという効果を奏する。
- [0041] 本発明の表示装置は、上記課題を解決するために、前記第2の期間において、前記データ配線の電圧が前記データ電圧となっている状態から前記第1スイッチ素子をOFF状態として前記第3の期間に入り、前記第3の期間において、前記第1電圧配線の前記第1の電圧を前記所定電圧から変化させ、前記電流制御端子の電圧を制御することを特徴としている。
- [0042] 上記の発明によれば、第2の期間においてデータ配線に与えたデータ電圧に応じた駆動用トランジスタの電流制御端子の電圧を、第3の期間において第1コンデンサを利用して第1電圧配線の第1の電圧を変化させることで所望の電圧に変化させることができる。従って、駆動用制御電圧を容易に所望の値に設定することができるという効果を奏する。
- [0043] また、前記第1の期間で前記駆動用トランジスタの出力電流が流れるか流れないかの境目にある閾値状態とするための手段として、以下の2つの構成がある。

- [0044] 第1の構成は、前記駆動用トランジスタの前記電流出力端子と前記電気光学素子とは、第2スイッチ素子を介して接続されていることを特徴としている。
- [0045] 上記の構成によれば、第2スイッチ素子をON状態とすることにより駆動用トランジスタから電気光学素子へ電流を流すことができ、第2スイッチ素子をOFF状態とすることにより駆動用トランジスタから電気光学素子へ電流を流さないようにすることができるという効果を奏する。
- [0046] 第2の構成は、上前記駆動用トランジスタの前記電流出力端子と前記電気光学素子の一方端子とは互いに接続され、前記電気光学素子の他方端子は第2の電圧を出力する第2電圧配線に接続されていることを特徴としている。
- [0047] 上記の構成によれば、電気光学素子の両端にかかる電圧を、電気光学素子に電流が流れるような電圧としたり、電気光学素子に電流が流れないような電圧としたりすることができる。従って、スイッチ素子は第1スイッチ素子の1つだけで済むため、素子数がより少ない表示装置を実現することができるという効果を奏する。
- [0048] また、第1の期間の最初に前記駆動用トランジスタをON状態とするため、前記第2コンデンサと並列に第3スイッチ素子を接続することが好ましい。
- [0049] 上記の構成によれば、第3スイッチ素子をON状態とすることにより駆動用トランジスタの電流制御端子の電圧をデータ配線の電圧とすることができる。従って、駆動用トランジスタの電流制御端子の電圧をデータ配線から制御することができるという効果を奏する。
- [0050] 本発明の表示装置の駆動方法は、上記課題を解決するために、前記表示装置の駆動方法であって、前記第1電圧配線の前記第1の電圧を所定電圧とするとともに前記第1スイッチ素子をON状態とした状態で、前記駆動用トランジスタの前記電流制御端子の電圧を、前記駆動用トランジスタの前記出力電流が流れるか流れないかの境目にある閾値状態となる電圧とする第1の期間を実行し、前記第1の期間に続いて、前記データ配線の電圧を初期化電圧としてから前記データ電圧とする第2の期間を実行し、前記第2の期間に続いて、前記データ配線の電圧を前記データ電圧とし、前記電流制御端子の電圧を制御し、前記電気光学素子を駆動する第3の期間を実行することを特徴としている。

- [0051] 上記の発明によれば、表示装置を、駆動用トランジスタの閾値電圧のばらつきに影響を受けることなくデータ電圧に応じた駆動電流を電気光学素子に供給するように駆動することができるという効果を奏する。
- [0052] 本発明の表示装置のより好ましい駆動方法は、上記課題を解決するために、前記第2の期間において、前記データ配線の電圧が前記データ電圧となっている状態から前記第1スイッチ素子をOFF状態として前記第3の期間に入り、前記第3の期間において、前記第1電圧配線の電圧を前記電源配線の電圧から変化させ、前記電流制御端子の電圧を制御することを特徴としている。
- [0053] 上記の発明によれば、第2の期間においてデータ配線に与えたデータ電圧に応じた駆動用トランジスタの電流制御端子の電圧を、第3の期間において第1コンデンサを利用して第1電圧配線の第1の電圧を変化させることで所望の電圧に変化させることができる。従って、駆動用制御電圧を容易に所望の値に設定することができるという効果を奏する。
- [0054] 本発明のより好ましい表示装置は、第2コンデンサと直列に第4スイッチ素子が接続された表示装置である。なお、この第2コンデンサの配置については、前記駆動用トランジスタの電流出力端子側に配置される場合と、データ配線側に配置される場合との両方が可能である。
- [0055] 上記の発明によれば、第1の期間にデータ配線の電圧がデータ電圧となっている期間、上記第4スイッチ素子をOFF状態とすることができる。
- [0056] 従って、第1の期間にデータ配線に与えられる他の画素のデータ電圧により駆動用トランジスタの電流制御端子の電圧が変化する現象が抑えられ、駆動用トランジスタの出力ばらつきを抑えることができるという効果を奏する。
- [0057] また、本発明の好ましい表示装置は、第1の期間にデータ配線の電圧がデータ電圧となっている期間、上記第4スイッチ素子をOFF状態とする表示装置である。
- [0058] 上記の発明によれば、第1の期間にデータ配線に与えられる他の画素のデータ電圧により駆動用トランジスタの電流制御端子の電圧が変化する現象が抑えられ、駆動用トランジスタの出力ばらつきを抑えることができるという効果を奏する。
- [0059] なお、前記第2の期間に前記データ配線の電圧を前記データ電圧ととしている間

は、前記第4スイッチ素子をON状態とすればよい。

[0060] また、本発明の表示装置は、電流駆動型の電気光学素子と、電源配線に接続された基準電圧端子に対する電流制御端子の電圧で制御される出力電流を電流出力端子から前記電気光学素子に駆動電流として供給する駆動用トランジスタとが、マトリクス状に設けられた各画素に配置された表示装置において、第1の電圧を出力する第1電圧配線と、前記画素の表示データに対応したデータ電圧を出力するデータ配線とを備え、前記画素のそれぞれは、前記駆動用トランジスタの前記電流制御端子と前記第1電圧配線との間に接続された第1コンデンサと、前記駆動用トランジスタの前記電流制御端子と前記電流出力端子との間に接続された第1スイッチ素子と、前記駆動用トランジスタの前記電流制御端子と前記データ配線との間に直列に接続された第2コンデンサおよび第4スイッチ素子とを備えた表示装置でも良い。なお、この第2コンデンサの配置については、前記駆動用トランジスタの電流出力端子側に配置される場合と、データ配線側に配置される場合との両方が可能である。

[0061] また、当該表示装置において、前記第1電圧配線の前記第1の電圧を所定電圧とするとともに前記第1スイッチ素子および前記第4スイッチ素子をON状態とした状態で、前記データ配線の電圧を初期化電圧とし、前記駆動用トランジスタの前記電流制御端子の電圧を、前記駆動用トランジスタが前記出力電流が流れるか流れないかの境目にある閾値状態となる電圧とする第1の期間を実行し、前記第1の期間に続いて、前記データ配線の電圧を初期化電圧とし、前記第1スイッチ素子をOFF状態とし、その後前記データ配線の電圧を前記データ電圧とし前記第4スイッチ素子をOFF状態とする第2の期間を実行し、前記第2の期間に続いて、前記第1電圧配線の電圧を前記電源配線の電圧から変化させ、前記電流制御端子の電圧を制御し、前記電気光学素子を発光させる第3の期間を実行するようにしてもよい。

[0062] 上記2つの本発明の表示装置によれば、第1スイッチ素子をON状態とし、駆動用トランジスタの電流制御端子と電流出力端子とを接続している間、データ配線の電圧は初期化電圧と他の画素のデータ電圧が印加されている。そして、上記初期化電圧をデータ電圧以下(または以上)の電圧とすることで、データ配線に初期化電圧が印加されている期間に上記駆動用トランジスタの電流制御端子の電圧が閾値電圧とで

きる。また、データ配線にデータ電圧が印加されている期間は上記駆動用トランジスタの電流制御端子の電圧がOFF電圧となるよう制御できる。

[0063] このことにより、第2コンデンサのデータ配線側端子に別配線から所定電圧を印加しなくても、第2コンデンサのデータ配線側端子が初期化電圧となったとき、駆動用トランジスタの電流制御端子電圧が閾値電圧となることが保証される。

[0064] そこで、その後第2コンデンサのデータ配線側端子をその画素に対応したデータ電圧とし、第2コンデンサとデータ配線との接続を絶てば、そのデータ電圧と初期化電圧との差により駆動用トランジスタの電流制御端子の電圧を閾値電圧から変化させられる。

[0065] なお、このとき駆動用トランジスタの電流制御端子の電圧はOFF電圧となるよう変化されるので、その後上記第1電圧配線の電圧を変化させることで、駆動用トランジスタの電流制御端子の電圧を任意の電圧に設定できる。

[0066] また、本発明のより好ましい表示装置は、上記のように前記データ配線の前記初期化電圧が、常に前記データ電圧以上の電圧である、または、常に前記データ電圧以下の電圧である表示装置である。

[0067] 上記の発明によれば、例えば、駆動用トランジスタがp型であるときに、その初期化電圧を常にデータ電圧以下の電圧とする。これは、データ配線に初期化電圧が印加されている間に駆動用トランジスタの電流制御端子電圧が V_a となったとき、データ配線にデータ電圧を印加している期間に駆動用トランジスタの電流制御端子電圧を V_a よりも大きな値とする為である。

[0068] このことにより、データ配線に初期化電圧が印加されている期間が閾値補償期間となる。データ配線にデータ電圧を印加している期間は駆動用トランジスタの電流制御端子電圧がその閾値補償期間におけるものよりも大きくなるので、閾値補償動作が停止される。

[0069] なお駆動用トランジスタがn型であれば、その初期化電圧を常にデータ電圧以上の電圧とすれば、同様の動作ができる。

[0070] このことにより、駆動用トランジスタから電気光学素子に、閾値電圧に依らずにデータ電圧に応じた駆動電流を供給することができる。

- [0071] そして、第2コンデンサのデータ配線側端子と別配線との間に接続されるべきスイッチ素子を省略できるので、従来技術に比べ1画素当たりの素子数を減らすことができるという効果を奏する。ボトムエミッション構成では開口率を大きくすることができるとともに有機LEDの長寿命化を図ることができ、トップエミッション構成ではより高精細なディスプレイを作ることができる。
- [0072] 本発明の表示装置は、以上のように、第1の電圧を出力する第1電圧配線と、前記画素の表示データに対応したデータ電圧を出力するデータ配線とを備え、前記画素のそれぞれは、前記駆動用トランジスタの前記電流制御端子と前記第1電圧配線との間に接続された第1コンデンサと、前記駆動用トランジスタの前記電流制御端子と前記電流出力端子との間に接続された第1スイッチ素子と、前記駆動用トランジスタの前記電流出力端子と前記データ配線との間に接続された第2コンデンサとを備えている。
- [0073] なお、本発明の表示装置は、以上のように、第1の電圧を出力する第1電圧配線と、前記画素の表示データに対応したデータ電圧を出力するデータ配線とを備え、前記画素のそれぞれは、前記駆動用トランジスタの前記電流制御端子と前記第1電圧配線との間に接続された第1コンデンサと、前記駆動用トランジスタの前記電流制御端子と前記電流出力端子との間に接続された第1スイッチ素子と、前記駆動用トランジスタの前記電流制御端子と前記データ配線との間に直列に接続された第2コンデンサおよび第4スイッチ素子を備えていても良い。
- [0074] 以上により、駆動用トランジスタの閾値電圧に依らず電気光学素子に所望の電流を与え、かつ1画素当たりの素子数を減らすことのできる回路構成を実現することのできる表示装置を提供することができるという効果を奏する。
- [0075] 従って、表示装置において、従来技術に比べ1画素当たりの素子数を減らし、ボトムエミッション構成では開口率を大きくすることができるとともに有機LEDの長寿命化を図ることができる。また、トップエミッション構成ではより高精細なディスプレイを作ることができる。
- [0076] 本発明のさらに他の目的、特徴、および優れた点は、以下に示す記載によって十分わかるであろう。また、本発明の利益は、添付図面を参照した次の説明で明白にな

るであろう。

図面の簡単な説明

- [0077] [図1]本発明の実施形態を示すものであり、表示装置の第1の構成を示すブロック図である。
- [図2]第1の実施の形態の表示装置に備えられる画素回路の構成を示す回路図である。
- [図3]図2の画素回路の各配線の電圧を示すタイミングチャートである。
- [図4]図2の画素回路において、駆動用TFTのドレイン電流の変化をシミュレーションした結果を示すグラフである。
- [図5]図2の画素回路の変形例の構成を示す回路図である。
- [図6]第2の実施の形態の表示装置に備えられる画素回路の構成を示す回路図である。
- [図7]図6の画素回路の各配線の電圧を示すタイミングチャートである。
- [図8]図6の画素回路において、駆動用TFTのドレイン電流の変化をシミュレーションした結果を示すグラフである。
- [図9]第3の実施の形態の表示装置に備えられる画素回路の構成を示す回路図である。
- [図10]図9の画素回路の各配線の電圧を示すタイミングチャートである。
- [図11]図9の画素回路において、駆動用TFTのドレイン電流の変化をシミュレーションした結果を示すグラフである。
- [図12]本発明の実施形態を示すものであり、表示装置の第2の構成を示すブロック図である。
- [図13]図12の表示装置に用いる時間分割階調の走査タイミングを示す図である。
- [図14]図12の表示装置に備えられる画素回路の構成を示す回路図である。
- [図15]図14の画素回路の各配線の電圧を示すタイミングチャートである。
- [図16]図14の画素回路において、駆動用TFTのドレイン電流の変化をシミュレーションした結果を示すグラフである。
- [図17]従来技術を示すものであり、表示装置に備えられる画素回路の第1の構成を

示す回路図である。

[図18]図17の画素回路の動作を示すタイミングチャートである。

[図19]従来技術を示すものであり、表示装置に備えられる画素回路の第2の構成を示す回路図である。

[図20]有機LEDの平均輝度と寿命との関係を示すグラフである。

[図21]第5の実施の形態の表示装置に備えられる画素回路の構成を示す回路図である。

[図22]図21の画素回路の各配線の電圧を示すタイミングチャートである。

[図23]図21の画素回路において、駆動用TFTのドレイン電流の変化をシミュレーションした結果を示すグラフである。

[図24]図23のシミュレーション結果と比較するためのシミュレーションした結果を示すグラフである。

[図25]第6の実施の形態の表示装置に備えられる画素回路の構成を示す回路図である。

[図26]図25の画素回路の各配線の電圧を示すタイミングチャートである。

[図27]図25の画素回路において、駆動用TFTのドレイン電流の変化をシミュレーションした結果を示すグラフである。

発明を実施するための最良の形態

[0078] 本発明の実施の形態について図1ないし図16、および、図21ないし図27に基づいて説明すれば、以下の通りである。

[0079] 本発明に用いられるスイッチング素子は低温ポリシリコンTFTやCG (Continuous Grain) シリコンTFTなどで構成できるが、本実施の形態ではCGシリコンTFTを用いることとする。

[0080] ここで、CGシリコンTFTの構成は、例えば、SID'04 DIGEST, p162-163に発表されており、CGシリコンTFTの製造プロセスは、例えば、“Continuous Grain Silicon Technology and Its Applications for Active Matrix Display” (AM-LCD 2000、pp.25-28、半導体エネルギー研究所)に発表されている。すなわち、CGシリコンTFTの構成及びその製造プロセスは何れも公知であるため、ここではその詳細な説明は省

略する。

[0081] また、本実施の形態で用いる電気光学素子である有機LED素子についても、その構成は、例えば、“Polymer Light-Emitting Diodes for use in Flat panel Display” (AM-LCD '01, pp.211-214、半導体エネルギー研究所)に発表されており公知であるため、ここではその詳細な説明は省略する。

[0082] [実施の形態1]

第1の実施形態について図1ないし図5を用いて説明する。

[0083] 本実施の形態の表示装置1は、図2に示すように、マトリックス状に配置された画素回路(画素) A_{ij} ($i=1\sim n, j=1\sim m$)、ソースドライバ回路2、ゲートドライバ回路3、プリチャージ回路6 (j)、ソース配線 S_j 、及び、ゲート配線群 G_i を備えている。ソースドライバ回路2及びプリチャージ回路6 (j) はソース配線 S_j の電圧を制御し、ゲートドライバ回路3はゲート配線群 G_i の電圧を制御する。

[0084] 各画素回路 A_{ij} は、ソース配線 S_j とゲート配線群 G_i とが交差する領域に対応して配置された結果、マトリック状の配置となっている。

[0085] ソースドライバ回路2は、 m ビットのシフトレジスタ4と m 個のアナログスイッチ5 (1) ~ 5 (m) とを備えている。シフトレジスタ4の先頭のレジスタへはスタートパルスSPが入力され、そのスタートパルスSPがクロックclkでシフトレジスタ4内を転送され、同時にアナログスイッチ5 (1) ~ 5 (m) に順次タイミングパルスSSPとして出力される。アナログスイッチ5 (j) は、シフトレジスタ4から送られてくるタイミングパルスSSPによりON状態となって、入力された画素回路 A_{ij} の表示データ D_a に対応するアナログのデータ電圧 V_{da} をソース配線(データ配線) S_j に供給し、その後OFF状態となる。

[0086] このように、本実施の形態のソースドライバ回路2はポリシリコンTFT液晶等で用いられるソースドライバ回路と同様な構成をとる。

[0087] また、ゲートドライバ回路3は、図示しないシフトレジスタ回路、論理演算回路、及び、バッファ回路を備えている。入力されたスタートパルス YI をクロック yck により上記シフトレジスタ内を転送し、タイミング信号との論理演算を行い、バッファを通してゲート配線群 G_i に必要な電圧を供給する。本実施の形態では、ゲート配線群 G_i は、後述するように制御配線 $W_i \cdot R_i$ 、及び、電圧配線 U_i から構成されている。

- [0088] プリチャージ回路6(j)は、入力されるタイミングパルスPSに従って、初期化電圧 V_{pc} をソース配線 S_j に出力する。
- [0089] また、画素回路 A_{ij} の表示データ D_a に対応するデータ電圧 V_{da} と、プリチャージ回路6(j)の初期化電圧 V_{pc} とは、常に $V_{da} \geq V_{pc}$ の関係があるものとする。
- [0090] 次に、画素回路 A_{ij} の構成を図1を用いて説明する。
- [0091] 図1に示すように、画素回路 A_{ij} は、有機LED:EL1、駆動用TFT:Q1、スイッチ用TFT:Q2・Q3、及び、コンデンサC1・C2を備えている。また、図2には図示していないが、電圧 V_p を出力する電源配線 V_p (電圧の符号で代用している)、及び、電圧 V_p よりも十分低い電圧 V_{com} を出力する共通陰極 V_{com} (電圧の符号で代用している)が画素回路 A_{ij} を備えた表示パネル上に設けられている。また、図2で述べたゲート配線群 G_i は、ここでは制御配線 $W_i \cdot R_i$ 及び電圧配線(第1電圧配線) U_i の3本の配線で構成される。制御配線 $W_i \cdot R_i$ は、ゲートドライバ回路3の制御により、Highの電圧 GH とLowの電圧 GL とを切り替えて出力する。電圧配線 U_i は、ゲートドライバ回路3の制御により、第1の電圧として、電源配線 V_p と同じ電圧 V_p と、電圧 V_p よりも低い電圧 $V_p - V_a$ とを切り替えて出力する。
- [0092] 駆動用TFT:Q1、スイッチ用TFT:Q3、及び、有機LED:EL1は、電源配線 V_p と共通陰極 V_{com} との間に、電源配線 V_p から共通陰極 V_{com} へ向かってこの順に直列に接続されている。
- [0093] 有機LED:EL1は電流に対応した輝度で発光する電流駆動型の電気光学素子である。アノードはスイッチ用TFT:Q3のドレインに接続され、カソードは共通陰極 V_{com} に接続されている。駆動用TFT(駆動用トランジスタ):Q1はp型TFTであり、ドレイン電流を有機LED:EL1に駆動電流として供給する。当該ドレイン電流は駆動用TFT:Q1のソース端子に対するゲート端子の電圧で制御される。なお、ここでは駆動用トランジスタにTFTを用いているが、これに限らず、基準電圧端子(上記例ではソース端子)に対する電流制御端子(上記例ではゲート端子)の電圧で制御される出力電流(上記例ではドレイン電流)を電流出力端子(上記例ではドレイン端子)から有機LED:EL1のような電気光学素子に駆動電流として供給するトランジスタであれば何でもよい。例えば、半導体基板上に製造される電界効果トランジスタでもよい。スイッチ

用TFT(第2スイッチ素子):Q3はp型TFTである。スイッチ用TFT:Q3のゲート端子は制御配線Riに接続されており、スイッチ用TFT:Q3は制御配線Riの電圧に応じてON/OFFのスイッチ動作を行う。

[0094] コンデンサ(第1コンデンサ)C1は、駆動用TFT:Q1のゲート端子と電圧配線Uiとの間に接続されている。すなわち、本実施の形態では、駆動用TFT:Q1のゲート端子は、コンデンサC1を介して、ソース端子に接続されるのではなく、電源配線Vpとは別に設けられた電圧配線Uiに接続される。スイッチ用TFT(第1スイッチ素子):Q2はp型TFTであり、駆動用TFT:Q1のゲート端子とドレイン端子との間に接続されている。スイッチ用TFT:Q2のゲート端子は制御配線Wiに接続されており、制御配線Wiの電圧に応じてON/OFFのスイッチ動作を行う。コンデンサ(第2コンデンサ)C2は、駆動用TFT:Q1のドレイン端子とソース配線Sjとの間に接続されている。即ち、本実施の形態は第1の期間で前記駆動用トランジスタの出力電流が流れるか流れないかの境目にある閾値状態とするための手段とし、第1の構成を用いている。

[0095] なお、スイッチ用TFT:Q2・Q3はTFTに限らず、ON/OFFのスイッチ動作を制御することのできる素子であれば何でもよい。例えば、半導体基板上に製造される電界効果トランジスタやバイポーラトランジスタでもよい。

[0096] 次に、上記構成の画素回路Aijの動作を図3のタイミングチャートを用いて説明する。

[0097] 図3のタイミングチャートには、画素回路Aijが存在する第i行目の、1)電圧配線Ui、2)制御配線Wi、3)制御配線Ri、4)ソース配線S1、5)ソース配線Smに供給される電圧のタイミングと、画素回路A(i+1)jが存在する第i+1行目の、6)電圧配線Ui+1、7)制御配線Wi+1、8)制御配線Ri+1に供給される電圧のタイミングとを示してある。

[0098] 画素回路Aijは、時刻0～時刻24t1に閾値補償期間、時刻24t1以降に駆動期間となる。また、閾値補償期間のうち、時刻0～時刻12t1を第1の期間とし、時刻12t1～時刻24t1を第2の期間であって選択期間とする。また、駆動期間を第3の期間とする。

[0099] 画素回路Aijに対して閾値補償期間の第1の期間の実行を開始するために、時刻0

に電圧配線 U_i の電圧を V_p （本実施の形態では所定電圧が電源電圧 V_p ）とする。また、時刻0において、制御配線 W_i はGH、制御配線 R_i はGLとなっている。従って、スイッチ用TFT:Q2はOFF状態、スイッチ用TFT:Q3はON状態となっている。

[0100] 次に時刻 t_1 で、制御配線 W_i をGLとしてスイッチ用TFT:Q2をON状態とし、駆動用TFT:Q1のゲート端子とドレイン端子とを短絡する。このとき、スイッチ用TFT:Q3もON状態であるので、駆動用TFT:Q1のゲート端子電圧は共通陰極 V_{com} の電圧 V_{com} に向け近づき、駆動用TFT:Q1はON状態となる。次に時刻 $2t_1$ で、制御配線 R_i をGHとして、スイッチ用TFT:Q3をOFF状態とする。このことにより、駆動用TFT:Q1のソース端子からドレイン端子を介して有機LED:EL1に向けて流れていた電流が阻止され、当該ドレイン端子からゲート端子に電流が流れることによりゲート端子電圧が上昇する。これにより、駆動用TFT:Q1は閾値状態でOFF状態となる。画素回路 A_{ij} は、この状態を第2の期間（選択期間）に入るまで保持する。

[0101] 次に、画素回路 A_{ij} は時刻 $12t_1$ に閾値補償期間の第2の期間すなわち選択期間の実行を開始する。選択期間は、ソース配線 S_j を、画素回路 A_{ij} の有機LED:EL1の駆動電流を設定するために使用する期間である。時刻 $12t_1$ では、電圧配線 U_i 及び制御配線 $W_i \cdot R_1$ の電圧は、第1の期間において駆動用TFT:Q1が閾値状態となったときのままである。そして、時刻 $12t_1$ に、ソース配線 $S_1 \sim S_m$ の電圧を全て初期化するためにタイミングパルスPCによりプリチャージ回路6をON状態として（図2参照）、ソース配線 S_j へ初期化電圧 V_{pc} を供給する。これにより、ソース配線 S_j の電圧が初期化される。なお、後述の説明から分かるように、画素回路 A_{ij} に対する閾値補償期間の第1の期間は画素回路 A_{i-1j} に対する閾値補償期間の第2の期間（選択期間）であるので、画素回路 A_{ij} に対してソース配線 S_j の電圧を初期化電圧 V_{pc} とするときには、画素回路 A_{i-1j} に対して行ったソース配線 S_j のデータ電圧 V_{da} への設定から電圧値を変化させることになる。ここで、常に $V_{pc} \leq V_{da}$ であり、ソース配線 S_j の電圧変化により駆動用TFT:Q1のゲート端子電圧が $V_p + V_{th}$ （ V_{th} は負）よりも小さくなると、駆動用TFT:Q1に電流が流れるので、ゲート端子電圧が $V_p + V_{th}$ まで上昇して、駆動用TFT:Q1が閾値状態でOFF状態となる。

[0102] 次に、時刻 $15t_1$ に、図2のタイミングパルスPSのパルス期間が終了して、プリチャ

ージ回路6(1)～6(m)が一斉にOFF状態となる。この後、各ソース配線S_jの電圧は、表示データDaに対応したデータ電圧V_{da}が供給されるまで初期化電圧V_{pc}に保持される。プリチャージ回路6(j)がOFF状態となった後に、アナログスイッチ5(1)～5(m)が順次ON状態となり、ソース配線S₁～S_mへ順次データ電圧V_{da}が供給されていく。所定時間後にアナログスイッチ5(j)がOFF状態となった後、ソース配線S_jにはデータ電圧V_{da}が保持される。このデータ電圧V_{da}は画素回路A_{ij}の表示データDaに対応したアナログ電圧であるので、その大きさは様々であるが、図3では簡略化して、ソース配線S_jがデータ電圧V_{da}となる期間だけを示してある。また、図3では、ソース配線S_mにデータ電圧V_{da}が供給開始されるタイミングが時刻21t₁であって、アナログスイッチ5(m)がOFF状態となった後、時刻24t₁までデータ電圧V_{da}が保持される例を記載してある。

[0103] このときV_{da} ≥ V_{pc}であるので、ソース配線S_jの電圧がV_{da}となれば駆動用TFT:Q1のゲート端子電圧は上昇し(または維持され)、駆動用TFT:Q1はOFF状態のままとなる。この結果、駆動用TFT:Q1のゲート端子電圧の変化量は、コンデンサC1・C2の容量比、及び、データ電圧V_{da}と初期化電圧V_{pc}との差により決まる。

[0104] すなわちこのとき、駆動用TFT:Q1のゲート端子電圧をV_p + V_{th} + V_γとすると、ソース配線S_jの電圧を初期化電圧V_{pc}、データ電圧V_{da}としたとき、TFT:Q1のゲート端子に接続されているコンデンサC1の電極とコンデンサC2の電極との電荷の総和が保存されるので、

$$\begin{aligned} C1 \times V_{th} + C2 \times (V_p + V_{th} - V_{pc}) \\ = C1 \times (V_{th} + V_{\gamma}) + C2 \times (V_p + V_{th} + V_{\gamma} - V_{da}) \end{aligned}$$

となる。よって、

$$\begin{aligned} C2 \times (-V_{pc}) &= C1 \times (V_{\gamma}) + C2 \times (V_{\gamma} - V_{da}) \\ \therefore V_{\gamma} &= C2 \times (V_{da} - V_{pc}) / (C1 + C2) \end{aligned}$$

となる。このように、V_{da} ≥ V_{pc}なので、駆動用TFT:Q1のゲート端子電圧がV_p + V_{th}以上の大きな電圧V_p + V_{th} + V_γとなっていることが判る。

[0105] その後、時刻23t₁で制御配線W_iをGHとして、スイッチ用TFT:Q2をOFF状態とする。

[0106] 更に、時刻 $24t_1$ で第3の期間すなわち駆動期間に入り、同時刻で電圧配線 U_i の電圧を V_p から $V_p - V_a$ に変化させ、制御配線 R_i をGLとする。このとき、駆動用TFT:Q1のゲート端子電圧は $V_p + V_{th} + V_{\gamma}$ から $V_p + V_{th} + V_{\gamma} - V_a$ に変化する。もし、 $V_{\gamma} - V_a \geq 0$ であれば、駆動用TFT:Q1はOFF状態となる。もし、 $V_{\gamma} - V_a < 0$ であれば、駆動用TFT:Q1はON状態となる。このときのゲート・ソース間電圧 $V_{th} + V_{\gamma} - V_a$ が、時刻 $24t_1$ 以降の駆動期間において有機LED:EL1に駆動電流を流すための、駆動用TFT:Q1の駆動用制御電圧となる。

[0107] 一般にTFTのドレイン・ソース間電圧 V_{ds} がゲート・ソース間電圧 V_{gs} よりも絶対値が大きいとき、TFTは飽和領域となり、TFTを流れる電流値 I_{ds} は、

$$I_{ds} = k \times (V_{gs} - V_{th})^2$$

となる。なお、 k はTFTのゲート幅や移動度等により影響を受ける定数である。本実施例では、駆動用TFT:Q1のゲート端子電圧が $V_p + V_{th} + V_{\gamma} - V_a$ なので、駆動用TFT:Q1を流れる電流 I_{ds} の値は、

$$I_{ds} = k \times (V_{\gamma} - V_a)^2$$

となる。有機LED:EL1は、画素回路 A_{ij} の次の閾値補償期間になるまで、この電流 I_{ds} に応じた輝度で発光する。

[0108] このように、本実施の形態によれば、駆動用TFT:Q1から有機LED:EL1へ与える電流 I_{ds} を、駆動用TFT:Q1の閾値電圧 V_{th} に依らず、ソース配線 S_j の電圧変化($V_{da} - V_{pc}$)と、電圧配線 U_i の電圧変化($-V_a$)とを用いて定めることができる。

[0109] なお、図3では、図面の都合上、画素回路 A_{ij} (第 i 行目の画素回路)の閾値補償期間の第1の期間が終了すると、続いて画素回路 A_{i+1j} (第 $i+1$ 行目の画素回路)の閾値補償期間の第1の期間に移行するようにした。しかし、画素回路 A_{ij} (第 i 行目の画素回路)の閾値補償期間の第1の期間が終了するまで数選択期間有っても良い。この場合でも画素回路 A_{ij} (第 i 行目の画素回路)の閾値補償期間の第2の期間(選択期間)が終了すると、続いて画素回路 A_{i+1j} (第 $i+1$ 行目の画素回路)の閾値補償期間の第2の期間(選択期間)に移行する。同様に、画素回路 A_{ij} の閾値補償期間の第1の期間は、画素回路 A_{i-1j} (第 $i-1$ 行目の画素回路)の閾値補償期間の第2の期間(選択期間)となる。図3では、説明の便宜上、画素回路 A_{ij} の閾値補償期間

から時刻が開始するように記載した。

- [0110] 次に、図4に、ある有機LEDの特性を用いて、 $GL = -4V$ 、 $GH = 12V$ 、 $V_{com} = 0V$ 、 $V_p = 12V$ 、 $V_{pc} = 0V$ 、 $V_a = 2V$ 、 $V_{da} = 5V$ 、 $C1 = 500fF$ 、 $C2 = 100fF$ として電流 I_{ds} をシミュレーションした結果を示す。なお、このシミュレーションでは各画素 A_{ij} の閾値補償期間(第1の期間)は4選択期間ある。
- [0111] 図4において、電流 $I_{ds}(1)$ は画素回路 A_{i1} に相当し、駆動用TFT:Q1の閾値電圧 V_{th} の絶対値が最小($V_{th}(\min)$)で移動度 μ が最大である場合に対応する。電流 $I_{ds}(2)$ は画素回路 A_{im} に相当し、駆動用TFT:Q1の閾値電圧 V_{th} の絶対値が最大($V_{th}(\max)$)で移動度 μ が最小である場合に対応する。電流 $I_{ds}(3)$ は画素回路 $A(i+1)_1$ に相当し、駆動用TFT:Q1の閾値電圧 V_{th} の絶対値が最大($V_{th}(\max)$)で移動度 μ が最小である場合に対応する。電流 $I_{ds}(4)$ は画素回路 $A(i+1)_m$ に相当し、駆動用TFT:Q1の閾値電圧 V_{th} の絶対値が最小($V_{th}(\min)$)で移動度 μ が最大である場合に対応する。
- [0112] 図4のシミュレーション結果では、電流 $I_{ds}(1)$ は略 $-2.27\mu A$ 、電流 $I_{ds}(2)$ は略 $-1.53\mu A$ 、電流 $I_{ds}(3)$ は略 $-1.82\mu A$ 、電流 $I_{ds}(4)$ は略 $-1.84\mu A$ である。
- [0113] 図4において、1選択期間は $12t_1$ であり、 t_1 は $2\mu s$ である。画素回路 A_{i1} 及び画素回路 $A(i+1)_1$ に対応するソース配線 $S1$ が初期化電圧 V_{pc} からデータ電圧 V_{da} に変化するのは各選択期間の $4t_1$ である。画素回路 A_{im} 及び画素回路 $A(i+1)_m$ に対応するソース配線 S_m が初期化電圧 V_{pc} からデータ電圧 V_{da} に変化するのは各選択期間の $8t_1$ である。
- [0114] この場合の画素回路 A_{i1} と画素回路 A_{im} との電流 I_{ds} のばらつきは $-1.53\mu A \sim -2.27\mu A$ である。一方、ソース配線 $S1$ が初期化電圧 V_{pc} からデータ電圧 V_{da} に変化するタイミングが各選択期間の $4t_1$ である画素回路 A_{i1} と画素回路 $A(i+1)_1$ との電流 I_{ds} のばらつきは $-1.82\mu A \sim -2.27\mu A$ である。
- [0115] このように、画素回路 A_{i1} と画素回路 A_{im} とで電流 I_{ds} のばらつきが異なるが、本実施の形態によれば、駆動用TFT:Q1の閾値電圧 V_{th} に依らず駆動用TFT:Q1から有機LED:EL1へ与える電流 I_{ds} を設定できることが判る。
- [0116] 特に、本実施の形態の図1の画素回路 A_{ij} を用いれば、3つのTFTと2つのコンデ

ンサとを用いて、駆動用TFT:Q1から有機LED:EL1へ流れる電流を設定することができる。このため、従来技術に比べ1画素当たりの素子数を減らし、ボトムエミッション構成では開口率を大きくすることができる。また、トップエミッション構成ではより高精細なディスプレイを作ることができる。

[0117] なお、図1の画素回路Aijはp型TFTを用いて構成したが、アモルファスシリコン等n型TFTしか作れない場合もある。このような場合、図5に示すように、図1の画素回路の極性を反転させた画素回路Aijを用いれば良い。

[0118] すなわち、図5の画素回路Aijは、共通陰極Vcomと電源配線Vpとの間に、共通陰極Vcomから電源配線Vpへ向かって、有機LED(電気光学素子):EL1、スイッチ用TFT(第2スイッチトランジスタ):Q6、及び、駆動用TFT(駆動用トランジスタ):Q4を順に直列に接続した構成である。ただし、電圧Vpは電圧Vcomよりも十分に小さい。

[0119] この駆動用TFT:Q4のゲート端子と電圧配線Ui(第1電圧配線)との間にはコンデンサC3(第1コンデンサ)が接続され、駆動用TFT:Q4のゲート端子とドレイン端子との間にはスイッチ用TFT:Q5(第1スイッチ素子)が接続されている。また、駆動用TFT:Q4のドレイン端子とソース配線Sjとの間にはコンデンサC4(第2コンデンサ)が接続されている。

[0120] この画素回路Aijでは、駆動用TFT:Q4及びスイッチ用TFT:Q5・Q6はn型TFTである。また、スイッチ用TFT:Q5のゲート端子には制御配線Wi、スイッチ用TFT:Q6のゲート端子には制御配線Riが接続されている。なお、上記制御配線Wi・Ri及び電圧配線Uiに与える電圧は図3の電圧を上下入れ替えたものなので、ここではその説明は省略する。但し、駆動用TFTをn型としたときには、p型とは反対に、常に $V_{da} \leq V_{pc}$ である。

[0121] このように、本発明は、駆動用TFTがp型でもn型でも有効である。

[0122] [実施の形態2]

第2の実施形態について図6ないし図8を用いて説明する。なお、実施の形態1で説明した部材と同じ機能を有する部材については同じ符号を付し、その説明を省略する。

[0123] 本実施の形態の表示装置は、実施の形態1の表示装置1と同じブロック構成なので

、ここではその繊細な説明は省略する。

[0124] 図6に、本実施の形態における画素回路A_{ij}の構成を示す。

[0125] 図6では、図2で述べたゲート配線群G_iは、ここでは制御配線W_i、電圧配線U_i、及び、電圧配線VR_iの3本の配線から構成される。電圧配線(第2電圧配線)VR_iは、ゲートドライバ3の制御により、第2の電圧として、電圧V_cと電圧V_eとを切り替えて出力することが可能な配線である。電圧V_cは電圧V_pよりも十分に小さく、電圧V_eは電圧V_cよりも十分に大きい。また、ここでは、V_eはV_pに略等しい値であるとする。

[0126] 画素回路A_{ij}は、有機LED:EL1、駆動用TFT:Q1、スイッチ用TFT:Q2、及び、コンデンサC1・C2を備えている。駆動用TFT:Q1及び有機LED:EL1は、電源配線V_pと電圧配線VR_iとの間に、電源配線V_pから電圧配線VR_iへ向かってこの順に直列に接続されている。従って、本実施の形態では、有機LED:EL1の一方端子であるアノードは駆動用TFT:Q1のドレインに接続され、他方端子であるカソードは電圧配線VR_iに接続されている。コンデンサC1は、駆動用TFT:Q1のゲート端子と電圧配線(第1電圧配線)U_iとの間に接続され、スイッチ用TFT:Q2は、駆動用TFT:Q1のゲート端子とドレイン端子との間に接続されている。コンデンサC2は、駆動用TFT:Q1のドレイン端子とソース配線S_jとの間に接続されている。

[0127] また、スイッチ用TFT:Q2のゲート端子は制御配線W_iに接続されている。即ち、本実施の形態は第1の期間で前記駆動用トランジスタの出力電流が流れるか流れないかの境目にある閾値状態とするための手段とし、第2の構成を用いている。

[0128] 次に、上記構成の画素回路A_{ij}の動作を、図7のタイミングチャートを用いて説明する。

[0129] 図7のタイミングチャートには、画素回路A_{ij}が存在する第i行目の、1)電圧配線U_i、2)制御配線W_i、3)電圧配線VR_i、4)ソース配線S₁、5)ソース配線S_mに供給される電圧のタイミングと、画素回路A_{(i+1)j}が存在する第i+1行目の、6)電圧配線U_{i+1}、7)制御配線W_{i+1}、8)電圧配線VR_{i+1}に供給される電圧のタイミングとを示してある。

[0130] 画素回路A_{ij}は、時刻0～時刻24t₁に閾値補償期間、時刻24t₁以降に駆動期間となる。また、閾値補償期間のうち、時刻0～時刻12t₁を第1の期間とし、時刻12t₁

～時刻 $24t_1$ を第2の期間であって選択期間とする。また、駆動期間を第3の期間とする。

- [0131] 画素回路 A_{ij} の閾値補償期間の第1の期間を開始するために、時刻0に電圧配線 U_i の電圧を V_p (本実施の形態では所定電圧が電源電圧 V_p)とする。また、時刻0において、制御配線 W_i はGH、制御配線 VR_i の電圧は V_c となっている。従って、スイッチ用TFT:Q2はOFF状態となっている。
- [0132] 次に時刻 t_1 で、制御配線 W_i をGLとしてスイッチ用TFT:Q2をON状態とし、駆動用TFT:Q1のゲート端子とドレイン端子とを短絡する。このとき、電圧配線 VR_i の電圧は V_c となっているので、有機LED:EL1が順電圧状態となり、駆動用TFT:Q1のゲート端子電圧は電圧配線 VR_i の電圧 V_c に向け近づき、駆動用TFT:Q1はON状態となる。
- [0133] 次に時刻 $2t_1$ で、電圧配線 VR_i の電圧を V_e とする。電圧 V_e は電圧 V_p に略等しいので、有機LED:EL1は逆電圧状態または殆ど電流が流れない状態となる。このことにより、駆動用TFT:Q1のソース端子からドレイン端子を介して有機LED:EL1に流れていた電流が阻止され、駆動用TFT:Q1のドレイン端子からゲート端子に電流が流れることにより当該ゲート端子電圧が上昇する。従って、駆動用TFT:Q1は閾値状態でOFF状態となる。画素回路 A_{ij} は、この状態を第2の期間(選択期間)に入るまで保持する。
- [0134] もしこのとき、 $V_e > V_p$ であり、有機LED:EL1に生じた容量がコンデンサ $C_1 \cdot C_2$ の容量に比べて無視できないくらい大きければ、電圧配線 VR_i の電圧が V_c から V_e に変化した瞬間に有機LED:EL1に生じた容量を介して、大きな電圧変化が有機LED:EL1のアノード側に伝達され、駆動用TFT:Q1のゲート端子電圧が $V_p + V_{th}$ よりも大きくなる。従って、駆動用TFT:Q1はゲート・ソース間電圧の絶対値が閾値電圧の絶対値よりも小さくなった状態でOFF状態となる。しかし、本実施の形態では V_e は V_p に略等しい値であるとしているので、電圧配線 VR_i の電圧が V_c から V_e に変化した瞬間に有機LED:EL1のアノード側に伝達される電圧変化は小さく、駆動用TFT:Q1のゲート端子電圧は $V_p + V_{th}$ (V_{th} は負)より小さくなる。従って、ゲート端子電圧はその後上昇して、駆動用TFT:Q1は必ず閾値状態でOFF状態となる。

- [0135] 次に、画素回路Aijは時刻12t1に閾値補償期間の第2の期間すなわち選択期間に入る。選択期間は、ソース配線Sjを、画素回路Aijの有機LED:EL1の駆動電流を設定するために使用する期間である。時刻12t1では、電圧配線Ui・VR1及び制御配線Wiの電圧は、閾値補償期間において駆動用TFT:Q1が閾値状態となったときのままである。そして、時刻12t1に、ソース配線S1～Smの電圧を全て初期化するためにタイミングパルスPCによりプリチャージ回路6をON状態として(図2参照)、ソース配線Sjへ初期化電圧Vpcを供給する。これにより、ソース配線Sjの電圧が初期化される。このとき、駆動用TFT:Q1のゲート端子電圧は閾値状態に対応した $V_p + V_{th}$ となり、駆動用TFT:Q1はOFF状態である。
- [0136] 次に、時刻15t1に、図2のタイミングパルスPSのパルス期間が終了して、プリチャージ回路6(1)～6(m)が一斉にOFF状態となる。この後、各ソース配線Sjの電圧は、表示データDaに対応したデータ電圧Vdaが供給されるまで初期化電圧Vpcに保持される。プリチャージ回路6(j)がOFF状態となった後に、アナログスイッチ5(1)～5(m)が順次ON状態となり、ソース配線S1～Smへ順次データ電圧Vdaが供給されていく。所定時間後にアナログスイッチ5(j)がOFF状態となった後、ソース配線Sjにはデータ電圧Vdaが保持される。このデータ電圧Vdaは画素回路Aijの表示データDaに対応したアナログ電圧であるので、その大きさは様々であるが、図7では簡略化して、ソース配線Sjがデータ電圧Vdaとなる期間だけを示してある。また、図7では、ソース配線Smにデータ電圧Vdaが供給開始されるタイミングが時刻21t1であって、アナログスイッチ5(m)がOFF状態となった後、時刻24t1までデータ電圧Vdaが保持される例を記載してある。
- [0137] このとき常に $V_{da} \geq V_{pc}$ となるように電圧設定が行われており、これにより、ソース配線Sjの電圧がVdaとなると駆動用TFT:Q1のゲート端子電圧は上昇し、駆動用TFT:Q1はOFF状態のままとなる。この結果、実施の形態1と同様に、駆動用TFT:Q1のゲート端子電圧は $V_p + V_{th} + V_\gamma$ となる。
- [0138] その後、時刻23t1で制御配線WiをGHとして、スイッチ用TFT:Q2をOFF状態とする。さらに、時刻24t1で第3の期間すなわち駆動期間に入り、同時刻で電圧配線Uiの電圧をVpから $V_p - V_a$ に変化させ、電圧配線VRiの電圧をVcへ戻す。このとき

、駆動用TFT:Q1のゲート端子電圧は $V_p + V_{th} + V_\gamma$ から $V_p + V_{th} + V_\gamma - V_a$ に変化する。もし、 $V_\gamma - V_a \geq 0$ であれば、駆動用TFT:Q1はOFF状態となる。もし、 $V_\gamma - V_a < 0$ であれば、駆動用TFT:Q1はON状態となる。このときのゲート・ソース間電圧 $V_{th} + V_\gamma - V_a$ が、時刻 $24t_1$ 以降の駆動期間において有機LED:EL1に駆動電流を流すための、駆動用TFT:Q1の駆動用制御電圧となる。このとき、駆動用TFT:Q1を流れる電流 I_{ds} は実施の形態1と同様に、

$$I_{ds} = k \times (V_\gamma - V_a)^2$$

となる。

[0139] このように、本実施の形態によれば、駆動用TFT:Q1から有機LED:EL1へ与える電流 I_{ds} を、駆動用TFT:Q1の閾値電圧 V_{th} に依らず、ソース配線 S_j の電圧変化($V_{da} - V_{pc}$)と、電圧配線 U_i の電圧変化($-V_a$)とを用いて定めることができる。

[0140] なお、各行に対する閾値補償期間の第1の期間及び第2の期間(選択期間)を実行する順序については実施の形態1と同様である。

[0141] 次に、図8に、ある有機LEDの特性を用いて、 $GL = -4V$ 、 $GH = 12V$ 、 $V_{com} = 0V$ 、 $V_p = 12V$ 、 $V_{pc} = 0V$ 、 $V_a = 2V$ 、 $V_{da} = 5V$ 、 $C_1 = 500fF$ 、 $C_2 = 100fF$ として電流 I_{ds} をシミュレーションした結果を示す。なお、このシミュレーションでは各画素 A_{ij} の閾値補償期間(第1の期間)は4選択期間ある。

[0142] 図8において、電流 $I_{ds}(1)$ は画素回路 A_{i1} に相当し、駆動用TFT:Q1の閾値電圧 V_{th} の絶対値が最小($V_{th}(\min)$)で移動度 μ が最大である場合に対応する。電流 $I_{ds}(2)$ は画素回路 A_{im} に相当し、駆動用TFT:Q1の閾値電圧 V_{th} の絶対値が最大($V_{th}(\max)$)で移動度 μ が最小である場合に対応する。電流 $I_{ds}(3)$ は画素回路 $A_{(i+1)1}$ に相当し、駆動用TFT:Q1の閾値電圧 V_{th} の絶対値が最大($V_{th}(\max)$)で移動度 μ が最小である場合に対応する。電流 $I_{ds}(4)$ は画素回路 $A_{(i+1)m}$ に相当し、駆動用TFT:Q1の閾値電圧 V_{th} の絶対値が最小($V_{th}(\min)$)で移動度 μ が最大である場合に対応する。

[0143] 図8のシミュレーション結果では、電流 $I_{ds}(1)$ は略 $-2.28 \mu A$ 、電流 $I_{ds}(2)$ は略 $-1.48 \mu A$ 、電流 $I_{ds}(3)$ は略 $-1.76 \mu A$ 、電流 $I_{ds}(4)$ は略 $-1.88 \mu A$ である。

[0144] 図8においても、1選択期間は $12t_1$ であり、 $1t_1$ は $2 \mu s$ である。画素回路 A_{i1} 及び

画素回路A(i+1)1に対応するソース配線S1の電圧が初期化電圧V_{pc}からデータ電圧V_{da}に変化するのは各選択期間の4t₁である。画素回路A_{im}及び画素回路A(i+1)_mに対応するソース配線S_mの電圧が初期化電圧V_{pc}からデータ電圧V_{da}に変化するのは各選択期間の8t₁である。

- [0145] 本実施の形態によれば、駆動用TFT:Q1の閾値電圧V_{th}に依らず駆動用TFT:Q1から有機LED:EL1へ与える電流I_{ds}を設定できることが判る。特に、図6の画素回路A_{ij}を用いれば、2つのTFTと2つのコンデンサとを用いて、駆動用TFT:Q1から有機LED:EL1へ流れる電流を設定することができる。
- [0146] また、有機LED:EL1の陰極に接続する電圧配線VR_iは、有機LED:EL1の上に形成されるカソード電極を、カソードセパレータ等を用いて分離して形成するので、TFT基板内に配置する必要がない。
- [0147] このため、実施の形態1と比べても1画素当たりの素子数が減り、ボトムエミッション構成では開口率を増やすことができるとともに有機LEDの長寿命化を図ることができる。また、トップエミッション構成ではより高精細なディスプレイを作ることができる。
- [0148] このように、本シミュレーションでは電圧配線VR_iの電圧をV_cからV_eへ変化させたとき、駆動用TFT:Q1のゲート端子電圧がV_p+V_{th}より小さくなっている。しかし、これは、電圧V_eを電圧V_pと略等しくしたことの他に、本シミュレーションで用いた有機LED:EL1に、電圧配線VR_iの電圧V_eに応じて生じた容量がコンデンサC1及びC2の容量より十分小さかったことも寄与している可能性がある。
- [0149] また、図8のシミュレーション結果と図4のシミュレーション結果とを比較すると、画素回路A_{i1}と画素回路A_{im}との電流I_{ds}のばらつきが-1.48 μA~-2.28 μAと0.06 μA増えている。ソース配線S1の電圧がV_{pc}からV_{da}に変化するタイミングが4t₁である画素回路A_{i1}と画素回路A(i+1)1との電流I_{ds}のばらつきも-1.76 μA~-2.28 μAと0.07 μA増えている。
- [0150] これは、駆動用TFT:Q1のゲート端子とドレイン端子とを短絡させたまま、電圧配線VR_iの電圧をV_cからV_eへ変化させた(V_eはV_cよりも十分大きい)ためである。
- [0151] 〔実施の形態3〕
- 第3の実施形態について図9ないし図11を用いて説明する。なお、実施の形態1及

び2で説明した部材と同じ機能を有する部材については同じ符号を付し、その説明を省略する。

[0152] 本実施の形態の表示装置は、実施の形態1の表示装置1と同じブロック構成なので、ここではその繊細な説明は省略する。

[0153] 図9に、本実施の形態における画素回路A_{ij}の構成を示す。

[0154] 図9では、図2で述べたゲート配線群G_iは、ここでは制御配線W_i・P_i、電圧配線U_i、及び、電圧配線V_{Ri}の4本の配線から構成される。制御配線P_iは、ゲートドライバ回路3の制御により、Highの電圧GHとLowの電圧GLとを切り替えて出力する。

[0155] 図9の画素回路A_{ij}は、図6の画素回路A_{ij}のコンデンサC2と並列にスイッチ用TFT(第3スイッチ素子):Q7が接続されたものである。このスイッチ用TFT:Q7はp型TFTである。また、このスイッチ用TFT:Q7のゲート端子は制御配線P_iに接続されている。

[0156] 次に、上記構成の画素回路A_{ij}の動作を、図10のタイミングチャートを用いて説明する。

[0157] 図10のタイミングチャートには、画素回路A_{ij}が存在する第i行目の、1)電圧配線U_i、2)制御配線W_i、3)電圧配線V_{Ri}、4)制御配線P_i、5)ソース配線S1、6)ソース配線S_mに供給される電圧のタイミングと、画素回路A_{(i+1)j}が存在する第i+1行目の、7)電圧配線U_{i+1}、8)制御配線W_{i+1}、9)電圧配線V_{Ri+1}、10)制御配線P_{i+1}に供給される電圧のタイミングとを示してある。

[0158] 画素回路A_{ij}は、時刻0～時刻24t₁に閾値補償期間、時刻24t₁以降に駆動期間となる。また、閾値補償期間のうち、時刻0～時刻12t₁を第1の期間とし、時刻12t₁～時刻24t₁を第2の期間であって選択期間とする。また、表示期間を第3の期間とする。

[0159] 画素回路A_{ij}の閾値補償期間の第1の期間を開始するために、時刻0に電圧配線U_iの電圧をV_pとし、制御配線V_{Ri}の電圧をV_eとする。V_eはV_pと略等しいので、有機LED:EL1が逆電圧状態または殆ど電流が流れない状態となる。また、時刻0において、制御配線W_i・P_iはGHとなっている。従って、スイッチ用TFT:Q2・Q7はOFF状態となっている。

- [0160] 次に時刻 t_1 で、制御配線 W_i をGLとしてスイッチ用TFT:Q2をON状態とし、駆動用TFT:Q1のゲート端子とドレイン端子とを短絡する。また、同時に制御配線 P_i をGLとしてスイッチ用TFT:Q7をON状態とする。また、このとき、画素回路 A_{i-1j} の選択期間を実行するためにソース配線 S_j の電圧を初期化電圧 V_{pc} としているので、駆動用TFT:Q1のゲート端子電圧および有機LED:EL1のアノード電圧は V_{pc} となる。 V_{pc} は V_p よりも十分に小さい電圧であるので、駆動用TFT:Q1はON状態となる。
- [0161] そして、時刻 $2t_1$ で制御配線 P_i をGHとしてスイッチ用TFT:Q7をOFF状態とする。これにより、駆動用TFT:Q1のドレイン端子からゲート端子へ電流が流れ、ゲート端子電圧が上昇し、駆動用TFT:Q1は閾値状態でOFF状態となる。画素回路 A_{ij} は、この状態を第2の期間(選択期間)に入るまで保持する。
- [0162] 次に、画素回路 A_{ij} は時刻 $12t_1$ に閾値補償期間の第2の期間すなわち選択期間に入る。選択期間は、ソース配線 S_j を、画素回路 A_{ij} の有機LED:EL1の駆動電流を設定するために使用する期間である。時刻 $12t_1$ では、電圧配線 $U_i \cdot VR_1$ 及び制御配線 $W_i \cdot P_i$ の電圧は、閾値補償期間において駆動用TFT:Q1が閾値状態となったときのままである。そして、時刻 $12t_1$ に、ソース配線 $S_1 \sim S_m$ の電圧を全て初期化するためにタイミングパルスPCによりプリチャージ回路6をON状態として(図2参照)、ソース配線 S_j へ初期化電圧 V_{pc} を供給する。これにより、ソース配線 S_j の電圧が初期化される。このとき、駆動用TFT:Q1のゲート端子電圧は閾値状態に対応した $V_p + V_{th}$ となり、駆動用TFT:Q1はOFF状態である。
- [0163] 次に、時刻 $15t_1$ に、図2のタイミングパルスPSのパルス期間が終了して、プリチャージ回路6(1)～6(m)が一斉にOFF状態となる。この後、各ソース配線 S_j の電圧は、表示データ D_a に対応したデータ電圧 V_{da} が供給されるまで初期化電圧 V_{pc} に保持される。プリチャージ回路6(j)がOFF状態となった後に、アナログスイッチ5(1)～5(m)が順次ON状態となり、ソース配線 $S_1 \sim S_m$ へ順次データ電圧 V_{da} が供給されていく。所定時間後にアナログスイッチ5(j)がOFF状態となった後、ソース配線 S_j にはデータ電圧 V_{da} が保持される。このデータ電圧 V_{da} は画素回路 A_{ij} の表示データ D_a に対応したアナログ電圧であるので、その大きさは様々であるが、図10では簡略化して、ソース配線 S_j がデータ電圧 V_{da} となる期間だけを示してある。また、図10で

は、ソース配線Smにデータ電圧Vdaが供給開始されるタイミングが時刻21t1であって、アナログスイッチ5(m)がOFF状態となった後、時刻24t1までデータ電圧Vdaが保持される例を記載してある。

[0164] このとき、常に $V_{da} \geq V_{pc}$ となるように電圧設定が行われており、これにより、ソース配線Sjの電圧がVdaとなると駆動用TFT:Q1のゲート端子電圧は上昇し、駆動用TFT:Q1はOFF状態のままとなる。この結果、実施の形態1と同様、駆動用TFT:Q1のゲート端子電圧は $V_p + V_{th} + V_\gamma$ となる。

[0165] その後、時刻23t1で制御配線WiをGHとして、スイッチ用TFT:Q2をOFF状態とする。さらに、時刻24t1で第3の期間すなわち表示期間に入り、同時刻で電圧配線Uiの電圧をVpから $V_p - V_a$ に変化させ、電圧配線VRiの電圧をVcへ戻す。このとき、駆動用TFT:Q1のゲート端子電圧は $V_p + V_{th} + V_\gamma$ から $V_p + V_{th} + V_\gamma - V_a$ に変化する。もし、 $V_\gamma - V_a \geq 0$ であれば、駆動用TFT:Q1はOFF状態となる。もし、 $V_\gamma - V_a < 0$ であれば、駆動用TFT:Q1はON状態となる。このときのゲート・ソース間電圧 $V_{th} + V_\gamma - V_a$ が、時刻24t1以降の駆動期間において有機LED:EL1に駆動電流を流すための、駆動用TFT:Q1の駆動用制御電圧となる。このとき、駆動用TFT:Q1を流れる電流Idsは実施の形態1と同様に、

$$I_{ds} = k \times (V_\gamma - V_a)^2$$

となる。

[0166] このように、本実施の形態によれば、駆動用TFT:Q1から有機LED:EL1へ与える電流Idsを、駆動用TFT:Q1の閾値電圧Vthに依らず、ソース配線Sjの電圧変化($V_{da} - V_{pc}$)と、電圧配線Uiの電圧変化($-V_a$)とを用いて定めることができる。

[0167] なお、各行に対する閾値補償期間の第1の期間及び第2の期間(選択期間)を実行する順序については実施の形態1と同様である。

[0168] 次に、図11に、ある有機LEDの特性を用いて、 $GL = -4V$ 、 $GH = 12V$ 、 $V_{com} = 0V$ 、 $V_p = 12V$ 、 $V_{pc} = 0V$ 、 $V_a = 2V$ 、 $V_{da} = 5V$ 、 $C_1 = 500fF$ 、 $C_2 = 100fF$ として電流Idsをシミュレーションした結果を示す。

[0169] 電流Ids(1)は画素回路Ai1に相当し、駆動用TFT:Q1の閾値電圧Vthの絶対値が最小($V_{th}(\min)$)で移動度 μ が最大である場合に対応する。電流Ids(2)は画素

回路A_{im}に相当し、駆動用TFT:Q1の閾値電圧V_{th}の絶対値が最大(V_{th}(max))で移動度 μ が最小である場合に対応する。電流I_{ds}(3)は画素回路A(i+1)₁に相当し、駆動用TFT:Q1の閾値電圧V_{th}の絶対値が最大(V_{th}(max))で移動度 μ が最小である場合に対応する。電流I_{ds}(4)は画素回路A(i+1)_mに相当し、駆動用TFT:Q1の閾値電圧V_{th}の絶対値が最小(V_{th}(min))で移動度 μ が最大である場合に対応する。

- [0170] 図11のシミュレーション結果では、電流I_{ds}(1)は略 $-2.33\mu\text{A}$ 、電流I_{ds}(2)は略 $-1.50\mu\text{A}$ 、電流I_{ds}(3)は略 $-1.81\mu\text{A}$ 、電流I_{ds}(4)は略 $-1.88\mu\text{A}$ である。
- [0171] 図11においても、1選択期間は $12t_1$ であり、 t_1 は $2\mu\text{s}$ である。画素回路A_{i1}及び画素回路A(i+1)₁に対応するソース配線S1の電圧が初期化電圧V_{pc}からデータ電圧V_{da}に変化するのは各選択期間の $4t_1$ である。画素回路A_{im}及び画素回路A(i+1)_mに対応するソース配線S_mの電圧が初期化電圧V_{pc}からデータ電圧V_{da}に変化するのは各選択期間の $8t_1$ である。
- [0172] 本実施の形態によれば、有機LED:EL1の容量がコンデンサC1・C2の容量に対して無視できないくらいに大きくても、電圧配線VR_iの電圧をV_cからV_eへ変化させてから、動用TFT:Q1のゲート端子電圧を初期化電圧V_{pc}とすることができるので、駆動用TFT:Q1のゲート端子電圧を確実にV_p+V_{th}より小さくすることができる。従って、それに続いてゲート端子電圧を上昇させて駆動用TFT:Q1を確実に閾値状態でOFF状態とすることができる。
- [0173] このように、図9の画素回路A_jを用いれば、3つのTFTと2つのコンデンサとを用いて、駆動用TFT:Q1から有機LED:EL1へ流れる電流を設定することができる。このため、実施の形態1と同様に1画素当たりの素子数が減り、ボトムエミッション構成では開口率を増やすことができるとともに有機LEDの長寿命化を図ることができる。また、トップエミッション構成ではより高精細なディスプレイを作ることができる。
- [0174] しかし、この図11のシミュレーション結果と図8のシミュレーション結果とを比較すると、画素回路A_{i1}と画素回路A_{im}との電流I_{ds}のばらつきが $-1.50\mu\text{A}$ ～ $-2.33\mu\text{A}$ と更に $0.03\mu\text{A}$ 増えている。ソース配線S1の電圧が初期化電圧V_{pc}からデータ電圧V_{da}に変化するタイミングが各選択期間の $4t_1$ である画素回路A_{i1}と画素回路

$A(i+1)1$ との電流 I_{ds} のばらつきは $-1.81\mu A \sim -2.33\mu A$ と変化していない。

[0175] この場合、シミュレーションで用いた有機LEDの容量成分は小さかったが、シミュレーション結果は、本発明を上記構成で十分に実現することができることを示している。

[0176] なお、本実施の形態では図6のコンデンサC2と並列にスイッチ用TFT:Q7を接続したが、これに限らず、図1のコンデンサC2と並列にスイッチ用TFTを接続したり、図5のコンデンサC4と並列にスイッチ用TFTを接続したりしてもよい。この場合、図1のスイッチ用TFT:Q3や図5のスイッチ用TFT:Q6は閾値補償期間の第1の期間では常にOFF状態とすればよい。また、この場合は、4つのTFTと2つのコンデンサとを用いた画素回路となるが、やはり素子数は従来よりも減少する。

[0177] [実施の形態4]

第4の実施形態について図12ないし図16を用いて説明する。

[0178] ところで、実施の形態1～3のシミュレーション結果で、画素回路 $Ai1$ と画素回路 Aim との電流 I_{ds} のばらつきと、画素回路 $Ai1$ と画素回路 $A(i+1)1$ との電流 I_{ds} のばらつきを比較すると、後者の方が小さくなっている。これは、ソース配線S1の電圧が初期化電圧 V_{pc} からデータ電圧 V_{da} に変化するタイミングが影響している。従って、ソース配線S1～Smでデータ電圧 V_{da} へ変化するタイミングが揃っていることが好ましい。以下に、そのような表示装置について説明する。

[0179] 本実施の形態の表示装置21は、図12に示すように、マトリックス状に配置された画素回路(画素) Aij ($i=1 \sim n, j=1 \sim m$)、ソースドライバ回路8、ゲートドライバ回路9、ソース配線 Sj 、及び、ゲート配線群 Gi を備えている。ソースドライバ回路8はソース配線 Sj の電圧を制御し、ゲートドライバ回路9はゲート配線群 Gi の電圧を制御する。

[0180] 各画素回路 Aij は、ソース配線 Sj とゲート配線群 Gi とが交差する領域に対応して配置された結果、マトリック状の配置となっている。

[0181] ソースドライバ回路8は、mビットのシフトレジスタ4、mビットのレジスタ10、mビットのラッチ11、及び、m個のアナログスイッチ12(1)～12(m)を備えている。

[0182] すなわち、上記ソースドライバ回路8においては、mビットのシフトレジスタ4の先頭のレジスタへスタートパルスSPが入力され、そのスタートパルスSPがクロックclkでシフトレジスタ4内を転送され、同時にレジスタ10にタイミングパルスSSPとして出力さ

れる。mビットのレジスタ10は、シフトレジスタ4から送られてくるタイミングパルスSSPにより、入力されたデータD_xを対応するソース配線S_jの位置に保持する。ラッチ11は、この保持されたmビットのデータをラッチパルスLPのタイミングで取り込み、アナログスイッチ12(1)～12(m)へ一斉に出力する。アナログスイッチ12(j)は、入力されたデータD_xに対応した電圧を選択し、ソース配線S_jへ出力する。

[0183] なお、表示装置21では、データ信号D_xとして1ビットのデジタルデータを受け取る場合を想定している。この場合に、アナログスイッチ12(j)が選択する電圧には、発光用の電圧V_r・V_g・V_b、非発光用の電圧V_{off}、及び、後述する初期化電圧V_{pc}である。なお、後述の説明では発光用の電圧V_r・V_g・V_bを互いに区別せずに、非発光用の電圧V_{off}と併せてデータ電圧V_{dk}(k=1, 2, 3)で表している。また、 $V_{dk} \geq V_{pc}$ である。

[0184] また、ゲートドライバ回路9は、シフトレジスタ回路、アドレスデコーダ、論理演算回路、及び、バッファ回路(いずれも図示せず。)を備えている。ゲートドライバ回路9において、入力されたスタートパルスYIがクロックyckによりシフトレジスタ内を転送され、タイミング信号が論理演算回路へ出力される。同時に、アドレス信号Addがアドレスデコーダへ供給され、タイミング信号が論理演算回路へ出力される。論理演算回路はシフトレジスタ回路とアドレスデコーダとから得た信号の論理演算を行い、バッファを通して対応したゲート配線群G_iへ必要な電圧を供給する。

[0185] この表示装置21の階調表示方法には、時間分割階調表示方法を用いる。

[0186] すなわち、図13に示すように、画素回路A_{ij}に表示するデータのビット数が3つである場合、1フレーム期間を3つのサブフレーム期間TD1～TD3と各サブフレーム期間に先行する閾値補償期間とに分割し、ソース配線S_jに順番に14)に示すようにデータD1, D2, D3を供給する。これら各データD_k(k=1, 2, 3)がどの画素回路A_{ij}に対応するかは1)～13)のU_i欄を見れば判る。そして、データD1～D3に対応する3つのサブフレーム期間TD1～TD3でON/OFFデータを表示することで階調表示を行う。

[0187] 図14に、本実施の形態で用いる画素回路A_{ij}の構成を示す。この画素回路A_{ij}は図1の画素回路A_{ij}をRGBの3個分(Rデータを表示する画素回路A_{ijr}、Gデータを

表示する画素回路Aijg、及び、Bデータを表示する画素回路Aijb)並べた構成である。そこで、この画素回路Aijの構成の説明は省略する。なお、ソース配線Sjは同じjに対してRGBの3本分(Rデータ用のソース配線Sjr、Gデータ用のソース配線Sjg、及び、Bデータ用のソース配線Sjb)が備えられており、これは前記実施の形態1～3に対しても適用できる。

[0188] 次に、上記構成の画素回路Aijの動作を、図15のタイミングチャートを用いて説明する。

[0189] 図15のタイミングチャートには、画素回路Aijが存在する第i行目の、1) 電圧配線Ui、2) 制御配線Wi、3) 制御配線Ri、4) ソース配線Sjに供給される電圧のタイミングと、画素回路A(i+1)jが存在する第i+1行目の、7) 電圧配線Ui+1、8) 制御配線Wi+1、9) 制御配線Ri+1に供給される電圧のタイミングとを示してある。

[0190] 画素回路Aijは、時刻0～時刻36t1に閾値補償期間、時刻36t1以降に表示期間となる。また、閾値補償期間のうち時刻0～時刻18t1を第1の期間とし、時刻18t1～時刻36t1を第2の期間とする。さらに、第2の期間のうち、時刻19t1～時刻23t1、時刻25t1～時刻29t1、及び、時刻31t1～時刻35t1のいずれか一つを選択期間とする。以下の例では時刻31t1～時刻35t1を選択期間としている。また、表示期間を第3の期間とする。

[0191] まず、閾値補償期間の第1の期間では、最初の時刻0に電圧配線Uiを電圧Vpとする。同時にソース配線Sjへ初期化電圧Vpcを供給する。またこのとき、制御配線RiはGLである。次に時刻t1で、制御配線WiをGLとしてスイッチ用TFT:Q2をON状態とし、駆動用TFT:Q1のゲート端子とドレイン端子とを短絡する。このとき、制御配線RiがGLなので、スイッチ用TFT:Q3はON状態である。このため、駆動用TFT:Q1のゲート端子電圧が共通陰極Vcomの電圧Vcomに向け近づき、駆動用TFT:Q1はON状態となる。

[0192] 次に時刻2t1で、制御配線RiをGHとして、スイッチ用TFT:Q3をOFFとする。このことにより、駆動用TFT:Q1のソース端子からドレイン端子を介して有機LED:EL1に流れていた電流が阻止され、駆動用TFT:Q1のドレイン端子からゲート端子に電流が流れることにより、駆動用TFT:Q1のゲート端子電圧が上昇する。これにより、駆

動用TFT:Q1は閾値状態でOFF状態となる。

[0193] 次に時刻 $3t_1$ で、アナログスイッチ12(j)からソース配線 S_i へデータ電圧 V_{d1} を供給する。ただし、 $V_{dk} \geq V_{pc}$ ($k=1, 2, 3$)であるとする。

[0194] その後、ソース配線 S_j へ時刻 $6t_1$ で初期化電圧 V_{pc} を与え、時刻 $9t_1$ でデータ電圧 V_{d2} を与える。また、時刻 $12t_1$ で初期化電圧 V_{pc} を与え、時刻 $15t_1$ でデータ電圧 V_{d3} を与える。この期間にソース配線 S_j に供給されるデータ電圧 V_{dk} は別の画素回路 A_{kj} ($k \neq i$)に対応している。

[0195] その後、時刻 $18t_1$ で閾値補償期間の第2の期間に入り、同時刻でソース配線 S_j に初期化電圧 V_{pc} を与えた後、制御配線 W_i の電圧をGHとしスイッチ用TFT:Q2を一旦OFF状態にする。このことにより、ソース配線 S_j が初期化電圧 V_{pc} のとき、駆動用TFT:Q1のゲート端子電圧が $V_p + V_{th}$ (V_{th} は負)となり、駆動用TFT:Q1がOFF状態となる。

[0196] 本実施の形態ではビット3に対応した選択期間を示すこととするので、時刻 $31t_1 \sim$ 時刻 $35t_1$ が画素回路 A_{ij} の選択期間となる。なお、ビット2に対応した選択期間を示すなら、時刻 $25t_1 \sim$ 時刻 $29t_1$ が画素回路 A_{ij} の選択期間となる。ビット1に対応した選択期間を示すなら、時刻 $19t_1 \sim$ 時刻 $23t_1$ が画素回路 A_{ij} の選択期間となる。

[0197] 画素回路 A_{ij} の選択期間が時刻 $31t_1 \sim$ 時刻 $35t_1$ であるとき、時刻 $30t_1$ でソース配線 S_j に初期化電圧 V_{pc} を与え、時刻 $31t_1$ で制御配線 W_i をGLとして、スイッチ用TFT:Q2をON状態とする。更に時刻 $33t_1$ でソース配線 S_j にデータ電圧 V_{d3} を与える。そして、ソース配線 S_j の電圧がデータ電圧 V_{d3} である時刻 $35t_1$ に制御配線 W_i をGHとしてスイッチ用TFT:Q2をOFF状態とする。

[0198] このとき常に $V_{dk} \geq V_{pc}$ であるので、ソース配線 S_j の電圧がデータ電圧 V_{d3} となると駆動用TFT:Q1のゲート端子電圧は上昇し、駆動用TFT:Q1はOFF状態のままとなる。この結果、実施の形態1と同様に、駆動用TFT:Q1のゲート端子電圧は $V_p + V_{th} + V_\gamma$ となる。

[0199] その後、時刻 $36t_1$ で画素回路 A_{ij} の第3の期間すなわち駆動期間に入り、同時刻で電圧配線 U_i の電圧を V_p から $V_p - V_a$ に変化させ、制御配線 R_i をGLとする。

[0200] このとき、駆動用TFT:Q1のゲート端子電圧は $V_p + V_{th} + V_\gamma$ から $V_p + V_{th} + V$

$\gamma - V_a$ に変化する。もし、 $V_\gamma - V_a \geq 0$ であれば、駆動用TFT:Q1はOFF状態となる。もし、 $V_\gamma - V_a < 0$ であれば、駆動用TFT:Q1はON状態となる。このとき、駆動用TFT:Q1を流れる電流 I_{ds} は実施の形態1と同様に、

$$I_{ds} = k \times (V_\gamma - V_a)^2$$

となる。

[0201] このように、本実施の形態によれば、駆動用TFT:Q1から有機LED:EL1へ与える電流 I_{ds} を、駆動用TFT:Q1の閾値電圧 V_{th} に依らず、ソース配線 S_j の電圧変化($V_{dk} - V_{pc}$)と、電圧配線 U_i の電圧変化($-V_a$)とを用いて定めることができる。

[0202] そこで、RGB各画素毎に与える電圧 V_{dk} を調整することで、RGB各色で必要とする電流値が異なる場合でも対応できる。

[0203] 次に、図16に、ある有機LEDの特性を用いて、 $GL = -4V$ 、 $GH = 12V$ 、 $V_{com} = 0V$ 、 $V_p = 12V$ 、 $V_{pc} = 0V$ 、 $V_a = 2V$ 、 $V_{da} = 2V$ と $12V$ 、 $C_1 = 500fF$ 、 $C_2 = 100fF$ として電流 I_{ds} をシミュレーションした結果を示す。

[0204] 電流 $I_{ds}(1)$ は画素回路 A_{i1} に相当し、駆動用TFT:Q1の閾値電圧 V_{th} の絶対値が最小($V_{th}(\min)$)で移動度 μ が最大である場合に対応する。電流 $I_{ds}(2)$ は画素回路 A_{im} に相当し、駆動用TFT:Q1の閾値電圧 V_{th} の絶対値が最大($V_{th}(\max)$)で移動度 μ が最小である場合に対応する。電流 $I_{ds}(3)$ は画素回路 $A(i+1)_1$ に相当し、駆動用TFT:Q1の閾値電圧 V_{th} の絶対値が最大($V_{th}(\max)$)で移動度 μ が最小である場合に対応する。電流 $I_{ds}(4)$ は画素回路 $A(i+1)_m$ に相当し、駆動用TFT:Q1の閾値電圧 V_{th} の絶対値が最小($V_{th}(\min)$)で移動度 μ が最大である場合に対応する。

[0205] 図16のシミュレーション結果では、電流 $I_{ds}(1)$ は略 $-1.33 \mu A$ 、電流 $I_{ds}(2)$ は略 $-1.15 \mu A$ 、電流 $I_{ds}(3)$ は略 $-1.11 \mu A$ 、電流 $I_{ds}(4)$ は略 $-1.27 \mu A$ である。

[0206] 図16において、1選択期間は $4t_1$ であり、 $1t_1$ は $2 \mu s$ である。ソース配線 S_j が初期化電圧 V_{pc} からデータ電圧 V_{da} に変化するの各選択期間の $2t_1$ である。この場合の画素回路 A_{ij} の電流 I_{ds} のばらつきは $-1.11 \mu A \sim -1.33 \mu A$ である。これは図4や図8や図11の場合のばらつきよりも改善されている。

[0207] このように、ソース配線 S_j へ与える電圧が V_{pc} からデータ電圧 V_{dk} に変化するタイミ

ングが統一されていることが好ましい。

[0208] そのようなソースドライバ回路をCGシリコンTFTや低温ポリシリコンTFTで構成するためには、図12の表示装置21のように、歩留まり向上のためにソースドライバ回路を簡単化できる時間分割階調を用いる構成が好ましい。

[0209] なお、ソースドライバ回路を外付けICで構成するなら、各ソース配線 S_j へ与えるアナログ電圧 V_{da} の変化タイミングが統一できるよう構成しても歩留まりを気にする必要がないので、動画偽輪郭が出ないアナログ階調を用いる方が好ましい。

[0210] 何れの場合でも、図14の画素回路 A_{ij} を用いれば、3つのTFTと2つのコンデンサとを用いて、駆動用TFT:Q1から有機LED:EL1へ流れる電流を設定することができるので、従来技術に比べ1画素当たりの素子数を減らし、ボトムエミッション構成では開口率を大きくすることができるとともに有機LEDの長寿命化を図ることができる。また、トップエミッション構成ではより高精細なディスプレイを作ることができる。

[0211] [実施の形態5]

第5の実施形態について図21ないし図24を用いて説明する。

[0212] まず、図21に本実施の形態における画素回路 A_{ij} の構成を示す。即ち、図21の画素回路は実施の形態1で説明した図1の画素回路のコンデンサC2の代わりにスイッチ用TFT:Q8(第4スイッチ素子)とコンデンサC5(第2コンデンサ)とを直列に配置した構成である。なお、スイッチ用TFT:Q8はn型TFTである。

[0213] 図1の画素回路では第1の期間、データ配線 S_j へ供給されるデータ電圧 V_{da} の影響を受け、駆動用TFT:Q1のゲート端子電圧が振動する。

[0214] この振動を実際にシミュレーションしてみると、この振動の影響により駆動用TFT:Q1(駆動用トランジスタ)の出力電流が数%変動する。

[0215] そこで、図21に示すように、コンデンサC5とソース配線(データ配線) S_j との間にスイッチ用TFT:Q8を追加し、そのゲート端子に制御配線 G_i を接続した。なお、図21ではスイッチ用TFT:Q8をソース配線側へ追加したが、駆動用TFT:Q1(駆動用トランジスタ)の電流出力端子側に追加しても良い。

[0216] 図21の画素回路 A_{ij} の構成で、その他の部材は実施の形態1で説明した部材なので、その説明を省略する。

- [0217] また、本実施の形態の表示装置は、実施の形態1の表示装置1と同じブロック構成なので、ここではその説明は省略する。
- [0218] このスイッチ用TFT:Q8がONする期間は、図22のタイミングチャートの4)Giから判るように、第1の期間でソース配線Sjに初期化電圧V_{pc}が印加されている期間と第2の期間とである。その他、画素回路Aijが存在する第i行目の、1)電圧配線U_i、2)制御配線W_i、3)制御配線R_i、5)ソース配線S₁、6)ソース配線S_mに供給される電圧のタイミングは実施の形態1で示した図3と同様である。
- [0219] 画素回路Aijは、時刻0～時刻24t₁に閾値補償期間、時刻24t₁以降に駆動期間となる。また、閾値補償期間のうち、時刻0～時刻16t₁を第1の期間とし、時刻16t₁～時刻24t₁を第2の期間であって選択期間とする。また、駆動期間を第3の期間とする。
- [0220] 画素回路Aijに対して閾値補償期間の第1の期間の実行を開始するために、時刻0に電圧配線U_iの電圧をV_p(本実施の形態では所定電圧が電源電圧V_p)とする。また、制御配線G_iをGHとし、スイッチ用TFT:Q8をON状態とする。なお、時刻0において、制御配線W_iはGH、制御配線R_iはGLとなっている。従って、スイッチ用TFT:Q2はOFF状態、スイッチ用TFT:Q3はON状態となっている。
- [0221] 次に時刻t₁で、制御配線W_iをGLとしてスイッチ用TFT:Q2をON状態とし、駆動用TFT:Q1のゲート端子とドレイン端子とを短絡する。このとき、スイッチ用TFT:Q3もON状態なので、駆動用TFT:Q1のゲート端子電圧は共通陰極V_{com}の電圧V_{com}に向け近づき、駆動用TFT:Q1はON状態となる。
- [0222] 次に時刻2t₁で、制御配線R_iをGHとして、スイッチ用TFT:Q3をOFF状態とする。このことにより、駆動用TFT:Q1のソース端子からドレイン端子を介して有機LED:EL1に向けて流れていた電流が阻止され、ドレイン端子からゲート端子に電流が流れることによりゲート端子電圧が上昇する。
- [0223] このゲート端子電圧の上昇はゲート端子電圧が閾値電圧となるまで続くが、時刻3t₁で制御配線G_iをGLとしスイッチ用TFT:Q8をOFF状態とすることで、ソース配線S₁～S_mへ与えられるデータ電圧V_{da}による影響は受けないようにする。
- [0224] また、ソース配線Sjに初期化電圧V_{pc}を印加する時刻8t₁～時刻11t₁は制御配

線GiをGHとして、スイッチ用TFT:Q8をON状態とする。このことによりコンデンサC5のソース配線側端子が電圧 V_{pc} のとき、駆動用TFT:Q1のゲート端子が閾値電圧となる閾値補償動作が行われる。

[0225] このようにソース配線Sjに初期化電圧 V_{pc} を印加している期間だけスイッチ用TFT:Q8をON状態とし、コンデンサC5のソース配線側端子電圧を常に V_{pc} としておく。このことにより、ソース配線Sjに与えられるデータ電圧 V_{da} の影響を排除できる。

[0226] 次に、画素回路Aijは時刻 $16t_1$ に閾値補償期間の第2の期間すなわち選択期間の実行を開始する。選択期間は、ソース配線Sjを、画素回路Aijの有機LED:EL1の駆動電流を設定するために使用する期間である。時刻 $16t_1$ では、電圧配線Ui及び制御配線 $W_i \cdot R_1$ の電圧は、第1の期間において駆動用TFT:Q1が閾値状態となったときのままである。そして、時刻 $19t_1 \sim 21t_1$ にかけ、順次画素Aijの表示データDaに対応したデータ電圧 V_{da} がソース配線S1～Smに印加されていく。

[0227] このとき常に $V_{da} \geq V_{pc}$ となるように電圧設定が行われており、これにより、ソース配線Sjの電圧が V_{da} となれば駆動用TFT:Q1のゲート端子電圧は上昇し(または維持され)、駆動用TFT:Q1はOFF状態のままとなる。この結果、駆動用TFT:Q1のゲート端子電圧の変化量は、コンデンサC1・C5の容量比、及び、データ電圧 V_{da} と初期化電圧 V_{pc} との差により決まる。

[0228] この結果、実施の形態1と同様に、駆動用TFT:Q1のゲート端子電圧は $V_p + V_{th} + V_\gamma$ となる。

[0229] その後、時刻 $23t_1$ で制御配線WiをGHとして、スイッチ用TFT:Q2をOFF状態とする。さらに、時刻 $24t_1$ で第3の期間すなわち駆動期間に入り、同時刻で電圧配線Uiの電圧を V_p から $V_p - V_a$ に変化させ、制御配線RiをGLとしてスイッチ用TFT:Q3をON状態とする。なお、このとき制御配線GiをGLとしてスイッチ用TFT:Q8をOFF状態としたが、これは必ずしも必要ない。

[0230] この結果、実施の形態1と同様に、駆動用TFT:Q1のゲート端子電圧は $V_p + V_{th} + V_\gamma - V_a$ となる。

[0231] このスイッチ用TFT:Q8により、駆動用TFT:Q1(駆動用トランジスタ)の出力電流がどのように変化するか、シミュレーションした結果を図23に示す。

- [0232] 図23では、ある有機LEDの特性を用いて、 $GL = -4V$ 、 $GH = 12V$ 、 $V_{com} = 0V$ 、 $V_p = 12V$ 、 $V_{pc} = 0V$ 、 $V_a = 2V$ 、 $V_{da} = 5V$ 、 $C_1 = 500fF$ 、 $C_2 = 500fF$ として電流 I_{ds} をシミュレーションした結果を示す。なお、このシミュレーションでは各画素 A_{ij} の閾値補償期間(第1の期間)は5選択期間ある。
- [0233] 一方、同じ条件でスイッチ用TFT:Q8がない場合(コンデンサ C_5 が直接ソース配線 S_j に繋がる場合)のシミュレーション結果を図24に示す。
- [0234] とともに電流 $I_{ds}(1)$ は画素回路 A_{i1} に相当し、駆動用TFT:Q1の閾値電圧 V_{th} の絶対値が最小($V_{th}(\min)$)で移動度 μ が最大である場合に対応する。電流 $I_{ds}(2)$ は画素回路 A_{im} に相当し、駆動用TFT:Q1の閾値電圧 V_{th} の絶対値が最大($V_{th}(\max)$)で移動度 μ が最小である場合に対応する。
- [0235] 図23のシミュレーション結果では、電流 $I_{ds}(1)$ は $-1.15\mu A$ 、電流 $I_{ds}(2)$ は $-0.92\mu A$ である。一方、図24のシミュレーション結果では、電流 $I_{ds}(1)$ は $-1.56\mu A$ 、電流 $I_{ds}(2)$ は $-1.19\mu A$ である。
- [0236] このように、スイッチ用TFT:Q8を配置することで駆動用TFT:Q1の出力電流 I_{ds} のばらつきが抑えられたことが判る。
- [0237] なお、図21の画素回路 A_{ij} でも従来技術に比べ1画素当たりの素子数を減らし、ボトムエミッション構成では開口率を大きくすることができる。また、トップエミッション構成ではより高精細なディスプレイを作ることができる。
- [0238] [実施の形態6]
- 第6の実施形態について図25ないし図27を用いて説明する。
- [0239] 実施の形態1～5では、駆動用TFT:Q1(駆動用トランジスタ)のドレイン端子(電流出力端子)とソース配線 S_j (データ配線)との間にコンデンサ(第2コンデンサ)を備えている。
- [0240] しかし、本発明の手段は駆動用TFT:Q1(駆動用トランジスタ)のゲート端子(電流制御端子)とソース配線 S_j (データ配線)との間にコンデンサ(第2コンデンサ)及びスイッチ用TFTを備えた場合でも有効である。
- [0241] そこで、本実施の形態では図25に示すように、駆動用TFT:Q1のゲート端子(電流制御端子)とソース配線(データ配線) S_j との間に、互いに直列に接続された、コン

デンサ(第2コンデンサ)C6とスイッチ用TFT(第4スイッチ素子):Q9とが接続された構成を使う。これは、実施の形態5で説明した図21の画素回路のコンデンサC5の接続先を駆動用TFT:Q1のドレイン端子からゲート端子へ変更した構成である。

[0242] このスイッチ用TFT:Q9はn型TFTであり、そのゲート端子には制御配線Giが接続されている。なお、図25ではスイッチ用TFT:Q9がソース配線側に配置されるようにコンデンサC6とスイッチ用TFT:Q9との直列回路が構成されているが、これに限らず、スイッチ用TFT:Q9が駆動用TFT:Q1(駆動用トランジスタ)のゲート端子側(電流制御端子側)に配置されるように上記直列回路が構成されていてもよい。

[0243] 図25の画素回路Aijでは、その他の部材は実施の形態1で説明した部材なので、その説明を省略する。

[0244] また、本実施の形態の表示装置は、実施の形態4の表示装置21と同じブロック構成なので、ここではその繊細な説明は省略する。

[0245] この画素回路のタイミングチャートを図26に示す。図26の1)~4)は画素回路Aijが存在する第i行目の、1)電圧配線Ui、2)制御配線Wi、3)制御配線Ri、4)制御配線Giであり、5)はソース配線Sjに供給される電圧のタイミング、6)~9)は画素回路A(i+1)jが存在する第i+1行目の、6)電圧配線Ui+1、7)制御配線Wi+1、8)制御配線Ri+1、9)制御配線Gi+1に供給される電圧のタイミングを示している。

[0246] 画素回路Aijは、時刻0~時刻24t1に閾値補償期間、時刻24t1以降に駆動期間となる。また、閾値補償期間のうち、時刻0~時刻18t1を第1の期間とし、時刻18t1~時刻24t1を第2の期間であって選択期間とする。また、駆動期間を第3の期間とする。

[0247] 画素回路Aijに対して閾値補償期間の第1の期間の実行を開始するために、時刻0に電圧配線Uiの電圧をVp(本実施の形態では所定電圧が電源電圧Vp)とする。また、制御配線WiをGLとして、スイッチ用TFT:Q2をON状態とする。なお、時刻0において、制御配線RiはGLになっている。従って、スイッチ用TFT:Q3はON状態となっている。

[0248] このとき、駆動用TFT:Q1のゲート端子とドレイン端子とが短絡され、スイッチ用TFT:Q3もON状態なので、駆動用TFT:Q1のゲート端子電圧は共通陰極Vcomの電

圧 V_{com} に向け近づき、駆動用TFT:Q1はON状態となる。

- [0249] また、制御配線 G_i をGHとし、スイッチ用TFT:Q9をON状態としている。このとき、ソース配線 S_j には初期化電圧 V_{pc} が印加されているので、コンデンサ $C6$ のソース配線側端子には初期化電圧 V_{pc} が印加されている。
- [0250] 次に時刻 $2t_1$ で、制御配線 R_i をGHとして、スイッチ用TFT:Q3をOFF状態とする。このことにより、駆動用TFT:Q1のソース端子からドレイン端子を介して有機LED:EL1に向けて流れていた電流が阻止され、その電流がドレイン端子からゲート端子に電流が流れることによりゲート端子電圧が上昇する。
- [0251] この閾値補償期間において、ソース配線 S_j に初期化電圧 V_{pc} が印加されているときに駆動用TFT:Q1を閾値状態とする動作を行う期間は、時刻 $20t_1$ で制御配線 W_i をGHとしスイッチ用TFT:Q2をOFF状態とする迄続く。
- [0252] この時刻 $2t_1$ ～時刻 $20t_1$ の期間、ソース配線 S_j へ初期化電圧 V_{pc} とデータ電圧 V_{da} とが順次印加されるが、常に電圧 $V_{pc} \leq V_{da}$ なので、ソース配線 S_j に初期化電圧 V_{pc} が印加されている期間に駆動用TFT:Q1のゲート端子が閾値電圧となる。また、ソース配線 S_j にデータ電圧 V_{da} が印加されている期間は駆動用TFT:Q1のゲート端子がOFF電圧となる。
- [0253] 時刻 $18t_1$ から画素回路 A_{ij} の第2の期間すなわち選択期間となる。まず時刻 $20t_1$ で制御配線 W_i をGHとして、スイッチ用TFT:Q2をOFF状態とする。その後、ソース配線 S_j の電圧を画素 A_{ij} に対応した電圧 V_{da} とし、時間 $23t_1$ で制御配線 G_i をGLとして、スイッチ用TFT:Q9をOFF状態とする。
- [0254] この結果、実施の形態1と同様に、駆動用TFT:Q1のゲート端子電圧は $V_p + V_{th} + V_\gamma$ となる。
- [0255] その後、駆動期間である第3の期間となり、時間 $24t_1$ で制御配線 R_i をGLとして、スイッチ用TFT:Q3をON状態とし、更に電位配線 U_i を $V_p - V_a$ とする。
- [0256] このとき、駆動用TFT:Q1のゲート端子電圧は $V_p + V_{th} + V_\gamma$ から $V_p + V_{th} + V_\gamma - V_a$ に変化する。もし、 $V_\gamma - V_a \geq 0$ であれば、駆動用TFT:Q1はOFF状態となる。もし、 $V_\gamma - V_a < 0$ であれば、駆動用TFT:Q1はON状態となる。
- [0257] この駆動用TFT:Q1(駆動用トランジスタ)の出力電流がどのように変化するか、シ

ミュレーションした結果を図27に示す。

[0258] 図27では、ある有機LEDの特性を用いて、 $GL = -4V$ 、 $GH = 12V$ 、 $V_{com} = 0V$ 、 $V_p = 12V$ 、 $V_{pc} = 0V$ 、 $V_a = 2V$ 、 $V_{da} = 5V$ 、 $C1 = 500fF$ 、 $C2 = 500fF$ として電流 I_{ds} をシミュレーションした結果を示す。なお、このシミュレーションでは各画素 A_{ij} の閾値補償期間(第1の期間)は7選択期間ある。

[0259] 電流 $I_{ds}(1)$ は画素回路 A_{i1} に相当し、駆動用TFT:Q1の閾値電圧 V_{th} の絶対値が最小($V_{th}(\min)$)で移動度 μ が最大である場合に対応する。電流 $I_{ds}(2)$ は画素回路 A_{im} に相当し、駆動用TFT:Q1の閾値電圧 V_{th} の絶対値が最大($V_{th}(\max)$)で移動度 μ が最小である場合に対応する。

[0260] 図27のシミュレーション結果では、電流 $I_{ds}(1)$ は $-0.80\mu A$ 、電流 $I_{ds}(2)$ は $-0.55\mu A$ である。

[0261] このように、駆動用TFT:Q1のゲート端子(電流制御端子)にコンデンサ(第2コンデンサ) $C6$ とスイッチ用TFT(第4スイッチ素子):Q9とを直列に接続した構成でも、駆動用TFT:Q1の閾値電圧 V_{th} に依らず駆動用TFT:Q1から有機LED:EL1へ与える電流 I_{ds} を設定できることが判る。

[0262] また、従来技術と比べ、スイッチ用TFTが1つ減ることになり(スイッチ用TFTは計3つ、TFTは計4つ)、1画素当たりの素子数を減らし、ボトムエミッション構成では開口率を大きくすることができるとともに有機LEDの長寿命化を図ることができる。また、トップエミッション構成ではより高精細なディスプレイを作ることができる。

[0263] 以上、各実施の形態について述べた。なお、以上の実施形態では電気光学素子に有機LEDを用いる表示装置を挙げたが、これに限らず、電気光学素子にFEDの発光部や半導体LEDなどを用いる表示装置にも本発明を適用することができる。

[0264] 発明の詳細な説明の項においてなされた具体的な実施形態または実施例は、あくまでも、本発明の技術内容を明らかにするものであって、そのような具体例にのみ限定して狭義に解釈されるべきものではなく、本発明の精神と次に記載する特許請求事項の範囲内で、いろいろと変更して実施することができるものである。

産業上の利用の可能性

[0265] 有機LEDディスプレイやFED等の電流駆動素子を用いた表示装置に好適に使用

することができる。

請求の範囲

- [1] マトリックス状に設けられた複数の画素と、
 前記複数の画素の各画素にそれぞれ配置された、電流駆動型の電気光学素子および電源配線に接続された基準電圧端子に対する電流制御端子の電圧で制御される出力電流を電流出力端子から前記電気光学素子に駆動電流として供給する駆動用トランジスタと、
 第1の電圧を出力する第1電圧配線と、
 前記画素の表示データに対応したデータ電圧を出力するデータ配線とを備え、
 前記各画素は、さらに、
 前記駆動用トランジスタの前記電流制御端子と前記第1電圧配線との間に接続された第1コンデンサと、
 前記駆動用トランジスタの前記電流制御端子と前記電流出力端子との間に接続された第1スイッチ素子と、
 前記駆動用トランジスタの前記電流出力端子と前記データ配線との間に接続された第2コンデンサとを備えていることを特徴とする表示装置。
- [2] 前記第1電圧配線の前記第1の電圧を所定電圧とするとともに前記第1スイッチ素子をON状態とした状態で前記データ配線の電圧を初期化電圧とし、前記駆動用トランジスタの前記電流制御端子の電圧を、前記駆動用トランジスタの前記出力電流が流れるか流れないかの境目にある閾値状態となる電圧とする第1の期間を実行し、
 前記第1の期間に続いて、前記データ配線の電圧を初期化電圧としてから前記データ電圧とする第2の期間を実行し、
 前記第2の期間に続いて、前記電流制御端子の電圧を制御し、前記電気光学素子を発光させる第3の期間を実行することを特徴とする請求項1に記載の表示装置。
- [3] 前記第2の期間において、前記データ配線の電圧が前記データ電圧となっている状態から前記第1スイッチ素子をOFF状態として前記第3の期間に入り、
 前記第3の期間において、前記第1電圧配線の前記第1の電圧を前記所定電圧から変化させ、前記電流制御端子の電圧を制御することを特徴とする請求項2に記載の表示装置。

- [4] 前記駆動用トランジスタの前記電流出力端子と前記電気光学素子とは、第2スイッチ素子を介して接続されていることを特徴とする請求項1ないし3のいずれか1項に記載の表示装置。
- [5] 前記駆動用トランジスタの前記電流出力端子と前記電気光学素子の一方端子とは互いに接続され、前記電気光学素子の他方端子は第2の電圧を出力する第2電圧配線に接続されていることを特徴とする請求項1ないし3のいずれか1項に記載の表示装置。
- [6] 前記第2コンデンサと並列に第3スイッチ素子が接続されていることを特徴とする請求項1ないし5のいずれか1項に記載の表示装置。
- [7] 請求項1に記載の表示装置の駆動方法であって、
前記第1電圧配線の前記第1の電圧を所定電圧とするとともに前記第1スイッチ素子をON状態とした状態で前記データ配線の電圧を初期化電圧とし、前記駆動用トランジスタの前記電流制御端子の電圧を、前記駆動用トランジスタの前記出力電流が流れるか流れないかの境目にある閾値状態となる電圧とする第1の期間を実行し、
前記第1の期間に続いて、前記データ配線の電圧を初期化電圧としてから前記データ電圧とする第2の期間を実行し、
前記第2の期間に続いて、前記電流制御端子の電圧を制御し、前記電気光学素子を発光させる第3の期間を実行することを特徴とする表示装置の駆動方法。
- [8] 前記第2の期間において、前記データ配線の電圧が前記データ電圧となっている状態から前記第1スイッチ素子をOFF状態として前記第3の期間に入り、
前記第3の期間において、前記第1電圧配線の電圧を前記電源配線の電圧から変化させ、前記電流制御端子の電圧を制御することを特徴とする請求項7に記載の表示装置の駆動方法。
- [9] 前記第2コンデンサと直列に第4スイッチ素子が接続されていることを特徴とする請求項1ないし6のいずれか1項に記載の表示装置。
- [10] 前記第1の期間、前記データ配線の電圧をデータ電圧としている期間、前記第4のスイッチをOFF状態とすることを特徴とする請求項9に記載の表示装置。
- [11] マトリックス状に設けられた複数の画素と、

前記複数の画素の各画素にそれぞれ配置された、電流駆動型の電気光学素子および電源配線に接続された基準電圧端子に対する電流制御端子の電圧で制御される出力電流を電流出力端子から前記電気光学素子に駆動電流として供給する駆動用トランジスタと、

第1の電圧を出力する第1電圧配線と、
前記画素の表示データに対応したデータ電圧を出力するデータ配線とを備え、

前記各画素は、さらに
前記駆動用トランジスタの前記電流制御端子と前記第1電圧配線との間に接続された第1コンデンサと、

前記駆動用トランジスタの前記電流制御端子と前記電流出力端子との間に接続された第1スイッチ素子と、

前記駆動用トランジスタの前記電流制御端子と前記データ配線との間に直列に接続された第2コンデンサおよび第4スイッチ素子とを備えていることを特徴とする表示装置。

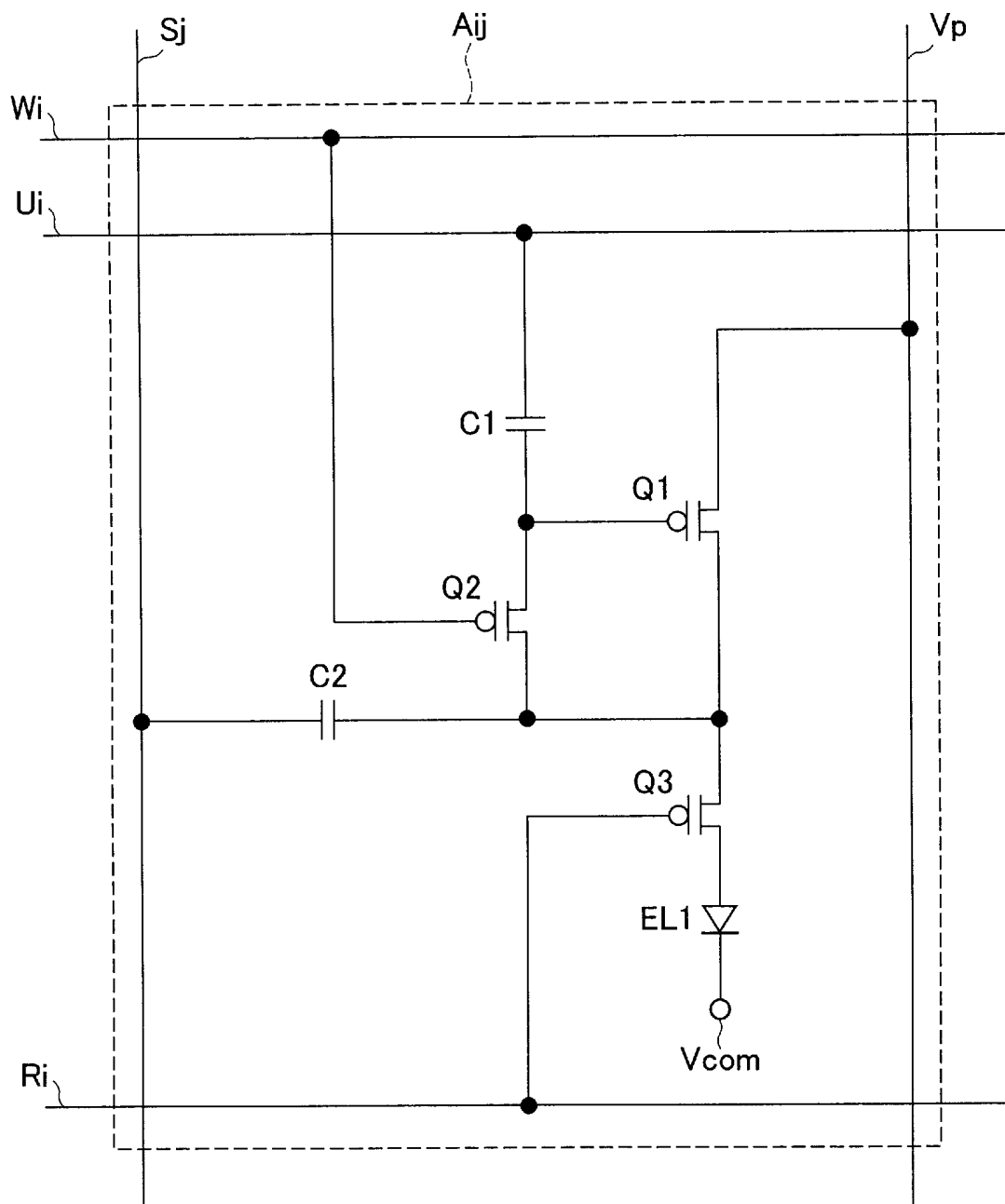
- [12] 前記第1電圧配線の前記第1の電圧を所定電圧とするとともに前記第1スイッチ素子および前記第4スイッチ素子をON状態とした状態で、前記データ配線の電圧を初期化電圧とし、前記駆動用トランジスタの前記電流制御端子の電圧を、前記駆動用トランジスタが前記出力電流が流れるか流れないかの境目にある閾値状態となる電圧とする第1の期間を実行し、

前記第1の期間に続いて、前記データ配線の電圧を初期化電圧とし、前記第1スイッチ素子をOFF状態とし、その後前記データ配線の電圧を前記データ電圧とし前記第4スイッチ素子をOFF状態とする第2の期間を実行し、

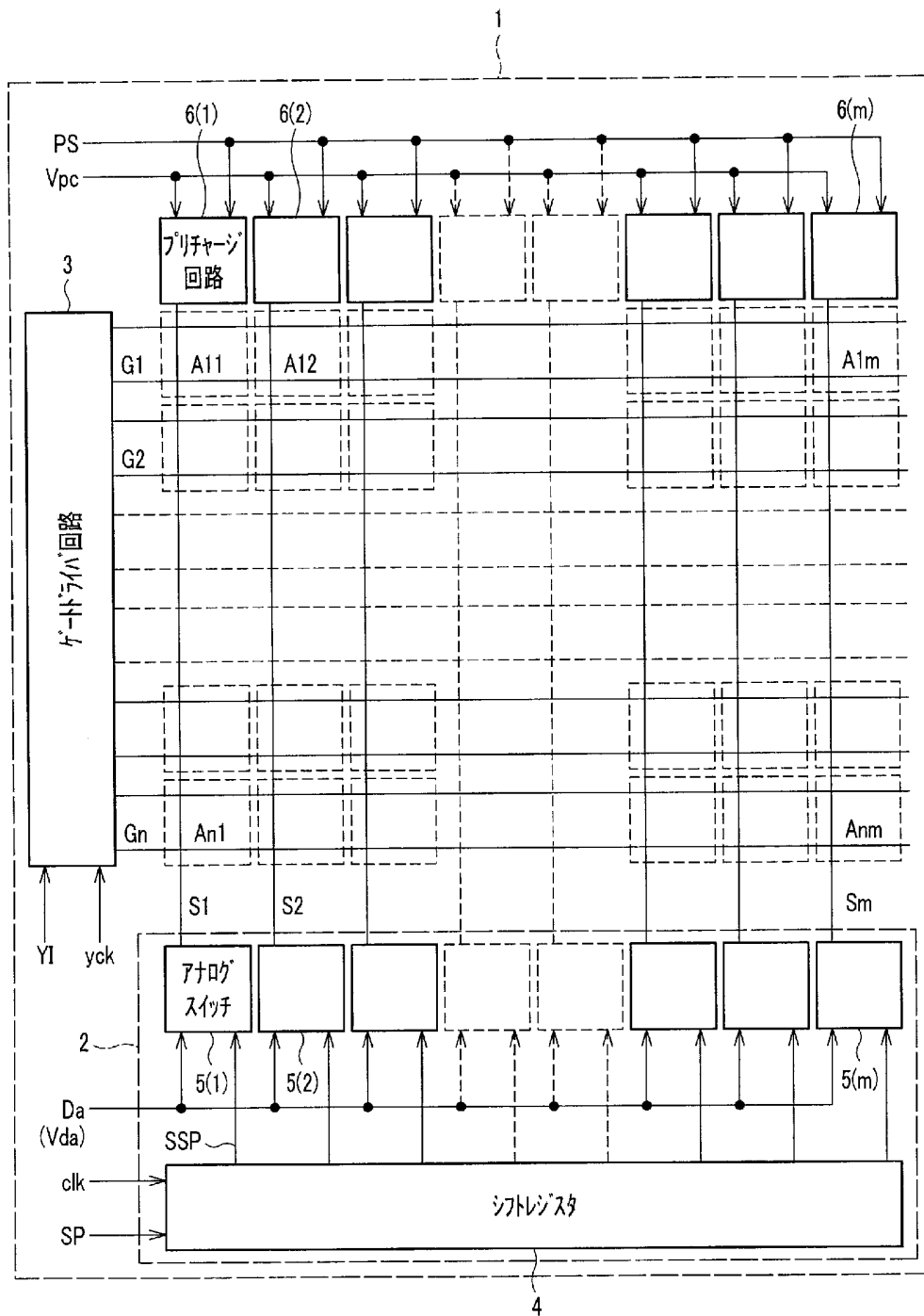
前記第2の期間に続いて、前記第1電圧配線の電圧を前記電源配線の電圧から変化させ、前記電流制御端子の電圧を制御し、前記電気光学素子を発光させる第3の期間を実行することを特徴とする請求項11に記載の表示装置。

- [13] 前記データ配線の前記初期化電圧が、常に前記データ電圧以上の電圧である、または、常に前記データ電圧以下の電圧であることを特徴とする請求項2、3、および12のいずれか1項に記載の表示装置。

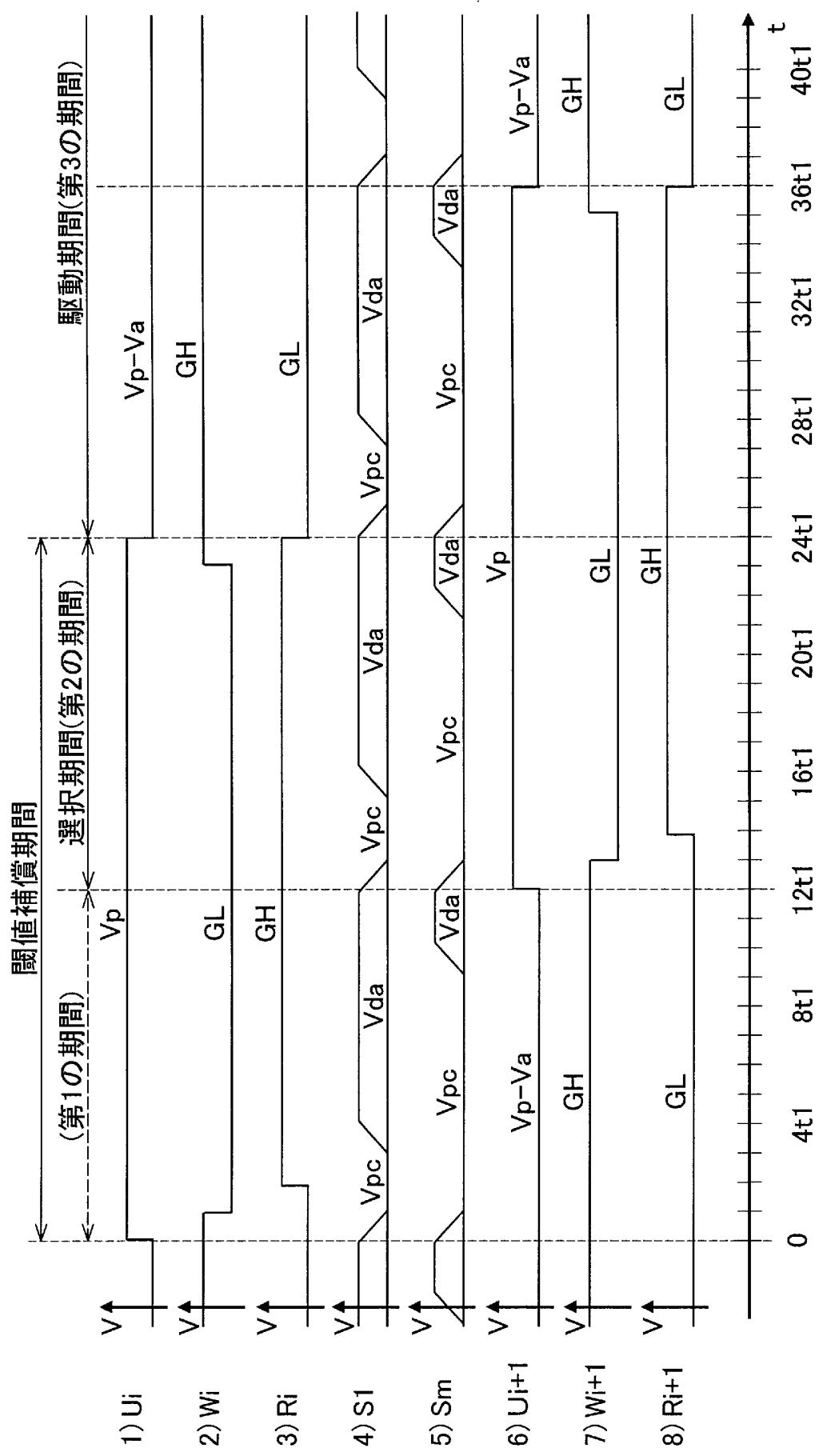
[図1]



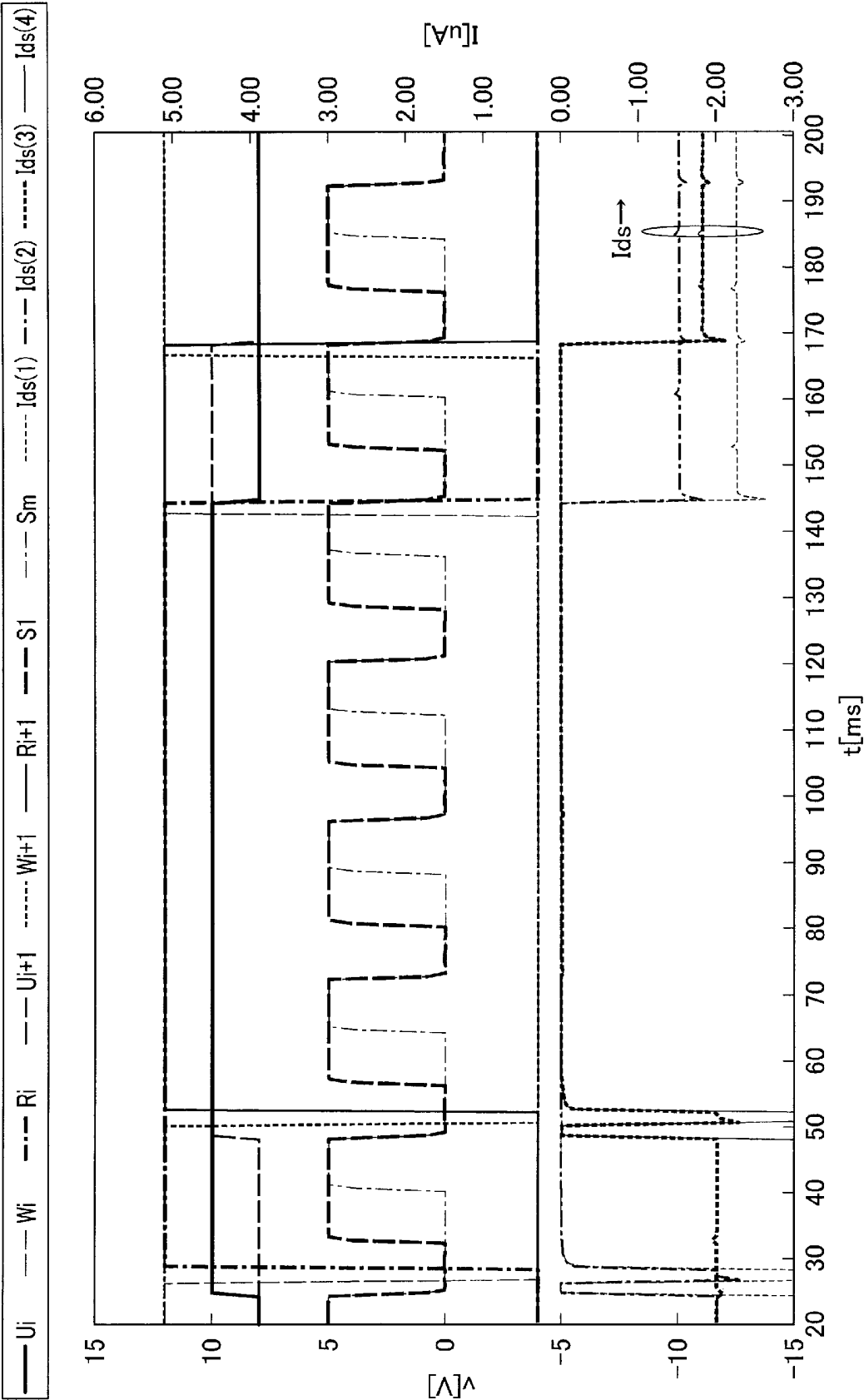
[図2]



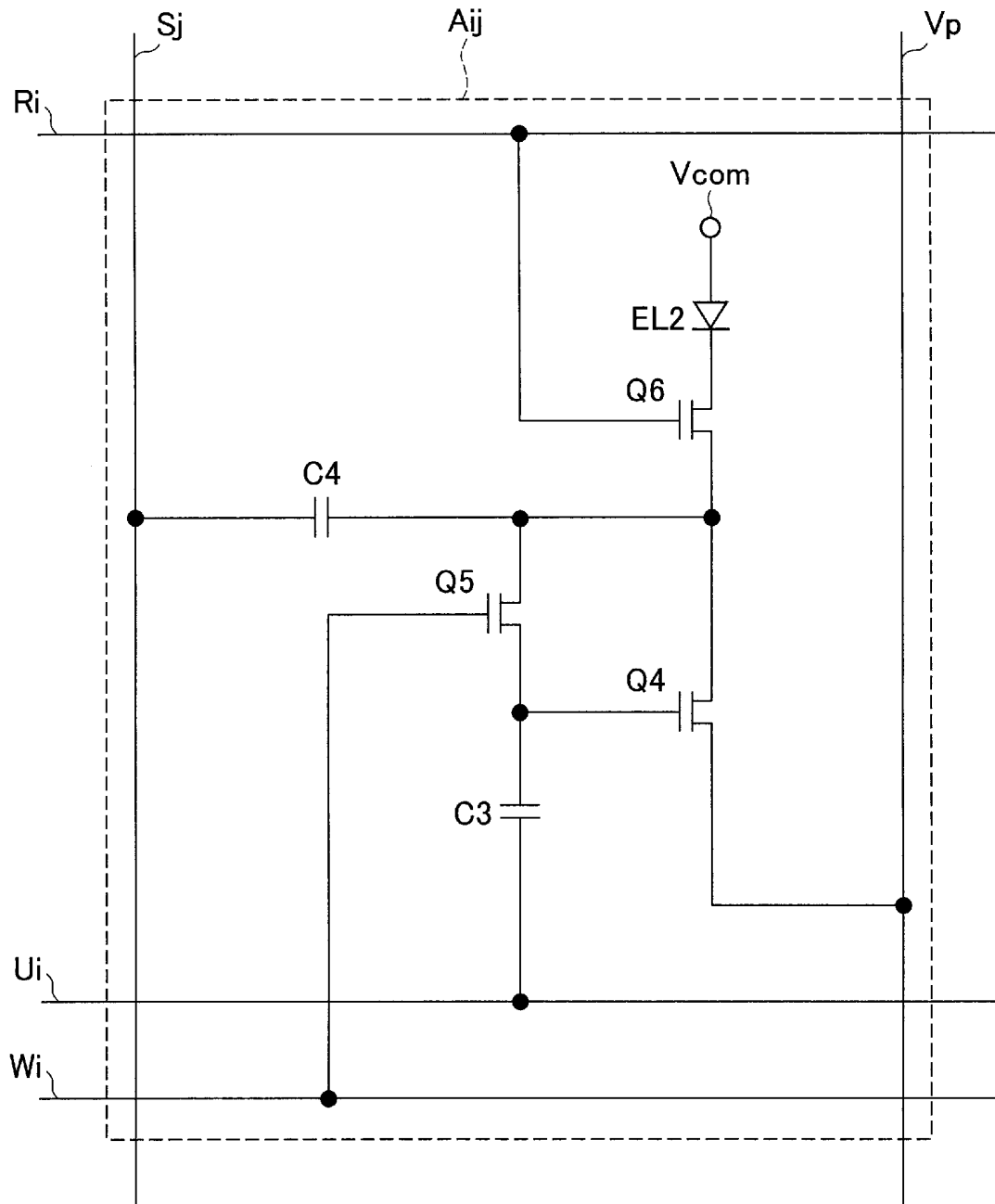
[図3]



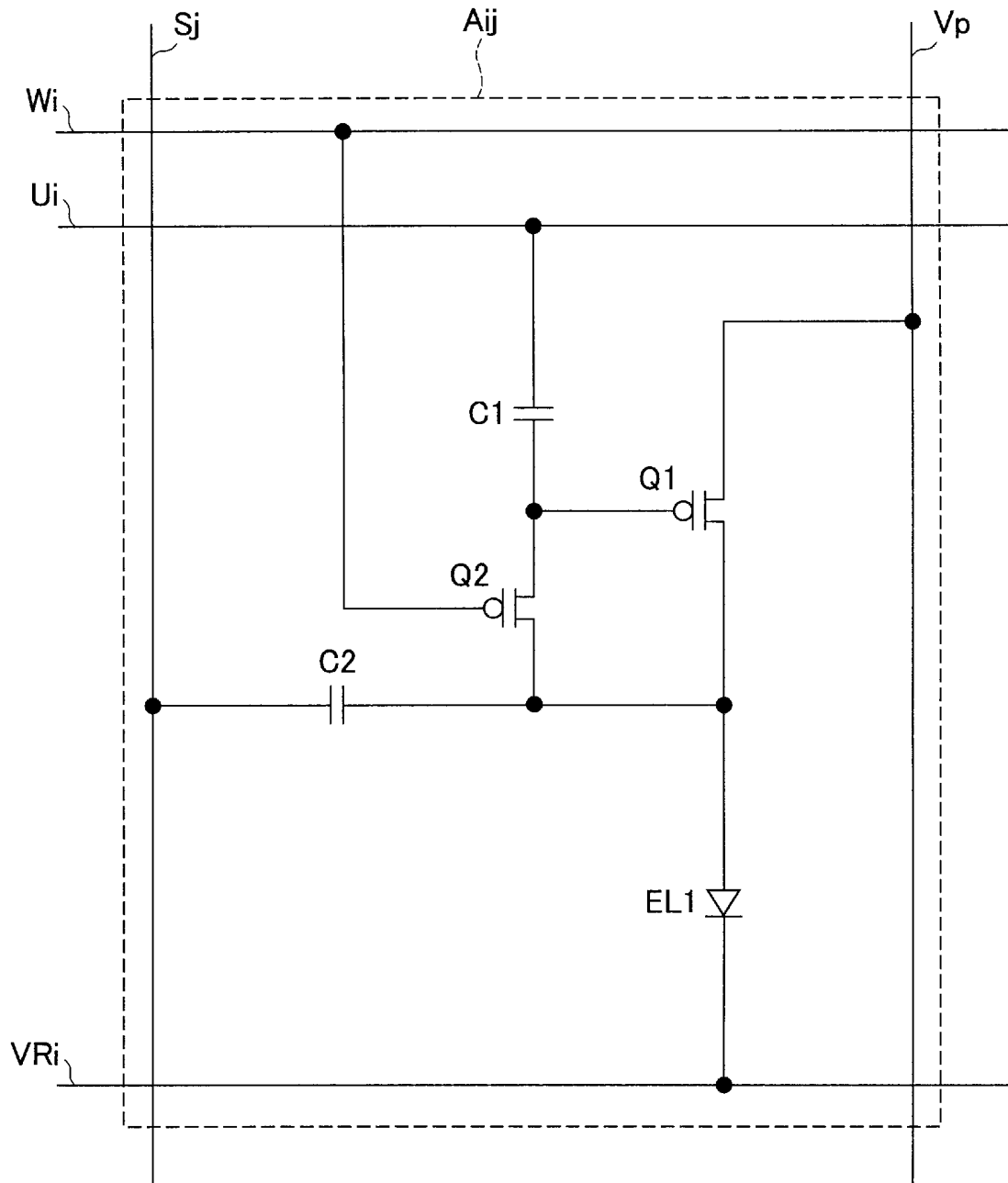
[図4]



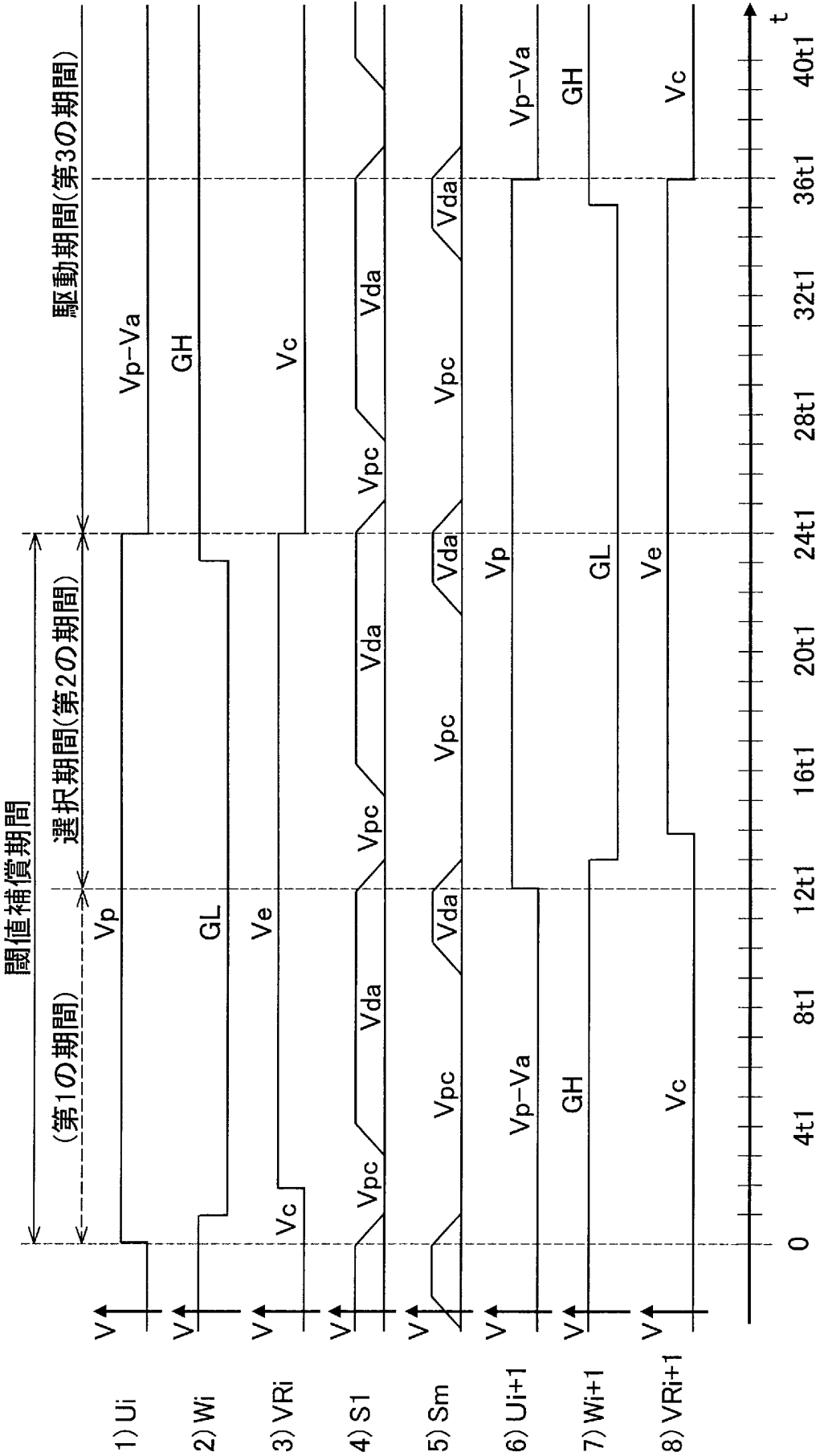
[図5]



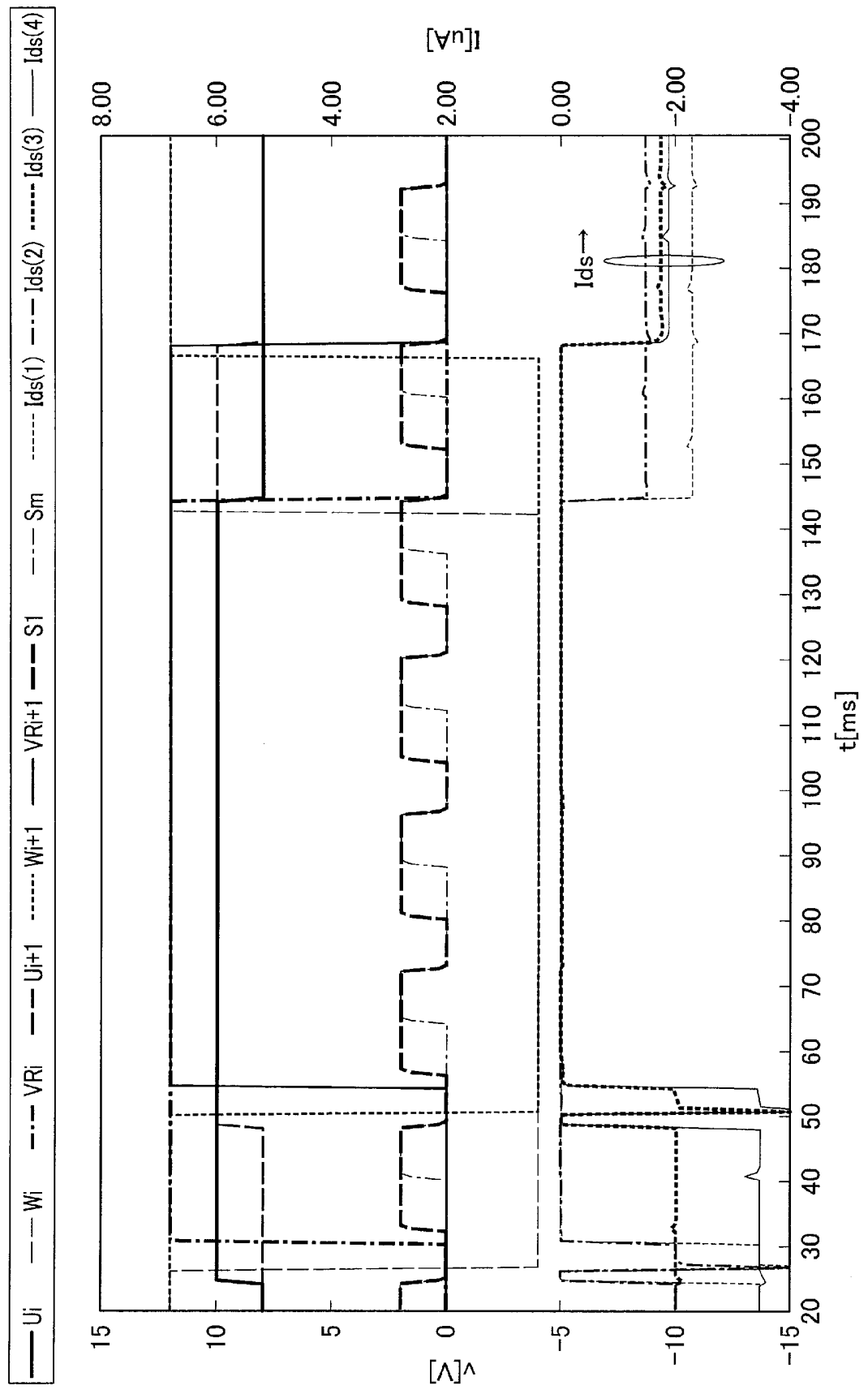
[図6]



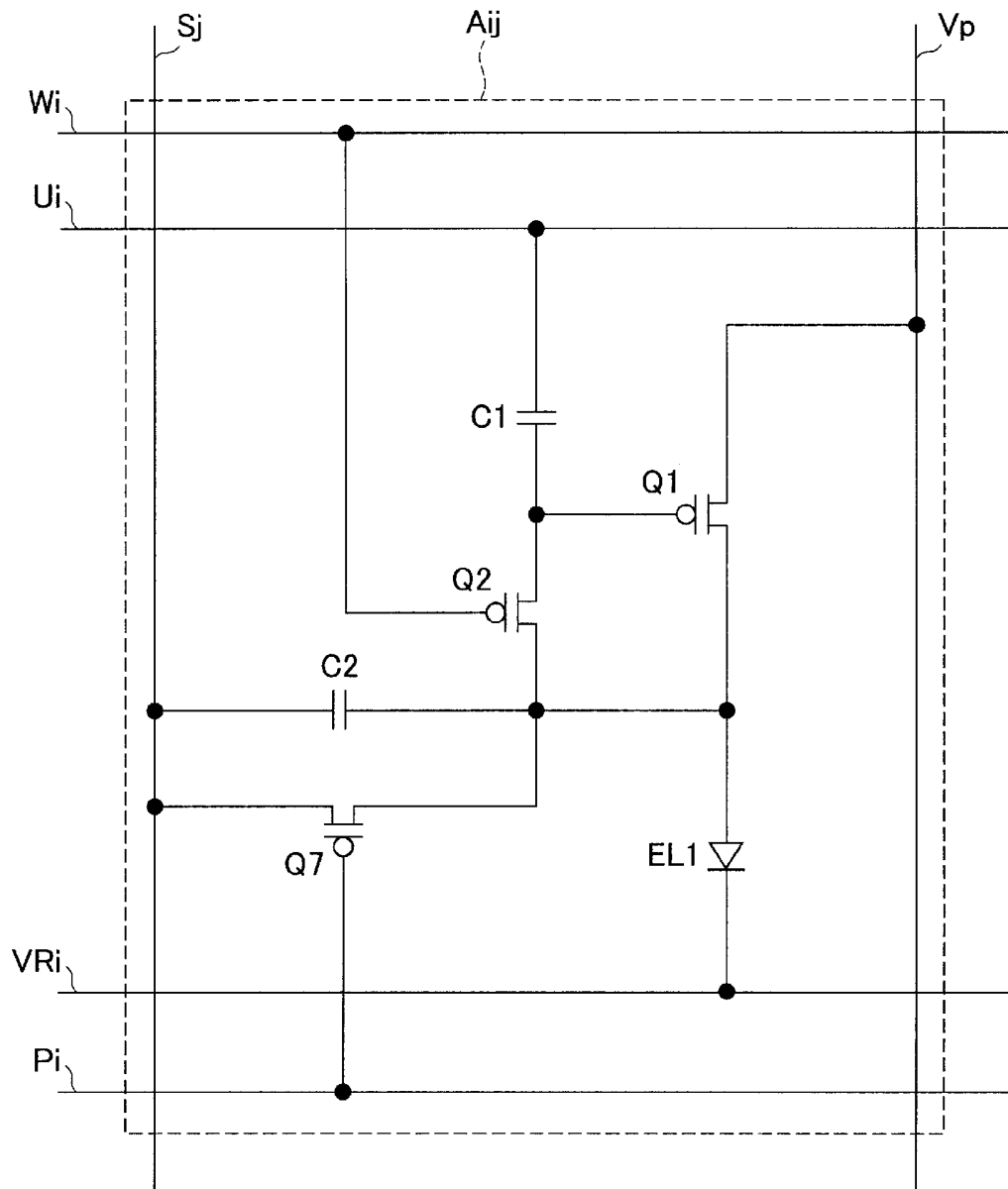
[図7]



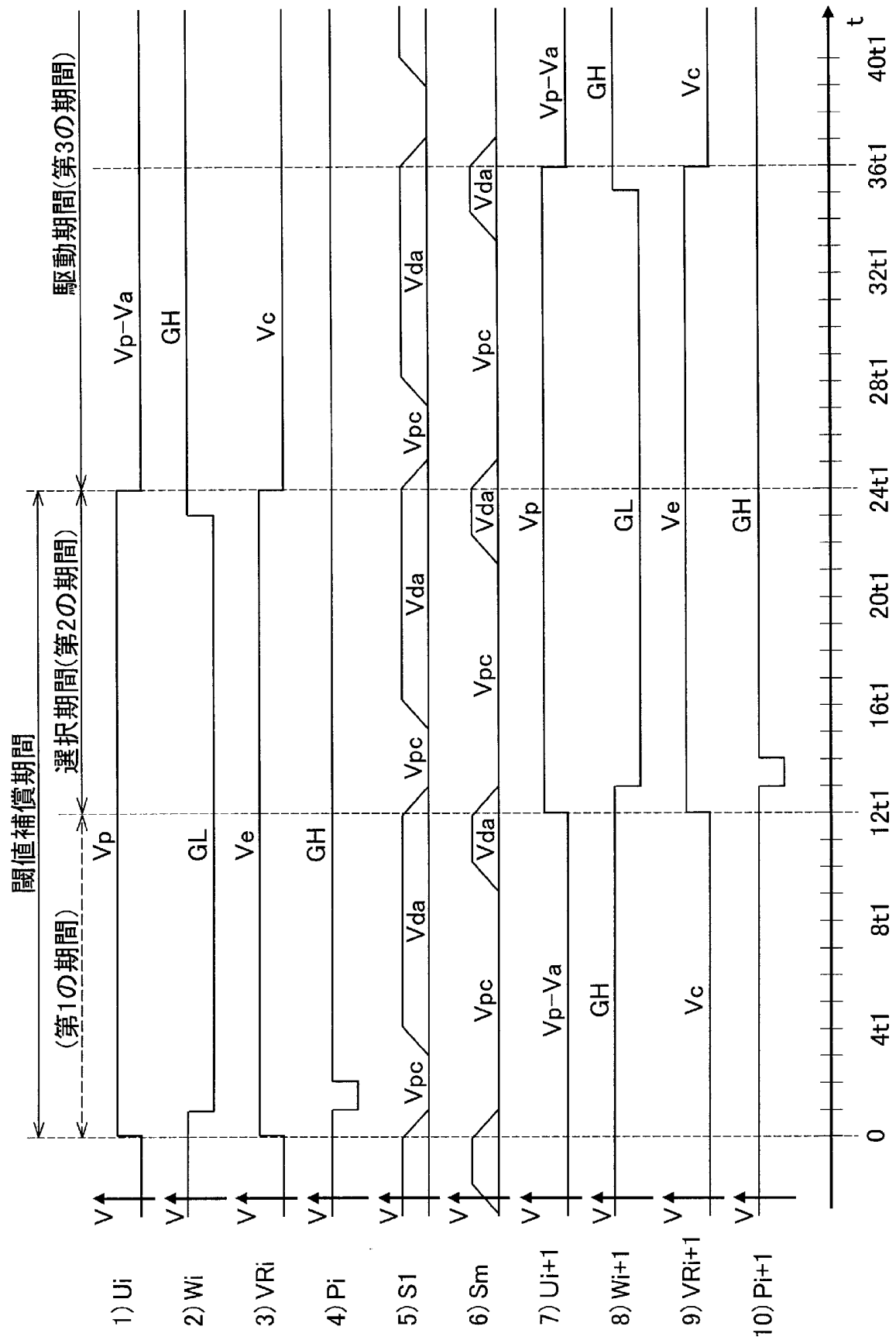
[図8]



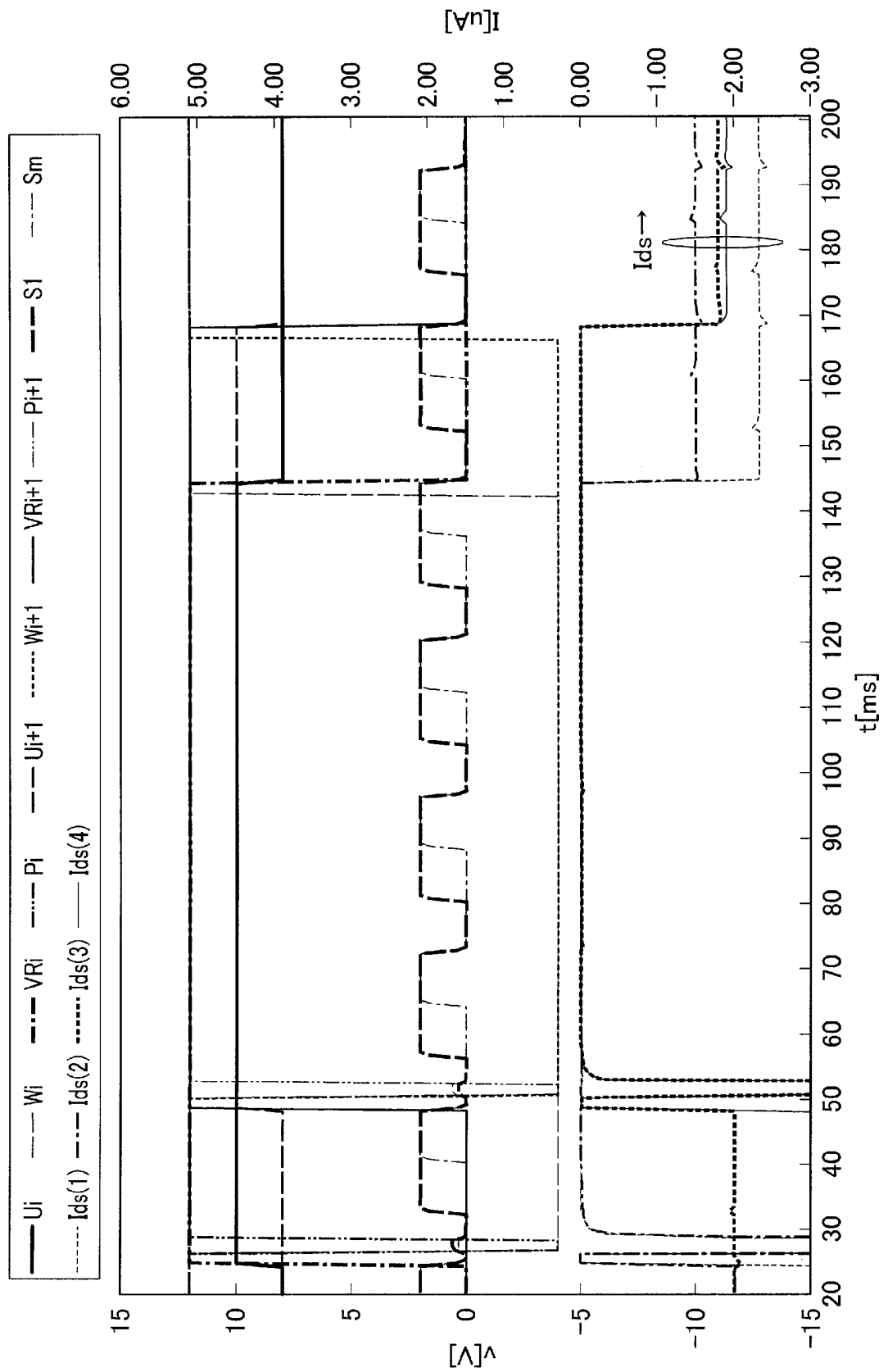
[図9]



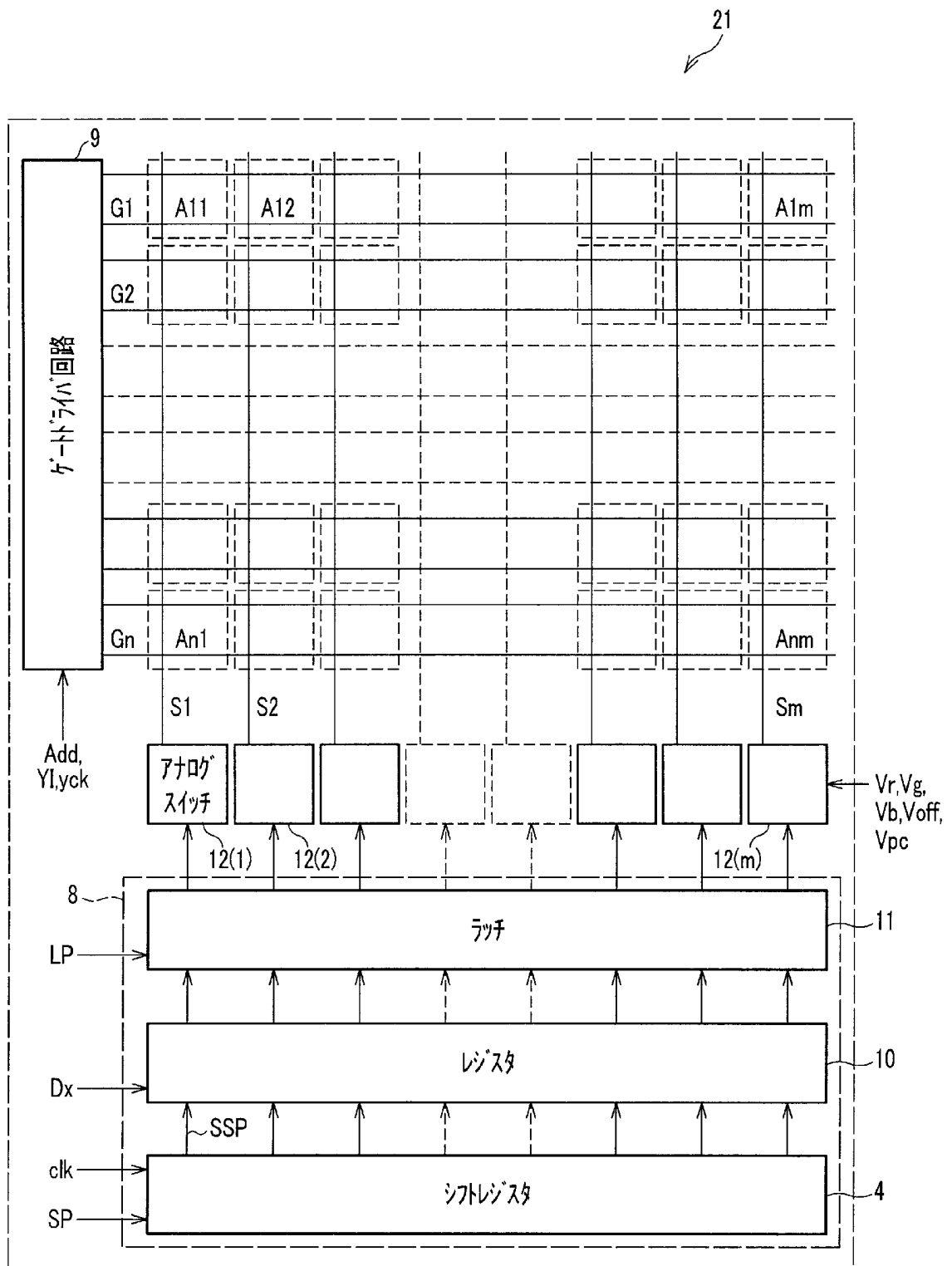
[図10]



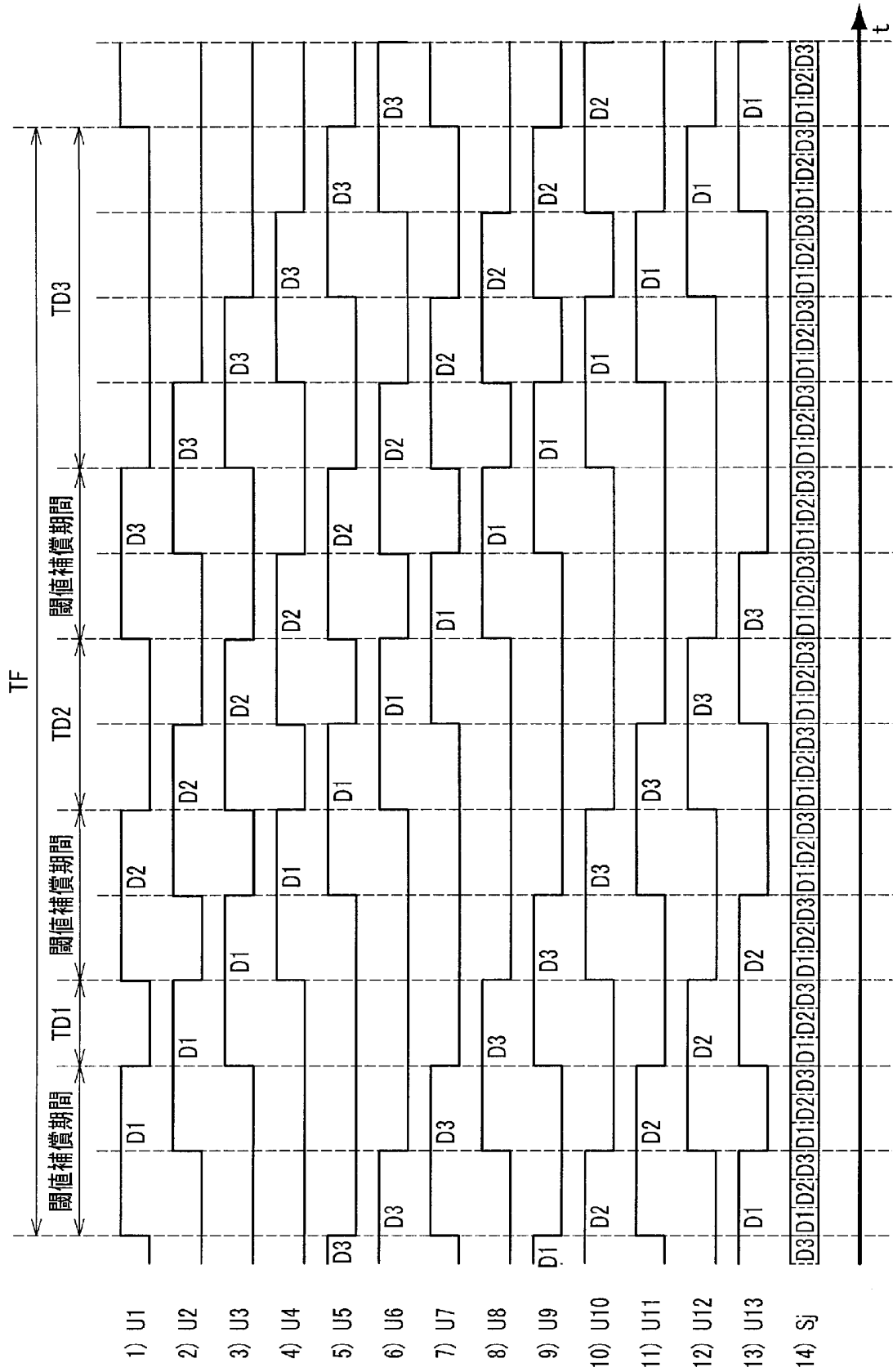
[図11]



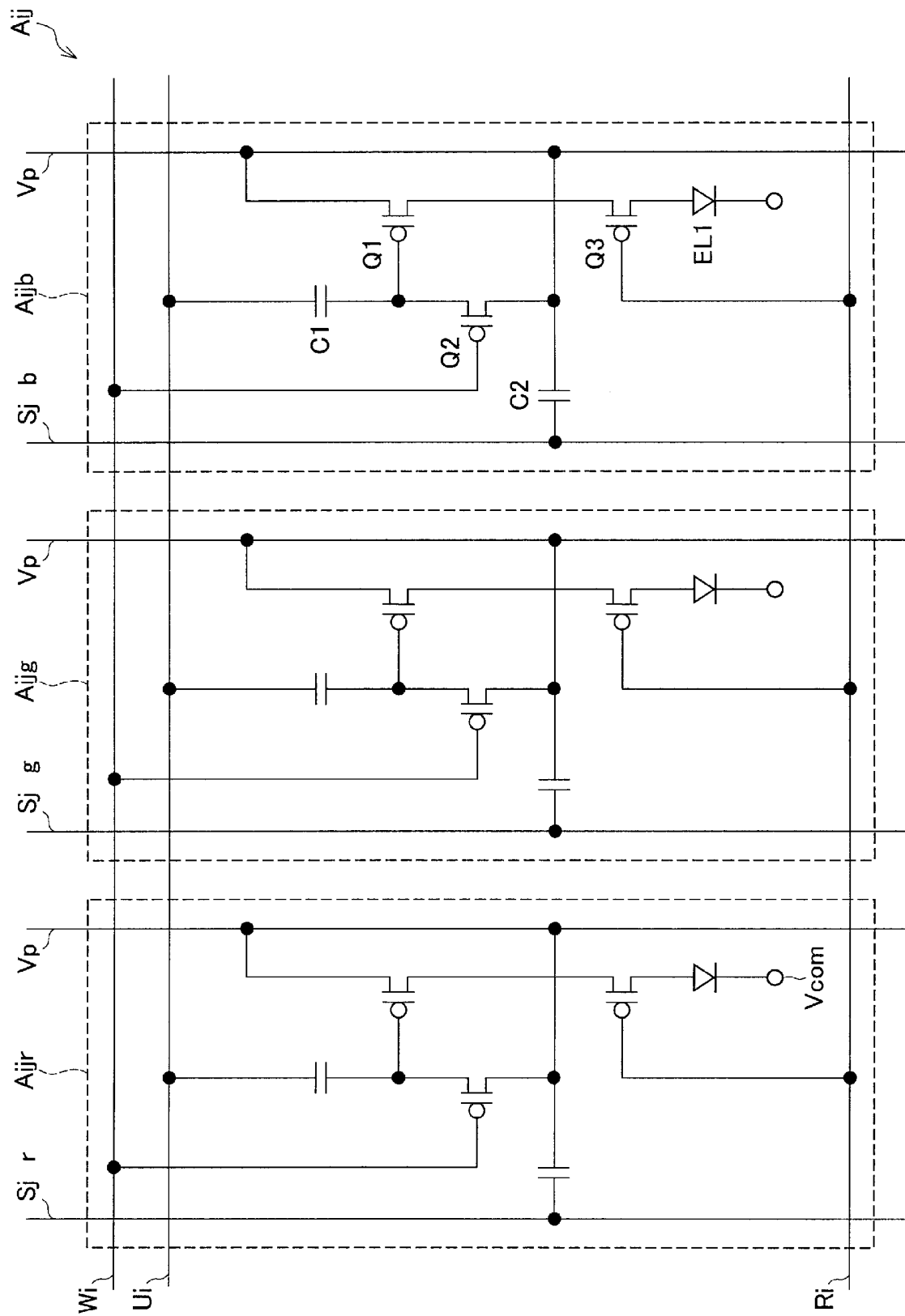
[図12]



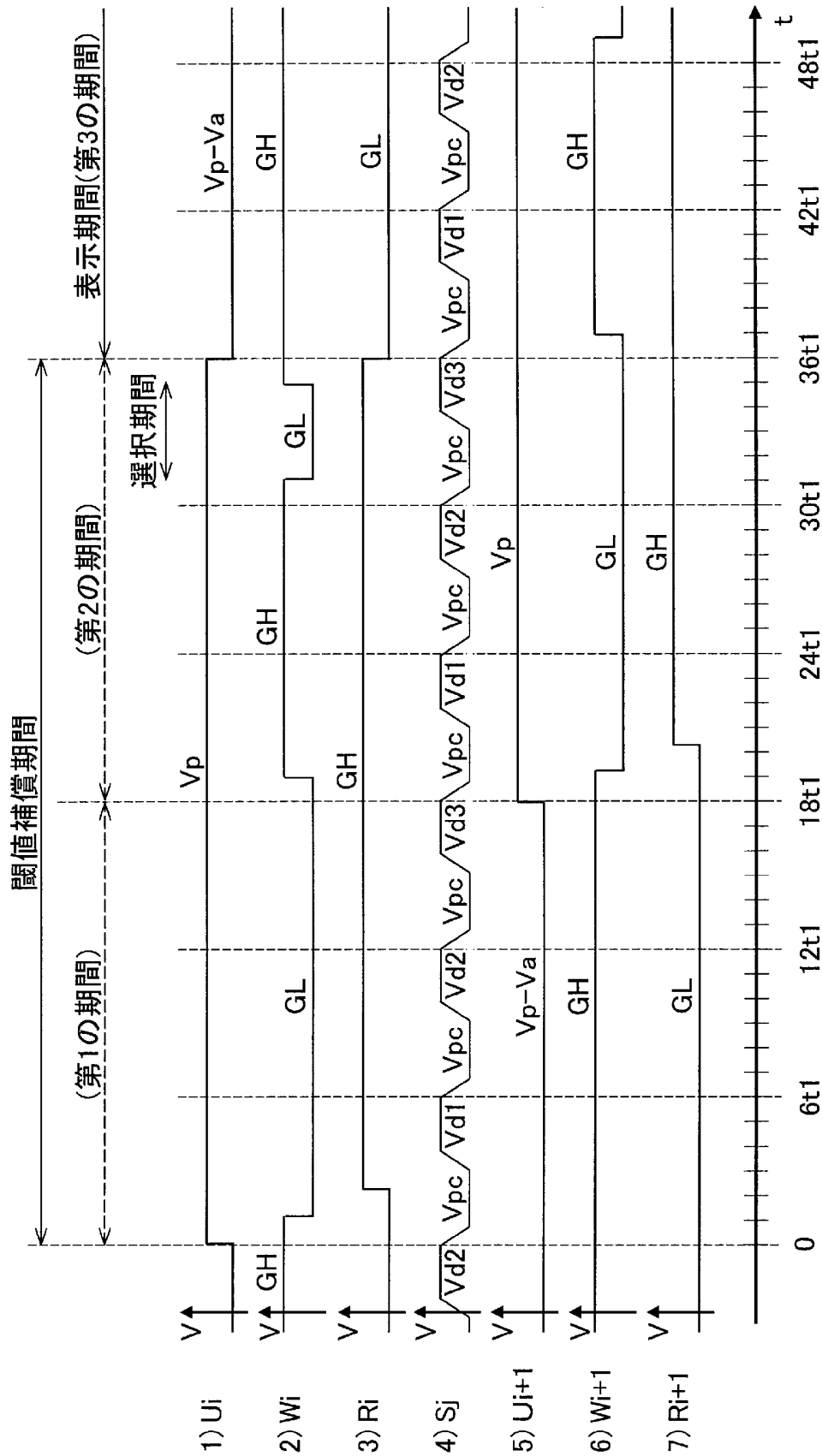
[図13]



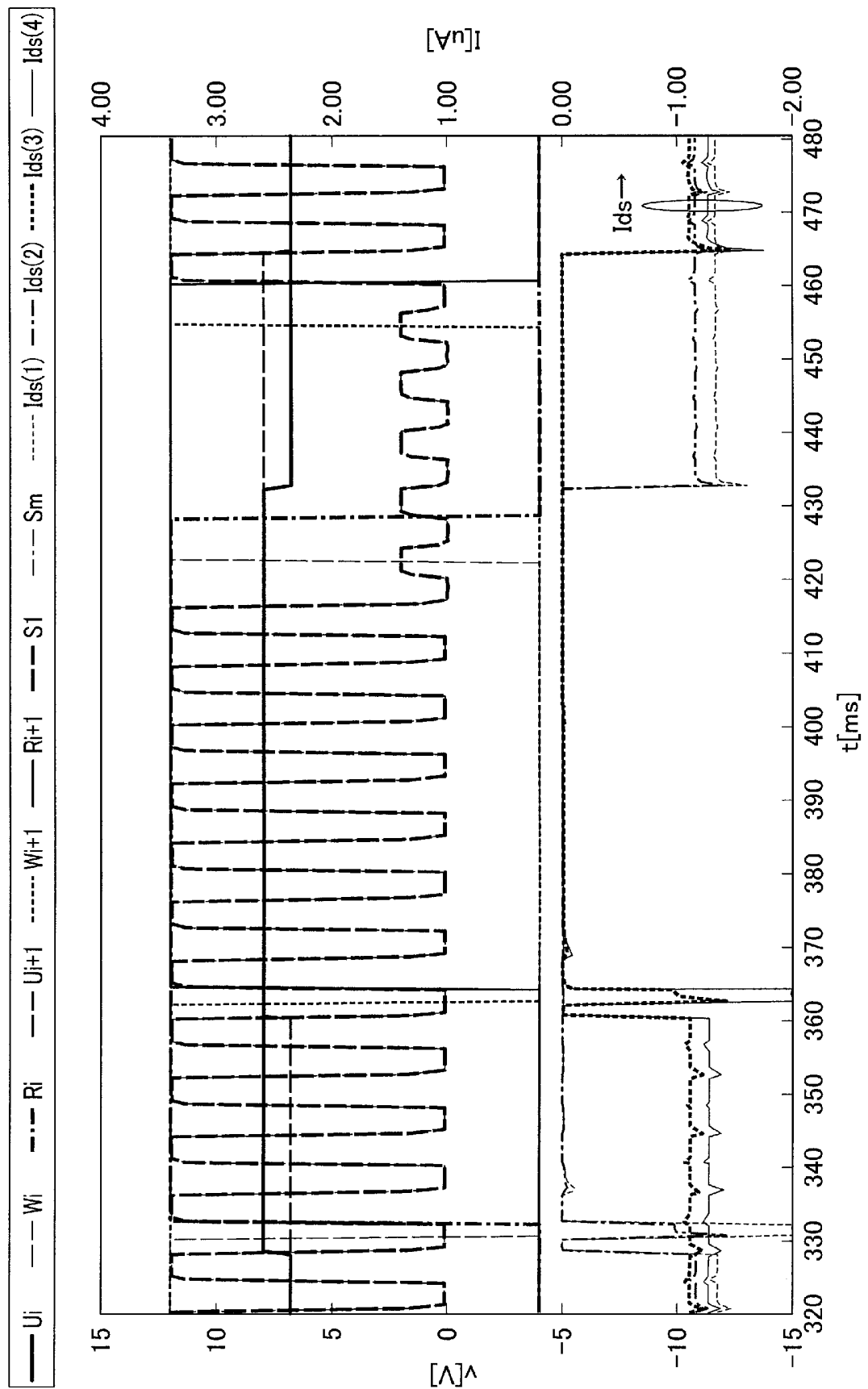
[図14]



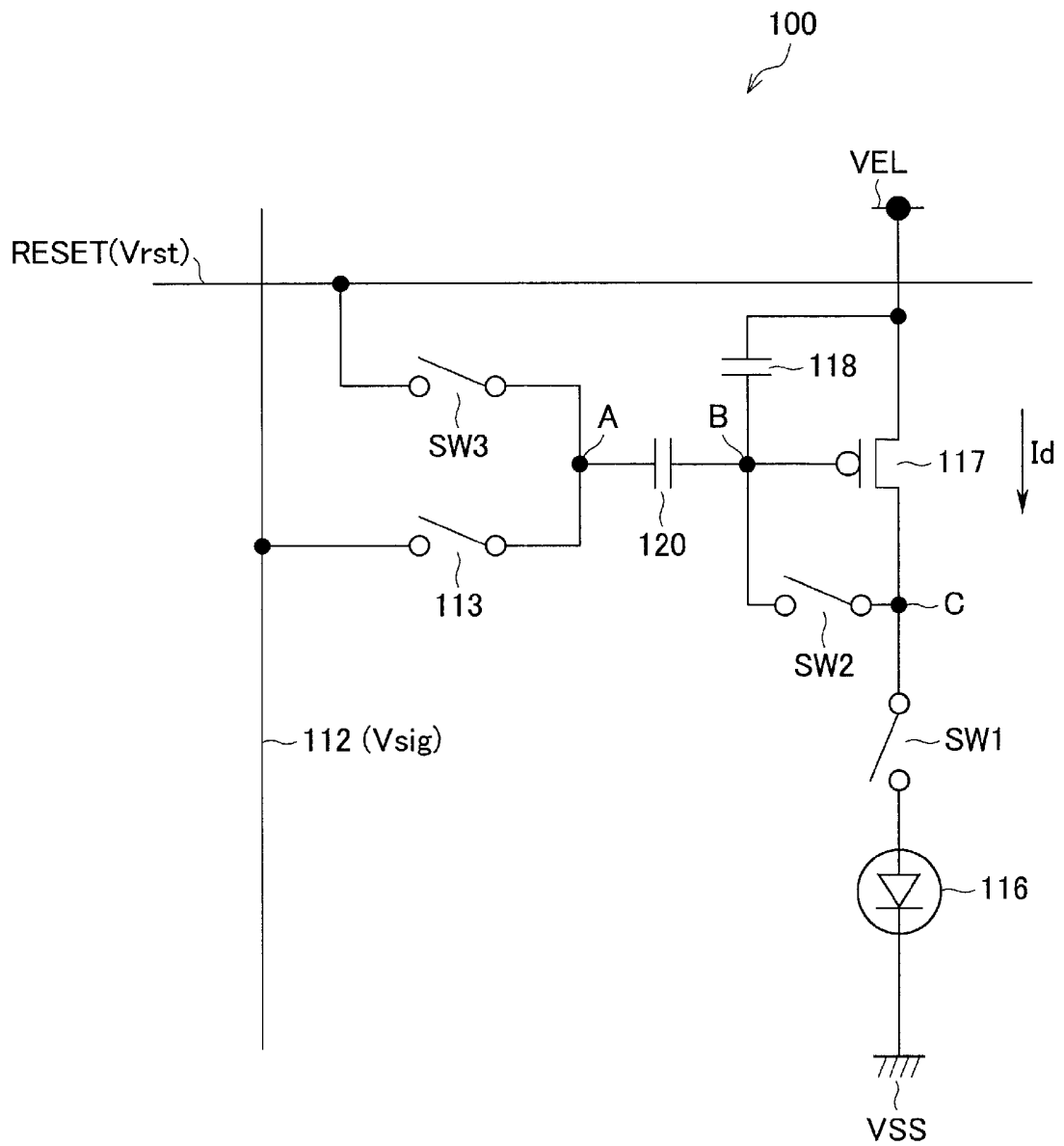
[図15]



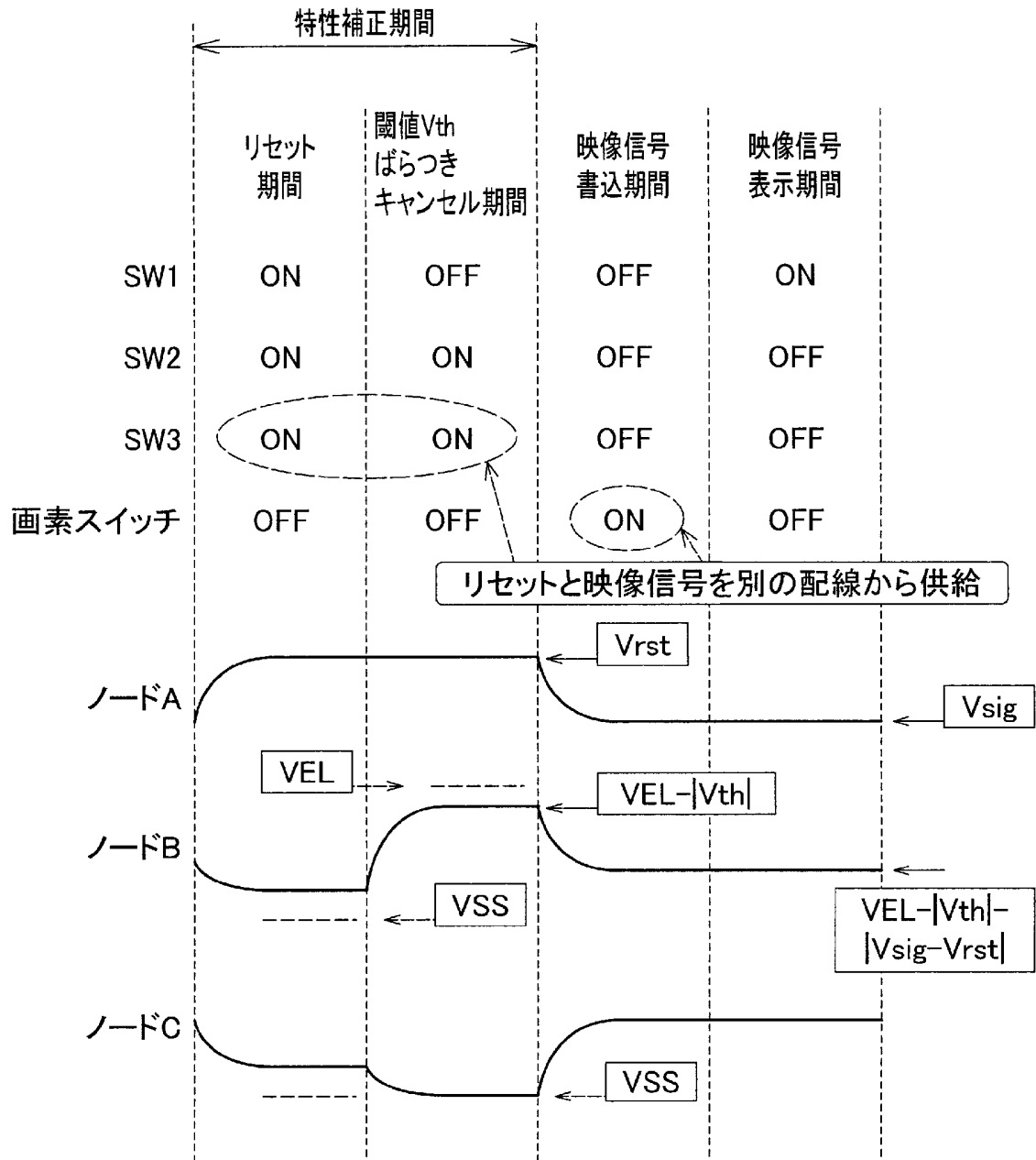
[図16]



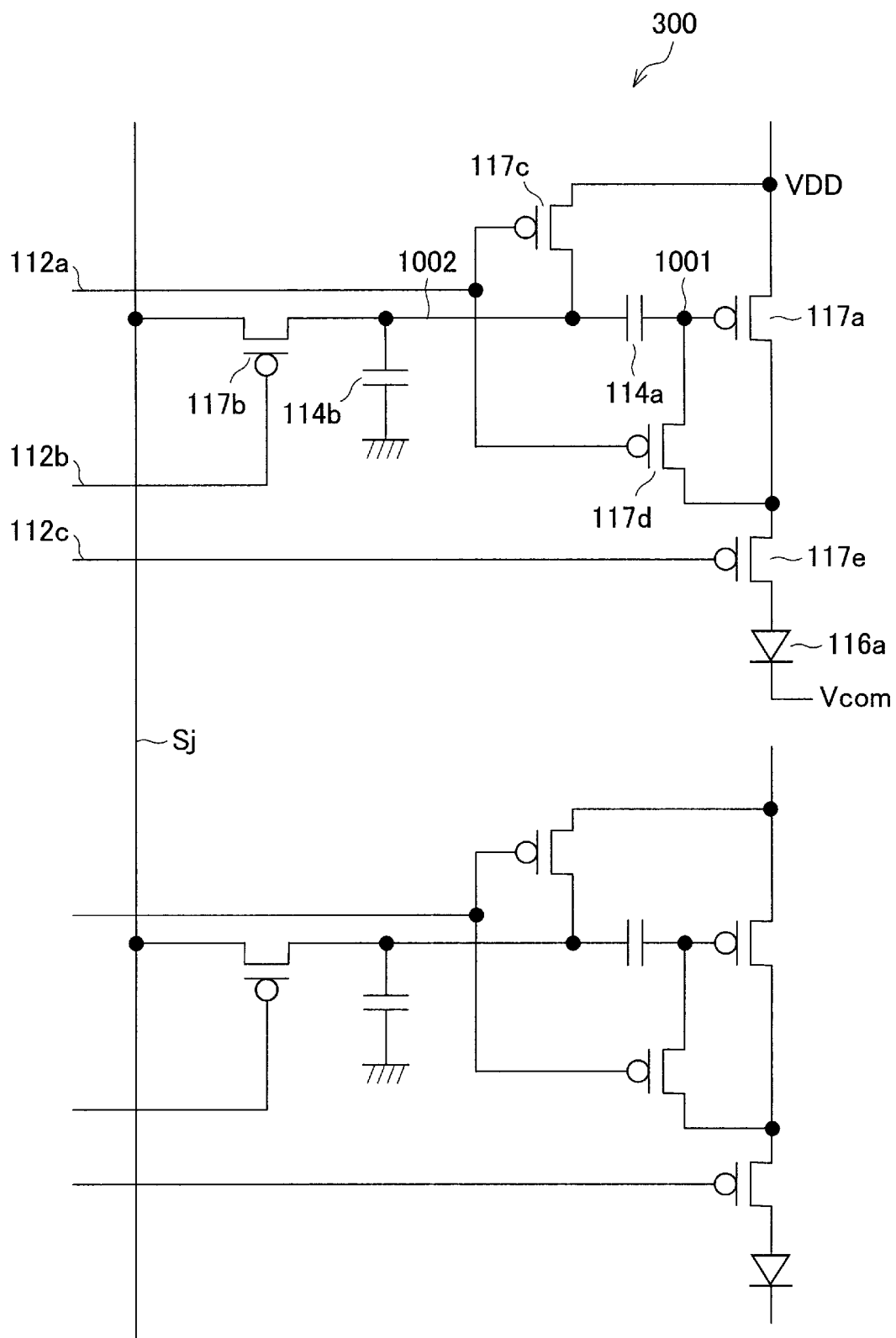
[図17]



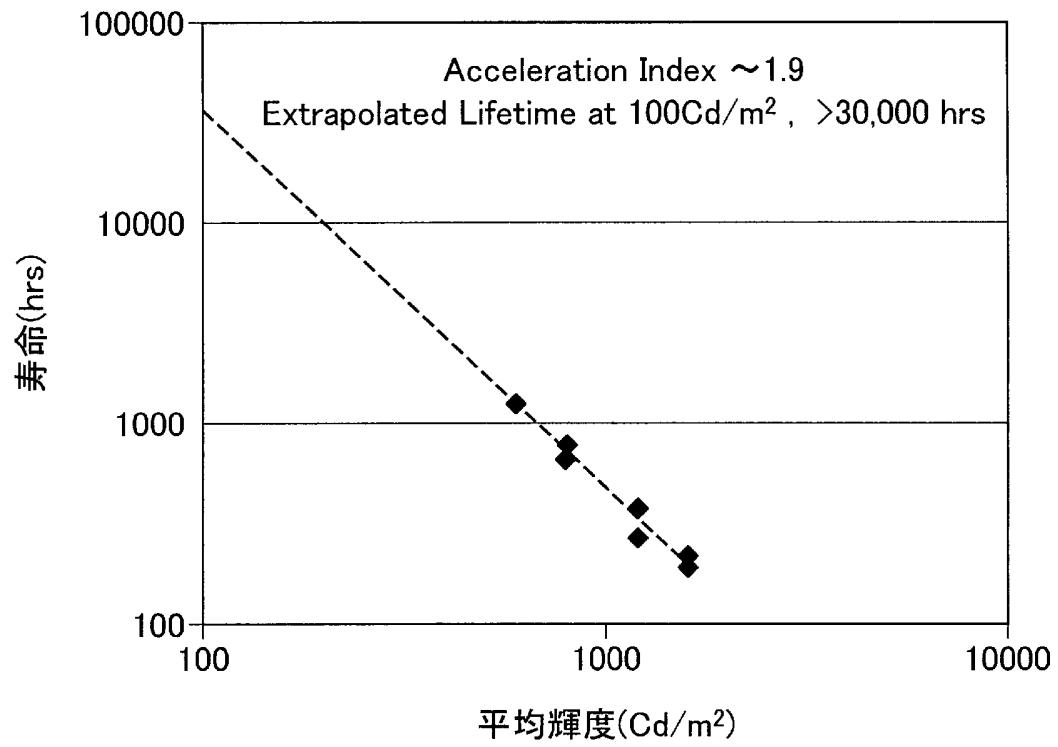
[図18]



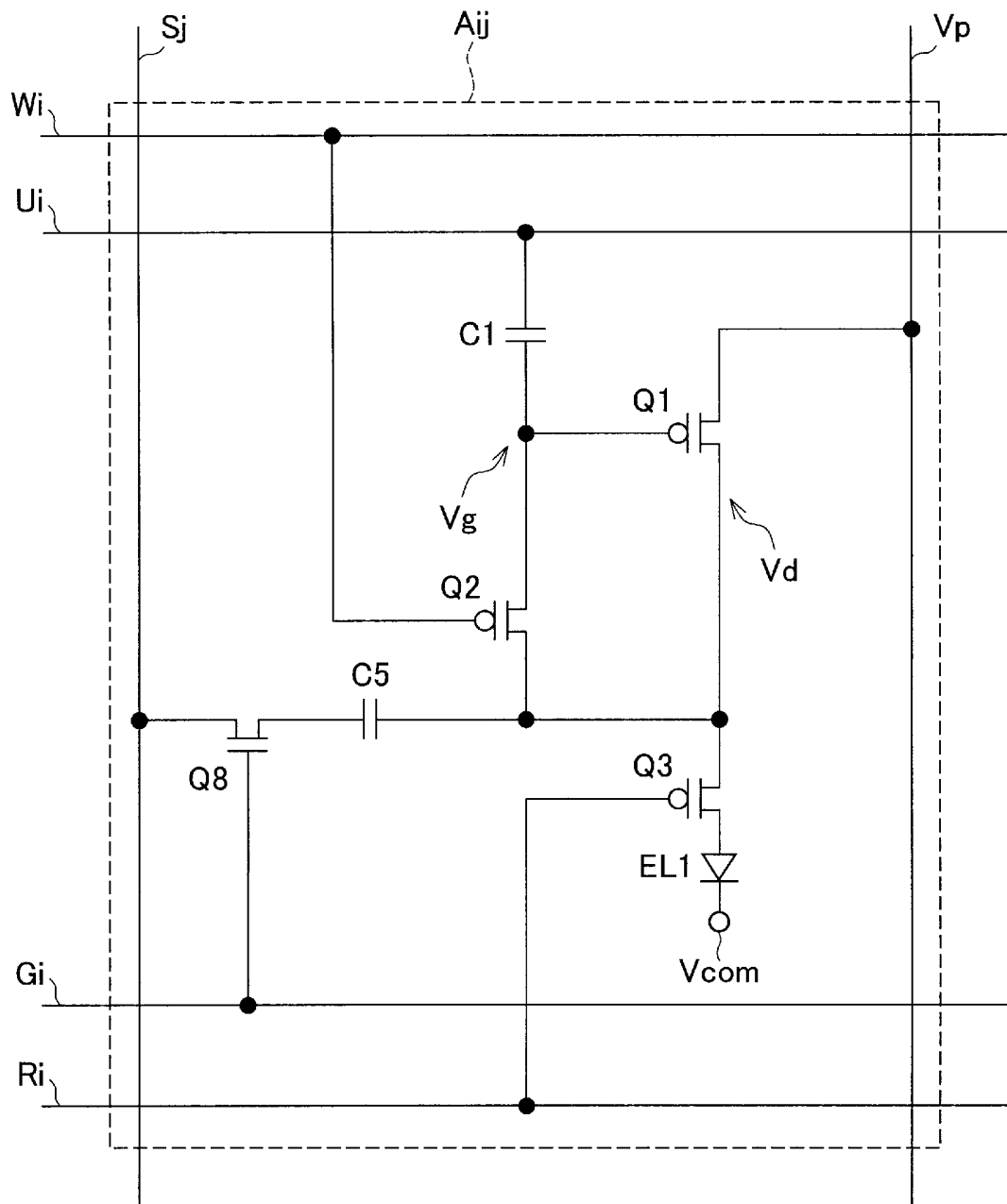
[図19]



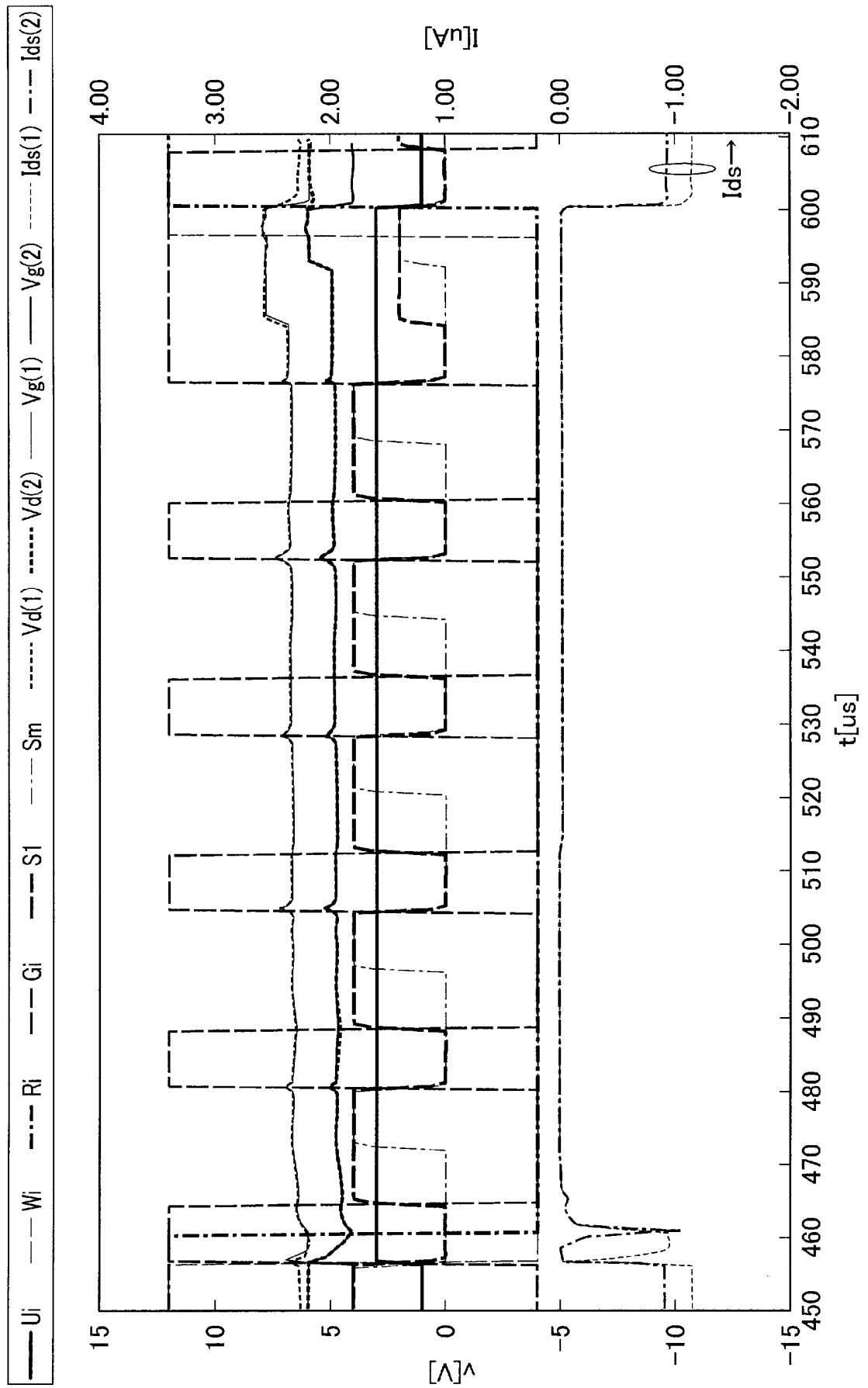
[図20]



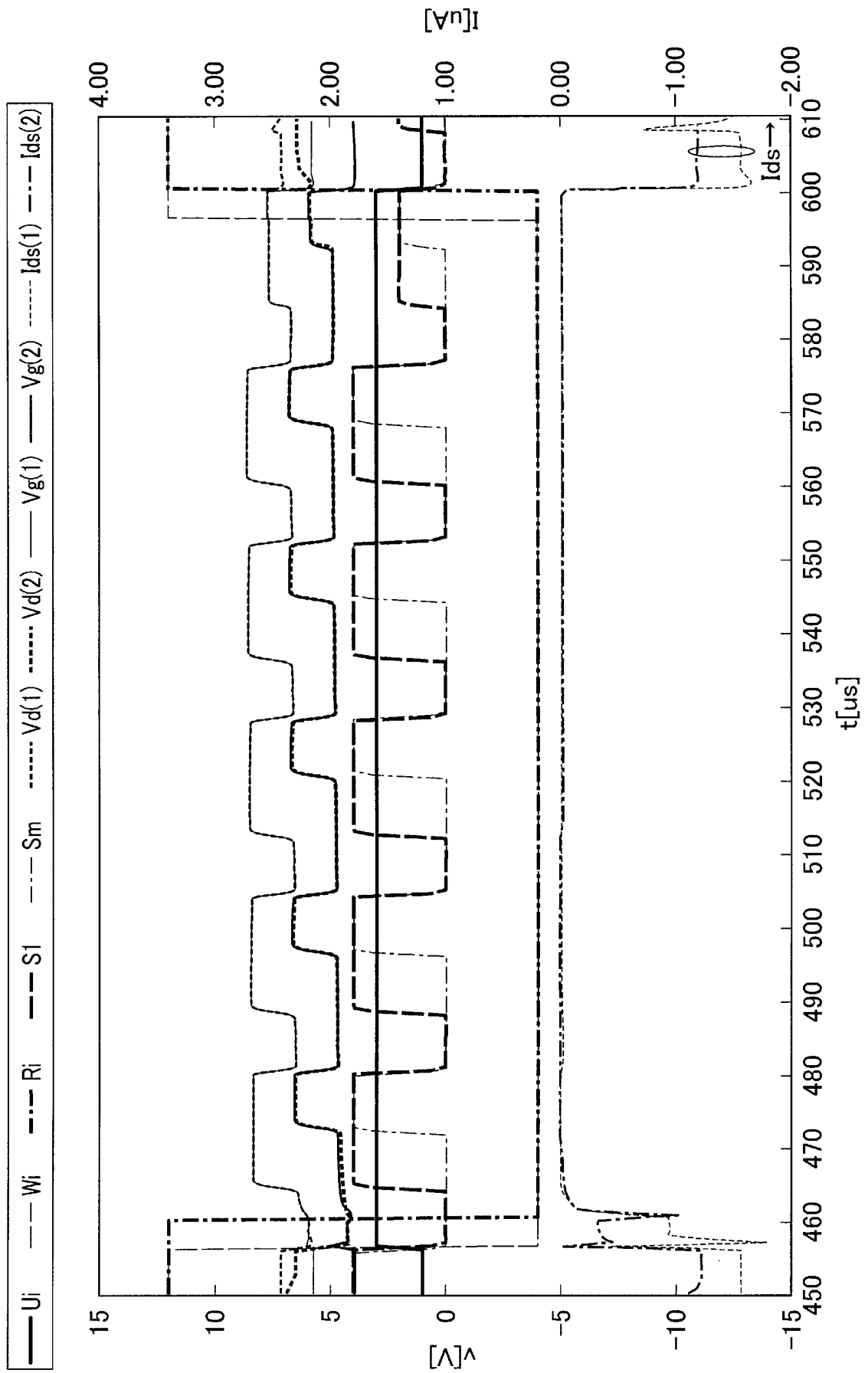
[図21]



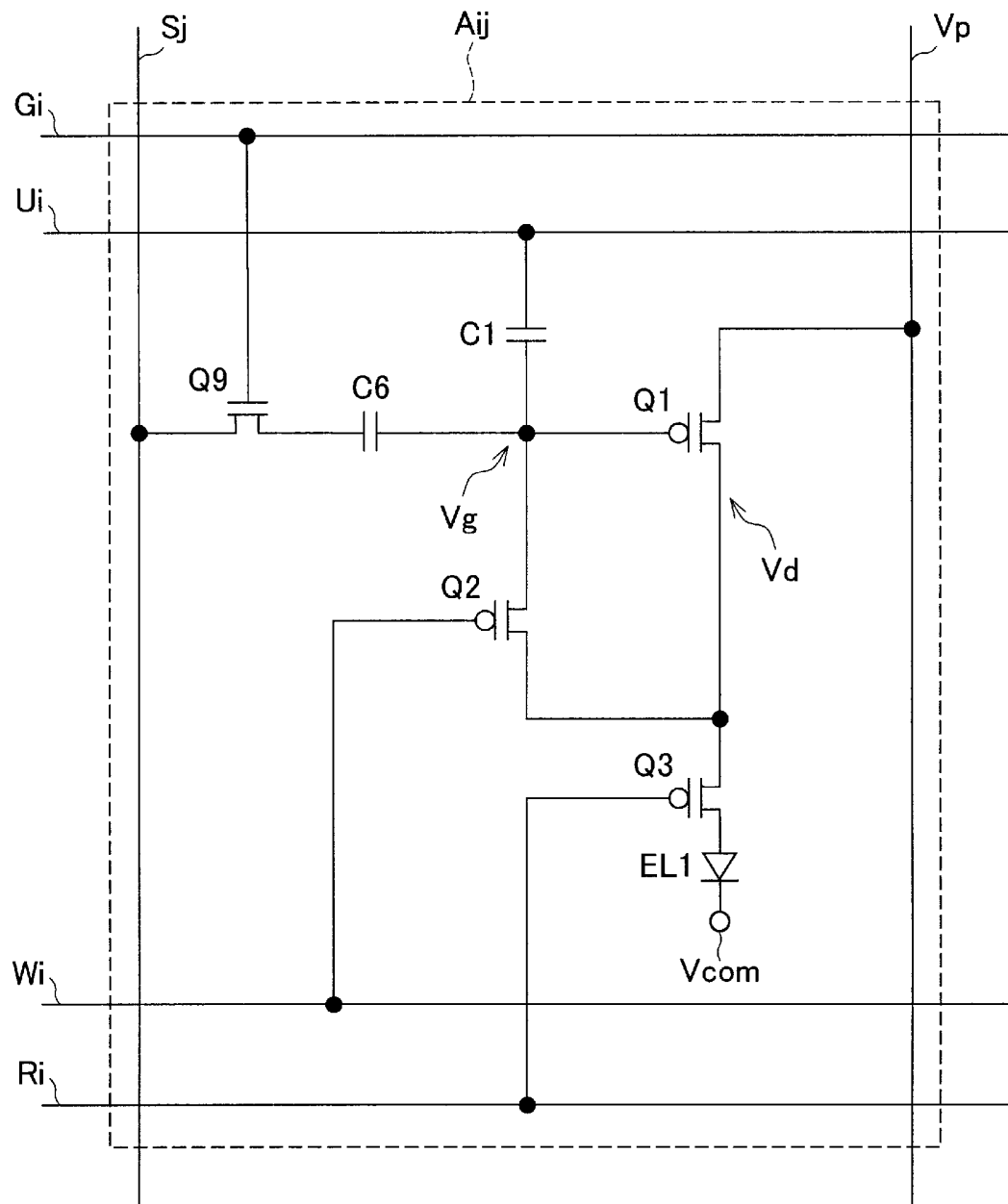
[図23]



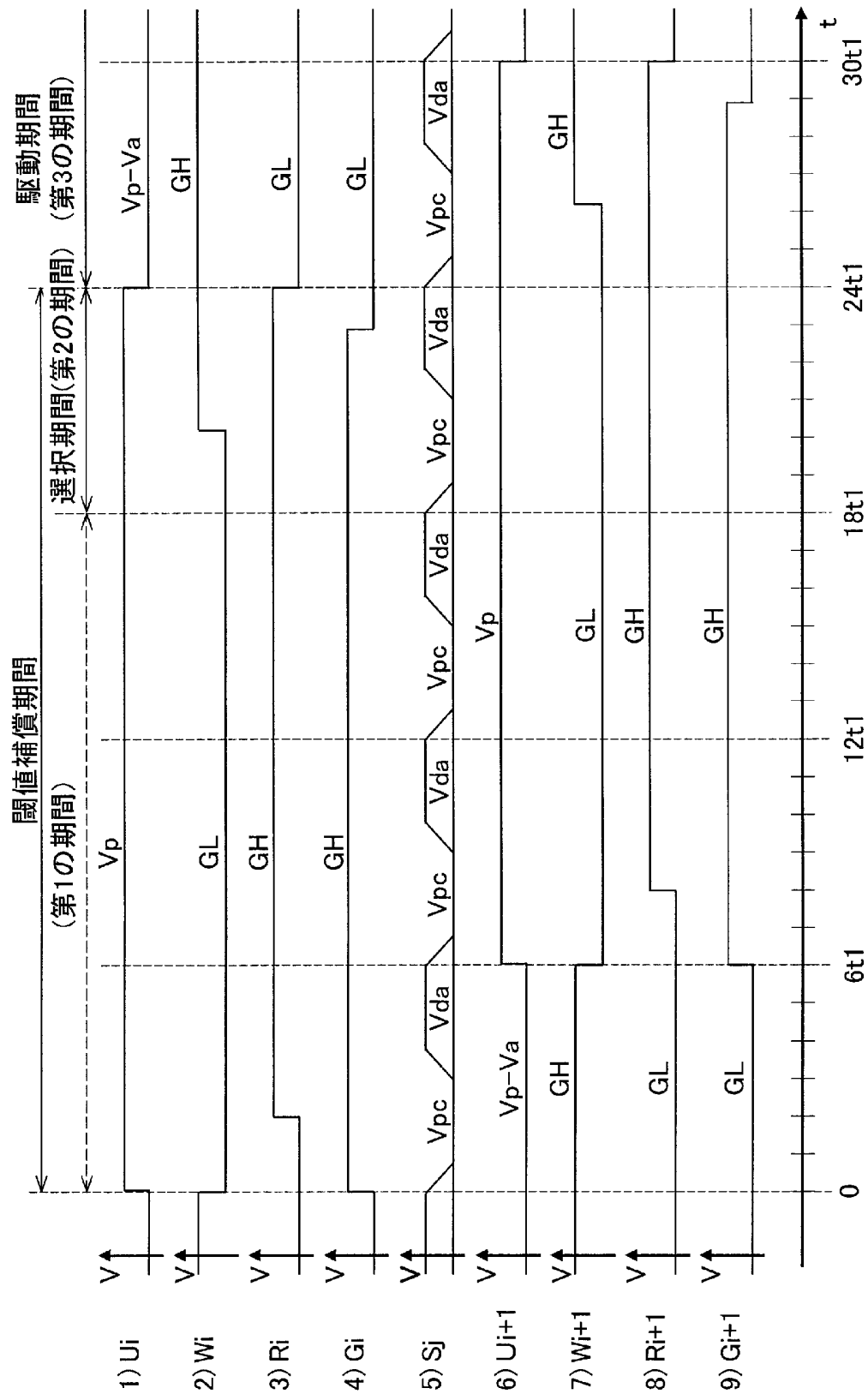
[図24]



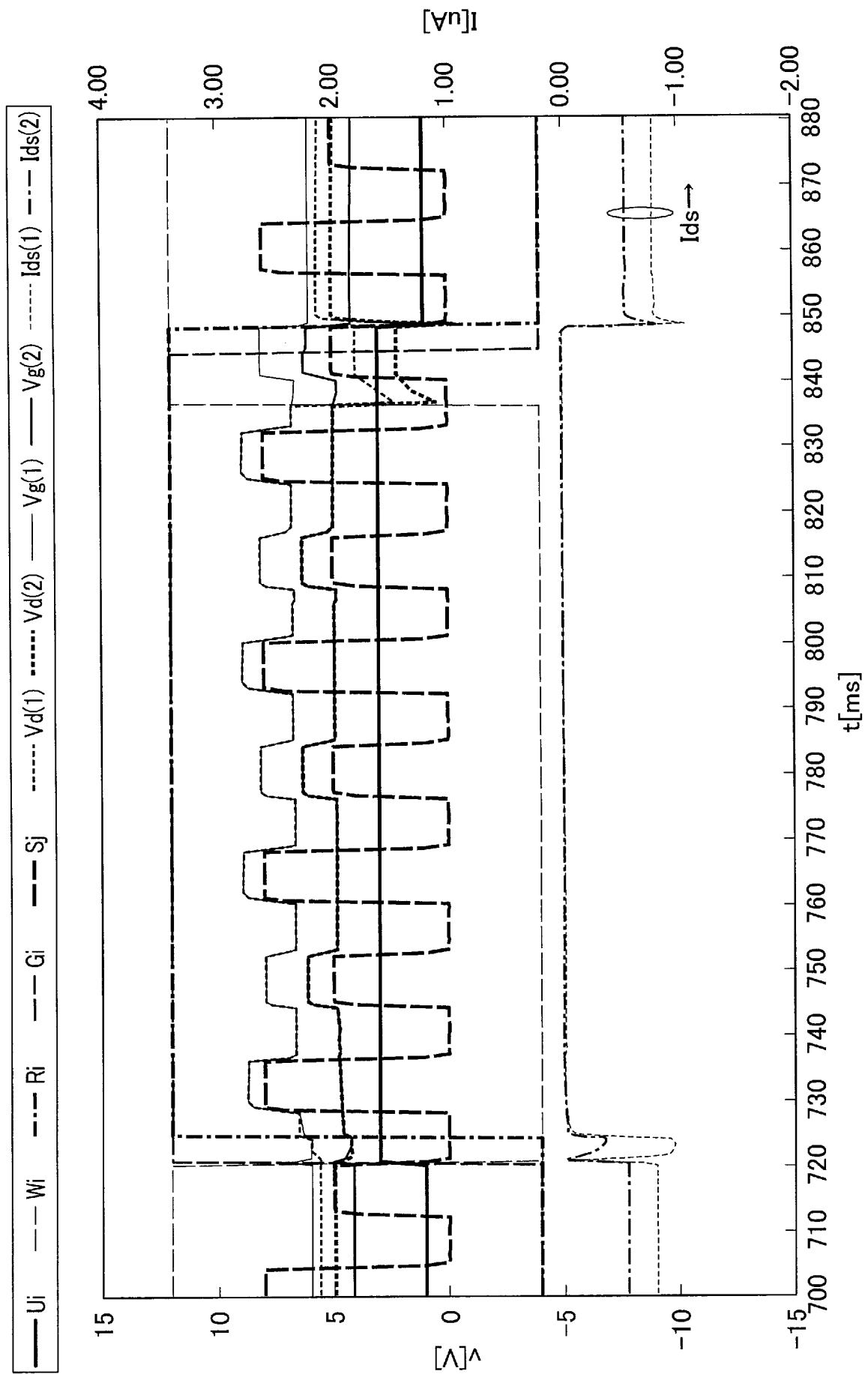
[図25]



[図26]



[図27]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/021057

A. CLASSIFICATION OF SUBJECT MATTER G09G3/30 (2006.01), G09G3/20 (2006.01)		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) G09G3/20, G09G3/30		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2006 Kokai Jitsuyo Shinan Koho 1971-2006 Toroku Jitsuyo Shinan Koho 1994-2006		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2002-514320 A (Sarnoff Corp.), 14 May, 2002 (14.05.02), Page 17, line 16 to page 19, line 26; Fig. 4 & US 006229506 B1 & EP 000978114 A & WO 1998/048403 A1	7 1-6, 8-13
A	JP 2003-173165 A (Toshiba Corp.), 20 June, 2003 (20.06.03), Full text; all drawings (Family: none)	1-13
A	JP 2003-511724 A (Koninklijke Philips Electronics N.V.), 25 March, 2003 (25.03.03), Full text; all drawings & US 006356029 B1 & EP 001135764 A & WO 2001/026087 A1 & TW 000490650 B	1-13
☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 14 February, 2006 (14.02.06)		Date of mailing of the international search report 21 February, 2006 (21.02.06)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G09G3/30 (2006.01), G09G3/20 (2006.01)

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G09G 3/20, G09G 3/30

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2006年
日本国実用新案登録公報	1996-2006年
日本国登録実用新案公報	1994-2006年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	J P 2002-514320 A (サーノフ コーポレイション) 2002.05.14 第17頁第16行-第19頁第26行、図4 & US 006229506 B1 & EP 000978114 A & WO 1998/048403 A1	7 1-6, 8-13

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

14.02.2006

国際調査報告の発送日

21.02.2006

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

2G

3308

福村 拓

電話番号 03-3581-1101 内線 3226

C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2003-173165 A (株式会社東芝) 2003. 06. 20 全文、全図 (ファミリーなし)	1-13
A	JP 2003-511724 A (コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ) 2003. 03. 25 全文、全図 & US 006356029 B1 & EP 001135764 A & WO 2001/026087 A1 & TW 000490650 B	1-13