



- 심사관 : 손경환

- 특허법인코리아나

(54) 발명의 명칭 DDR 터미네이션을 지원하도록 추적하는 로드 스위치 제어기에 대한 장치 및 방법

(57) 요약

전력 제어 디바이스는, 전력 소스들의 동작을 제어하기 위한 제어 신호들을 발생시킬 수 있다. 제어 신호들 중 적어도 하나는 내부적으로 제공된 기준 전압 또는 외부적으로 제공된 기준 전압과 관련될 수도 있다. 부가적인 제어 신호들은, 전력의 2차 소스들을 제공하도록 전력 소스들에 연결될 수 있는 로드 스위치들의 동작을 제어한다. 로드 스위치들은 이들이 연결되는 전력 소스들에 의존하는 레이트들로 점진적 방식으로 턴될 수 있다. 로드 스위치들의 출력들은, 이들이 연결되는 전력 소스들에 대한 과전압 및 부족전압 조건들에 대해 모니터링될 수 있다.

대표도 - 도4c



(56) 선행기술조사문헌

JP2009163487 A\*

KR1020070094439 A\*

KR1020090048887 A

KR1020100027022 A

\*는 심사관에 의하여 인용된 문헌

---

## 명세서

### 청구범위

#### 청구항 1

복수의 전압 기준 출력들 (voltage reference outputs) 을 갖는 전압 기준 발생기로서, 상기 전압 기준 출력들 각각은 프로그램 가능한 전압 레벨을 갖는, 상기 전압 기준 발생기;

복수의 1차 전력 제어기들로서, 상기 1차 전력 제어기들 각각은 상기 전압 기준 발생기의 상기 전압 기준 출력들 중 하나의 전압 기준 출력으로부터의 전압 기준 레벨을 수신하도록 연결되고, 상기 1차 전력 제어기들 각각은 상기 전압 기준 레벨에 기초하는 출력 전압을 생성하기 위해 전력 스테이지의 동작을 제어할 수 있는 스위처 제어 신호들 (switcher control signals) 을 발생시키도록 동작되는, 상기 복수의 1차 전력 제어기들; 및

상기 전압 기준 발생기로부터 제 1 전압 기준 출력을 수신하도록 연결된 제 1 입력, 외부적으로 제공된 전압 레벨에 대한 연결을 위한 제 2 입력, 및 제 1 의 1차 전력 제어기에 연결된 전압 기준 출력을 갖는 셀렉터 회로로서, 상기 제 1 의 1차 전력 제어기는 상기 제 1 전압 기준 출력 또는 상기 외부적으로 제공된 전압 레벨에 선택적으로 기초할 수 있는, 상기 셀렉터 회로

를 포함하는, 회로.

#### 청구항 2

제 1 항에 있어서,

메모리를 더 포함하고,

상기 셀렉터 회로는, 상기 메모리로부터 데이터를 수신할 수 있는 셀렉터 입력을 더 포함하는, 회로.

#### 청구항 3

제 1 항에 있어서,

통신 포트를 더 포함하고,

상기 셀렉터 회로는, 상기 통신 포트로부터 데이터를 수신할 수 있는 셀렉터 입력을 더 포함하는, 회로.

#### 청구항 4

제 1 항에 있어서,

복수의 2차 전력 제어기들을 더 포함하고,

상기 2차 전력 제어기들 각각은 상기 1차 전력 제어기들 중 하나의 1차 전력 제어기와 연관되며,

상기 2차 전력 제어기들 각각은, 상기 2차 전력 제어기들 각각과 연관되는 1차 전력 제어기의 전압 기준 레벨에 기초하는 출력 전압을, 선택가능한 슬루 레이트 (slew rate) 로 생성하도록 로드 스위치 (load switch) 를 제어할 수 있는 로드 스위치 제어 신호를 발생시키도록 동작되는, 회로.

#### 청구항 5

제 4 항에 있어서,

슬루 신호를 생성하도록 동작되는 슬루 레이트 제어기를 더 포함하고,

상기 2차 전력 제어기들 각각은, 상기 로드 스위치 제어 신호를 생성하도록 선택적으로 상기 슬루 신호에 연결되고 상기 슬루 신호에 의해 제어되는 드라이버를 포함하는, 회로.

#### 청구항 6

제 5 항에 있어서,

상기 드라이버는 또한, 상기 로드 스위치 제어 신호를 생성하도록 정전압 전위에 의해 선택적으로 제어되는, 회로.

#### 청구항 7

제 5 항에 있어서,

상기 슬루 레이트 제어기의 동작 주파수를 제어하는 클록 신호를 더 포함하고,

상기 클록 신호는, 상기 슬루 레이트 제어기가 연결되는 2차 전력 제어기에 따라 선택가능한, 회로.

#### 청구항 8

제 4 항에 있어서,

상기 1차 전력 제어기들 중 하나의 1차 전력 제어기와 각각의 2차 전력 제어기들 사이의 연관성을 제시하는 연관성 데이터를 저장한 메모리를 더 포함하는, 회로.

#### 청구항 9

제 4 항에 있어서,

로드 스위치 제어 신호들을 발생시키기 위해, 선택가능한 순서에 따라, 상기 2차 전력 제어기들을 인에이블시키기 위한 제어 신호들을 생성하도록 동작되는 제어 로직을 더 포함하는, 회로.

#### 청구항 10

제 9 항에 있어서,

상기 제어 로직은 또한, 인에이블된 2차 전력 제어기와 연관된 슬루 레이트를 제어하는 클록 신호를 생성하도록 동작되는, 회로.

#### 청구항 11

제 4 항에 있어서,

상기 2차 전력 제어기들 중 하나의 2차 전력 제어기에 의해 제어되는 로드 스위치는, 상기 2차 전력 제어기들 중 하나의 2차 전력 제어기와 연관된 1차 전력 제어기에 의해 제어되는 전력 스테이지에 연결되는, 회로.

#### 청구항 12

복수의 전력 소스들 각각의 동작을 제어하기 위한 복수의 1차 전력 제어 신호들을 발생시키는 제 1 회로 수단;

상기 전력 소스들에 연결된 복수의 로드 스위치들 각각의 동작을 제어하기 위한 복수의 로드 스위치 제어 신호들을 발생시키는 제 2 회로 수단;

슬루 레이트 제어 신호를 발생시키는 제 3 회로 수단으로서, 상기 제 2 회로 수단은, 상기 슬루 레이트 제어 신호를 사용하여 로드 스위치 제어 신호를 발생시키기 위해 상기 제 3 회로 수단의 출력에 선택적으로 연결하는 연결 수단을 포함하는, 상기 제 3 회로 수단;

제 4 회로 수단으로서,

상기 제 1 회로 수단이 각각의 전력 소스를 고 전압 모드에서 동작시키고 있는지 또는 저 전압 모드에서 동작시키고 있는지 여부를 나타내는, 상기 각각의 전력 소스와 연관된 모드 표시자; 및

전력 소스들과 로드 스위치들 사이의 연관성을 나타내는 연관성 정보

를 저장하는, 상기 제 4 회로 수단; 및

내부적으로 발생된 기준 전압 레벨 또는 외부적으로 제공된 전압 레벨 사이를 선택하는 제 5 회로 수단으로서, 상기 제 5 회로 수단에 의해 선택된 전압 레벨에 기초하여 제 1 의 1차 전력 제어 신호가 발생되는, 상기 제 5 회로 수단

을 포함하는, 집적 회로 디바이스.

### 청구항 13

제 12 항에 있어서,

상기 제 5 회로 수단은, 상기 제 4 회로 수단에 저장된 데이터에 기초하여 상기 내부적으로 발생된 기준 전압 레벨과 상기 외부적으로 제공된 전압 레벨 사이를 선택하는, 집적 회로 디바이스.

### 청구항 14

제 12 항에 있어서,

통신 포트를 더 포함하고,

상기 제 5 회로 수단은, 상기 통신 포트로부터 수신된 데이터에 기초하여 상기 내부적으로 발생된 기준 전압 레벨과 상기 외부적으로 제공된 전압 레벨 사이를 선택하는, 집적 회로 디바이스.

### 청구항 15

제 12 항에 있어서,

상기 제 3 회로 수단은, 제 1 로드 스위치와 연관된 전력 소스의 모드 표시자에 기초하여 결정되는 레이트로 상기 제 1 로드 스위치의 출력을 슬루하기 위한 제 1 로드 스위치에 대한 슬루 레이트 제어 신호를 발생시키는, 집적 회로 디바이스.

### 청구항 16

제 12 항에 있어서,

상기 제 1 회로 수단은 복수의 1차 전력 제어기 회로들을 포함하고,

상기 1차 전력 제어기 회로들 각각은 대응하는 1차 전력 제어 신호들을 발생시키는, 집적 회로 디바이스.

### 청구항 17

제 12 항에 있어서,

상기 제 2 회로 수단은 복수의 제어 회로들을 포함하고,

상기 제어 회로들 각각은 대응하는 로드 스위치 제어 신호를 발생시키는, 집적 회로 디바이스.

### 청구항 18

제 12 항에 있어서,

상기 기준 전압들에 따라 출력 전압들을 생성하기 위해 상기 전력 소스들을 제어하도록 상기 제 1 회로 수단에 의해 사용된 기준 전압들을 발생시키는 전압 기준 발생기를 더 포함하는, 집적 회로 디바이스.

### 청구항 19

제 18 항에 있어서,

상기 로드 스위치들이 연결되는 상기 전압 기준 발생기로부터의 기준 전압들에 기초하여, 부족전압 (undervoltage) 및 과전압 조건들을 검출하기 위해 상기 제 2 회로 수단에 의해 제어된 상기 로드 스위치들의 전압 레벨들을 모니터링하는 모니터링 회로부를 더 포함하는, 집적 회로 디바이스.

### 청구항 20

제 12 항에 있어서,

상기 제 4 회로 수단은, 상기 로드 스위치들 각각에 대응하는 슬루 레이트 파라미터를 저장하고,

상기 제 3 회로 수단은, 제 1 슬루 레이트 제어 신호에 의해 제어되는 로드 스위치에 대응하는 슬루 레이트 파라미터를 사용하여 상기 제 1 슬루 레이트 제어 신호를 발생시키는, 집적 회로 디바이스.

## 청구항 21

회로에서의 방법으로서,

복수의 전력 소스들과 연관된 복수의 기준 전압 레벨들을 나타내는 구성 데이터 (configuration data) 를 상기 회로에 저장하는 단계;

대응하는 전압 레벨들을 출력하기 위해 상기 전력 소스들을 대응하는 기준 전압 레벨들에 따라 동작시키도록 복수의 1차 제어 신호들을 상기 회로 내에서 발생시키는 단계; 및

1차 전력 소스들에 연결된 로드 스위치들을 동작시키도록 복수의 2차 제어 신호들을 상기 회로 내에서 발생시키는 단계로서, 상기 2차 제어 신호들은, 상기 로드 스위치들 각각이 연결되는 1차 전력 소스에 대응하는, 상기 회로에 저장된 기준 전압 레벨에 따라 상기 로드 스위치들 각각의 슬루 레이트를 제어하는, 상기 복수의 2차 제어 신호들을 상기 회로 내에서 발생시키는 단계

를 포함하고,

제 1 의 1차 제어 신호를 발생시키는 것은, 상기 제 1 의 1차 제어 신호를 발생시키기 위해, 내부적으로 발생된 기준 전압 레벨과 외부적으로 제공된 전압 레벨 사이를 선택하는 것을 포함하는, 회로에서의 방법.

## 청구항 22

제 21 항에 있어서,

상기 1차 제어 신호들을 사용하여 상기 회로에 연결되는 전력 소스들을 제어하는 단계, 및

상기 2차 제어 신호들을 사용하여 상기 회로에 연결되는 로드 스위치들을 제어하는 단계

를 더 포함하는, 회로에서의 방법.

## 청구항 23

제 21 항에 있어서,

상기 1차 제어 신호들 및 상기 2차 제어 신호들이 발생하는 시퀀스를 나타내는 구성 데이터를 상기 회로에 저장하는 단계를 더 포함하는, 회로에서의 방법.

## 청구항 24

제 21 항에 있어서,

상기 로드 스위치들의 출력 전압 레벨들을 모니터링하는 단계, 및

저장된 상기 기준 전압 레벨들과 상기 로드 스위치들의 출력 전압 레벨들의 비교들에 기초하여, 부족전압 신호 또는 과전압 신호를 트리거하도록 상기 회로에 저장된 상기 기준 전압 레벨들을 사용하는 단계

를 더 포함하는, 회로에서의 방법.

## 발명의 설명

## 기술 분야

## 배경 기술

[0001] 관련 출원들에 대한 상호 참조

[0002] 본 개시물은 2012년 3월 15일자로 출원된 미국 가출원 제61/611,414호에 대한 우선권을 주장하고, 이 미국 가출원의 내용은 모든 목적을 위해 여기에 참조로 그 전체가 포함된다.

[0003] 본 개시물은 2013년 2월 25일자로 출원된 미국 출원 제13/776,274호에 관한 것으로, 이 미국 출원의 내용은 모든 목적을 위해 여기에 참조로 그 전체가 포함된다.

- [0004] 배경기술
- [0005] 여기에 달리 나타내지 않는 한, 이 섹션에 설명된 접근법들은 본 출원의 특허청구범위에 대한 종래 기술이 아니며 이 섹션에의 포함에 의해 종래 기술인 것으로 인정되지 않는다.
- [0006] 규제 요건들 및 소비자 요구들로 인해 다양한 타입의 전자 디바이스들의 복잡성 및 에너지 효율 요건들이 증가하지만, 종래의 전자식 전력 스위치들은 크게 바뀌지 않았다. 비용은 문제가 안되며 공간 제약들이 삼차적 이 아니라면 이차적인 관심사일 수도 있는, 스쿼 레이트 제어에 의한 복잡하고 특정된 전력 스위칭, 난해한 시퀀싱 및 출력 모니터링을 요구하는 고비용의 하이-엔드 전자 컴포넌트들에 있어서, 고비용이고 대형의 커스텀 컴포넌트들을 이용하는 다양한 커스터마이징된 시스템들이 존재한다. 도 1 은 종래의 노트북 컴퓨터 전력 아키텍처의 블록도를 도시한 것이다.

[0007] 도시된 바와 같이, 이러한 전력 아키텍처들은, 상당한 비용과 자주 연관되는 고액의 구성물들 (materials) 을 포함한다. 이러한 전력 관리 시스템들에는 많은 저 드롭아웃 레귤레이터 (low-dropout regulator; LDO) 들 뿐만 아니라, CPU 레귤레이터, 듀얼 칩셋 레귤레이터, 듀얼 DDR 레귤레이터 등과 같은 많은 다른 이중 전력 집적 회로 (IC) 들을 필요로 한다. 요구되는 복잡성과 다수의 전력 관리 IC들 때문에, 이러한 시스템들은 많은 범용 입출력 (general-purpose input/output; GPIO) 핀들 및 인쇄 회로 보드 (printed circuit board; PCB) 트레이스들을 사용하여 시스템을 제어하기 위한 외부의 마이크로제어기들 또는 소프트웨어를 요구하고, 이 핀들 및 트레이스들 모두는 PCB 그리고 궁극적으로는 전력 관리 시스템을 포함하는 디바이스에 대한 풋프린트 사이즈를 증가시키는 원인이 된다.

## 발명의 내용

### 해결하려는 과제

### 과제의 해결 수단

- [0008] 전력 제어 디바이스는 각각의 전력 소스들의 동작을 제어하기 위한 1차 전력 제어 신호들을 발생시키는 제어기 회로부를 포함한다. 내부 전압 기준 발생기는 제어기 회로 각각에 대한 프로그램가능한 기준 전압 레벨을 제공한다. 제어기 회로들 중 적어도 하나는 내부적으로 제공된 기준 전압 레벨 대신에 외부적으로 제공된 전압 기준을 선택적으로 사용하도록 구성될 수도 있다.
- [0009] 전력 제어 디바이스는, 1차 전력 소스들에 연결되는 각각의 로드 스위치들 (load switches) 의 동작을 제어하기 위한 2차 전력 제어 신호들을 발생시키는 회로부를 더 포함할 수도 있다. 로드 스위치들의 슬루 레이트 (slew rate) 는, 1차 전력 소스들을 동작시키는데 사용되는 전력 제어 디바이스에 저장된 기준 전압들에 기초하여 2차 전력 제어 신호들에 의해 제어될 수도 있다.
- [0010] 1차 전력 제어 신호들 및 2차 전력 제어 신호들의 시퀀싱은 전력 제어 디바이스에 저장된 구성 데이터 (configuration data) 에 따라 제어될 수도 있다.
- [0011] 로드 스위치들 및 1차 전력 소스들의 전압 레벨들을 모니터링하기 위해 모니터링 회로부가 제공될 수도 있다. 모니터링 회로부는 과전압 및 부족전압 (undervoltage) 조건들을 시그널링할 수도 있다. 모니터링 회로부는 1차 전력 제어 신호들 및 2차 전력 제어 신호들의 시퀀싱을 동기화시키는데 사용될 수도 있다.
- [0012] 다음의 상세한 설명 및 첨부 도면들은 본 개시물의 본질 및 이점들의 더 나은 이해를 제공한다.

### 도면의 간단한 설명

- [0013] 도 1 은 전자 회로에서의 종래의 전력 공급 구성을 예시한 것이다.
- 도 2 는 본 개시물에 따른 전력 제어 디바이스를 사용하는 전력 공급 구성을 예시한 것이다.
- 도 2a 는 구성 데이터에 액세스하는데 사용될 수 있는 일 예시적인 GUI 를 예시한 것이다.
- 도 3 은 본 개시물의 특정 실시형태에 따른 전력 제어 디바이스의 일부 상세를 예시한 것이다.
- 도 4a 및 도 4b 는 도 3 의 전력 제어 디바이스에서의 1차 전력 제어기들의 상세들을 예시한 것이다.

도 4c 는 선택가능한 기준 전압을 갖는 1차 전력 제어기의 상세들을 예시한 것이다.

도 5 는 도 3 의 전력 제어 디바이스에 의해 제어되는 전력 스테이지들의 일 예를 예시한 것이다.

도 5a 는 DDR 동작을 위한 구성을 예시한 것이다.

도 6 은 도 3 의 전력 제어 디바이스에서의 2차 전력 제어기들의 일 실시형태를 예시한 것이다.

도 6a 는 2차 전력 제어기 (304a) 에 대한 상세들을 도시한 것이다.

도 7 은 도 6a 의 2차 전력 제어기의 동작에 대한 타이밍 차트를 예시한 것이다.

도 8 은 1차 전력 제어기에 의해 제어되는 전력을 모니터링하기 위한 모니터링 회로의 일 실시형태를 예시한 것이다.

도 9 는 2차 전력 제어기에 의해 제어되는 전력을 모니터링하기 위한 모니터링 회로의 일 실시형태를 예시한 것이다.

도 10 은 다른 1차 전력 제어기에 의해 제어되는 전력을 모니터링하기 위한 모니터링 회로의 일 실시형태를 예시한 것이다.

### 발명을 실시하기 위한 구체적인 내용

- [0014] 다음의 설명에서, 설명의 목적을 위해, 다수의 예들 및 특정 상세들이 본 개시물의 완전한 이해를 제공하기 위해 제시된다. 그러나, 특허청구범위에 나타난 본 개시물은 이들 예들에서의 피쳐들 (features) 중 일부 또는 전부를 유일하게 또는 아래에 설명된 다른 피쳐들과 함께 포함할 수도 있고, 여기에 설명된 피쳐들 및 개념들의 변경물들 및 등가물들을 더 포함할 수도 있다는 것이 이 기술분야의 당업자에게는 명백하다.
- [0015] 도 2 는 본 개시물의 원리들에 따른 전력 제어 디바이스 (100) 의 하이 레벨 블록도를 도시한 것이다. 통상적인 전력 제어 애플리케이션에서 구성되는 전력 제어 디바이스 (100) 가 도시된다. 전력 제어 디바이스 (100) 는, 일부 실시형태들에서 4.5V 내지 28V 일 수도 있는 입력 전압 (VIN) 을 수신할 수도 있다. 프로그램적 시스템 제어 및 모니터링을 고려하기 위해 I<sup>2</sup>C 인터페이스가 제공될 수도 있다. 예를 들어, 도 2a 는, 사용자 (예를 들어, 설계자) 가 구성 데이터 (configuration data) 및 다른 운용 데이터 (operating data) 를 전력 제어 디바이스 (100) 에 입력하게 하는 그래픽 사용자 인터페이스 (GUI) 의 일 예를 예시한 것이다. GUI 소프트웨어는 전력 제어 디바이스에 저장된 데이터를 판독하고 사용자-제공된 데이터를 전력 제어 디바이스에 저장하기 위해 I<sup>2</sup>C 인터페이스를 통해 전력 제어 디바이스 (100) 와 통신할 수도 있다.
- [0016] 전력 제어 디바이스 (100) 는 시스템 제어 및 모니터링을 위해 제어 입력 핀들 및 상태 출력 핀들을 포함할 수도 있다. 전력 제어 디바이스 (100) 는 다양한 전자제품들에 대한 전력 소스들 (202a, 202b, 202c, 202d) 을 제어할 수도 있다. 예를 들어, 도 2 에 도시된 예는, DDR RAM, ASIC 칩셋, 및 어드밴스 그래픽 프로세서 (advance graphics processor; AGP) 와 같은, 컴퓨터의 컴포넌트들을 도시한다.
- [0017] 일부 실시형태들에서, 전력 제어 디바이스 (100) 는 하나 이상의 DC-DC 전력 제어기들 (102a, 102b, 102c, 102d) 을 포함할 수도 있다. DC-DC 전력 제어기들 (102a 내지 102d) 은, 스탭-다운 컨버터들, 저 드롭-아웃 레귤레이터들 등과 같은 전력 소스들 (202a 내지 202d) 의 동작을 제어하기 위한 제어 신호들을 발생시킬 수도 있다. 일 실시형태에서, 예를 들어, DC-DC 전력 제어기들 (102a 내지 102c) 은 벡 컨버터들 (buck converters) 용 제어기들일 수도 있고, DC-DC 전력 제어기 (102d) 는 저 드롭-아웃 (low drop-out; LDO) 레귤레이터용 제어기일 수도 있다. 다른 실시형태들에서 DC-DC 전력 제어기들의 다른 구성들이 제공될 수도 있다.
- [0018] 일부 실시형태들에서, 전력 제어 디바이스 (100) 는 하나 이상의 로드 스위치 제어기들 (load switch controllers; 104a, 104b, 104c, 104d) 을 포함할 수도 있다. 로드 스위치 제어기들 (104a 내지 104d) 은, 전력 소스들 (202a 내지 202d) 에 연결되는 로드 스위치들 (204a, 204b, 204c, 204d) 의 동작을 제어하기 위한 제어 신호들을 발생시킬 수도 있다. 로드 스위치들 (204a 내지 204d) 은 N 채널 MOSFET 디바이스들을 포함할 수도 있지만, 다른 로드 스위치 설계들이 채용될 수도 있다.
- [0019] 도 2 에서 확인될 수 있는 바와 같이, DC-DC 전력 제어기들 (102a 내지 102d) 은 전력 소스들의 동작을 제어하기 위한 제어 신호들을 발생시켜 프로그램적으로 규제된 출력 전압을 생성할 수도 있다. 일부 실시형태들에



서, 예를 들어, 전력 소스는 0.5V 내지 5.0V 의 범위에서의 출력 전압들을 생성할 수도 있지만, 다른 실시형태들에서 다른 전력 소스들은 다른 전압 레벨들을 생성하도록 설계될 수도 있다.

[0020] 로드 스위치들 (204a 내지 204d) 은 다른 디바이스들에 대한 부가적인 전력 소스로서 기능하는 전력 소스들 (202a 내지 202d) 의 전압 출력들을 "탭 (tap)" 오프할 수도 있다. 도 2 에 도시된 예에서, 예를 들어, 로드 스위치들 (204a 및 204d) 은 전력 소스 (202a) 의 전압 출력을 탭 오프한다. 로드 스위치 (204b) 는 전력 소스 (202b) 를 탭 오프하고, 로드 스위치 (204c) 는 전력 소스 (202c) 를 탭 오프한다. 일반적인 경우, 이들의 특정 설계에 의해 요구된 대로 임의의 전력 소스 (202a 내지 202d) 로부터의 전력을 탭하기 위해 설계자가 임의의 로드 스위치 (204a 내지 204d) 를 연결할 수도 있다는 것을 인식할 수 있다. 각각의 전력 소스 (202a 내지 202d) 는 전압 레벨들의 범위 내의 특정 전압 레벨을 출력하도록 구성될 수도 있다. 본 개시물의 원리들에 따르면, 전력 제어 디바이스 (100) 는, 로드 스위치들 (204a 내지 204d) 에 연결된 임의의 구성의 전력 소스들 (202a 내지 202d) 의 동작을 제어하기에 적합한 제어 신호들을 제공할 수도 있고, 도 2 는 하나의 이러한 구성의 일 예를 예시한 것이다.

[0021] 여기에 사용되는 바와 같이, 용어 "1차 전력 소스" 는, DC-DC 전력 제어기들 (102a 내지 102d) 에 의해 제어되는 전력 소스들, 예를 들어, 전력 소스들 (202a 내지 202d) 을 지칭한다. 따라서, DC-DC 전력 제어기들 (102a 내지 102d) 은 "1차 전력 제어기들" 이라고 지칭될 수도 있다. 이와 마찬가지로, 용어 "2차 전력 소스" 는 로드 스위치들 (예를 들어, 204a 내지 204d) 또는 등가의 디바이스들을 지칭한다. 따라서, 로드 스위치 제어기들 (104a 내지 104d) 은 "2차 전력 제어기들" 이라고 지칭될 수도 있다.

[0022] 본 개시물의 다양한 양태들을 설명하기 위해, 도 3 에 도시된 예시적인 실시형태를 이하 참조한다. 이 도면은 SMB109 디지털 전력 제어 칩, 즉, 본 양수인의 완전 소유 자회사에 의해 제조되고 판매되는 디바이스에 포함되는, 본 개시물에 따른 전력 제어 디바이스 (300) 의 내부 블록도를 도시한 것이다. 전력 제어 디바이스 (300) 는, 각각의 1차 전력 소스들의 동작을 제어하기 위한 제어 신호들을 발생시키는 1차 전력 제어기들 (302a, 302b, 302c) 을 포함할 수도 있다. 일부 실시형태들에서, 1차 전력 소스들은 벅 컨버터들을 포함한다. 1차 전력 제어기들 (302a 내지 302c) 각각에 대한 핀 출력은 다음을 포함할 수도 있다:

[0023] • BST# - 부트스트랩 커패시터에의 연결을 위한 부트스트랩 입력

[0024] • DRVH#, DRVL# - 각각의 하이측 및 로우측 스위칭 출력들

[0025] • SW# - 출력 인덕터의 하이측에의 연결을 위한 스위치 노드

[0026] • CSH#, CSL# - 각각의 하이측 및 로우측 전류 감지 입력들

[0027] • FB# - PWM 제어기로의 전압 피드백 입력

[0028] • COMP# - 주파수 보상 입력

[0029] 여기서 "#" 은 1차 전력 제어기 (302a) 에 대해서는 "0", 1차 전력 제어기 (302b) 에 대해서는 "1", 그리고 1차 전력 제어기 (302c) 에 대해서는 "2" 이다.

[0030] 전력 제어 디바이스 (300) 는, 1차 전력 소스의 다른 종류로서 기능할 수도 있는, LDO 레귤레이터의 동작을 제어하기 위한 제어 신호들을 발생시키는 1차 전력 제어기 (302d) 를 더 포함할 수도 있다. 1차 전력 제어기 (302d) 의 핀 출력은, LDO 레귤레이터의 전력 스테이지에 제어 신호들을 출력하는 LDODRV, 및 LDO 레귤레이터의 LDO 제어기 부분으로의 피드백 전압인 LDOFB 를 포함한다.

[0031] 전력 제어 디바이스 (300) 는, 각각의 로드 스위치들의 동작을 제어하기 위한 각각의 로드 스위치 제어 신호들 (EXTSEQ0, EXTSEQ1, EXTSEQ2, EXTSEQ3) 을 생성하는 2차 전력 제어기들 (304a, 304b, 304c, 304d) 을 포함할 수도 있다. 2차 전력 제어기들 (304a 내지 304d) 은 모듈 (304) 에 포함될 수도 있다.

[0032] 본 개시물의 원리들에 따르면, 2차 전력 제어기들 (304a 내지 304d) 은, 로드 스위치 제어 신호들 (EXTSEQ0, EXTSEQ1, EXTSEQ2, EXTSEQ3) 에 의해 제어되는 로드 스위치들의 슬루 레이트 (slew rate) 제어 및 시퀀싱 제어를 제공할 수도 있다. 로드 스위치들의 슬루 레이트를 제어함으로써, 로드 스위치들로부터의 전력은 스텝 방식으로보다는 오히려 점진적 방식으로 턴 온 (ON) 되어, 로드 스위치에 의해 드라이브 (drive) 된 로드와 1차 전력 소스 양쪽에서의 전류 서지 (current surge) 의 영향을 감소시킬 수 있다. 이러한 시퀀싱 제어는 로드

스위치들이 임의의 원하는 순서로 턴 온되게 하여, 전자 시스템들의 제어된 파워 업 (power up) 을 제공한다.

시퀀싱 제어는 1차 전력 제어기들 (302a 내지 302d) 의 동작들을 2차 전력 제어기들 (304a 내지 304d) 의 동작들과 동기화시키는 것을 포함할 수도 있다.

[0033] 전압 기준 블록 (voltage reference block; 306) 은 1차 전력 제어기들 (302a 내지 302d) 에 대해 기준 전압들 (Vref0, Vref1, Vref2, Vref3) 을 각각 제공할 수도 있다. 따라서, 예를 들어, Vref0 은 1차 전력 제어기 (302a) 에 대한 기준 전압으로서 기능한다는 것, Vref1 은 1차 전력 제어기 (302b) 에 대한 기준 전압으로서 기능한다는 것 등이 있다. 전압 기준 블록 (306) 은 각각의 기준 전압 (Vref0, Vref1, Vref2, Vref3) 에 대한 범위 내의 상이한 전압 레벨을 제공하도록 프로그램될 수도 있다. 특정 실시형태에서, 예를 들어, 전압 기준 블록 (306) 은 Vref0, Vref1, Vref2, 및 Vref3 각각에 대해 0.5V 내지 2.5V 의 범위에서의 전압 레벨을 9.8mV 스텝들로 출력할 수도 있다.

[0034] 일부 실시형태들에서, 전력 제어 디바이스 (300) 는 더블 데이터 레이트 (DDR) 메모리 동작을 위해 외부적으로 제공된 (예를 들어, EN2/VTTFB 핀을 통해 제공된)  $V_{TT}$  기준 전압을 수용하기 위해 VTT 구성 블록 (306a) 을 포함할 수도 있다.

[0035] 시스템 제어 로직 (322) 은 전력 제어 디바이스 (300) 의 다양한 동작들을 모니터링하고 제어하기 위해 제어 로직 (로직 게이트들, 펌웨어, 소프트웨어 등) 을 포함할 수도 있다. 아래에 설명되는 바와 같이, 시스템 제어 로직 (322) 은 전력 제어 디바이스 (300) 의 동작들을 조정하기 위해 다양한 제어 신호들을 어서트 (assert) 할 수도 있다.

[0036] 메모리 (324) 는 전력 제어 디바이스 (300) 를 포함하여 내부 컴포넌트들에 대한 트리밍 데이터를 포함하는 다양한 구성 파라미터들을 저장할 수도 있다. 메모리 (324) 는 1차 전력 제어기들 (302a 내지 302d) 및 2차 전력 제어기들 (304a 내지 304d) 의 구성을 정의하는 사용자-제공된 구성 데이터를 저장할 수도 있다. 예를 들어, 메모리 (324) 는 각각의 기준 전압 (Vref0, Vref1, Vref2, 및 Vref3) 에 대한 전압 레벨을 설정하는 데이터를 저장할 수도 있다. 메모리 (324) 는, 각각의 2차 전력 제어기 (304a 내지 304d) 를, 그 2차 전력 제어기가 연결된 1차 전력 제어기 (302a 내지 302d) 와 연관시키는 데이터를 포함할 수도 있다. 예를 들어, 잠시 도 2 를 참조하면, 로드 스위치들 (204a 및 204c) 은 전력 소스 (202a) 로부터의 전력을 탭한다. 따라서, 메모리 (324) 는 로드 스위치 제어기들 (104a 및 104c) 이 DC-DC 전력 제어기 (102a) 와 연관됨을 나타내기 위한 데이터를 저장할 수도 있다. 메모리 (324) 에 저장될 수 있는 다른 구성 데이터는, 슬루 레이트 정보, 시퀀싱 정보 등을 포함할 수도 있고, 이들은 아래에 더욱 설명된다.

[0037] 오실레이터 (326) 는 타이밍 및 제어 신호들을 발생시키기 위해 시스템 제어 로직 (322) 에 의해 요구된 다양한 주파수 및 타이밍 관련 클럭 신호들을 발생시킬 수도 있다. 일부 실시형태들에서, 예를 들어, 오실레이터 (326) 는 각각의 1차 전력 제어기들 (302a 내지 302c) 에서의 전류 제어 루프에 대한 램프 전압들 (ramp voltages;  $\Theta_0$ ,  $\Theta_1$ ,  $\Theta_2$ ) 을 발생시킬 수도 있다.

[0038] 이하 도 4a 를 참조하면, 1차 전력 제어기 (302a) 에 대한 추가적인 상세가 설명된다. 1차 전력 제어기들 (302b 및 302c) 은 유사한 설계들을 갖는다고 이해된다. 1차 전력 제어기 (302d) 는 도 4b 에서 설명된다. 그 후에 도 4a 로 계속되어, 위에서 설명된 바와 같이, 일부 실시형태들에서, 각각의 1차 전력 제어기들 (302a 내지 302c) 에 의해 제어된 1차 전력 소스들은 벡 컨버터들일 수도 있다. 이에 따라, 도 4a 에 도시된 1차 전력 제어기 (302a) 는 벡 컨버터의 피드백 제어 스테이지를 구성한다. 도 5 는 1차 전력 제어기 (302a) 가 동작을 제어할 수도 있는 벡 컨버터의 전력 스테이지 (502) 의 일 예를 도시한 것이다. 전력 스테이지 (502) 는 스위처 회로 (switcher circuit; 502a, 502b), 인덕터 (502c), 및 출력 커패시터 (502d) 를 포함할 수도 있다. 스위처 회로 (502a, 502b) 의 스위치들은 N 채널 MOSFET들일 수도 있다.

[0039] 1차 전력 제어기 (302a) 는, 스위처 제어 신호 (DRVH0) 를 출력하는 하이측 드라이버 (402a), 및 스위처 제어 신호 (DRVLO) 를 출력하는 로우측 드라이버 (402b) 를 포함할 수도 있다. "0" 지정은 1차 전력 제어기 (302a) 를 포함하는 컴포넌트들을 지칭한다; 이와 마찬가지로, 1차 전력 제어기들 (302b 및 302c) 의 컴포넌트들은 각각 "1" 과 "2" 로 지정될 수도 있다. 스위처 제어 신호들 (DRVH0, DRVLO) 은 도 5 에 도시된 스위처 회로 (502a, 502b) 를 드라이브하도록 기능할 수도 있다. 전류 감지 앰프 (404) 는 PWM 발생기 (406) 내로 피딩되는 인덕터 전류를 감지한다. 오실레이터 (326) 로부터의 램프 전압 ( $\Theta_0$ ) 은 SR 플립플롭 (408) 내로 피딩된다. 감지된 인덕터 전류는 램프 전압 ( $\Theta_0$ ) 과 함께 1차 전력 제어기 (302a) 에 대한 전류 제어 루프를 구성한다.

- [0040] 전력 스테이지 (502) 에 의해 발생된 출력 전압 (VOUT) 은 핀 (FB0) 을 통해 에러 앰프 (410) 로 다시 피딩되고, 전압 기준 블록 (306) 에 의해 제공된 기준 전압 (Vref0) 과 비교된다. 이는 기준 전압 (Vref0) 에 따라 전력 스테이지 (502) 의 출력 전압을 설정하는 제어 루프를 생성한다.
- [0041] 위에서 설명된 바와 같이, 전압 기준 블록 (306) 은 0.5V 내지 2.5V 의 범위에서의 전압 레벨을 출력할 수도 있다. 도 5 를 참조하면, 분압기 저항기 (504) 가 전력 스테이지 (502) 로부터 생략된다면, 에러 앰프 (410) 로 다시 피딩되는 전압은 VOUT 이다. 이에 따라, 1차 전력 제어기 (302a) 는  $VOUT = Vref0$  를 유지하도록 스위치 회로 (502a, 502b) 를 드라이브하여, 범위 0.5V 내지 2.5V 에서의 전압을 생성한다. 이러한 구성은 "저 전압" 모드 동작이라고 지칭될 수도 있다.
- [0042] 한편, FB0 에서  $\frac{1}{2}$  의 분압기 비율이 달성되도록 분압기 저항기 (504) 가 제공된다면, 에러 앰프 (410) 로 다시 피딩되는 전압은  $\frac{1}{2} VOUT$  이다. 이에 따라, 1차 전력 제어기 (302a) 는  $\frac{1}{2} VOUT = Vref0$ , 또는  $VOUT = 2 \times Vref0$  을 유지하도록 스위치를 드라이브한다. 예시하기 위해, 예를 들어, 1.0V 내지 2.0V 의 범위 내의 Vref0 을 프로그램하고  $\frac{1}{2}$  분압기 비율을 가진 분압기 저항기 (504) 를 채용함으로써 범위 2.0V 내지 4.0V 에서의 전압을 생성하도록 VOUT 이 제어될 수도 있다. 이 구성은 "고 전압" 모드 동작이라고 지칭될 수도 있다. 메모리 (326) 는, 각각의 1차 전력 제어기 (302a 내지 302c) 에 대해, 1차 전력 제어기가 저 전압 동작을 위해 구성되는지 또는 고 전압 동작을 위해 구성되는지 여부를 나타내는 데이터를 포함할 수도 있다. 일부 실시형태들에서, 고 전압 모드 동작은, 2.5V 내지 5.0V 의 범위에서의 VOUT 에 대한 전압 레벨을 발생시키도록 1차 전력 소스를 제어하는 것으로서 정의될 수도 있고, 이는  $\frac{1}{2}$  분압기 비율을 제공하는 분압기 저항기 (504) 를 사용하고 1.25V 내지 2.5V 의 범위에서의 Vref# 에 대한 전압 레벨을 출력하도록 전압 기준 블록 (306) 을 프로그램하여 달성될 수 있다.
- [0043] 데드타임 제어 회로 (412) 는 드라이버들 (402a 및 402b) 이 스위치 MOSFET들 양쪽 모두를 동시에 턴 온시키는 것을 방지함으로써 스위치 회로 (502a, 502b) 에 걸친 '슛 스루 (shoot through)' 를 막는다.
- [0044] 이하 도 4b 를 참조하면, 1차 전력 제어기 (302d) 는 LDO 레귤레이터의 LDO 제어기 섹션을 구성한다. 1차 전력 제어기 (302d) 는 제어 신호 (LDODRV) 를 생성하기 위해 결합된 LDO 증폭기 및 드라이버 (422) 를 포함할 수도 있다. LDO 증폭기 (422) 는 패스 엘리먼트 (424) 를 포함하는 전력 스테이지를 제어하기 위한 전압 기준 블록 (306) 으로부터의 기준 전압 (Vref3) 을 수신하여, Vref3 과 관련되는 출력 전압 레벨 (VOUT) 을 유지하도록 한다. 일부 실시형태들에서, 예를 들어, 패스 엘리먼트 (424) 는 N 채널 MOSFET 일 수도 있다.
- [0045] 도 5 는 1차 전력 소스로부터의 전력을 탭함으로써 2차 전력 소스들로서 구성된 로드 스위치들의 통상적인 구성을 예시한 것이다. 이 도면은 전력 스테이지 (502) 의 출력 (VOUT) 에 연결되는 2개의 로드 스위치들 (512, 514) 을 도시한다. 도시된 예에서, 로드 스위치들 (512, 514) 은 각각의 로드 스위치 제어 신호들 (EXTSEQ2 및 EXTSEQ3) 에 의해 제어된다. 로드 스위치 제어 신호들 (EXTSEQ2 및 EXTSEQ3) 이 각각의 로드 스위치들 (512 및 514) 을 턴 온할 때, 전력이 벅 컨버터 (1차 전력 소스) 의 전력 스테이지 (502) 로부터 탭되고, 로드 스위치들에 연결된 로드들 (미도시) 에 제공된다. 로드 스위치 제어 신호들 (EXTSEQ0, EXTSEQ1, EXTSEQ2, 및 EXTSEQ3) 을 발생시키는 2차 전력 제어기들 (304a 내지 304d) 의 설명으로 이하 설명이 이어진다.
- [0046] 일부 실시형태들에서, 전력 제어 디바이스 (300) 는 더블 데이터 레이트 (DDR) 메모리 디바이스들을 지원하도록 구성될 수 있는 1차 전력 제어기를 포함할 수도 있다. VDDQ 이라고 불리는 공급 전압은, DDR 메모리를 포함하는 코어, I/O, 및 로직에 전력공급된다. DDR 메모리 디바이스들에 대한 현재 표준들에 따르면, VDDQ 는 2.5V, 1.8V, 또는 1.5V 로 설정될 수 있다. DDR 표준들은 로직 하이 ("1") 와 로직 로우 ("0") 사이의 임계치를 제공하는 기준 전압 (VTT) 을 호출 (call out) 한다. 기준 전압 (VTT) 은 통상적으로  $0.49 \times VDDQ$  내지  $0.51 \times VDDQ$  의 범위에 있도록 특정되고, 공급 전압 (VDDQ) 에서의 변화들에 대해 적응해야 한다.
- [0047] 이에 따라, 도 4c 를 참조하면, 전력 제어 디바이스 (300) 의 특정 실시형태에서, 전력 제어기 (302c) 는 DDR 애플리케이션들을 위해 구성될 수 있다. 전력 제어 디바이스 (302c) 는 기준 전압 (VTT) 을 발생시키는 데 사용될 수도 있고, 이 기준 전압 (VTT) 은 그 후에 DDR 메모리 디바이스에 의해 사용될 수 있다.
- [0048] 도 4c 는 도 3 에 예시된 VTT 구성 블록 (306a) 의 상세들을 도시한 것이다. 일부 실시형태들에서, VTT 구성 블록 (306a) 은, 단일 DDROPT 에 의해 제어되는 2개의 쌍투 스위치들 (432, 434) 을 포함할 수도 있다. DDROPT 신호는 메모리 (324) 에 저장된 데이터 값에 기초할 수도 있다. 예를 들어, 시스템 제어 로직 (322) 은 메모리 (324) 를 판독하고, 메모리에서 판독되는 데이터에 따라 어서트할 수도 있다. 일부 실시형태들에서, DDROPT 신호는 SDA 핀 (도 3) 을 통한 I<sup>2</sup>C 통신 인터페이스로부터 실시간으로 설정될 수도 있다.

- [0049] 스위치 (432) 는 입력 핀 (ENV2/VTTFB) 을 통해 외부적으로 제공된 전압 레벨과 전압 기준 블록 (306) 의 Vref2 출력 사이를 선택한다. 스위치 (432) 의 출력 (Vref2A) 은, 전력 제어기 (302c) 를 포함하는 에러 증폭기 (410) 내로 피딩된다. 스위치 (434) 는 입력 핀 (ENV2/VTTFB) 을 통해 외부적으로 제공된 전압 레벨과 (접지 저항기 (R) 를 통한) 접지 전위 사이를 선택한다.
- [0050] 전력 제어기 (302c) 가 DDR 메모리 디바이스에의 사용을 위해 구성되지 않았다면, DDROPT 신호는 디-어서트 (de-assert) 될 수도 있다 (예를 들어, 로직 LO). 이에 따라, 스위치들 (432, 434) 은 이들의 "0" 포지션으로 동작될 수도 있다. 전압 기준 블록 (306) 의 프로그램가능한 Vref2 출력은 스위치 (432) 를 통해 에러 증폭기 (410) 내로 피딩된다. 내부 신호 (EN2A) 는 스위치 (434) 를 통해 ENV2/VTTFB 핀에 연결되고, 이 핀은 외부적으로 제공된 로직 HI 에 연결될 수도 있다. 신호 (EN2A) 는 회로부 (예를 들어, 시스템 제어 로직 (322)) 에 의해 사용되어 전력 제어기 (302c) 가 내부적으로 발생된 Vref2 로부터 동작하고 있다는 것을 알 수도 있다. 예를 들어, 일부 실시형태들에서, 시스템 제어 로직 (322) 은 벡 컨버터를 턴 온시키기 위한 종래의 "소프트 스타트 (soft start)" 시퀀스를 수행할 수도 있고, 여기서 기준 전압 (Vref2) 은 0V 로부터 최종 값으로 점진적으로 램프 업된다.
- [0051] 전력 제어기 (302c) 가 DDR 메모리 디바이스에의 사용을 위해 구성된다면, 상술된 바와 같이, 예를 들어, DDROPT 신호는 어서트될 수도 있다 (예를 들어, 로직 HI). 스위치들 (432, 434) 은 DDROPT 신호에 의해 이들의 "1" 포지션으로 동작될 수도 있다. ENV2/VTTFB 핀은  $0.49 \times VDDQ$  내지  $0.51 \times VDDQ$  의 범위에 있는 외부적으로 제공된 기준 전압에 연결된다. 이 외부적으로 제공된 기준 전압은 스위치 (432) 를 통해 에러 증폭기 (410) 내로 피딩되어, VTT 를 발생시키기 위한 올바른 기준 전압을 제공한다.
- [0052] 일부 실시형태들에서, 전력 제어기들 (302a 내지 302c) 은 2개의 흔히 알려진 동작 모드들 중 하나에서 이들의 각각의 전력 스테이지들을 동작시킬 수도 있다: 연속적인 전도 모드 또는 불연속적인 전도 모드 ("펄스 스킵핑 (pulse skipping)" 모드라고도 지칭될 수도 있다). 그러나, 전력 제어기 (302c) 가 DDR 모드에 대해 구성될 때, 전력 제어기는 연속적인 전도 모드에서 VTT 를 생성하도록 동작되어야 한다. 이에 따라, 일부 실시형태들에서, DDROPT 신호가 어서트될 때 EN2A 신호는 스위치 (434) 를 통해 로직 LO 에 연결될 수도 있다. 시스템 제어 로직 (322) 은 연속적인 전도 모드에서만 동작하도록 전력 제어기 (302c) 를 제한함으로써 LO 로 어서트되는 EN2A 신호에 응답할 수도 있다.
- [0053] 도 5a 는 전력 제어기 (예를 들어, 302b) 사용하여 VDDQ 를 생성하고 VDDQ 에 기초한 기준 전압을 전력 제어기 (302c) 에 피딩하여 VTT 를 생성하는 통상적인 DDR 모드 구성을 예시한 것이다. 전력 스테이지 (522) 는 VDDQ 를 생성한다. Vref1 에 대한 적절한 레벨을 발생시키기 위해 전압 기준 블록 (306) 을 프로그램함으로써 VDDQ 에 대한 전압 레벨이 2.5V, 1.8V, 또는 1.5V 로 설정될 수도 있다. 분압기 네트워크 (524) 는, ENV2/VTTFB 핀에 연결될 수 있는 VDDQ 의 2 분할 출력 ( $\frac{1}{2} \times VDDQ$ ) 을 생성한다. 전력 스테이지 (542) 는, 전력 스테이지 (302b) 로부터 생성되는  $\frac{1}{2} \times VDDQ$  와 관련된 VTT 를 생성하도록 전력 제어기 (302c) 에 의해 제어될 수도 있다.
- [0054] 도 6 을 참조하면, 모듈 (304) 은 2개의 출력 레벨들, 즉,  $1 \times$  출력 및  $2 \times$  출력을 제공하는 슬루 레이트 유닛 (602) 을 포함할 수도 있다. 슬루 레이트 유닛 (602) 의 각 출력은, 각각의 로드 스위치 제어 신호들 (EXTSEQ0, EXTSEQ1, EXTSEQ2, EXTSEQ3) 을 발생시키는 제어 유닛들 (604a, 604b, 604c, 604d) 내로 피딩된다. 따라서, 각각의 2차 전력 제어기 (304a 내지 304d) 는, 제어 유닛들 (604a 내지 604d) 과 함께 동작하는 슬루 레이트 유닛 (602) 을 포함할 수도 있다.
- [0055] 슬루 레이트 유닛 (602) 은 시스템 제어 로직 (322) 으로부터 다양한 신호들을 수신한다. 예를 들어, 클록 신호 (CLKSRC#) 는 슬루 레이트 유닛 (602) 에 대한 타임 베이스를 제공한다. 시스템 제어 로직 (322) 은 액티브한 각각의 2차 전력 제어기 (304a 내지 304d) 에 대한 개별 클록 신호 (CLKSRC#) 를 어서트할 수도 있다. 또한, 시스템 제어 로직 (322) 은 액티브한 2차 전력 제어기들 (304a 내지 304d) 에 대응하는 인에이블 신호 (SRCEN0, SRCEN1, SRCEN2, SRCEN3) 를 어서트한다.
- [0056] 모드 셀렉터 (606) 는, 각각의 1차 전력 제어기 (302a 내지 302c) 에 대응하는 모드 표시자 (HV00, HV01, HV02) 를 선택한다. 모드 표시자는 대응하는 1차 전력 제어기 (302a 내지 302d) 가 고 전압 모드에서 동작하고 있는지 (예를 들어, 2.5V 내지 5.0V 를 출력하는지) 또는 저 전압 모드에서 동작하고 있는지 (예를 들어, 0.5V 내지 2.5V 를 출력하는지) 여부를 나타낸다. 시스템 제어 로직 (322) 은 1차 전력 제어기들 (302a 내지 302c) 중 하나를 식별하기 위한 비트들 (ICH100 및 ICH101) 을 어서트한다. 예를 들어, '00'b 는 1차 전력 제어기 (302a) 와 연관되어 HV00 을 선택할 수도 있고, '01'b 는 1차 전력 제어기 (302b) 와 연관되어



HV01 을 선택할 수도 있으며, '10'b 는 1차 전력 제어기 (302c) 와 연관되어 HV02 를 선택할 수도 있다. 일부 실시형태들에서, 모드 셀렉터 (606) 는, 모드 표시자들 (HV00, HV01, 또는 HV02) 중 하나를 제어 유닛들 (604a 내지 604d) 각각에 출력하는 멀티플렉서 (예를 들어, 4:1 mux) 일 수도 있고, 그에 따라 2차 전력 제어기들 (304a 내지 304d) 이 액티브하게 되고 1차 전력 제어기 (302a 내지 302c) 가 액티브한 2차 전력 제어기(들) 와 연관된다.

[0057] 제어 유닛들 (604a 내지 604d) 각각은, 시스템 제어 로직 (322) 이 슬루 레이트 유닛 (602) 의 동작으로 조정하는 것으로 어서트할 수도 있는, 대응하는 인에이블 신호들 (예를 들어, ENA\_SRC0) 및 디스에이블 신호들 (예를 들어, EOSRC0) 을 갖는다.

[0058] 도 6a 는 2차 전력 제어기 (304a) 로서 함께 동작하는 제어 유닛 (604a) 및 슬루 레이트 유닛 (602) 의 상세들을 도시한 것이다. 제어 유닛들 (604b 내지 604d) 은 이와 유사하게 구성된다. 2차 전력 제어기 (304b) 는 슬루 레이트 유닛 (602) 과 제어 유닛 (604b) 의 조합을 포함한다는 것, 2차 전력 제어기 (304c) 는 슬루 레이트 유닛 (602) 과 제어 유닛 (604c) 의 조합을 포함한다는 것 등이 있다.

[0059] 슬루 레이트 유닛 (602) 은 유입 클록 신호 (CLKSRC0) 에 의해 설정된 레이트로 펄스들을 발생시키기 위한 원-샷 (one-shot) 을 포함한다. 원-샷은 클록 신호 (CLKSRC0) 에 의해 설정된 레이트로 커패시터 ( $C_{src}$ ) 를 충전하기 위해 비중복 (NOL) 스위치를 동작시킨다. 커패시터 ( $C_{src}$ ) 에 걸쳐 연결된 접지 스위치는, 시스템 제어 로직 (322) 이 인에이블 신호 (SRCENO) 를 어서트할 때까지 커패시터를 비충전된 상태로 유지한다. 커패시터 전압 ( $V_{CSRC}$ ) 은 버퍼 (612) 내로 피딩된다. 버퍼 (612) 는 2 의 이득 계수 (gain factor) 를 갖는 비반전 증폭기로서 구성된 OP 앰프를 포함할 수도 있다. 버퍼 (612) 의 출력은 OP 앰프의  $2\times$  이득을 반영하기 위해 " $2\times$  출력" 이라고 지칭될 수도 있다. " $1\times$  출력" 이라고 불리는 다른 출력은, 저항기 분할기 피드백 네트워크로부터 취득되고 단위 이득을 갖는다.

[0060] 제어 유닛 (604a) 은, 로드 스위치 제어 신호 (EXTSEQ0) 를 출력하는 출력 드라이버 (622) 를 포함하고, 이 출력 드라이버 (622) 는 일부 실시형태들에서 MOSFET 디바이스일 수도 있다. 출력 드라이버 (622) 는 3개의 스위치들 (624, 626, 및 628) 중 임의의 것을 선택함으로써 턴 온될 수도 있다. 스위치 (624) 는 버퍼 (612) 의  $1\times$  출력을 출력 드라이버 (622) 의 게이트에 연결한다. 스위치 (626) 는 버퍼 (612) 의  $2\times$  출력을 출력 드라이버 (622) 의 게이트에 연결한다. 스위치 (628) 는 VDDH 를 출력 드라이버 (622) 의 게이트에 연결하고, 이 VDDH 는 일부 실시형태들에서 10V 일 수도 있다. 모드 셀렉터 (606) 로부터의 모드 표시자 (HV00, HV01, 또는 HV02) 와 함께 신호들 (ENA\_SRC0 및 EOSRC0) 은, 로직 (632) 에 따라 스위치들 (624 내지 628) 의 폐쇄 및 개방을 제어한다.

[0061] 도 6a 에 도시된 2차 전력 제어기 (304a) 의 동작을 도 7 의 타이밍 차트와 함께 이하 설명한다. 일반적으로, 본 개시물의 원리들에 따르면, 슬루 레이트 유닛 (604) 은, 로드 스위치 (610) 의 슬루 레이트를 제어할 수 있는 로드 스위치 제어 신호 (EXTSEQ0) 를 발생시킨다. 이는, 로드 스위치 (610) 가, 로드 스위치가 연결되는 1차 전력 소스에 의해 결정되는 마지막 출력 전압 레벨로 점진적 방식으로 턴 온되게 한다. 로드 스위치 (610) 가 그의 마지막 출력 전압 레벨에 도달한 후에, 2차 전력 제어기 (304a) 는 (예를 들어, 파워 다운 동작 동안) 턴 오프되는 시간이 될 때까지 로드 스위치를 온 상태로 유지할 수 있다.

[0062] 도 7 을 참조하면, 시스템 제어 로직 (322) 이 2차 전력 제어기 (302a) 를 인에이블시킬 준비가 될 때, 이 시스템 제어 로직 (322) 은, 로드 스위치 (610) 의 슬루 레이트를 설정하는 클록 신호 (CLKSRC0) 를 어서트한다. 예를 들어, 메모리 (324) 는 각각의 2차 전력 제어기 (304a 내지 304d) 에 대한 슬루 레이트들을 나타내는 데이터를 저장할 수도 있다. 이 데이터는 적합한 클록 신호 (CLKSRC#) 를 발생시키기 위해 시스템 제어 로직 (322) 에 의해 사용될 수도 있다.

[0063] 클록 신호 (CLKSRC0) 를 어서트하면 원-샷 실행을 시작한다. 그러나, 시스템 제어 로직 (322) 이 SRCENO 를 어서트할 때까지, 커패시터 ( $C_{src}$ ) 는 충전되지 않는다. 시스템 제어 로직 (322) 은, 2차 전력 제어기 (304a) 와 연관되는 1차 전력 제어기 (302a 내지 302c) 에 따라 모드 셀렉터 (606) 상의 ICHI00 및 ICHI01 비트들을 설정할 수도 있다. 연관된 1차 전력 제어기의 고 전압 모드 표시자 (HV0#) 는 모드 셀렉터 (606) 를 통해 로직 (632) 으로 피딩된다.

[0064] 도 7 의 시점 A 에서, 시스템 제어 로직 (322) 은 ENA\_SRC0 및 SRCENO 을 어서트할 수도 있다 (EOSRC0 는 이때 디-어서트된다). 고 전압 모드 표시자 (HV0#) 에 따라, 출력 드라이버 (622) 는 스위치 (624) 를 통한 1

× 출력 또는 스위치 (626) 를 통한 2× 출력 중 어느 하나에 연결된다. 예를 들어, HVO# 표시자가 고 전압 동작을 나타낸다면, 출력 드라이버 (622) 는 2× 출력에 연결된다. 본 개시물의 이 양태는 아래에 더욱 상세히 설명된다.

[0065] 원-샷이 커패시터 ( $C_{src}$ ) 를 충전함에 따라, 커패시터 전압 ( $V_{CSRC}$ ) 은 계단식으로 증가하고 출력 드라이버 (622) 를 드라이브하기 시작한다; 개방 루프 제어로 인해 레이턴시 기간이 존재할 수도 있다. 로드 스위치 제어 신호 (EXTSEQ0) 는 점진적으로 증가하여, 로드 스위치 (610) 의 슬루 레이트 제어를 제공하고 점진적으로 로드 스위치를 턴 온시킨다. 도 7 에서 확인될 수 있는 바와 같이, 로드 스위치 (610) 의 전압 출력 ( $V_{LSWO}$ ) 은  $V_{CSRC}$  의 계단식 증가에 맞춰 램프 업 (슬루) 하기 시작한다.

[0066] 본 개시물의 특정 실시형태에서, 시스템 제어 로직 (322) 은 클록 신호 (CLKSRC0) 의 357개의 틱 (tic) 들을 카운트하고 이 기간 동안 0V 내지 3.5V 로부터의  $V_{CSRC}$  를 램프한다. 이는 원-샷의 펄스 폭 ( $T_{ON}$ ) 을 적절히 설계함으로써 달성될 수 있다. 물론, 이들 설계 파라미터들은 본 개시물의 특정 실시형태에 특정된 것이고 다른 값들이 사용될 수도 있다는 것을 인식한다. 도 7 의 시점 B 에서, 마지막 틱이 카운트되었을 때, 시스템 제어 로직 (322) 은 슬루 레이트 제어의 끝을 나타내도록 신호 (EOSRC0) 를 어서트한다. EOSRC0 가 어서트될 때, 로직 (632) 은 스위치들 (624 및 626) 이 개방되게 하고, 스위치 (628) 를 폐쇄시킨다. 스위치 (628) 는 드라이버 (622) 를 VDDH 로 풀 (pull) 하고, 이 VDDH 는 출력 드라이버 (622) 를 충분히 턴 온시키기에 충분한 전압 레벨 (예를 들어, 10V) 이며, 이어서, 로드 스위치 (610) 를 충분히 턴 온시킨다.

[0067] 시점 C 에서, 로드 스위치 (610) 를 턴 오프시키는 시간이 될 때, 시스템 제어 로직 (322) 은 ENA\_SRC0 를 디어서트할 수도 있다. 이는 스위치 (628) 를 개방하여 출력 드라이버 (622) 를 턴 오프시킨다.

[0068] 저 전압 모드 동안 그리고 고 전압 모드 동작 동안의 슬루 레이트 유닛 (602) 의 동작이 이하 설명된다. 1차 전력 제어기들 (302a 내지 302c) 이 범위 0.5V 내지 2.5V 에서의 저 전압 모드에서 동작할 수도 있다는 것을 상기한다. 이에 따라, 도 6a 를 참조하면, 저 전압 모드에서, 로드 스위치 (610) 의 드레인은 최대한으로  $V_{OUT}=2.5V$  에, 즉, 로드 스위치가 저 전압 모드에서 연결되는 1차 전력 소스의 최대 출력 전압에 연결된다. 위에서 설명된 바와 같이, 시스템 제어 로직 (322) 은 0V 내지 3.5V 로부터의  $V_{CSRC}$  를 램프하도록 슬루 레이트 유닛 (602) 를 동작시킨다. 위에서 설명된 바와 같이, 저 전압 모드 동작에서, 출력 드라이버 (622) 는, 0V 내지 3.5V 로부터 변하는 버퍼 (612) 의 1× 출력에 의해 드라이브된다. 이와 마찬가지로, 로드 스위치 (610) 는, 로드 스위치와 출력 드라이버 (622) 의 전압 임계치들 ( $V_{th}$ ) 을 고려하여, EXTSEQ0 에 의해 약 3.5V 로 드라이브된다. EXTSEQ0 를 약 3.5V 로 램프함으로써, 슬루 레이트 유닛 (604) 은, 시스템 제어 로직이 신호 (EOSRC0) 를 어서트할 때까지 (예를 들어, 도 7 의 시점 B) 1차 전력 소스가 저 전압 모드에서 어떤 출력 전압을 생성하든 로드 스위치 (610) 가 슬루되는 것을 보장할 수 있다.

[0069] 도 7 을 참조하면, 예를 들어, 타이밍 차트는, 로드 스위치 (610) 가, 1.2V (즉, 저 전압 모드) 의 전압 레벨을 출력하도록 구성되는 1차 전력 소스에 연결되는 일 예를 예시한다. 출력 드라이버 (622) 가 스위치 (628) 에 의해 VDDH 로 풀 업될 때의 시점 B 이전에, 시점 D 에서, 로드 스위치 (610) 의 출력 전압은 1.2V 로 슬루되었다.

[0070] 한편, 로드 스위치 (610) 가 연결되는 1차 전력 소스가 고 전압 모드 동작에 대해 구성된다면, 1차 전력 소스의 출력 전압은 2.5V 내지 5.0V 의 범위에서 동작될 수도 있다. 위에서 설명된 바와 같이, 출력 드라이버 (622) 는, 모드 표시자가 고 전압 모드 동작을 나타내기 때문에, 고 전압 모드에서 버퍼 (612) 의 2× 출력에 의해 드라이브된다. 2× 출력의 출력 전압은 0.0V 내지 7.0V 의 범위에 있다. 이에 따라, 로드 스위치 제어 신호 (EXTSEQ0) 는 약 7.0V 로 램프하고, 이는 시스템 제어 로직이 신호 (EOSRC0) 를 어서트할 때까지 (예를 들어, 도 7 의 시점 B) 1차 전력 소스가 고 전압 모드에서 어떤 출력 전압을 생성하든 로드 스위치 (610) 가 슬루되는 것을 보장한다.

[0071] 본 개시물의 일 양태는 시퀀스 제어이다. 본 개시물에 따르면, 시스템 제어 로직 (322) 은, 더욱 편리하게 여기서 "채널들" 이라고 총칭하여 지칭되는, 1차 전력 제어기들 (302a 내지 302d) 및 2차 전력 제어기들 (304a 내지 304d) 의 시퀀싱을 제어할 수도 있다. 메모리 (324) 는, 채널들을 인에이블시키는 순서를 나타내기 위해 시스템 제어 로직 (322) 에 의해 사용될 수 있는 데이터를 저장할 수도 있다. 일반적으로, 채널들은 주어진 설계에 적합한 임의의 순서로 인에이블될 수도 있다. 또한, 하나 이상의 채널들은 동시에 인에이블될 수도 있다. 물론, 2차 전력 제어기에 의해 제어된 로드 스위치가, 이 로드 스위치가 턴 온될 때 출력할 전

력을 갖는다는 것을 보장하기 위해, 2차 전력 제어기는 그의 연관된 1차 전력 제어기가 이전에 인에이블된 후에만 단지 인에이블되어야 한다는 것을 인식한다.

[0072] 다음은 채널 활성화 시퀀스들의 예시적인 예들을 나타낸 것이고, 여기서  $P_i$  는  $i$  번째 1차 전력 제어기를 나타내며 1차 전력 제어기들 (302a 내지 302d) 중 임의의 것일 수 있다. 이와 유사하게,  $S_i$  는 각 시퀀스에서의  $i$  번째 2차 전력 제어기를 나타내며 2차 전력 제어기들 (304a 내지 304d) 중 임의의 것일 수 있다.

[0073] •  $P_1, P_2, P_3, P_4, S_1, S_2, S_3, S_4$  - 여기서, 1차 전력 제어기들이 우선 시퀀스대로 인에이블된 후에, 2차 전력 제어기들이 시퀀스대로 인에이블된다.

[0074] •  $P_1, S_1, P_2, [S_2, S_3], P_3, S_4, P_4$  - 여기서, 1차 전력 제어기 ( $P_1$ ) 가 우선 인에이블되고, 그 후에 2차 전력 제어기 ( $S_1$ ), 그 후에 다른 1차 전력 제어기 ( $P_2$ ) 등으로 인에이블된다. 꺾쇠괄호 표기는 2차 전력 제어기들 ( $S_2$  및  $S_3$ ) 이 동시에 인에이블되는 것을 나타낸다.  $S_1$  이  $P_1$  로부터의 전력을 사용하고,  $S_2$  및  $S_3$  이  $P_2$  로부터의 전력을 사용하며,  $S_4$  가  $P_3$  으로부터의 전력을 사용하는 경우, 이 시퀀스 예는 적절할 수도 있다.  $P_4$  가 어떤 2차 전력 제어기와도 연관되지 않는다는 것에 주목한다.

[0075] •  $P_1, [S_1, S_2], P_2, S_3$  - 이 시퀀스는, 1차 전력 제어기들 중 2개 그리고 2차 전력 제어기들 중 3개만의 활성화를 나타내어, 전력 제어기들 모두가 인에이블될 필요가 없다는 것을 예시한다. 예를 들어, 이 설계는 2개의 1차 전력 소스들 및 3개의 2차 전력 소스들만을 사용할 수도 있다.

[0076] 본 개시물의 일 양태는 동기화된 동작이다. 본 개시물에 따르면, 시스템 제어 로직 (322) 은 일 시퀀스의 채널들의 활성화를 동기화하여 언제 후속 채널들을 그 시퀀스대로 인에이블시킬지를 제어하도록 할 수도 있다. 시스템 제어 로직 (322) 은 다수의 동기화 트리거들 중 임의의 것을 사용하도록 (예를 들어, 메모리 (324) 에 저장된 구성 데이터를 사용하여) 프로그램될 수도 있다. 일부 실시형태들에서, 트리거는 시간 지연일 수도 있다. 예를 들어, 시스템 제어 로직 (322) 은 다음 채널을 시퀀스대로 활성화시키기 전에 하나의 채널을 활성화시킨 후의 어떤 기간 동안 지연시키도록 프로그램될 수도 있다.

[0077] 다른 실시형태들에서, 시스템 제어 로직 (322) 은 전력 제어 디바이스 (300) 상의 하나 이상의 핀들을 사용하여, 외부에서 발생된 신호들을 트리거로서 수신할 수도 있다. 아래에 설명되는 바와 같이, 전압 모니터링 회로부는 과전압 및 부족전압 (undervoltage) 조건들을 검출하도록 제공될 수도 있다. 스타트업 동안, 시스템 로직 (322) 은 언제 다음 채널을 시퀀스대로 인에이블시킬지를 결정하기 위해 부족전압 신호들을 트리거들로서 사용할 수도 있다. 예를 들어, 시스템 제어 로직 (322) 은 현재 채널에 대한 부족전압 조건이 디-어서트되는 후속 채널을 인에이블시키거나, 또는 기간이 경과한 후에 인에이블시킬 수도 있다.

[0078] 또 다른 실시형태들에서, 트리거는  $I^2C$  버스 (SDA 핀, 도 3) 상의 통신일 수도 있다. 예를 들어, 전력 제어 디바이스 (300) 외부의 로직은  $I^2C$  버스를 통해 시스템 제어 로직 (322) 에 트리거링 메시지를 전달할 수도 있다.

[0079] 본 개시물의 일 양태는 과전압 및 부족전압 검출이다. 일부 실시형태들에서, 전력 제어 디바이스 (300) 는 각각의 1차 전력 제어기들 (302a 내지 302d) 및 2차 전력 제어기들 (304a 내지 304d) 에 의해 제어되는 1차 전력 소스들 및 2차 전력 소스들 각각에 대한 과전압 및 부족전압 조건들에 대한 모니터링을 제공할 수도 있다. 전력 제어 디바이스 (300) 는 과전압 및 부족전압 조건들에 대해 모니터링하기 위한 모니터링 회로들을 포함할 수도 있다. 임의의 어느 한 조건이 발생하는 경우, PGOOD 핀 (도 3) 은 디-어서트될 수도 있다. PGOOD 핀은 전력 제어 디바이스 (300) 의 외측의 로직에 의해 사용되어 과전압 또는 부족전압 조건이 발생하였다고 결정할 수도 있다.

[0080] 도 8 은 1차 전력 제어기들 (302a 내지 302d) 에 사용될 수 있는 모니터링 회로부 (800) 의 일 실시형태를 예시한 것이다. 일부 실시형태들에서, 일 실례의 모니터링 회로부 (800) 가 각각의 1차 전력 제어기 (302a 내지 302d) 에 대해 제공된다. 이 도면은, 신호 라인 라벨들에서 "1" 지정으로 나타낸 바와 같이, 1차 전력 제어기 (302b) 에 대한 모니터링 회로부 (800) 를 도시한다. 유사한 모니터링 회로부가 다른 1차 전력 제어기들 각각에 대해 제공된다.

[0081] 입력 핀 (CSL1) 은, 1차 전력 제어기 (302b) 에 의해 제어되는 1차 전력 소스 (예를 들어, 벡 컨버터의 전력 스테이지, 도 5 참조) 의 출력 (VOUT) 에 연결된다. 비교기 섹션 (802) 은, 1차 전력 제어기 (302b) 와 연관되는 (전압 기준 블록 (306) 으로부터의) 기준 전압 ( $V_{ref1}$ ) 과 VOUT 을 비교한다.

- [0082] 전압 기준 블록 (306) 의 출력 전압 범위는 0.5V 내지 2.5V 이다. 따라서, Vref1 은 0.5V 와 2.5V 사이의 어떤 값이다. 각각의 1차 전력 소스가 고 전압 모드에서 (예를 들어, 2.5V 내지 5.0V) 또는 저 전압 모드에서 (예를 들어, 0.5V 내지 2.5V) 동작될 수도 있다는 것을 상기한다. 이에 따라, 본 개시물에 따르면, 스위치 (804) 는, 모드 표시자 (HV01) 에 의해 결정되는 바와 같이 1차 전력 소스가 고 전압 모드에서 동작하고 있는지 또는 저 전압 모드에서 동작하고 있는지 여부에 따라, CSL1 또는 (분압기 (806) 를 통한)  $\frac{1}{2} \times \text{CSL1}$  을 비교기 섹션 (802) 에 피딩한다.
- [0083] 비교기 섹션 (802) 은 과전압 (OV) 비교기 및 부족전압 (UV) 비교기를 포함할 수도 있다. OV 및 UV 비교기들은 이들의 각각의 비반전 및 반전 입력들 상에 전압 기준 블록 (306) 로부터의 Vref1 을 수신한다.  $V_{\text{THOV1}}$  은 과전압 결정을 위한 프로그램가능한 임계값이다.  $V_{\text{THUV1}}$  은 부족전압 결정을 위한 프로그램가능한 임계값이다. 일부 실시형태들에서, 메모리 (324) 는  $V_{\text{THOV1}}$  과  $V_{\text{THUV1}}$  을 결정하기 위해 사용될 수 있는 임계 데이터를 저장할 수도 있다. 예를 들어, 메모리 (324) 는  $V_{\text{THOV1}}$  이 Vref1 의 퍼센티지로서 결정되고  $V_{\text{THUV1}}$  이 Vref1 의 퍼센티지로서 결정되도록 퍼센티지 값들을 저장할 수도 있다.
- [0084] OV 비교기는, 모드 표시자 (HV01) 에 따라 Vref1 을 수량 ( $\text{VOUT} - V_{\text{THOV1}}$ ) 또는 수량 ( $\frac{1}{2} \text{VOUT} - V_{\text{THOV1}}$ ) 과 비교하고, Vref1 이 비교된 수량보다 작아서 과전압 조건을 나타내는 경우 신호 (OV\_CH1) 를 어서트한다. UV 비교기는, 모드 표시자 (HV01) 에 따라 Vref1 을 수량 ( $\text{VOUT} + V_{\text{THUV1}}$ ) 또는 수량 ( $\frac{1}{2} \text{VOUT} + V_{\text{THUV1}}$ ) 과 비교하고, Vref1 이 비교된 수량보다 커서 부족전압 조건을 나타내는 경우 신호 (UV\_CH1) 를 어서트한다.
- [0085] 200 nS 와 400 nS 의 시간 지연들은, 작은 전압 변동들이 존재할 수도 있는 잡음 환경들의 경우 신호 지연을 제공한다. 유사한 이유들로, OV 및 UV 비교기들은 OV\_CH1 및 UV\_CH1 이 필터터링하게 할 수 있는 작은 전압 변동들을 고려하기 위해 히스테리시스 (예를 들어, 25 mV) 를 포함할 수도 있다.
- [0086] OV 리셋 비교기 및 OV 25 mV 비교기의 동작은 모드 표시자 (HV01) 의 Vref1 에 의존하지 않아서 설명되지 않는다.
- [0087] 도 8 에 도시된 모니터링 회로부는, 전력 제어기 (302b) 에 의해 제어된 전력 스테이지의 출력 전압을 모니터링하기 위한 것이다. 유사한 회로가 전력 제어기 (302c) 에 제공되고, 동작이 동일하다. 그러나, DDR 모드가 시행 중인지 여부에 따라, 전압 기준 (Vref2) 이 전압 기준 블록 (306) 의 출력일 수도 있고 또는 외부적으로 제공된 레벨일 수도 있다는 것을 도 4c 로부터 상기한다. 이에 따라, 전력 제어기 (302c) 에 대한 모니터링 회로부의 비교기 섹션 (802) 은 과전압 또는 부족전압 조건을 검출하기 위한 올바른 기준 전압 (Vref2) 을 자동으로 수신한다.
- [0088] 도 9 는 2차 전력 제어기들 (304a 내지 304d) 에 사용될 수 있는 모니터링 회로부 (900) 의 일 실시형태를 예시한 것이다. 일부 실시형태들에서, 일 실례의 모니터링 회로부 (900) 가 각각의 2차 전력 제어기 (304a 내지 304d) 에 대해 제공된다. 이 도면은, 신호 라인 라벨들에서 "0" 지정으로 나타낸 바와 같이, 2차 전력 제어기 (304a) 에 대한 모니터링 회로부 (900) 를 도시한다. 유사한 모니터링 회로부가 다른 2차 전력 제어기들 각각에 대해 제공된다.
- [0089] 입력 핀 (SEQFB0) 은, 2차 전력 제어기 (304b) 에 의해 제어되는 2차 전력 소스; 예를 들어, 로드 스위치 (910) 의 출력 (VOUT) 에 연결된다. 비교기 섹션 (902) 은, 2차 전력 제어기 (304a) 와 연관되는 (전압 기준 블록 (306) 으로부터의) 기준 전압과 VOUT 을 비교한다. 기준 전압은, 2차 전력 제어기 (304a) 와 연관되는 1차 전력 제어기에 의해 제어되는 전력 소스의 출력 전압에 기초한다.
- [0090] 스위치 (904) 는, SEQFB0 또는 (분압기 (906) 를 통한)  $\frac{1}{2} \times \text{SEQFB0}$  를 비교기 섹션 (902) 에 피딩한다. 2차 전력 제어기 (304a) 와 연관되는 1차 전력 소스가 고 전압 모드에서 (예를 들어, 2.5V 내지 5.0V) 또는 저 전압 모드에서 (예를 들어, 0.5V 내지 2.5V) 동작될 수도 있다. 그러나, 위에서 설명된 바와 같이, 전압 기준 블록 (306) 에서의 각 전압 (Vref[0-2]) 의 출력 전압 범위는 0.5V 내지 2.5V 이다. 이에 따라, 연관된 1차 전력 소스가 고 전압 모드에서 동작하고 있다면,  $\frac{1}{2} \times \text{SEQFB0}$  을 비교기 섹션 (904) 에 피딩하기 위해 그 1차 전력 소스에 대응하는 스위치 (904) 가 모드 표시자 (HV0#) 에 의해 동작된다.
- [0091] 2차 전력 제어기 (304a) 가 1차 전력 제어기들 (302a 내지 302c) 중 어느 하나와 연관될 수 있기 때문에, 2차 전력 제어기가 연관되는 1차 전력 제어기에 대응하는 기준 전압을 선택하도록 전압 기준 셀렉터 (908a) 가 제공될 수도 있다. 연관된 1차 전력 제어기의 대응하는 모드 표시자를 선택하도록 모드 셀렉터 (908b) 가 제공



될 수도 있다.

[0092] 전력 제어기 (302c) 가 DDR 모드에서 동작될 수도 있다는 것을 도 4c 로부터 상기하면, 이 경우 기준 전압 ( $V_{ref2}$ ) 은 전압 기준 블록 (306) 으로부터 공급되는 대신에 외부적으로 제공된 전압 레벨이다. 이는 도 9 에서 라벨 " $V_{REF2A}$ " 로 반영되어, 전압 기준 셀렉터 (908a) 가 비-DDR 모드에서는 전압 기준 블록 (306) 으로부터, 또는 DDR 모드에서는 외부적으로 제공된 소스로부터  $V_{ref2}$  를 수신할 수도 있다는 것을 나타낸다.

[0093]  $V_{THOVL\ SWO}$  는 과전압 결정을 위한 프로그램가능한 임계값이다.  $V_{THUVL\ SWO}$  은 부족전압 결정을 위한 프로그램가능한 임계값이다. 일부 실시형태들에서, 메모리 (324) 는  $V_{THOVL\ SWO}$  과  $V_{THUVL\ SWO}$  을 결정하기 위해 사용될 수 있는 임계 파라미터들을 저장할 수도 있다. 예를 들어, 메모리 (324) 는 전압 기준 셀렉터 (908a) 에 의해 선택된 기준 전압의 퍼센티지로서  $V_{THOVL\ SWO}$  이 결정되고 선택된 기준 전압의 퍼센티지로서  $V_{THUVL\ SWO}$  이 결정되도록 퍼센티지 값들을 저장할 수도 있다.

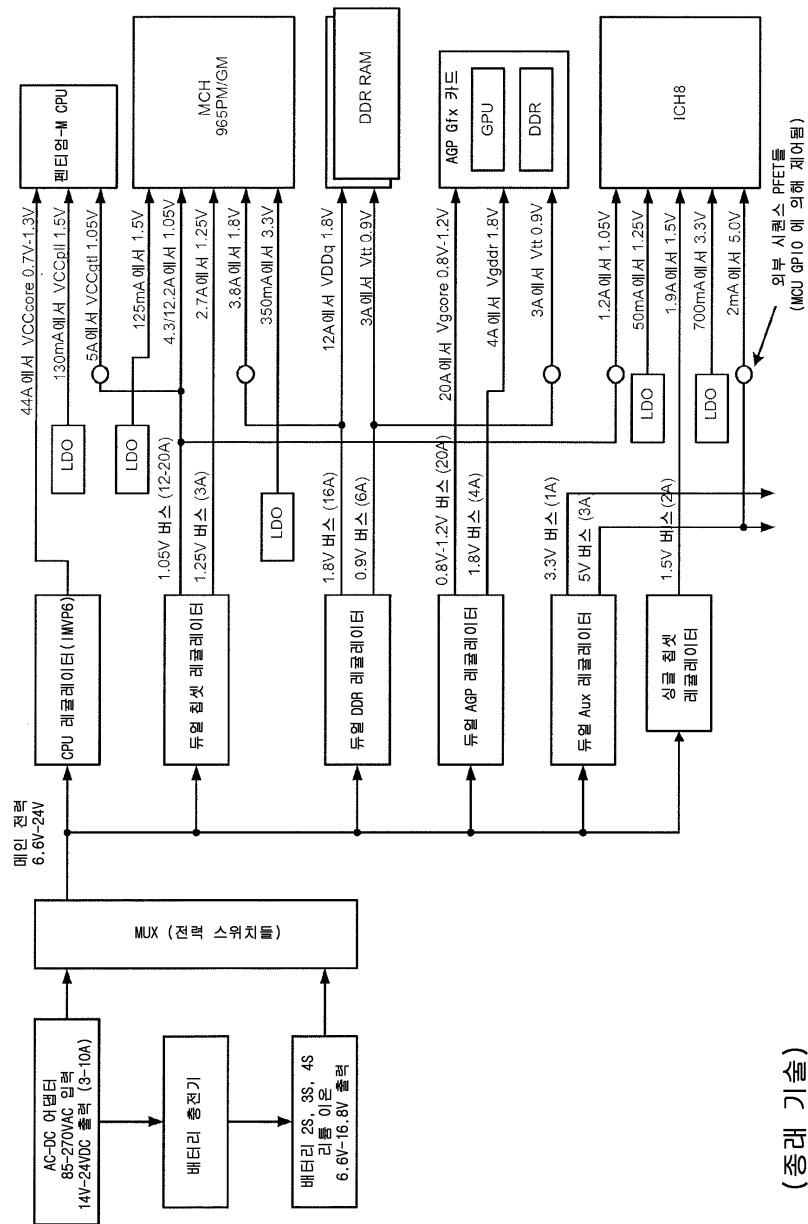
[0094] 도 9 의 OV 비교기 및 UV 비교기의 동작은 도 8 에 설명된 것과 동일하다.

[0095] 도 10 은 1차 전력 제어기 (302d) (즉, 저 드롭아웃 제어기) 에 사용될 수 있는 모니터링 회로부 (1000) 의 일 실시형태를 예시한 것이다. 입력 핀 (LDOFB) 은, 1차 전력 제어기 (302d) 에 의해 제어되는 전력 스테이지 (1010) 의 출력 ( $V_{OUT}$ ) 에 연결된다. 비교기 섹션 (1002) 은 전압 기준 블록 (306) 으로부터의 기준 전압 ( $V_{ref3}$ ) 과  $V_{OUT}$  을 비교한다. 도 10 의 OV 비교기와 UV 비교기의 동작은 도 8 에 설명된 것과 동일하다.

[0096] 위의 설명은 특정 실시형태들의 양태들이 구현될 수도 있는 방법의 예들과 함께 본 개시물의 다양한 실시형태들을 예시한 것이다. 위의 예들은 유일한 실시형태들인 것으로 간주되어서는 안되며, 다음의 특허청구범위에 의해 정의된 바와 같이 특정 실시형태들의 유연성 및 이점들을 예시하기 위해 제시된 것이다. 위의 개시물 및 다음의 특허청구범위에 기초하여, 특허청구범위에 의해 정의된 본 개시물의 범위로부터 벗어남이 없이 다른 장치들, 실시형태들, 구현들 및 등가물들이 채용될 수도 있다.

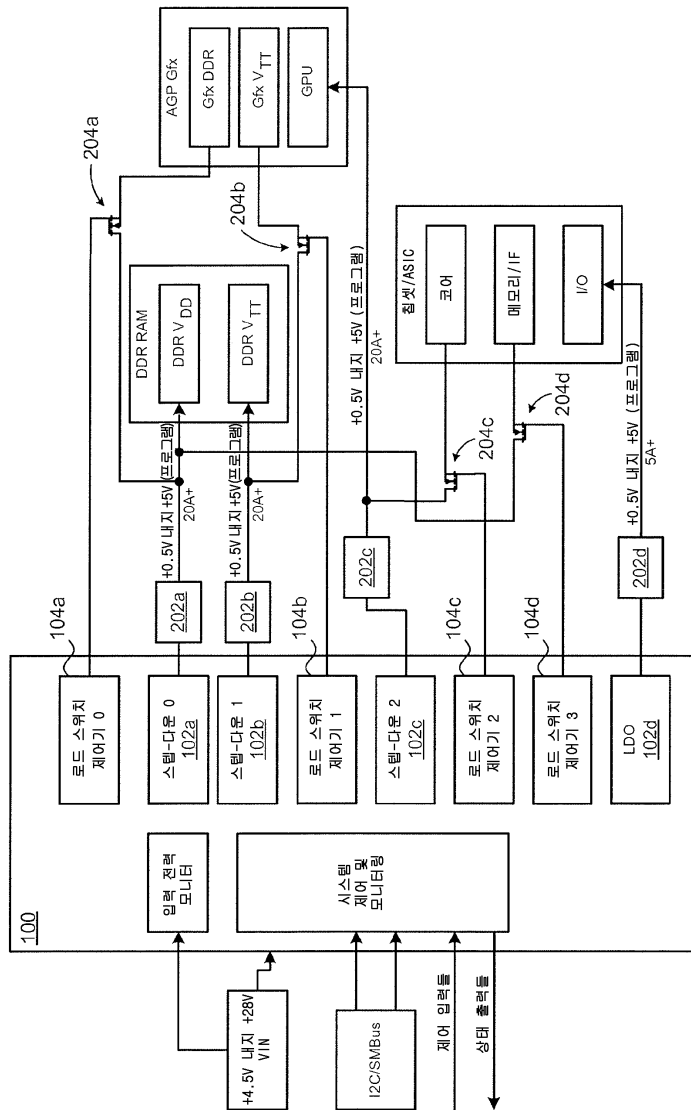
도면

도면1



(종래 기술)

도면2



도면2a

Summit SMB109 Programmer - USB Version 0.0.10  
File Configuration Help

SUMMIT MICROELECTRONICS, INC.  
www.summitmicro.com

Multi-Output SMBus/I2C Programmable Power Manager with Digital Power Control

Sequencing Miscellaneous Command & Status I2C Interfacing Default Settings Read Config Write Config

**Voltages**

Channel	Output Voltage (V)	Resistor Divider Req'd	OV Threshold	UV Threshold	Global Shutdown	Channel Shutdown	Switch Filter (us)	UV Triggers Reset	UV Triggers PGGOOD
0	3.294	<input checked="" type="checkbox"/>	20%	-20%	<input type="checkbox"/>	<input type="checkbox"/>	20	<input type="checkbox"/>	<input type="checkbox"/>
1	1.196	<input type="checkbox"/>	20%	-20%	<input type="checkbox"/>	<input type="checkbox"/>	20	<input type="checkbox"/>	<input type="checkbox"/>
2	1.500	<input type="checkbox"/>	20%	-20%	<input type="checkbox"/>	<input type="checkbox"/>	20	<input type="checkbox"/>	<input type="checkbox"/>
3 (LDO)	1.000	<input type="checkbox"/>	20%	-20%	<input type="checkbox"/>	<input type="checkbox"/>	20	<input type="checkbox"/>	<input type="checkbox"/>
4	1.196	<input type="checkbox"/>	20%	-20%	<input type="checkbox"/>	<input type="checkbox"/>	20	<input type="checkbox"/>	<input type="checkbox"/>
5	1.196	<input type="checkbox"/>	20%	-20%	<input type="checkbox"/>	<input type="checkbox"/>	20	<input type="checkbox"/>	<input type="checkbox"/>
6	1.500	<input type="checkbox"/>	20%	-20%	<input type="checkbox"/>	<input type="checkbox"/>	20	<input type="checkbox"/>	<input type="checkbox"/>
7	1.500	<input type="checkbox"/>	20%	-20%	<input type="checkbox"/>	<input type="checkbox"/>	20	<input type="checkbox"/>	<input type="checkbox"/>

PGOOD Pin  
☒ PGOOD Pin Is PGGOOD  
☐ PGOOD Pin Is RESET

DDR Option  
☒ Channel 2 Is Normal  
☐ Channel 2 Is DDR

Channel 4 Input From: Channel 1 Channel 6 Input From: Channel 2  
 Channel 5 Input From: Channel 1 Channel 7 Input From: Channel 2

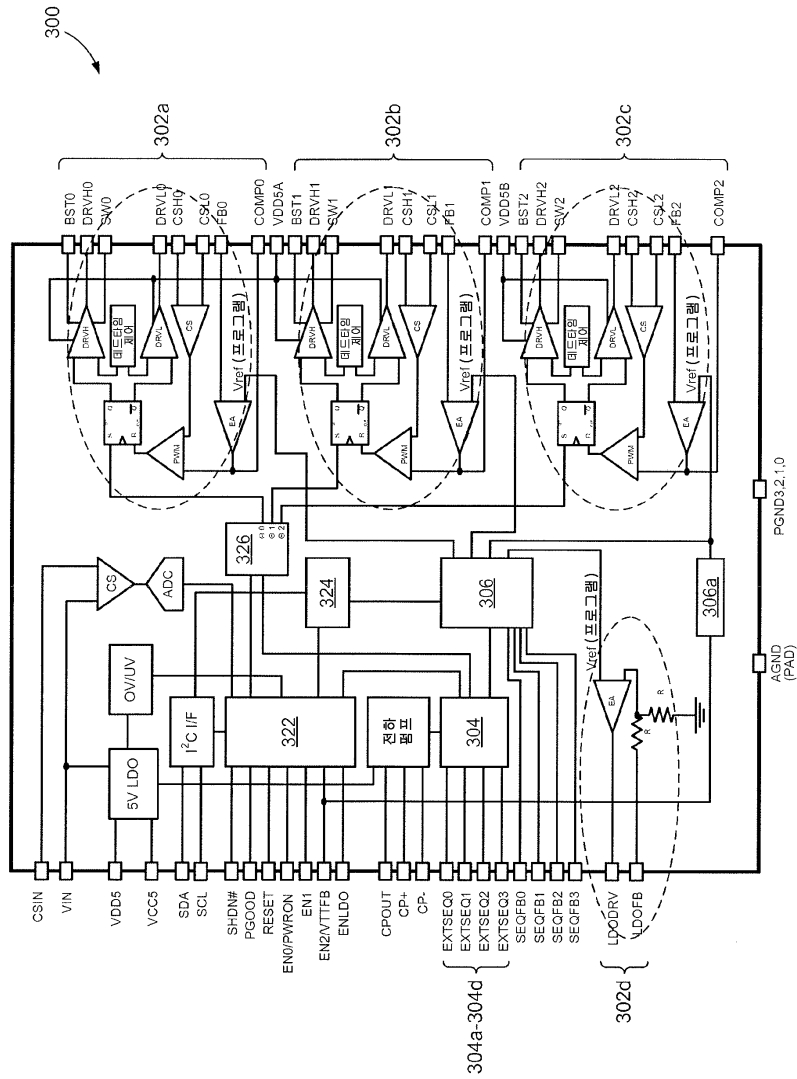
Configuration Registers

Reg	Data
R01	A8
R02	7A
R03	99
R04	33
R05	FF
R09	55
R0A	55
R0B	55
R0C	55
R0D	A5
R0E	14
R11	C0
R12	C0
R13	C0
R14	C0
R15	00
R19	C0
R1A	C0
R1B	C0
R1C	C0
R1D	FF
R21	7F
R22	7F

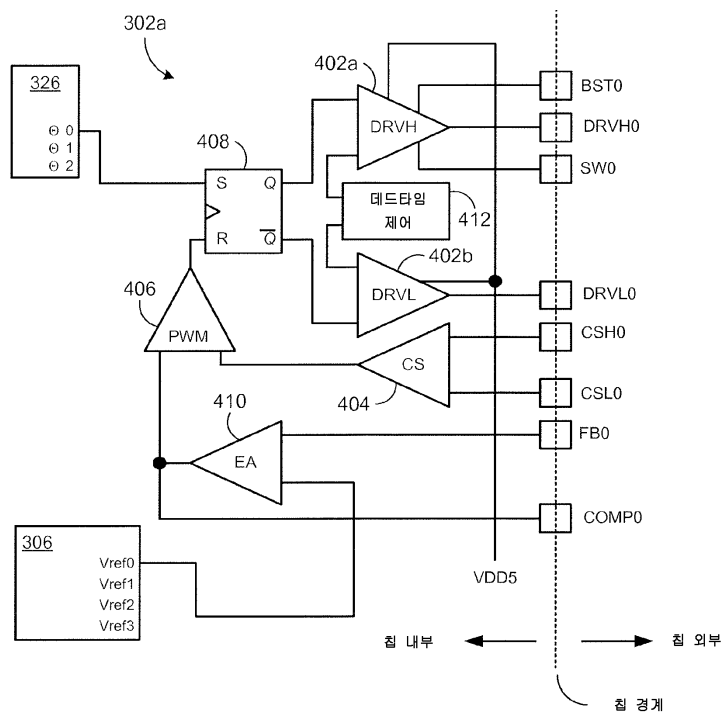
☒ Hex ☐ Binary ☐ Decimal

Checksum = 54F3

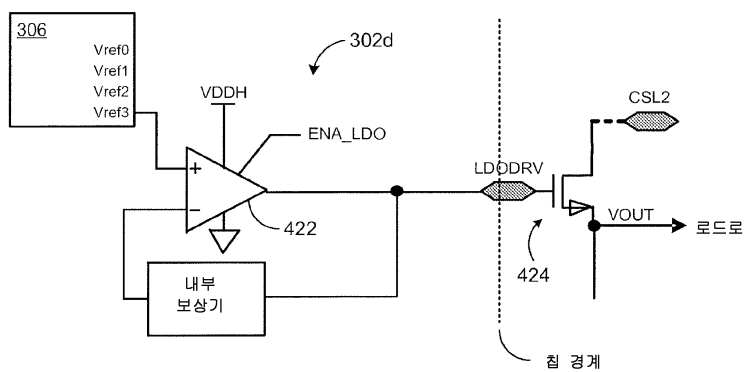
도면3



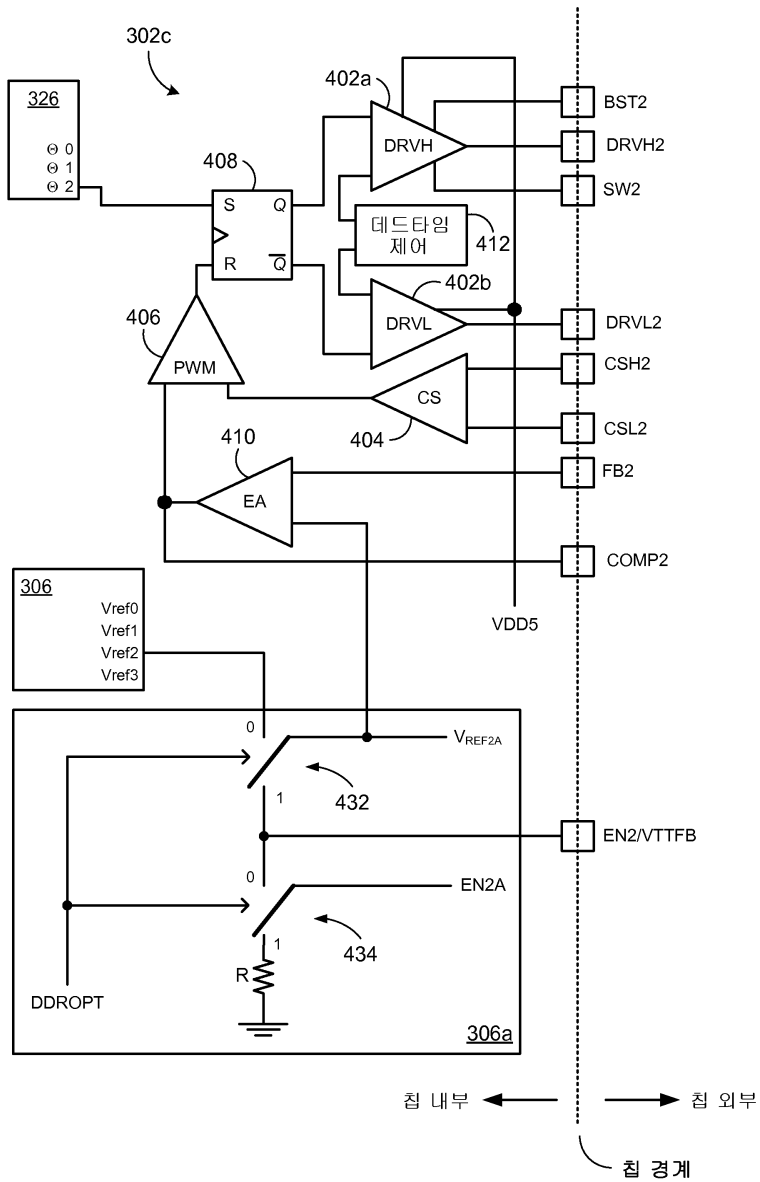
도면4a



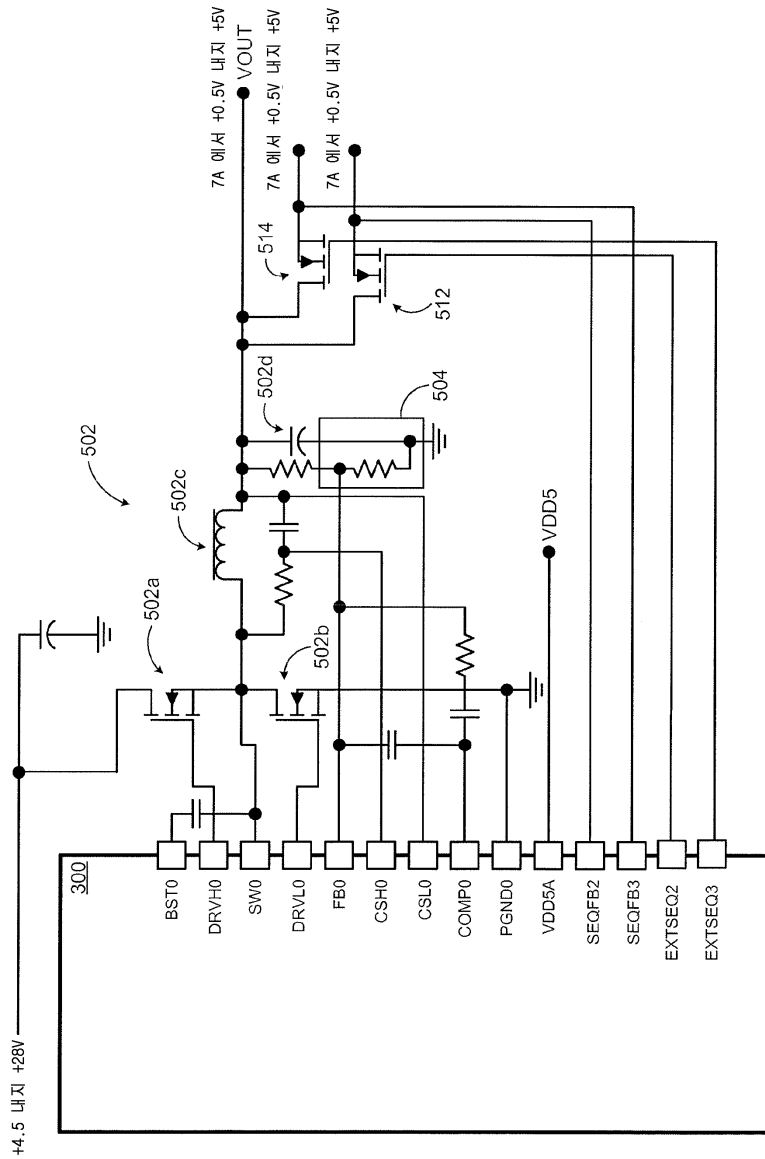
도면4b



도면4c

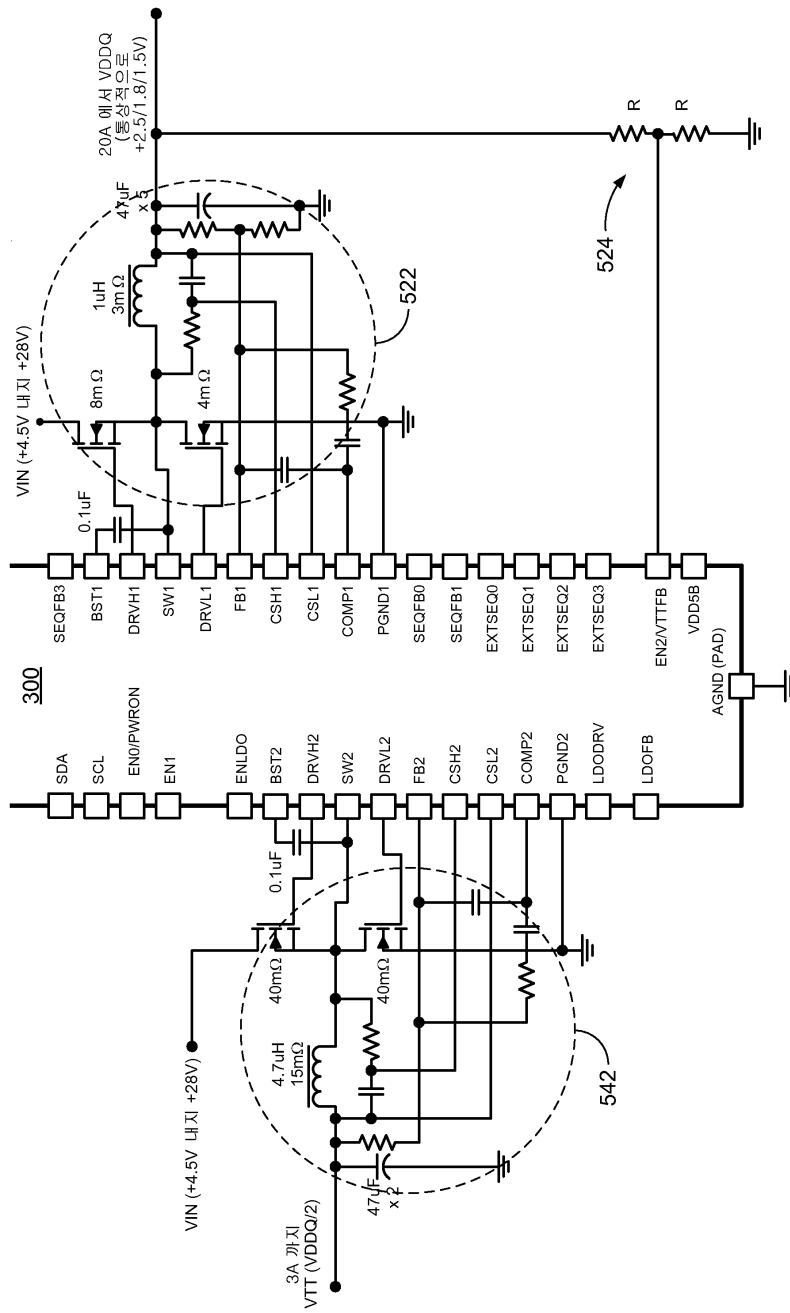


도면5

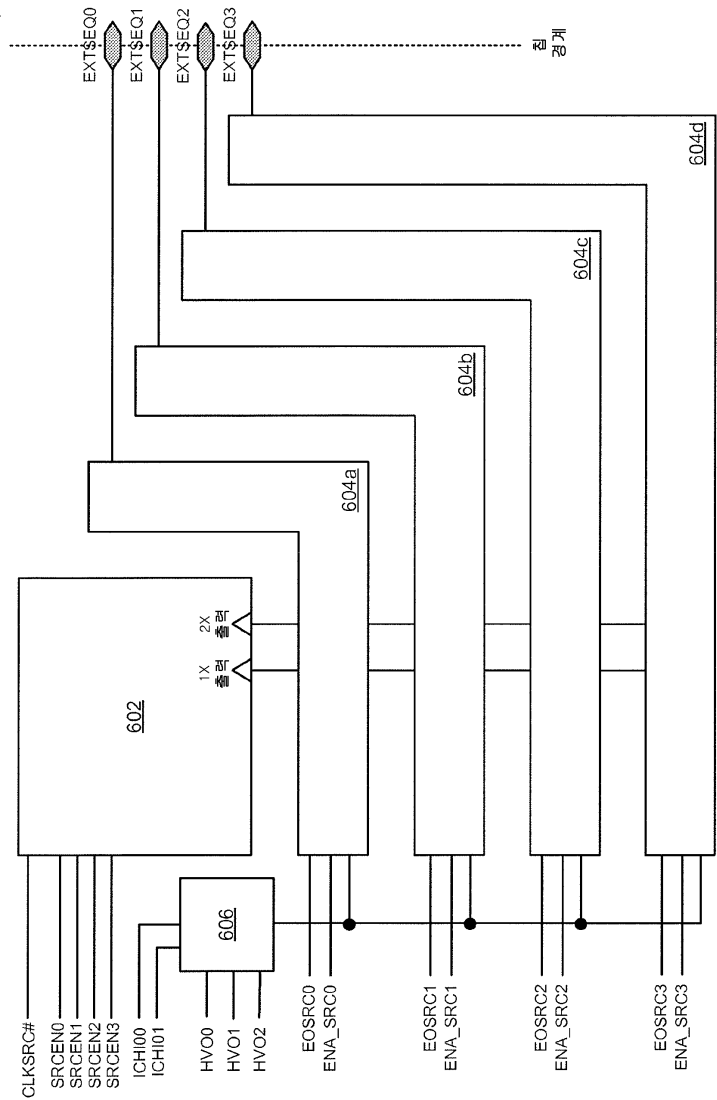




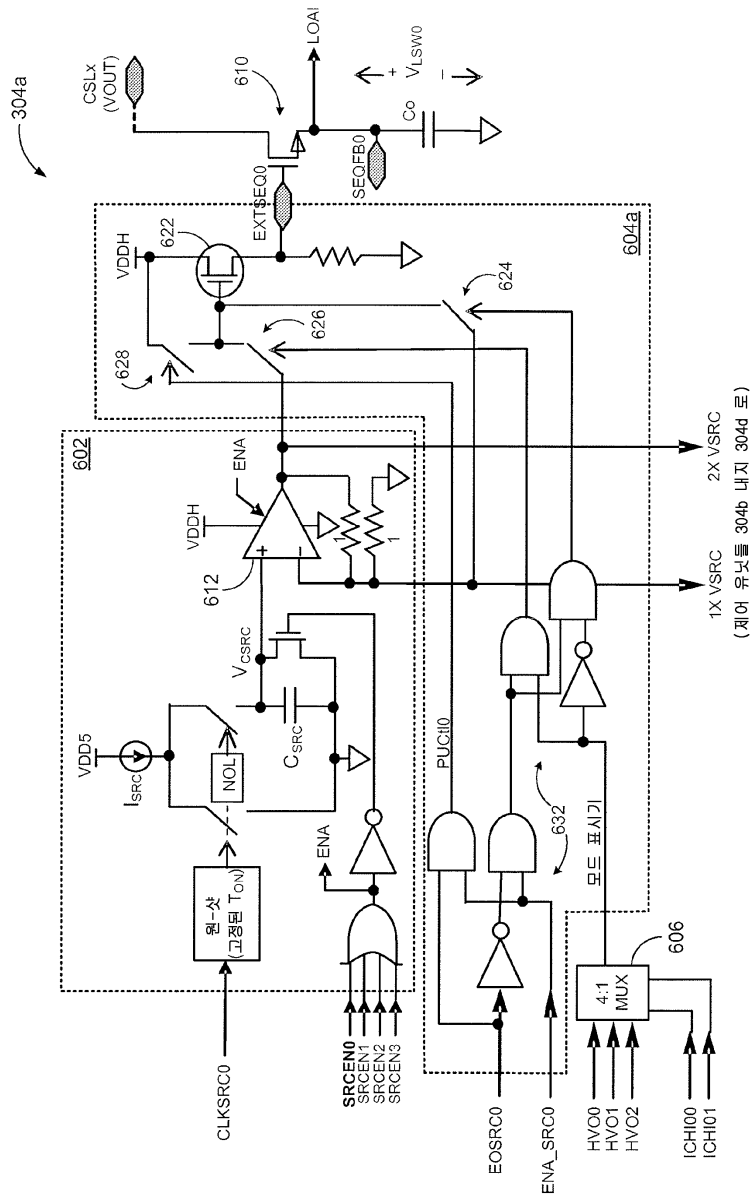
도면5a



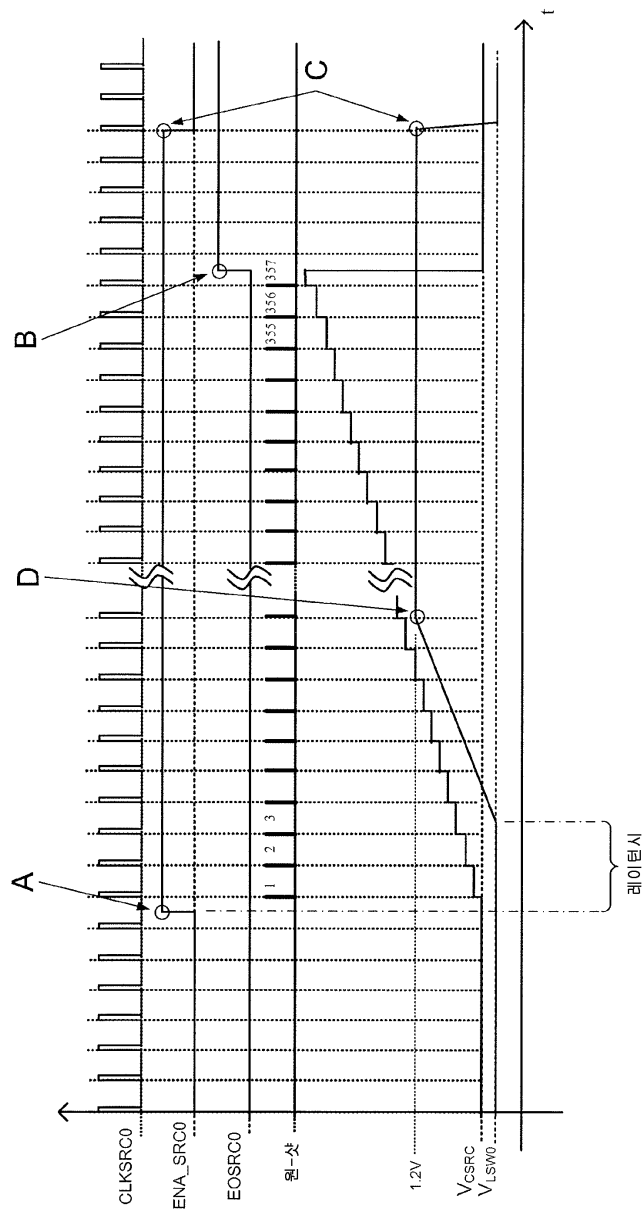
도면6



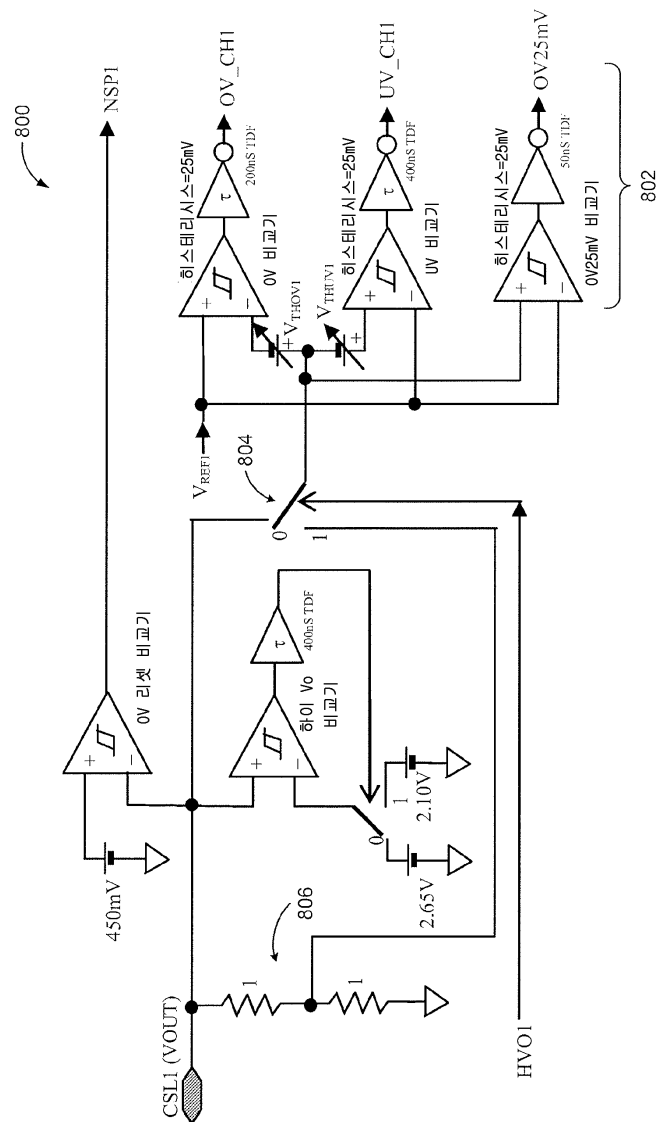
도면6a



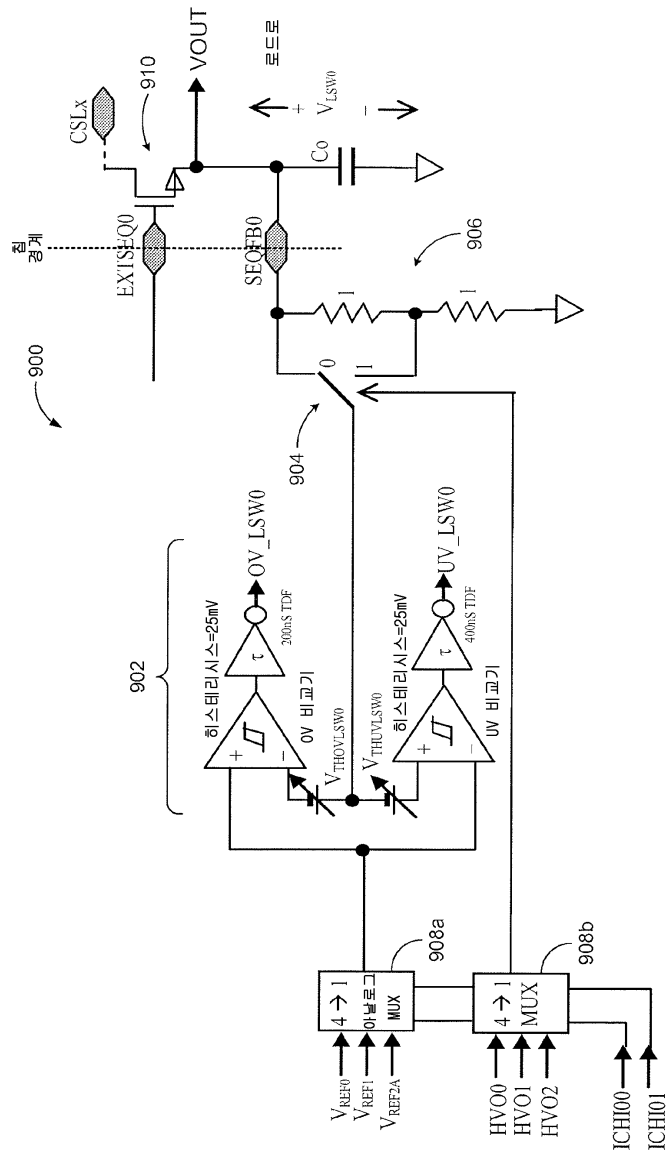
도면7



도면8



도면9



도면10

