

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2017-229095

(P2017-229095A)

(43) 公開日 平成29年12月28日 (2017. 12. 28)

(51) Int.Cl.	F I	テーマコード (参考)
H03M 13/27 (2006.01)	H03M 13/27	5J065
H03M 13/19 (2006.01)	H03M 13/19	5K014
H04L 1/00 (2006.01)	H04L 1/00	F

審査請求 有 請求項の数 4 O L (全 34 頁)

(21) 出願番号	特願2017-169316 (P2017-169316)	(71) 出願人	000005821
(22) 出願日	平成29年9月4日 (2017. 9. 4)		パナソニック株式会社
(62) 分割の表示	特願2016-179349 (P2016-179349) の分割	(74) 代理人	110001900
原出願日	平成24年5月18日 (2012. 5. 18)		特許業務法人 ナカジマ知的財産総合事務所
(31) 優先権主張番号	11004126.6	(72) 発明者	ペトロフ ミハイル
(32) 優先日	平成23年5月18日 (2011. 5. 18)		ドイツ、63225 ランゲン、モンツァ ストラッセ 4セー パナソニックアール アンドディーセンタードイツ内
(33) 優先権主張国	欧州特許庁 (EP)	F ターム (参考)	5J065 AD01 AD07 AG06 AH01 5K014 FA16

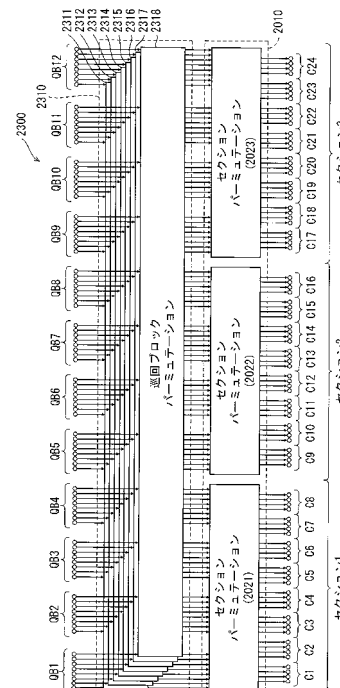
(54) 【発明の名称】 並列ビットインターリーブ

(57) 【要約】 (修正有)

【課題】 受信性能の向上を図るビットインターリーブ方法を提供する。

【解決手段】 疑似巡回低密度パリティチェック符号化方式で生成された符号語のビットを並び替えるビットインターリーブ方法であって、インターリーブ2300は、各巡回ブロックQB1～QB12のビットのコンステレーション語中の位置を決定する巡回ブロックパーミュテーション規則に従って符号語の巡回ブロックを並び替える巡回ブロックパーミュテーション処理2311～2318と、巡回ブロックの並び替え後の符号語のビットを並び替えるビットパーミュテーション処理を行う。

【選択図】 図23



【特許請求の範囲】

【請求項 1】

リピータキュムュレート疑似巡回低密度パリティチェック符号化方式を含む疑似巡回低密度パリティチェック符号化方式で生成された符号語のビットを並び替えるビットインターリーブ方法であって、

前記ビットインターリーブ方法は、

それぞれが Q 個のビットからなる N 個の巡回ブロックで構成される $N \times Q$ ビットの前記符号語に対して、前記巡回ブロックの並び替えを規定した巡回ブロックパーミュテーション規則に従って前記巡回ブロック単位の並び替えを行う巡回ブロックパーミュテーション処理を施す巡回ブロックパーミュテーションステップと、

前記巡回ブロックパーミュテーション処理が施された前記符号語に対して、各前記巡回ブロックの Q 個のビットを M 行の行列のうちの一つの行の行方向に書き込み、列方向に読み出すことと等価なカラム→ロウパーミュテーション処理を施すビットパーミュテーションステップと、

前記ビットパーミュテーション処理が施された符号語を、それぞれが M 個のビットよりなる複数のコンステレーション語に分割する分割ステップと、

前記分割ステップで分割された前記符号語を、前記コンステレーション語にマッピングするマッピングステップと、

を有し、

前記 N は前記 M の倍数である、

ことを特徴とするビットインターリーブ方法。

【請求項 2】

リピータキュムュレート疑似巡回低密度パリティチェック符号化方式を含む疑似巡回低密度パリティチェック符号化方式で生成された符号語のビットを並び替えるビットインターリーブ方法であって、

前記ビットインターリーブ方法は、

それぞれが Q 個のビットからなる N 個の巡回ブロックで構成される $N \times Q$ ビットの前記符号語に対して、前記巡回ブロックの並び替えを規定した巡回ブロックパーミュテーション規則に従って前記巡回ブロック単位の並び替えを行う巡回ブロックパーミュテーション処理を施す巡回ブロックパーミュテーション部と、

前記巡回ブロックパーミュテーション処理が施された前記符号語に対して、各前記巡回ブロックの Q 個のビットを M 行の行列のうちの一つの行の行方向に書き込み、列方向に読み出すことと等価なカラム→ロウパーミュテーション処理を施すビットパーミュテーション部と、

前記ビットパーミュテーション処理が施された符号語を、それぞれが M 個のビットよりなる複数のコンステレーション語に分割する分割部と、

前記分割ステップで分割された前記符号語を、前記コンステレーション語にマッピングするマッピング部と

を有し、

前記 N は前記 M の倍数である、

ことを特徴とするビットインターリーブ方法。

【請求項 3】

リピータキュムュレート疑似巡回低密度パリティチェック符号化方式を含む疑似巡回低密度パリティチェック符号化方式で生成された符号語であって、それぞれが Q 個のビットからなる N 個の巡回ブロックで構成される符号語のビットの並び替え処理を行い、 M 個のビットずつ分割し、コンステレーション語にマッピングして生成される $N \times Q / M$ 個のコンステレーション語を変調して送信された信号を処理する信号処理方法であって、

前記ビットの並び替え処理は、

前記巡回ブロックの並び替えを規定した巡回ブロックパーミュテーション規則に従う前記符号語の前記巡回ブロック単位の並び替えを行う巡回ブロックパーミュテーション処理

10

20

30

40

50

と、

各前記巡回ブロックの Q 個のビットを M 行の行列のうちの一つの行の行方向に書き込み、列方向に読み出すことと等価なカラムーロウパーミュテーション規則に従う前記巡回ブロックパーミュテーション処理が施された前記符号語のビットの並び替えを行うビットパーミュテーション処理と、

を含み、

前記 N は前記 M の倍数であり、

前記信号処理方法は、

前記 $N \times Q / M$ 個のコンステレーション語を変調して送信された信号を復調して復調信号を生成する復調ステップと、

前記巡回ブロックパーミュテーション規則及び前記カラムーロウパーミュテーション規則に基づいて前記復調信号をデコードして、前記疑似巡回低密度パリティチェック符号化方式による符号化前のデータを生成するデコードステップと、

を有することを特徴とする信号処理方法。

【請求項 4】

リピートアキュミュレート疑似巡回低密度パリティチェック符号化方式を含む疑似巡回低密度パリティチェック符号化方式で生成された符号語であって、それぞれが Q 個のビットからなる N 個の巡回ブロックで構成される符号語のビットの並び替え処理を行い、 M 個のビットずつ分割し、コンステレーション語にマッピングして生成される $N \times Q / M$ 個のコンステレーション語を変調して送信された信号を処理する信号処理装置であって、

前記ビットの並び替え処理は、

前記巡回ブロックの並び替えを規定した巡回ブロックパーミュテーション規則に従う前記符号語の前記巡回ブロック単位の並び替えを行う巡回ブロックパーミュテーション処理と、

各前記巡回ブロックの Q 個のビットを M 行の行列のうちの一つの行の行方向に書き込み、列方向に読み出すことと等価なカラムーロウパーミュテーション規則に従う前記巡回ブロックパーミュテーション処理が施された前記符号語のビットの並び替えを行うビットパーミュテーション処理と、

を含み、

前記 N は前記 M の倍数であり、

前記信号処理装置は、

前記 $N \times Q / M$ 個のコンステレーション語を変調して送信された信号を復調して復調信号を生成する復調部と、

前記巡回ブロックパーミュテーション規則及び前記カラムーロウパーミュテーション規則に基づいて前記復調信号をデコードして、前記疑似巡回低密度パリティチェック符号化方式による符号化前のデータを生成するデコード部と、

を有することを特徴とする信号処理装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はデジタル通信分野に関し、より詳細には、疑似巡回低密度パリティチェック符号を用いたビットインターリーブ符号化変調システム用のビットインターリーブに関する。

【背景技術】

【0002】

近年、デジタル通信分野において、ビットインターリーブ符号化変調 (bit-interleaved coding and modulation: BICM) システムが用いられている (例えば、非特許文献 1 参照)。

【0003】

BICM システムでは、一般に、次の 3 つのステップが行われる。

10

20

30

40

50

【0004】

(1) データブロックを例えば疑似巡回低密度パリティチェック (quasi-cyclic low-density parity check: QC-LDPC) 符号を用いて符号語に符号化する。

【0005】

(2) 符号語のビットをビットインターリーブする。

【0006】

(3) ビットインターリーブされた符号語をコンステレーションのビット数からなるコンステレーション語に分割し、コンステレーション語をコンステレーションにマッピングする。

【先行技術文献】

10

【非特許文献】

【0007】

【非特許文献1】ETSI EN 302 755 V1.2.1 (DVB-T2規格)

【発明の概要】

【発明が解決しようとする課題】

【0008】

一般に、疑似巡回低密度パリティチェック符号の符号語に施すインターリーブの効率化が望まれている。

【0009】

本発明は、疑似巡回低密度パリティチェック符号の符号語に施すインターリーブの効率化を実現できるインターリーブ方法を提供することを目的とする。

20

【課題を解決するための手段】

【0010】

上記目的を達成するために本発明のビットインターリーブ方法は、疑似巡回低密度パリティチェック符号を用いる通信システムにおけるビットインターリーブ方法であって、前記ビットインターリーブ方法は、それぞれがQ個のビットからなるN個の巡回ブロックで構成される前記疑似巡回低密度パリティチェック符号の符号語を受信する受信ステップと、前記符号語のビットに対して当該符号語のビットの並び順を換えるビットパーミュテーション処理を施すビットパーミュテーションステップと、前記ビットパーミュテーション処理が施された符号語を、それぞれM個のビットよりなり、それぞれが 2^M 個の所定のコンステレーションポイントのいずれか1つを示す複数のコンステレーション語に分割する分割ステップと、を有し、前記ビットパーミュテーション処理が施される前の前記符号語は N/M 個のセクションに分割され、各前記セクションはM個の前記巡回ブロックからなり、各前記コンステレーション語は N/M 個の前記セクションのうちのいずれか1つと関連付けられており、前記ビットパーミュテーションステップは、各前記コンステレーション語が、関連付けられている前記セクション中のM個の異なる前記巡回ブロックのそれぞれの1個のビットからなる計M個のビットから構成され、各前記セクションのすべてのビットが当該セクションに関連付けられているQ個の前記コンステレーション語にのみにマッピングされるように、前記ビットパーミュテーション処理を行う。

30

【発明の効果】

40

【0011】

本発明のビットインターリーブ方法によれば、疑似巡回低密度パリティチェック符号の符号語に施すインターリーブの効率化を実現できる。

【図面の簡単な説明】

【0012】

【図1】一般的なBICMエンコーダを含むトランスミッタの構成を示すブロック図。

【図2】符号化率が $1/2$ である疑似巡回低密度パリティチェック (quasi-cyclic low-density parity check: QC-LDPC) 符号のパリティチェック行列の一例を示す図。

【図3】符号化率が $2/3$ であるリピータキュムレート疑似巡回低密度パリティチェック (repeat-accumulate quasi-cyclic low-density parity check: RA-QC-LDPC) 符号のパリティチェック行列の一例を示す図。

50

P C) 符号のパリティチェック行列の一例を示す図。

【図 4】行パーミュテーション後の図 3 の R A Q C L D P C 符号のパリティチェック行列を示す図。

【図 5】行パーミュテーションおよびパリティパーミュテーション後の図 3 の R A Q C L D P C 符号のパリティチェック行列を示す図。

【図 6】8 P A M シンボルにおいて符号化されたビットが互いに異なるロバストレベルを有することを説明する図。

【図 7】巡回係数 $Q = 8$ 、1 つの低密度パリティチェック符号語の巡回ブロック数 $N = 12$ 、1 つのコンステレーションのビット数 $M = 4$ に対応する一般的なビットインターリーブの構成を示すブロック図。

【図 8】(a) D V B - T 2 規格で用いられる D V B - T 2 モジュレータの構成を示すブロック図であり、(b) は (a) に示す D V B - T 2 モジュレータの B I C M エンコーダの構成を示すブロック図。

【図 9】(a) 12 列のカラム - ロウインターリーブによって行われる 16 K 符号 (L D P C 符号語長が 16200 ビットである L D P C 符号) の符号語のビットの書き込み処理を示す図であり、(b) はカラム - ロウインターリーブによって行われる (a) で書き込まれた符号語のビットの読み出し処理を示す図。

【図 10】(a) 8 列のカラム - ロウインターリーブによって行われる 16 K 符号の符号語のビットの書き込み処理を示す図であり、(b) はカラム - ロウインターリーブによって行われる (a) で書き込まれた符号語のビットの読み出し処理を示す図。

【図 11】D V B - T 2 規格に準じた、16 Q A M で 16 K 符号用のビット - セルデマルチプレクサの構成を示すブロック図。

【図 12】D V B - T 2 規格に準じた、64 Q A M で 16 K 符号用のビット - セルデマルチプレクサの構成を示すブロック図。

【図 13】D V B - T 2 規格に準じた、256 Q A M で 16 K 符号用のビット - セルデマルチプレクサの構成を示すブロック図。

【図 14】8 列の D V B - T 2 ビットインターリーブにおいて 16 K 符号に対して起こり得る問題を示す図。

【図 15】12 列の D V B - T 2 ビットインターリーブにおいて 16 K 符号に対して起こり得る問題を示す図。

【図 16】8 列の D V B - T 2 ビットインターリーブにおいて 16 K 符号にカラムツイスト処理を適用する場合に起こり得る問題を示す図。

【図 17】12 列の D V B - T 2 ビットインターリーブにおいて 16 K 符号にカラムツイスト処理を適用する場合に起こり得る問題を示す図。

【図 18】(a) は発明者が鋭意研究した結果見つけた非常に効率的なインターリーブの提供を可能にする 1 つ目の条件を説明する図であり、(b) は 2 つ目の条件を説明する図。

【図 19】本発明の一実施形態に係るインターリーブによるマッピングの機能を示す図。

【図 20】本発明の一実施形態に係るインターリーブの構成を示すブロック図。

【図 21】(a) は図 20 のセクションパーミュテーションを実施するセクションパーミュテーションユニットの一構成例を示すブロック図であり、(b) は (a) のセクションパーミュテーションユニットによるマッピングの機能を示す図。

【図 22】(a) は図 20 のセクションパーミュテーションを実施するセクションパーミュテーションユニットの他の構成例を示すブロック図であり、(b) は (a) のセクションパーミュテーションユニットによるマッピングの機能を示す図。

【図 23】本発明の他の実施形態に係るインターリーブの構成を示すブロック図。

【図 24】図 23 のビットインターリーブの一構成例を示すブロック図。

【図 25】本発明のさらに他の実施形態に係るトランスミッタの一構成例を示すブロック図。

【図 26】本発明のさらに他の実施形態に係る B I C M エンコーダの一実装例を示すブ

10

20

30

40

50

ック図。

【図 27】本発明のさらに他の実施形態に係る非反復 B I C M デコーダを有するレシーバの一構成例を示すブロック図。

【図 28】本発明のさらに他の実施形態に係る反復 B I C M デコーダを有するレシーバの一構成例を示すブロック図。

【図 29】本発明のさらに他の実施形態に係る反復 B I C M デコーダの一実装例を示すブロック図。

【発明を実施するための形態】

【0013】

《発明をするに至った経緯》

10

図 1 は、一般的なビットインターリーブ符号化変調 (bit-interleaved coding and modulation: B I C M) エンコーダを含むトランスミッタの構成を示すブロック図である。

図 1 に示すトランスミッタ 100 は、入力プロセッシングユニット 110、B I C M エンコーダ (低密度パリティチェック (low-density parity check: L D P C) エンコーダ 120、ビットインターリーブ 130、コンステレーションマップ 140 を含む)、およびモジュレータ 150 を備える。

【0014】

入力プロセッシングユニット 110 は、入力ビットストリームを所定長の複数ブロックに変換する。L D P C エンコーダ 120 は、L D P C 符号を用いてブロックを符号語に符号化し、符号語をビットインターリーブ 130 に送信する。ビットインターリーブ 130 は、L D P C 符号語に対してインターリーブ処理を施し、インターリーブ処理を施した後、セル語 (コンステレーション語) の列に分割する。コンステレーションマップ 140 は各セル語 (コンステレーション語) をコンステレーション (例えば、Q A M) の列にマッピングする。出力端の一般的なモジュレータ 150 は、B I C M エンコーダの出力から R F (Radio Frequency) 電力増幅器までのすべての処理ブロックを含む。

20

【0015】

L D P C 符号は、パリティチェック行列 (Parity-check Matrix: P C M) により完全に定義される線形誤り訂正符号である。P C M は 2 値の疎行列であり、符号語ビット (変数ノードとも称される) とパリティチェック (検査ノードとも称される) の連結 (connection) を示す。P C M の列および行は、それぞれ、変数ノードおよび検査ノードに対応する。変数ノードと検査ノードの結合は、P C M において、「1」という要素で示されている。

30

【0016】

L D P C 符号には、疑似巡回低密度パリティチェック (quasi-cyclic low-density parity check: Q C L D P C) 符号と呼ばれる種類が存在する。Q C L D P C 符号は、特にハードウェア実装に適した構成を有する。事実、今日の規格のほとんどにおいて Q C L D P C 符号が用いられている。Q C L D P C 符号の P C M は、複数の巡回行列を有する特別な構成となっている。巡回行列とは、各行がその直前の行の要素を 1 つ巡回シフトした形になっている正方行列であり、重ね合わされた斜めの列 (folded diagonal) が 1 つ、2 つ、または、それ以上存在し得る。各巡回行列のサイズは $Q \times Q$ である。ここで Q は Q C L D P C 符号の巡回係数 (cyclic factor) と称される。上記のような疑似巡回の構造により、 Q 個の検査ノードを並列処理することができ、Q C L D P C 符号は効率的なハードウェア実装を行うために明らかに有利な符号である。

40

【0017】

図 2 は、一例として、巡回係数 $Q = 8$ である Q C L D P C 符号の P C M を示す図である。なお、図 2 および後述する図 3 から図 5 において、最も小さな四角の 1 つが P C M の 1 つの要素を表しており、そのうち黒塗りの四角の要素は「1」、それ以外の要素は「0」である。この P C M は、重ね合わされた斜めの列が 1 つまたは 2 つある巡回行列を有する。この Q C L D P C 符号は $8 \times 6 = 48$ ビットのブロックを $8 \times 12 = 96$ ビットの符号語に符号化する。従って、この Q C L D P C 符号の符号化率は $48 / 96 = 1 / 2$

50

である。符号語ビットはQビットを有する複数のブロックに分割される。巡回係数Qビットのブロックを本明細書では巡回ブロック（または、巡回グループ）と称する。

【0018】

QC LDPC符号には、リピートアキュムレート疑似巡回低密度パリティチェック（repeat-accumulate quasi-cyclic low-density parity check：RA QC LDPC）符号という特別な種類が存在する。RA QC LDPC符号は、符号化が容易であることで知られており、数多くの規格（例えば、DVB-S2規格、DVB-T2規格、DVB-C2規格といった第二代DVB規格）において採用されている。PCMの右側はパリティビットに対応し、その部分における「1」の要素の配置は階段構造となっている。図3に符号化率が2/3であるRA QC LDPC符号のPCMを例示する。

10

【0019】

なお、DVB-TはDigital Video Broadcasting - Terrestrialの略であり、DVB-S2はDigital Video Broadcasting - Second Generation Satelliteの略であり、DVB-T2はDigital Video Broadcasting - Second Generation Terrestrialの略であり、DVB-C2はDigital Video Broadcasting - Second Generation Cableの略語である。

【0020】

図3に示すPCMに対してこの行の並び順を換える簡単な行パーミュテーションを施すことによって、図4に示すように、パリティ部分を除いたRA QC LDPC符号の疑似巡回構造が明らかになる。行パーミュテーションは単にグラフ上の表現を変更することを意味し、符号の定義には一切の影響を与えない。

20

【0021】

行パーミュテーションが施された図4に示すPCMのパリティビットのみにビットの並び順を換える適切なパーミュテーションを施すことにより、PCMのパリティ部分も疑似巡回構造を有するようになる。この手法は当技術分野で周知であり、DVB-T2規格等ではパリティインターリーブまたはパリティパーミュテーションという名称で用いられている。図4に示すPCMに対してパリティパーミュテーションを施した結果得られるPCMを図5に示す。

【0022】

通常、LDPC符号語はビット毎に重要度が異なり、また、コンステレーションはビット毎にロバストレベルが異なる。LDPC符号語のビットを直接、即ちインターリーブせずにコンステレーションにマッピングすると、最適な性能には至らない。このため、LDPC符号語のビットをコンステレーションにマッピングする前にLDPC符号語のビットがインターリーブされる必要がある。

30

【0023】

この目的のために、図1に示すように、LDPCエンコーダ120とコンステレーションマップ140の間にビットインターリーブ130が設けられている。ビットインターリーブ130を入念に設計することによって、LDPC符号語のビットとコンステレーションにより符号化されるビットとの関連性が向上し、受信性能の改善に繋がる。その性能は、通常、SN比（Signal to Noise Ratio：SNR）の関数としての符号誤り率（Bit Error Rate：BER）を用いて測定される。

40

【0024】

LDPC符号語のビット毎に重要度が異なる主な理由は、全てのビットに対して同じ回数のパリティチェックが施されるとは限らないことである。符号語ビット（変数ノード）に施されるパリティチェックの回数（検査ノードの数）が多いほど、反復LDPC復号処理において符号語ビットの重要度は高くなる。もう一つの理由は、LDPC符号のタナログラフ表現における巡回に対する連結性（connectivity）が変数ノード毎に異なることである。このために、符号語ビットに同じ回数のパリティチェックが施されたとしても、符号語ビットの重要度が異なる可能性がある。これらの見解は当技術分野で周知である。原則として、変数ノードと連結する検査ノードの数が大きくなると、その変数ノードの重要度は増す。

50

【0025】

特にQC-LDPC符号の場合、Qビットの巡回ブロックに含まれる全てのビットは、同じ回数のパリティチェックが施され、タナグラフにおける巡回に対する連結性が同じであるため、同じ重要度を有する。

【0026】

同様に、コンステレーションにおいて符号化されたビットのロバストレベルが異なることも周知の事実である。例えば、複素直交振幅変調 (quadrature amplitude modulation : QAM) コンステレーションは2つのそれぞれ独立したパルス振幅変調 (pulse amplitude modulation : PAM) シンボルから成り、そのうち1つが実数部に対応し、もう1つが虚数部に対応する。2つのPAMシンボルはそれぞれ同じ数Mのビットを符号化する。グレイ符号を用いた8PAMシンボルを示す図6に示されるように、1つのPAMシンボルにおいて符号化されたビットのロバストレベルは互いに異なる。このようにロバストレベルが互いに異なるのは、各ビット (0または1) によって定義される2つのサブセット間の距離が、ビット毎に異なるためである。この距離が大きいほど、そのビットのロバストレベルまたは信頼度は高い。図6では、ビットb3のロバストレベルが最も高く、ビットb1のロバストレベルが最も低い。

10

【0027】

従って、16QAMコンステレーションは4個のビットを符号化し、2つのロバストレベルを有する。64QAMコンステレーションは6個のビットを符号化し、3つのロバストレベルを有する。256QAMコンステレーションは8個のビットを符号化し、4つの

20

【0028】

本明細書では、説明のために、以下のパラメータを用いる。

【0029】

巡回係数 : $Q = 8$

1つのLDPC符号語の巡回ブロック数 : $N = 12$

1つのコンステレーションのビット数 : $M = 4$ 、即ち16QAM

上記パラメータでは、1つのLDPC符号語がマッピングされるコンステレーション数は $Q \times N / M = 24$ である。通常、パラメータQおよびNの選択は、システムがサポートする全てのコンステレーションについて、 $Q \times N$ がMの倍数となるように行われなければならない。

30

【0030】

図7は上記パラメータに対応する一般的なインターリーブの構成を示すブロック図である。図7において、QB1、・・・、QB12は12個の巡回ブロックであり、C1、・・・、C24は24個のコンステレーション語である。図7の例では、ビットインターリーブ710は、LDPC符号語の96ビットをインターリーブする。

【0031】

従来のビットインターリーブとして、DVB-T2規格 (ETSI EN 302 755) のものが知られている。DVB-T2規格はテレビジョン規格であるDVB-T規格を改良したものであり、デジタル地上テレビジョン放送用の第2世代ベースライン送信システムについて記載されている。DVB-T2規格には、デジタルテレビジョンサービスや一般的なデータを送信するためのチャンネル符号化変調システムについて詳述されている。

40

【0032】

図8(a)は、DVB-T2規格で用いられるモジュレータ (DVB-T2モジュレータ) の構成を示すブロック図である。図8(a)に示すDVB-T2モジュレータ800は、入力プロセッシングユニット810、BICMエンコーダ820、フレームビルダー830、およびOFDMジェネレータ840を備える。

【0033】

入力プロセッシングユニット810は、入力ビットストリームを所定長の複数ブロックに

50

変換する。B I C Mエンコーダ820は、入力に対してB I C M処理を施す。フレームビルダー830は、B I C Mエンコーダ820からの入力等を用いてD V B - T 2方式の伝送フレーム構成を生成する。O F D Mジェネレータ840はD V B - T 2方式の伝送フレーム構成に対して、パイロット付加、高速逆フーリエ変換、ガードインターバル挿入などを行い、D V B - T 2方式の送信信号を出力する。

【0034】

D V B - T 2規格で用いられるB I C Mは、E T S I規格 E N 302 755の第6章で説明されている。当規格は本明細書において援用されており、以下にその説明を記す。

【0035】

図8(b)は、図8(a)に示すD V B - T 2モジュレータのB I C Mエンコーダ820の構成を示すブロック図である。ただし、図8(b)では、B C H外符号化、コンステレーション回転、セルインターリーブ、時間インターリーブなどを省略している。

【0036】

B I C Mエンコーダ820は、L D P Cエンコーダ821、ビットインターリーブ（パリティインターリーブ822、カラム - ロウインターリーブ823を含む）、ビット - セルデマルチプレクサ824、およびQ A Mマッパ825を備える。

【0037】

L D P Cエンコーダ821は、L D P C符号を用いてブロックを符号語に符号化する。ビットインターリーブ（パリティインターリーブ822、カラム - ロウインターリーブ823）は、符号語のビットに対してその並び順を換えるインターリーブ処理を施す。ビット - セルデマルチプレクサ824は、インターリーブ処理が施された符号語のビットをセル語（コンステレーション語）に多重分離する。Q A Mマッパ825は、セル語（コンステレーション語）を複素Q A Mシンボルにマッピングする。なお、複素Q A Mシンボルはセルとも称される。事実、ビット - セルデマルチプレクサ824は、ビットインターリーブの一部であるとみなされてもよい。この場合、D V B - T 2規格に基づくB I C Mエンコーダは、図1に示される標準構成を備えるとみなすことができる。

【0038】

D V B - T 2規格において用いられるL D P C符号は、巡回係数 $Q = 360$ を有するR A Q C L D P C符号である。D V B - T 2規格では、符号語長として16200ビットと64800ビットの2つが定義されている。符号語長が16200ビットであるL D P C符号および符号語長が64800ビットであるL D P C符号を、本明細書では、16K符号（または、16K L D P C符号）および64K符号（または、64K L D P C符号）と称する。1つの符号語に含まれる巡回ブロック数は、16K符号の場合は45個、64K符号の場合は180個である。これらの2つのブロック長（符号語長）に対応する使用可能な符号は、D V B - T 2規格であるE T S I E N 302 755の表A.1～表A.6に列挙されている。

【0039】

ビットインターリーブは、Q P S Kより大きいコンステレーションに対してのみ利用され、パリティインターリーブ822、カラム - ロウインターリーブ823、およびビット - セルデマルチプレクサ824を備える。なお、D V B - T 2規格の定義では、ビット - セルデマルチプレクサ824はビットインターリーブに含まれない。しかしながら、本発明は、コンステレーションマッピング前にL D P C符号に施すインターリーブに関するものであるため、ビット - セルデマルチプレクサ824もビットインターリーブの一部として取り扱うものとする。

【0040】

パリティインターリーブ822は、上述したように（図4および図5参照）、パリティビットの疑似巡回構造を明らかにするため、符号語のパリティビットの並び順を換えるパリティパーミュテーションを行う。

【0041】

カラム - ロウインターリーバ 8 2 3 は、概念的には、LDPC 符号語のビットを、インターリーバ行列の列に沿って書き込み、行に沿って読み出すことによって機能する。LDPC 符号語に含まれる最初のビットが最初に書き込まれ、最初に読み出される。カラム - ロウインターリーバ 8 2 3 は、LDPC 符号語のビットを書き込んだ後、ビットの読み出しを開始する前に、その列に対してビットを所定数の位置だけ巡回的にずらす。これは DVB-T 2 規格においてカラムツイスト (column twisting) と呼ばれる。上記 2 つの LDPC 符号語長と様々なコンステレーションサイズとに対応するインターリーバ行列の列数 N_c と行数 N_r を以下の表 1 に示す。

【0042】

【表 1】

10

LDPC符号語長	コンステレーション サイズ	列数 N_c	行数 N_r
16200	16QAM	8	2025
	64QAM	12	1350
	256QAM	8	2025
64800	16QAM	8	8100
	64QAM	12	5400
	256QAM	16	4050

20

256QAMコンステレーションで16K符号の場合を除き、列数 N_c は、1つのコンステレーションのビット数の2倍である。この例外の理由は、LDPC符号語長である16200は、16、即ち256QAMコンステレーションにおけるビット数の2倍、の倍数でないためである。

【0043】

30

カラム - ロウインターリーバ 8 2 3 の 16 K 符号の符号語のビットの書き込み処理および読み出し処理を、列数が 12 の場合について図 9 (a)、(b) に、列数が 8 の場合について図 10 (a)、(b) に示す。各図において、小さな四角はそれぞれ LDPC 符号語の 1 ビットに対応し、黒塗りの四角は LDPC 符号語の先頭ビットを示す。矢印は、ビットがインターリーバ行列に書き込まれ、インターリーバ行列から読み出される順序を示す。例えば、インターリーバ行列の列数が 12 の場合、16 K 符号の符号語のビットは、図 9 (a) に示すように、(行 1、列 1)、(行 2、列 1)、・・・、(行 1350、列 1)、(行 1、列 2)、・・・、(行 1350、列 12) の順序で書き込まれ、図 9 (b) に示すように、(行 1、列 1)、(行 1、列 2)、・・・、(行 1、列 12)、(行 2、列 1)、・・・、(行 1350、列 12) の順序で読み出される。なお、カラムツイスト処理は図 9 (a)、(b) および図 10 (a)、(b) には示されていない。

40

【0044】

QAMマッピングに先立ち、ビット - セルデマルチプレクサ 8 2 4 は、各 LDPC 符号語を多重分離することで複数の並列ビットストリームを得る。ストリームの数は、256QAMコンステレーションで16K LDPC符号の場合を除き、1つのQAMコンステレーションにおいて符号化されるビット数 M の2倍、即ち $2 \times M$ である。また、256QAMコンステレーションで16K LDPC符号の場合、ストリームの数は、1つのQAMコンステレーションにおいて符号化されるビット数 M である。1つのコンステレーションにおいて符号化される M ビットを、セル語 (または、コンステレーション語) と称する。以下のように、16K LDPC符号では、1つの符号語から得られるセル語の数は1

50

6 2 0 0 / Mである。

【0045】

QPSKの場合、8 1 0 0セル

1 6 QAMの場合、4 0 5 0セル

6 4 QAMの場合、2 7 0 0セル

2 5 6 QAMの場合、2 0 2 5セル

上記の表1によると、QPSKより大きなコンステレーションについては、並列ストリームの数はカラム・ロウインターリーブの列数に等しい。1 6 K L D P C 符号について、1 6 QAMコンステレーション、6 4 QAMコンステレーション、2 5 6 QAMコンステレーションに対応するビット・セルデマルチプレクサを、それぞれ、図11、図12、図13に示す。なお、ビットの表記はDVB-T2規格で用いられているものである。

10

【0046】

ビット・セルデマルチプレクサは、図11（図12、図13）に示すように、シンプルデマルチプレクサ1 1 1 0（1 2 1 0、1 3 1 0）とデマルチパーミュテーションユニット1 1 2 0（1 2 2 0、1 3 2 0）を備える。

【0047】

ビット・セルデマルチプレクサは、シンプルデマルチプレクサ1 1 1 0（1 2 1 0、1 3 1 0）によって、インターリーブ処理が施されたL D P C 符号語を単に多重分離することに加え、デマルチパーミュテーションユニット1 1 2 0（1 2 2 0、1 3 2 0）によって、多重分離された並列ビットストリームに対してその並び順を換えるパーミュテーション処理を行う。

20

【0048】

ただし、カラム・ロウインターリーブが用いられている場合（1 6 QAMコンステレーション以上）、並列ビットストリームの数はカラム・ロウインターリーブの列数と同一であるため、ビットストリームのパーミュテーションはカラム・ロウインターリーブの列に対してその並び順を換えるパーミュテーションと同等である点を認識することが重要である。これが、ビット・セルデマルチプレクサによるパーミュテーションをビットインターリーブの一部とみなすことができる、理由である。

【0049】

本質的に、DVB-T2規格において用いられるビットインターリーブには2つの問題が付随する。

30

【0050】

1つ目の問題は、L D P C 符号語における巡回ブロックの数がビットインターリーブ行列の列数の倍数でない場合、並列性が損なわれるという問題である。並列性が低下するとレイテンシが増大する。これは特にレシーバにおいて反復B I C M復号が用いられている場合に問題となる。この状況は、DVB-T2規格の場合、L D P C 符号語長とコンステレーションのサイズの組み合わせのいくつかで起こる。

【0051】

図14および図15は、1 6 K L D P C 符号において、それぞれインターリーブ行列の列数が8および12である場合に起こる上記の状況を示す図である。1 6 QAMコンステレーションおよび2 5 6 QAMコンステレーションでは、8列のインターリーブ行列が使用される。6 4 QAMコンステレーションでは、12列のインターリーブ行列が使用される。グリッドはL D P C 符号語を表し、小さな四角はL D P C 符号語の1ビットを表し、行は巡回ブロックに対応し、列は複数の巡回ブロックにおいて互いに同一のビットインデックスを有するビットに対応する。黒塗りの四角は、インターリーブ行列の先頭行における8ビットおよび12ビットを表している。なお、分かり易くするため、1つの巡回ブロックのビット数を360から72に減らして図示しているものの、これにより理解度に影響が及ぶことはない。

40

【0052】

2つ目の問題は、DVB-T2規格において、可能なビットインターリーブの構成の数

50

が、ビットインターリーバ行列の列数によって制限されることである。

【0053】

DVB-T 2 ビットインターリーバのさらなる問題は、カラムツイスト処理によって、パーミュテーションの規則性および並列性がさらに損なわれるということである。図 16 および図 17 は、それぞれ図 14 および図 15 と同様の状況を示しているが、カラムツイスト処理が適用されている点異なる。16K LDPC 符号でインターリーバ行列が 8 列の場合に、DVB-T 2 ビットインターリーバにおいて用いられる列毎のカラムツイスト値は (0, 0, 0, 1, 7, 20, 20, 21) である。また、16K LDPC 符号でインターリーバ行列が 12 列の場合に、DVB-T 2 ビットインターリーバにおいて用いられる列毎のカラムツイスト値は、(0, 0, 0, 2, 2, 2, 3, 3, 3, 6, 7, 7) である。

10

【0054】

したがって、レイテンシを低減し並列性を高めたビットインターリーバを提供する必要がある。これらの特性は、特に反復 BICM 復号において重要である。

【0055】

《発明者が得た知見》

発明者は、鋭意研究を行った結果、以下の 2 つの条件が満たされるとき、非常に効率的なインターリーバが提供できるという知見を得た。

【0056】

(条件 1)

各コンステレーション語の M 個のビットが、LDPC 符号語の M 個の異なる巡回ブロックにマッピングされる。これは、LDPC 符号語の M 個の異なる巡回ブロックから 1 ビットずつコンステレーション語にマッピングする、ことと等価である。この概要を図 18 (a) に示す。

20

【0057】

(条件 2)

M 個の巡回ブロックにマッピングされるすべてのコンステレーション語が、当該 M 個の巡回ブロックのみにマッピングされる。これは、Q ビットからなる M 個の異なる巡回ブロックの $M \times Q$ 個のビットの全ては、Q 個のコンステレーション語にのみマッピングされる、ことと等価である。この概要を図 18 (b) に示す。

30

【0058】

上記条件では、ちょうど Q 個のコンステレーション語は、各 M 個の巡回ブロックにマッピングされていることになる。

【0059】

《実施の形態》

以下、上記の条件 1、条件 2 を満たすビットインターリーバ（並列ビットインターリーバ）の詳細について説明する。なお、以下において、実質的に同じ処理内容、および、同じ処理内容を行う構成ユニットには同じ符号を付す。

【0060】

本明細書では、M 個の巡回ブロックよりなるグループのそれぞれ、または、Q 個のコンステレーション語よりなるグループのそれぞれを、セクション（または、インターリーバセクション）と呼ぶ。

40

【0061】

図 19 および図 20 は、本発明の一実施形態に係る、上記パラメータ ($Q = 8$ 、 $M = 4$ 、 $N = 12$) に対応する条件 1、条件 2 を満たすビットインターリーバによるマッピングの機能を示す図および当該ビットインターリーバの一構成例を示すブロック図である。

【0062】

図 19 および図 20 では、QC-LDPC 符号の符号語は、それぞれが $Q = 8$ 個のビットからなる $N = 12$ 個の巡回ブロック QB1 ~ QB12 で構成されている。24 個のコンステレーション語はそれぞれ $M = 4$ 個のビットからなり、それぞれが $2^M = 16$ 個のコン

50

ステレーションポイントのいずれか 1 つを示す。ビットインターリーバは、 $N/M = 3$ 個のセクションに分けられ、24 個のコンステレーション語は $N/M = 3$ 個のセクションのいずれか 1 つに関連付けられる。

【0063】

ビットインターリーバ 2000 は、ビットパーミュテーションユニット 2010 を有し、ビットパーミュテーションユニット 2010 は互いに独立して（互いに依存せずに）動作する $N/M (= 3)$ 個のセクションパーミュテーションユニット 2021、2022、2023 を有する。なお、セクションパーミュテーションユニットを 3 つ備えるようにする代わりに、例えば 1 つのセクションパーミュテーションユニットを用いて処理対象を時系列に切り替えながら後述する 3 つのセクションパーミュテーション処理を行うようにしてもよい。

10

【0064】

セクションパーミュテーションユニット（2021、2022、2023）は、互いに独立して（互いに依存せずに）、8 個のコンステレーション語（C1～C8、C9～C16、C17～C24）の各々に、4 個の巡回ブロック（QB1～QB4、QB5～QB8、QB9～QB12）のそれぞれから 1 ビットずつマッピングされるように、4 個の巡回ブロックの計 32 個のビットに対してその並び順を換えるセクションパーミュテーション処理を施す。

【0065】

上述の 2 つの条件 1、条件 2 は、単に、ビットインターリーバが N/M 個の並列セクションに分けられることを保証するだけのものである。これらの並列セクションに対して施すセクションパーミュテーション処理に、互いに同じパーミュテーション規則が適用されてもよいし、互いに異なるパーミュテーション規則が適用されてもよいし、一部だけが互いに同じパーミュテーション規則が適用されてもよい。

20

【0066】

例えば、セクションパーミュテーションユニットは、巡回ブロックの Q 個のビット（LDPC 復号処理において重要度が互いに等しい）を、 Q 個のコンステレーション語の同じビットインデックスのビット（ロバストレベルが互いに等しい）にマッピングするようにしてもよい。それぞれの巡回ブロックにおいて、 Q 個のビットは、順に、あるいはパーミュテーションされた順に並べることができる。後者を図 21（a）、（b）を用いて、前者を図 22（a）、（b）を用いて説明する。

30

【0067】

図 21（a）は、図 20 のセクションパーミュテーションユニットの一構成例を示す図である。

【0068】

セクションパーミュテーションユニット 2101 は、巡回ブロック内パーミュテーションユニット 2111～2114、およびカラム - ロウパーミュテーションユニット 2131 を有する。なお、巡回ブロック内パーミュテーションユニットを 4 つ備えるようにする代わりに、例えば 1 つの巡回ブロック内パーミュテーションユニットを用いて処理対象を時系列に切り替えながら後述する 4 つの巡回ブロック内パーミュテーション処理を行うようにしてもよい。

40

【0069】

巡回ブロック内パーミュテーションユニット（2111～2114）は、巡回ブロック（QB1～QB4）の Q 個（8 個）のビットに対してその並び順を換える巡回ブロック内パーミュテーション処理を施す。1 つのセクション内の巡回ブロックに対して施す巡回ブロック内パーミュテーション処理に、例えば、互いに同じパーミュテーション規則が適用されてもよいし、互いに異なるパーミュテーション規則が適用されてもよいし、一部だけが互いに同じパーミュテーション規則が適用されてもよい。

【0070】

カラム - ロウパーミュテーションユニット 2131 は、 $M \times Q$ 個（32 個）のビットに

50

対してこの並び順を換えるカラム - ロウパーミュテーション処理を施す。詳述すれば、カラム - ロウパーミュテーションユニット 2 1 3 1 は、 $M \times Q$ 個 (3 2 個) のビットを Q 列 M 行 (8 列 4 行) の行列の行方向に書き込み、書き込んだ $M \times Q$ 個 (3 2 個) のビットを列方向に読み出すことと等価なカラム - ロウパーミュテーション処理を行う。なお、カラム - ロウパーミュテーションユニット 2 1 3 1 によるカラム - ロウパーミュテーション処理は、図 9 (a)、(b) の 1 2 列 1 3 5 0 行が Q 列 M 行に置き換わり、書き込み処理が列方向から行方向に、読み出し処理が行方向から列方向に換わったものである。

【0071】

図 2 1 (b) は、図 2 1 (a) のセクションパーミュテーションユニットによるマッピングの機能を示す図である。図 2 1 (b) では、各コンステレーション語の $M = 4$ 個のビットが $b_1 \sim b_4$ で示されている。

10

【0072】

ただし、セクションパーミュテーション処理において巡回ブロック内パーミュテーション処理が実施されなくてもよい。

【0073】

図 2 0 のセクションパーミュテーションの別の例である、巡回ブロック内パーミュテーション処理を実施しないセクションパーミュテーションユニットの一構成例およびこのセクションパーミュテーションユニットによるマッピングの機能を図 2 2 (a) および図 2 2 (b) に示す。セクションパーミュテーションユニット 2 2 0 1 は、カラム - ロウパーミュテーションユニット 2 1 3 1 を有し、カラム - ロウパーミュテーション処理のみ行う。

20

【0074】

ただし、巡回ブロック $QB_5 \sim QB_8$ 、 $QB_9 \sim QB_{12}$ に対して、図 2 1 および図 2 2 でそれぞれ説明したセクションパーミュテーションが行われるようにしてもよい。

【0075】

本発明の他の実施の形態では、ビットインターリーバは、セクションパーミュテーション処理を行う前に、付加的に N 個の巡回ブロックに対してその並び順を換える巡回ブロックパーミュテーション処理を行う。付加的に巡回ブロックパーミュテーション処理を施すビットインターリーバの一構成例を図 2 3 に示す。ここでの巡回ブロックパーミュテーションは、DVB-T2 規格におけるビット - セルデマルチプレクサによるパーミュテーションと同様の役割を果たすものである。

30

【0076】

図 2 3 に示すビットインターリーバ 2 3 0 0 は、巡回ブロックパーミュテーションユニット 2 3 1 0 と、ビットパーミュテーションユニット 2 0 1 0 (セクションパーミュテーションユニット 2 0 2 1 ~ 2 0 2 3 を含む) を備える。

【0077】

巡回ブロックパーミュテーションユニット 2 3 1 0 は、巡回ブロック $QB_1 \sim QB_{12}$ に対してその並び順を換える巡回ブロックパーミュテーション処理 2 3 1 1 ~ 2 3 1 8 を施す。なお、巡回ブロックパーミュテーション処理 2 3 1 1 ~ 2 3 1 8 で用いられるパーミュテーション規則は互いに同じである。

40

【0078】

N 個の巡回ブロックに対して施す巡回ブロックパーミュテーションは、それにより LDPC 符号語のビットをコンステレーションのビットに最適にマッピングすることが可能となり、受信性能の最適化につながるため、特に有益である。

【0079】

図 2 4 は、図 2 3 のビットインターリーバの一構成例を示すブロック図である。図 2 4 のビットインターリーバ 2 4 0 0 は、下記のステージ A、B、C の 3 つのパーミュテーション処理を実施する。

【0080】

50

ステージ A：巡回ブロック（間）パーミュテーション

ステージ B：巡回ブロック内パーミュテーション

ステージ C：カラム - ロウパーミュテーション

ここで、巡回ブロック（間）パーミュテーションは符号語を構成する N 個の巡回ブロックの並び順を換えるパーミュテーションであり、巡回ブロック内パーミュテーションは巡回ブロックを構成する Q 個のビットの並び順を換えるパーミュテーションであり、カラム - ロウパーミュテーションは、セクションを構成する $M \times Q$ 個のビットの並び順を換えるパーミュテーションである。

【0081】

図 24 に示すビットインターリーブ 2400 は、巡回ブロックパーミュテーションユニット 2310 と、ビットパーミュテーションユニット 2010（セクションパーミュテーションユニット 2101～2103）を備える。セクションパーミュテーションユニット 2101（2102、2103）は、巡回ブロック内パーミュテーションユニット 2111～2114（2115～2118、2119～2122）と、カラム - ロウパーミュテーションユニット 2131（2132、2133）を備える。

【0082】

ビットインターリーブ 2400 は、巡回ブロックパーミュテーションユニット 2310 によって巡回ブロック（間）パーミュテーションを行い（ステージ A）、巡回ブロック内パーミュテーションユニット 2111～2122 によって巡回ブロック内パーミュテーションを行い（ステージ B）、カラム - ロウパーミュテーションユニット 2131～2133 によってカラム - ロウパーミュテーションを行う（ステージ C）。

【0083】

図 24 に示すビットインターリーブから巡回ブロック内パーミュテーションユニット 2111～2122 を取り除いて、巡回ブロック内パーミュテーションを行わないように、ビットインターリーブを構成してもよい。また、ビットインターリーブは、巡回ブロック内パーミュテーションを、巡回ブロック（間）パーミュテーションの後に実施する代わりに、巡回ブロック（間）パーミュテーションの前に実施してもよく、巡回ブロック（間）パーミュテーションの前後で実施するようにしてもよい。

【0084】

なお、複数の巡回ブロック内パーミュテーションユニットは互いに同様の構成であってもよい。このため、複数の巡回ブロック内パーミュテーションユニットは同一の機能リソース（ハードウェアブロックなど）によって実装可能である。また、複数の巡回ブロック内パーミュテーションは巡回的なシフト処理からなっているとしてもよく、この場合、バレルシフタを用いた効率的なハードウェア実装が可能となる。LDPC デコーダに用いているバレルシフタを利用して実装することも可能である。

【0085】

以下、条件 1、条件 2 を満たすビットインターリーブ処理を行うビットインターリーブを含むトランスミッタの一構成例について図 25 を用いて説明する。

【0086】

図 25 は、本発明のさらに他の実施形態に係るトランスミッタの一構成例を示すブロック図である。図 25 に示すトランスミッタ 2500 は、BICM エンコーダ（LDPC エンコーダ 2510、ビットインターリーブ 2520、コンステレーションマップ 2530 を含む）と、モジュレータ 2540 を備える。

【0087】

LDPC エンコーダ 2510 は、入力ブロックを QC-LDPC 符号を用いて符号語に符号化し、符号語をビットインターリーブ 2520 へ出力する。

【0088】

ビットインターリーブ 2520 は、LDPC エンコーダ 2510 から QC-LDPC 符号の符号語を受け取る。この符号語は、 $N = 12$ 個の巡回ブロックからなり、各巡回ブロックは $Q = 8$ 個のビットからなる。そして、ビットインターリーブ 2520 は、符号語の

ビットに対してその並び順を換えるビットインターリーブ処理を施す。ビットインターリーブ 2 5 2 0 は、ビットインターリーブ処理が施された符号語を、それぞれ $M = 4$ 個のビットよりなり、それぞれが $2^M = 16$ 個の所定のコンステレーションポイントのいずれか 1 つを示す複数のコンステレーション語に分割してコンステレーションマップ 2 5 3 0 へ出力する。ただし、ビットインターリーブ 2 5 2 0 は、ビットインターリーブ処理として、例えば図 1 9 から図 2 2 で説明した、または、その変形として説明したビットパーミュテーション処理を行う。または、ビットインターリーブ 2 5 2 0 は、ビットインターリーブ処理として、ビットパーミュテーション処理に加えて、例えば図 2 3 から図 2 4 で説明した、または、その変形として説明した巡回ブロックパーミュテーション処理を追加的に行ってよい。

10

【0089】

コンステレーションマップ 2 5 3 0 は、ビットインターリーブ 2 5 2 0 からコンステレーション語を受け取り、受け取ったコンステレーション語に対してコンステレーションマッピング処理を行う。

【0090】

モジュレータ 2 7 4 0 は、直交周波数分割多重 (orthogonal frequency division multiplexing: OFDM) 変調などを行って送信信号を生成する。

【0091】

以下、条件 1、条件 2 を満たすビットインターリーブ処理を行うビットインターリーブを含む B I C M エンコーダの一実装例について図 2 6 を用いて説明する。

20

【0092】

図 2 6 は、本発明のさらに他の実施の形態に係る B I C M エンコーダの一実装例を示すブロック図である。図 2 6 の B I C M エンコーダ 2 6 0 0 は、上記パラメータ ($Q = 8$ 、 $N = 12$ 、 $M = 4$) に対応するものである。

【0093】

図 2 6 に示す B I C M エンコーダ 2 6 0 0 は、メインメモリ 2 6 0 1、LDPC コントローラ 2 6 1 1、ローテータ 2 6 1 2、検査ノードプロセッサ群 2 6 1 3、デローテータ 2 6 1 4、Q B カウンタ 2 6 3 1、テーブル 2 6 3 2、インターリーブ 2 6 3 3、レジスタ群 2 6 3 4、インターリーブ 2 6 3 5、およびマップ群 2 6 5 1 を備える。

【0094】

図 2 6 では、 $Q = 8$ であることを考慮して、メインメモリ 2 6 0 1 の読み出しが 8 ビットずつ行われ、検査ノードプロセッサ群 2 6 1 3 には 8 個の検査ノードプロセッサがあり、マップ群 2 6 5 1 には 8 個のマップが存在する。また、 $M = 4$ であることを考慮して、レジスタ群 2 6 3 4 には 4 個のレジスタがある。

30

【0095】

メインメモリ 2 6 0 1 は、送信すべきビット列を例えば入力プロセッシングユニット (不図示) から受け取り、受け取ったビット列を保持する。

【0096】

LDPC コントローラ 2 6 1 1 は、メインメモリ 2 6 0 1 に対して読み出しアドレスを出力し、これによりメインメモリ 2 6 0 1 はビット列の先頭から 8 ビットずつローテータ 2 6 1 2 へ出力する。ローテータ 2 6 1 2 は、LDPC コントローラ 2 6 1 1 による制御を受けて、メインメモリ 2 6 0 1 から供給される 8 ビットを所定数巡回シフトし、巡回シフト後の 8 ビットを検査ノードプロセッサ群 2 6 1 3 の各検査ノードプロセッサに対して 1 ビットずつ出力する。各検査ノードプロセッサ群 2 6 1 3 の各検査ノードプロセッサは、LDPC コントローラ 2 6 1 1 による制御を受けて、入力された 1 ビットに対して検査ノード処理を行い、1 ビットの処理結果をデローテータ 2 6 1 4 へ出力する。デローテータ 2 6 1 4 は、LDPC コントローラ 2 6 1 1 による制御を受けて、検査ノードプロセッサ群 2 6 1 3 から受け取った 8 ビットをローテータ 2 6 1 2 による巡回シフトを打ち消すように所定数巡回シフトし、巡回シフト後の 8 ビットをメインメモリ 2 6 0 1 へ出力する。LDPC コントローラ 2 6 1 1 は、メインメモリ 2 6 0 1 に対して書き込みアドレスを

40

50

出力し、これによりメインメモリ 2601 はデローテータ 2614 から供給される 8 ビットを保持する。ただし、LDPC コントローラ 2611、ローテータ 2612、検査ノードプロセッサ群 2613、およびデローテータ 2614 が、図 25 における BICM エンコーダの LDPC エンコーダ 2510 を構成する。

【0097】

QB カウンタ 2631 は 0 から 11 までカウントするものであり、カウンタ値をテーブル 2632 へ出力する。なお、QB カウンタ 2631 によるカウント動作は $N=12$ を考慮したものである。

【0098】

テーブル 2632 は、巡回ブロックパーミュテーションの規則を記憶した単純なルックアップテーブルである。つまり、テーブル 2632 は、 $N=12$ 個の巡回ブロックの読み出し順序の情報（QB カウンタ 2631 による 12 個のカウンタ値にそれぞれ異なる巡回ブロックを対応付けた情報）を保持している。テーブル 2632 は、QB カウンタ 2631 から供給されるカウンタ値に対応した巡回ブロック 1 個分のビット（ $Q=8$ 個のビット）がメインメモリ 2601 からインターリーバ 2633 へ供給されるように、メインメモリ 2601 に対して読み出しアドレスを出力する。これにより、メインメモリ 2601 は QB カウンタ 2631 のカウンタ値に対応した巡回ブロック 1 個分のビットをインターリーバ 2633 へ出力する。なお、このテーブル 2632 の処理によって巡回ブロックパーミュテーション（ステージ A）が実現される。

【0099】

インターリーバ 2633 は、メインメモリ 2601 から供給された巡回ブロック 1 個分のビットを所定数巡回シフトさせて、レジスタ群 2634 の 1 段目のレジスタに出力する。なお、このインターリーバ 2633 の処理によって巡回ブロック内パーミュテーション（ステージ B）が実現される。ただし、レジスタ群 2634 の各レジスタは制御パルスを受けたタイミングで巡回ブロック 1 個分のビットを保持し、保持した巡回ブロック 1 個分のビットを次に制御パルスを受け取るまで出力し続ける。

【0100】

QB カウンタ 2631 のカウンタ値「0」～「3」に対して上記の処理内容が実施されると、インターリーバ 2635 には巡回ブロック 4 個分のビット（32 個のビット）が入力される。このタイミングで、インターリーバ 2635 は、入力された巡回ブロック 4 個分のビットに対してインターリーブ処理を施してマップ群 2651 の各マップにコンステレーション語の 1 個分のビット（ $M=4$ 個のビット）を出力する。インターリーブ処理により、各マップには、レジスタ群 2634 の 4 個のレジスタのそれぞれから 1 ビットずつ計 4 ビットが供給される。なお、インターリーバ 2635 の処理によってカラムーロウパーミュテーション（ステージ C）が実現される。

【0101】

ただし、QB カウンタ 2631、テーブル 2632、インターリーバ 2633、レジスタ群 2634、及びインターリーバ 2635 が、図 25 における BICM エンコーダのビットインターリーバ 2520 を構成する。

【0102】

マップ群 2651 の各マップはインターリーバ 2635 から供給された 4 個のビットをコンステレーションにマッピングし、マッピング結果を出力する。ただし、マップ群 2651 が、図 25 における BICM エンコーダのコンステレーションマップ 2530 を構成する。

【0103】

1 つの符号語に対して、上記一連の処理が QB カウンタ 2631 のカウンタ値「0」から「3」、「4」から「7」、「8」から「11」の計 3 回行われる。

【0104】

なお、図 26 の一実装例では、並列に動作する Q 個のマップを含むが、より並列度を低く、又は、高くして、BICM エンコーダを実装することも可能である。例えば、ビット

10

20

30

40

50

インターリーバにおける並列インターリーバセクションの数、すなわち、 N/M を増加させることによって、並列性を簡単に上げることができることは容易に分かる。このような手法では、 $Q \times N/M$ 個のマッパを並列にすることによって並列化を最大化することができる。ビットインターリーバにはそのような並列性を何の障害もなく実現することができるというメリットがある。

【0105】

以下、条件1、条件2を満たすビットインターリーブ処理を施すビットインターリーバを含むトランスミッタからの信号を受信するレシーバについて図面を用いて説明する。

【0106】

図27は、本発明のさらに他の実施の形態に係る非反復BICMデコーダを有するレシーバの一構成例を示すブロック図である。レシーバは、トランスミッタと逆の動作を行う。

10

【0107】

図27に示すレシーバ2700は、モジュレータ2710、および非反復BICMデコーダ（コンステレーションデマッパ2720、およびビットデインターリーバ2730、LDPCデコーダ2740を含む）を備える。

【0108】

デモジュレータ2710は、OFDMなどによる復調処理を行い、復調処理結果を出力する。

【0109】

20

非反復BICMデコーダのコンステレーションデマッパ2720は、モジュレータ2710からの入力に対してデマッピング処理を施して所謂ソフトビット列を生成し、生成したソフトビット列をコンステレーションデマッパ2730へ出力する。各ソフトビットは各ビットが0になるか1になるかの確率を示す尺度である。通常、ソフトビットは対数尤度比（ $\log \text{likelihood ratios}$ ：LLRs）で表され、以下のように定義される。

【0110】

$$LLR(b) = \ln [p(b=0) / p(b=1)]$$

$p(b=0)$ はビット b が0である確率を示し、 $p(b=1)$ はビット b が1である確率を示す。ただし、 $p(b=0) + p(b=1) = 1$ が成り立つ。

30

【0111】

ビットデインターリーバ2730は、コンステレーションデマッパ2720から出力されるソフトビット列に対して、図25のトランスミッタ内のビットインターリーバがビット列に対して施したビットインターリーブ処理を打ち消して元の並びに戻すインターリーブ処理（ビットデインターリーブ処理）を行う。

【0112】

LDPCデコーダ2740は、ビットデインターリーバ2730からビットデインターリーブが施されたソフトビット列を受け取り、受け取ったソフトビット列を用いてLDPC復号処理を行う。

【0113】

40

顕著な受信性能の向上が得られる技法の一つとして、反復BICM復号処理がある。反復BICMデコーダについて図28を用いて説明する。

【0114】

図28は、本発明のさらに他の実施の形態に係る反復BICMデコーダを有するレシーバの一構成例を示すブロック図である。レシーバは、トランスミッタと逆の動作を行う。

【0115】

図28に示すレシーバ2800は、モジュレータ2710、および反復BICMデコーダ（コンステレーションデマッパ2720、ビットデインターリーバ2730、LDPCデコーダ2740、減算ユニット2760、ビットインターリーバ2750）を備える。

【0116】

50

図 28 のレシーバ 2800 は、コンステレーションデマッパ 2720 によってコンステレーションデマッピング処理、ビットデインターリーブ 2730 によるビットデインターリーブ処理、LDPC デコーダ 2740 による LDPC 復号処理を行う。

【0117】

LDPC 復号の反復処理を 1 回または複数回実行した後、減算ユニット 2760 が LDPC デコーダ 2740 の出力から LDPC デコーダ 2740 の入力を減算し、減算の結果得られた外部情報 (extrinsic information) をビットインターリーブ 2750 へ出力する。ビットインターリーブ 2750 は、外部情報に対して、図 25 のトランスミッタ内のビットインターリーブがビット列に対して施したビットインターリーブ処理と同じインターリーブ規則のインターリーブ処理を行う。そして、ビットインターリーブ 2750 は、
10
インターリーブ処理を施した外部情報をコンステレーションデマッパ 2720 へフィードバックする。コンステレーションデマッパ 2720 は、フィードバックされた外部情報を事前情報 (a-priori information) として用いて、より信頼性の高い LLR 値を算出する。そして、ビットデインターリーブ 2730 は、新たに算出された LLR 値に対して図 25 のトランスミッタ内のビットインターリーブがビット列に対して施したビットインターリーブ処理を打ち消して元の並びに戻すインターリーブ処理 (ビットデインターリーブ処理) を行う。LDPC デコーダ 2740 は、ビットデインターリーブ処理が施された LLR 値を用いて LDPC 復号処理を行う。

【0118】

図 28 に示すように、反復復号のループは、四つの要素、すなわち、コンステレーションデマッパ 2720、ビットデインターリーブ 2730、LDPC デコーダ 2740、およびビットインターリーブ 2750 からなる。ビットデインターリーブ 2730 とビット
20
インターリーブ 2750 は、レイテンシが非常に低く、理想的にはゼロであって、かつ簡易な構成であれば、レシーバの効率的な実装が可能となる。上述したビットデインターリーブ 2730 とビットインターリーブ 2750 は両方の条件を満たす。

【0119】

非常に効率的な並列実装を実現する反復 BICM デコーダの一実装例について図 29 を用いて説明する。

【0120】

図 29 は、本発明のさらに他の実施の形態に係る BICM デコーダの一実装例を示すブロック図である。図 29 の BICM デコーダ 2900 は、上記パラメータ ($Q=8$ 、 $N=12$ 、 $M=4$) に対応するものである。
30

【0121】

図 29 に示す BICM デコーダ 2900 は、メイン LLR メモリ 2901、バッファ LLR メモリ 2902、LDPC コントローラ 2911、ローテータ 2912、検査ノードプロセッサ群 2913、デローテータ 2914、QB カウンタ 2931、テーブル 2932、減算ユニット 2933、インターリーブ 2934、レジスタ群 2935、インターリーブ 2936、デマッパ群 2937、デインターリーブ 2938、レジスタ群 2939、デインターリーブ 2940、および遅延ユニット 2941 を備える。

【0122】

図 29 では、 $Q=8$ であることを考慮して、メイン LLR メモリ 2901 およびバッファ LLR メモリ 2902 の読み出しが 8 個の LLR 値ずつ行われ、検査ノードプロセッサ群 2913 には 8 個の検査ノードプロセッサがあり、デマッパ群 2951 には 8 個のデマッパが存在する。また、 $M=4$ であることを考慮して、レジスタ群 2935、2972 には 4 個のレジスタがある。
40

【0123】

デマッパ群 2937 の各デマッパは、デモジュレータ (不図示) の出力を用いてデマッピング処理を行い、これにより得られた LLR 値をデインターリーブ 2938 へ出力する。ただし、デマッパ群 2937 が、図 28 における反復 BICM デコーダのコンステレーションデマッパ 2720 を構成する。
50

【0124】

デインターリーブ2938は、LLR値に対してデインターリーブ処理（トランスミッタによるステージCによるインターリーブを打ち消すインターリーブ処理）を施し、デインターリーブ後のLLR値をレジスタ群2939の各レジスタに出力する。ただし、レジスタのそれぞれには巡回ブロック1個分のLLR値（8個のLLR値）が格納される。レジスタ群2939では、レジスタに保持された巡回ブロック1個分のLLR値が順次後段に出力され、各レジスタの保持内容が順次更新されていく。デインターリーブ2940は、供給される巡回ブロック1個分のLLR値（8個のLLR値）に対してインターリーブ処理（トランスミッタによるステージBによるインターリーブを打ち消すインターリーブ処理）を施し、テーブル2932の保持内容（後述）に従ってメインLLRメモリ2901およびバッファLLRメモリ2902に書き込む。なお、テーブル2932の保持内容に従うメインLLRメモリ2901およびバッファLLRメモリ2902への書き込みより、トランスミッタによるステージAによるインターリーブを打ち消すインターリーブ処理が実現される。

【0125】

このようにして、メインLLRメモリ2901は、デインターリーブ処理後のLLR値を記憶し、LDPCデコーダ（LDPCコントローラ2911、ローテータ2912、検査ノードプロセッサ群2913、デローテータ2914）によっても用いられる。LDPC復号処理は、1または複数の反復によりなる反復処理である。LDPC復号処理の各反復において、メインLLRメモリ2901内のLLR値が更新される。反復BICM復号処理に必要な外部情報を算出するため、古いLLR値はバッファLLRメモリ2902に保持される。

【0126】

ここで、LDPCデコーダの処理を記載する。

【0127】

LDPCコントローラ2911は、LDPC符号のパリティチェック行列に従ってメインLLRメモリ2901に対して読み出しアドレスを出力し、これによりメインLLRメモリ2901は巡回ブロック1個分ずつLLR値をローテータ2912へ順次出力する。ローテータ2912は、LDPCコントローラ2911による制御を受けて、メインLLRメモリ2901から順次供給される巡回ブロック1個分のLLR値を所定数巡回シフトし、巡回シフト後のLLR値を検査ノードプロセッサ群2913の各検査ノードプロセッサに対して1個ずつ順次出力する。各検査ノードプロセッサ群2913の各検査ノードプロセッサは、LDPCコントローラ2911による制御を受けて、順次入力された一連のLLR値に対して検査ノード処理を行う。次に、検査ノードプロセッサ群2913の各検査ノードプロセッサは、LDPCコントローラ2911による制御を受けて、検査ノード処理の結果である一連のLLR値を順次出力する。デローテータ2914は、LDPCコントローラ2911による制御を受けて、検査ノードプロセッサ群2913から順次受け取った巡回ブロック1個分の処理結果をローテータ2912による巡回シフトを打ち消すように所定数巡回シフトし、巡回シフト後の処理結果をメインLLRメモリ2901へ順次出力する。LDPCコントローラ2911は、LDPC符号のパリティチェック行列に従ってメインLLRメモリ2901に対して書き込みアドレスを出力し、これによりメインLLRメモリ2901はデローテータ2914から順次供給される巡回ブロック1個分の処理結果を保持する。LDPCコントローラ2911は、LDPC符号のパリティチェック行列に従って、以上の処理を繰り返して実行する。

【0128】

LDPC反復処理を所定の回数実行した後、BICM反復処理が実行される。LDPCおよびBICM反復処理を、それぞれ、内的反復処理および外的反復処理とも呼ぶ。なお、これら二種類の反復処理をオーバーラップさせて実装することも可能である。これにより、収束のスピードを上げることができる。BICMおよびLDPC復号処理は、当技術分野において周知であるため、詳細な説明は省略する。

10

20

30

40

50

【0129】

QBカウンタ2931は0から11までカウントするものであり、カウンタ値をテーブル2932へ出力する。なお、QBカウンタ2931によるカウント動作はN=12を考慮したものである。

【0130】

テーブル2932は、巡回ブロックパーミュテーションの規則を記憶した単純なルックアップテーブルである。つまり、テーブル2932は、N=12個の巡回ブロックの読み出し順序（書き込み順序）の情報（QBカウンタ2631による12個のカウンタ値にそれぞれ異なる巡回ブロックを対応付けた情報）を保持している。テーブル2932は、QBカウンタ2931から供給されるカウンタ値に対応した巡回ブロック1個分のLLR値がメインLLRメモリ2901およびバッファLLRメモリ2902から減算ユニット群2933へ供給されるように、メインLLRメモリ2901およびバッファLLRメモリ2902に対して読み出しアドレスを出力する。これにより、メインLLRメモリ2901およびバッファLLRメモリ2902はそれぞれQBカウンタ2931のカウンタ値に対応した巡回ブロック1個分のLLR値を減算ユニット2934へ出力する。ここで、メインLLRメモリ2901およびバッファLLRメモリ2902からのLLR値の読み出し位置と、メインLLRメモリ2901およびバッファLLRメモリ2902への当該LLR値の書き込み位置とが一致するように、遅延ユニット2941による遅延調整が施される。なお、このテーブル2932の処理によって巡回ブロックパーミュテーション（ステージA）に相当するパーミュテーションが実現される。

【0131】

減算ユニット群の各減算ユニット2933は、メインLLRメモリ2901の出力からバッファLLRメモリ2902の出力を減算し、減算の結果得られた巡回ブロック1個分の外部情報（8個の外部情報）をインターリーバ2934に出力する。

【0132】

インターリーバ2934は、減算ユニット2933から供給された巡回ブロック1個分の外部情報を、所定数巡回シフトさせて、レジスタ群2935の1段目のレジスタに出力する。なお、このインターリーバ2934の処理によって巡回ブロック内パーミュテーション（ステージB）に相当する処理が実現される。ただし、レジスタ群2935の各レジスタは制御パルスを受けて8個のビットを保持し、保持した8個のビットを次に制御パルスを受け取るまで出力し続ける。

【0133】

QBカウンタ2931のカウンタ値「0」～「3」に対して上記の処理内容が実施されると、インターリーバ2936には巡回ブロック4個分の外部情報（32個の外部情報）が入力される。このタイミングで、インターリーバ2936は、入力された巡回ブロック4個分の外部情報に対してインターリーブ処理を施して、デマッパ群2937の各デマッパにコンステレーション語の1個分の外部情報（M=4個の外部情報）を出力する。インターリーブ処理により、デマッパ群2951の各デマッパには、レジスタ群2935の4個のレジスタのそれぞれから1個ずつ計4個の外部情報が供給される。なお、インターリーバ2936の処理によってカラムーロウパーミュテーション（ステージC）に相当する処理が実現される。

【0134】

ただし、QBカウンタ2931、テーブル2932、インターリーバ2934、レジスタ群2935、及びインターリーバ2936が、図28におけるBICMデコーダのビットインターリーバ2750を構成する。

【0135】

デマッパ群2937の各デマッパは、インターリーバ2936から供給された4個の外部情報を事前情報として用いてデマッピング処理を行い、新たなLLR値をデインターリーバ2938へ出力する。

【0136】

デインターリーブ 2938 は、LLR 値に対してデインターリーブ処理（トランスミッタによるステージ C によるインターリーブを打ち消すインターリーブ処理）を施し、デインターリーブ後の LLR 値をレジスタ群 2939 の各レジスタに出力する。ただし、レジスタのそれぞれには巡回ブロック 1 個分の LLR 値（8 個の LLR 値）が格納される。レジスタ群 2939 では、レジスタに保持された巡回ブロック 1 個分の LLR 値が順次後段に出力され、各レジスタの保持内容が順次更新されていく。デインターリーブ 2940 は、供給される巡回ブロック 1 個分の LLR 値（8 個の LLR 値）に対してデインターリーブ処理（トランスミッタによるステージ B によるインターリーブを打ち消すインターリーブ処理）を施し、メイン LLR メモリ 2901 およびバッファ LLR メモリ 2902 に出力する。メイン LLR メモリ 2901 およびバッファ LLR メモリ 2902 は、テーブル 2932 から遅延ユニット 2941 を介して書き込みアドレスを受け取り、受け取った書き込みアドレスに従い、デインターリーブ 2940 から受け取った巡回ブロック 1 個分の LLR 値（8 個の LLR 値）を保持する。テーブル 2932 に従った書き込み処理により、トランスミッタによるステージ A によるインターリーブを打ち消すインターリーブ処理（デインターリーブ処理）が実現される。

【0137】

1 つの符号語に対して、上記一連の処理が QB カウンタ 2931 のカウンタ値「0」から「3」、「4」から「7」、「8」から「11」の計 3 回行われる。

【0138】

ただし、QB カウンタ 2931、テーブル 2932、デインターリーブ 2938、レジスタ群 2939、及びデインターリーブ 2940 が、図 28 における BICM デコーダのビットデインターリーブ 2730 を構成する。

【0139】

インターリーブ 2934 およびデインターリーブ 2940 は再構成可能であり、一定のハードウェアコストがかかるが、コストは入念な設計によって最小限に抑えることができる。インターリーブ 2936 およびデインターリーブ 2938 は、カラム - ロウパーミュテーションを実装するものであり、このパーミュテーションは所定のコンステレーションサイズについて一定である。したがって、実装コストは小さい。

【0140】

なお、図 29 の一実装例では、並列に動作する Q 個のデマッパを含むが、より並列度を低く、又は、高くして、反復 BICM デコーダを実装することも可能である。例えば、ビットインターリーブにおける並列インターリーブセクションの数、すなわち、 N/M を増加させることによって、並列性を簡単に上げることができることは容易に分かる。このような手法では、 $Q \times N/M$ 個のデマッパを並列にすることによって並列化を最大化することができる。上述したビットインターリーブにはそのような並列性を何の障害もなく実現することができるというメリットがある。

【0141】

《補足 1》

本発明は上記の実施の形態で説明した内容に限定されず、本発明の目的とそれに関連又は付随する目的を達成するためのいかなる形態においても実施可能であり、例えば、以下であってよい。

【0142】

(1) 上記の実施の形態では、パラメータとして $N=12$ 、 $Q=8$ 、 $M=4$ を例に挙げて説明したが、パラメータ N 、 M 、 Q の値はこれに限定されるものではなく、 N が M の倍数であればよい。なお、 N が M の 2 以上の倍数である場合には、ビットインターリーブの処理を、複数のセクションに分割して実行することが可能になる。

【0143】

(2) 上記の実施の形態では、コンステレーションとして 16QAM ($M=4$) を例に挙げて説明したが、コンステレーションとして、QPSK や QAM などのような特定の変調方式の他に、例えば、DVB-S2 規格において利用される円形コンステレーションや

10

20

30

40

50

、多次元コンステレーションなど様々な変調方式を用いることができる。

【0144】

(3) 上記の実施の形態で説明した方法または装置を、ソフトウェアによって実現してもよいし、ハードウェアによって実現してもよく、特定の形態に限定されるものではない。具体的には、上記の実施形態は、コンピュータ、マイクロプロセッサ、マイクロコントローラなどが上記の実施形態で説明した方法や装置のすべてのステップを実行できるようなコンピュータ実行可能命令を、コンピュータ読み取り可能媒体上で具現化した形態で実施してもよい。また、上記の実施形態は、ASIC (Application-Specific Integrated Circuit) や、FPGA (Field Programmable Gate Array) の形態で実施してもよい。

10

【0145】

《補足2》

本発明に係るビットインターリーブ方法、ビットインターリーバ、ビットデインターリーブ方法、ビットデインターリーバ、およびデコーダとその効果について説明する。

【0146】

本発明の一態様である第1のビットインターリーブ方法は、疑似巡回低密度パリティチェック符号を用いる通信システムにおけるビットインターリーブ方法であって、前記ビットインターリーブ方法は、それぞれがQ個のビットからなるN個の巡回ブロックで構成される前記疑似巡回低密度パリティチェック符号の符号語を受信する受信ステップと、前記符号語のビットに対して当該符号語のビットの並び順を換えるビットパーミュテーション処理を施すビットパーミュテーションステップと、前記ビットパーミュテーション処理が施された符号語を、それぞれM個のビットよりなり、それぞれが 2^M 個の所定のコンステレーションポイントのいずれか1つを示す複数のコンステレーション語に分割する分割ステップと、を有し、前記ビットパーミュテーション処理が施される前の前記符号語はN/M個のセクションに分割され、各前記セクションはM個の前記巡回ブロックからなり、各前記コンステレーション語はN/M個の前記セクションのうちのいずれか1つと関連付けられており、前記ビットパーミュテーションステップは、各前記コンステレーション語が、関連付けられている前記セクション中のM個の異なる前記巡回ブロックのそれぞれの1個のビットからなる計M個のビットから構成され、各前記セクションのすべてのビットが当該セクションに関連付けられているQ個の前記コンステレーション語にのみにマッピングされるように、前記ビットパーミュテーション処理を行う。

20

30

【0147】

本発明の一態様である第1のビットインターリーバは、疑似巡回低密度パリティチェック符号を用いる通信システムに用いられるビットインターリーバであって、前記ビットインターリーバは、それぞれがQ個のビットからなるN個の巡回ブロックで構成される前記疑似巡回低密度パリティチェック符号の符号語を受信し、前記符号語のビットに対して当該符号語のビットの並び順を換えるビットパーミュテーション処理を施し、前記ビットパーミュテーション処理が施された符号語を、それぞれM個のビットよりなり、それぞれが 2^M 個の所定のコンステレーションポイントのいずれか1つを示す複数のコンステレーション語に分割されるように出力するビットパーミュテーション部を備え、前記ビットパーミュテーション処理が施される前の前記符号語はN/M個のセクションに分割され、各前記セクションはM個の前記巡回ブロックからなり、各前記コンステレーション語は前記N/M個のセクションのうちのひとつと関連付けられており、前記ビットパーミュテーション部は、各前記コンステレーション語が、関連付けられている前記セクション中のM個の異なる巡回ブロックのそれぞれの1個のビットからなる計M個のビットから構成され、各前記セクションのすべてのビットが当該セクションに関連付けられているQ個のコンステレーション語にのみにマッピングされるように、前記ビットパーミュテーション処理を行う。

40

【0148】

これらによれば、高い並列性を持つビットインターリーブ処理の実施が可能になる。

50

【0149】

本発明の一態様である第2のビットインターリーブ方法は、第1のビットインターリーブ方法において、前記ビットパーミュテーションステップは、 N/M 個の前記セクションを互いに独立に、各前記セクションのビットに対して当該セクションのビットの並び順を換えるセクションパーミュテーション処理を施すセクションパーミュテーションステップを有する。

【0150】

本発明の一態様である第2のビットインターリーブ方法は、第1のビットインターリーブ方法において、前記ビットパーミュテーション部は、 N/M 個の前記セクションを互いに独立に、各前記セクションのビットに対して当該セクションのビットの並び順を換えるセクションパーミュテーション処理を施すセクションパーミュテーション部を有する。

10

【0151】

これらによれば、複数のセクションパーミュテーションの並列実行が可能になる。

【0152】

本発明の一態様である第3のビットインターリーブ方法は、第2のビットインターリーブ方法において、前記セクションパーミュテーションステップは、前記巡回ブロックの Q 個のビットが、当該巡回ブロックに対応する前記セクションに関連付けられている Q 個の前記コンステレーション語の同一のビットインデックスを有するビットにマッピングされるように、前記セクションパーミュテーション処理を行う。

【0153】

本発明の一態様である第3のビットインターリーブ方法は、第2のビットインターリーブ方法において、前記セクションパーミュテーション部は、前記巡回ブロックの Q 個のビットが、当該巡回ブロックに対応する前記セクションに関連付けられている Q 個の前記コンステレーション語の同一のビットインデックスを有するビットにマッピングされるように、前記セクションパーミュテーション処理を行う。

20

【0154】

これらによれば、符号語の重要度が同じビットが、コンステレーション語のロバストレベルが同じビットにマッピングされ、重要度とロバストレベルの合致が得られる。例えば、符号語の最も重要度が高いビットがコンステレーション語の最もロバストレベルが高いビットにマッピングされるようにしてもよく、この場合、受信時に符号語の重要度が高いビットに対して高い信頼度が得られ、高い受信性能が得られる。

30

【0155】

本発明の一態様である第4のビットインターリーブ方法は、第2のビットインターリーブ方法において、前記セクションパーミュテーションステップは、前記セクションの $M \times Q$ 個のビットに対して当該 $M \times Q$ 個のビットの並び順を換えるカラム - ロウパーミュテーション処理を施すカラム - ロウパーミュテーションステップを有する。

【0156】

本発明の一態様である第5のビットインターリーブ方法は、第2のビットインターリーブ方法において、前記セクションパーミュテーションステップは、 N/M 個の前記セクションのそれぞれについて、前記巡回ブロックを互いに独立に、各前記巡回ブロックのビットに対して当該巡回ブロックのビットの並び順を換える巡回ブロック内パーミュテーション処理を施す巡回ブロック内パーミュテーションステップと、前記巡回ブロックパーミュテーション処理が施された前記セクションの $M \times Q$ 個のビットに対して当該 $M \times Q$ 個のビットの並び順を換えるカラム - ロウパーミュテーション処理を施すカラム - ロウパーミュテーションステップと、有する。

40

【0157】

本発明の一態様である第6のビットインターリーブ方法は、第4のビットインターリーブ方法において、前記カラム - ロウパーミュテーション処理は、 $M \times Q$ 個のビットを Q 列 M 行の行列の行方向に書き込み、列方向に $M \times Q$ 個のビットを読み出すことと等価な処理である。

50

【0158】

本発明の一態様である第4のビットインターリーブは、第2のビットインターリーブにおいて、前記セクションパーミュテーション部は、前記セクションの $M \times Q$ 個のビットに対して当該 $M \times Q$ 個のビットの並び順を換えるカラム・ロウパーミュテーション処理を施す。

【0159】

本発明の一態様である第5のビットインターリーブは、第2のビットインターリーブにおいて、前記セクションパーミュテーション部は、 N/M 個の前記セクションのそれぞれについて、前記巡回ブロックを互いに独立に、各前記巡回ブロックのビットに対して当該巡回ブロックのビットの並び順を換える巡回ブロック内パーミュテーション処理を施し、前記巡回ブロックパーミュテーション処理が施された前記セクションの $M \times Q$ 個のビットに対して当該 $M \times Q$ 個のビットの並び順を換えるカラム・ロウパーミュテーション処理を施す。

10

【0160】

これらによると、セクションパーミュテーションにカラム・ロウパーミュテーションを用いることによって非常に効率的にセクションパーミュテーションの実施が可能になる。

【0161】

本発明の一態様である第7のビットインターリーブ方法は、第1のビットインターリーブ方法において、前記符号語の巡回ブロックに対して当該符号語の巡回ブロックの並び順を換える巡回ブロックパーミュテーション処理を施す巡回ブロックパーミュテーションステップをさらに有する。

20

【0162】

本発明の一態様である第6のビットインターリーブは、第1のビットインターリーブにおいて、前記符号語の巡回ブロックに対して当該符号語の巡回ブロックの並び順を換える巡回ブロックパーミュテーション処理を施す巡回ブロックパーミュテーション部をさらに備える。

【0163】

これらによれば、符号語のビットをコンステレーション語のビットに最適にマッピングすることが可能となり、これによりBICM全体の性能を最適化することができる。

【0164】

本発明の一態様である第1のビットデインターリーブ方法は、疑似巡回低密度パリティチェック符号を用いる通信システムにおいてビットストリームをビットデインターリーブするビットデインターリーブ方法であって、 $N \times Q$ 個のビットからなるビット列を受信する受信ステップと、前記疑似巡回低密度パリティチェック符号の符号語を復元するために、受信した前記ビット列のビットに対して当該ビット列のビットの並び順を換える逆ビットパーミュテーション処理を施す逆ビットパーミュテーションステップと、を有し、前記逆ビットパーミュテーション処理は、第1のビットデインターリーブ方法における前記ビットパーミュテーション処理で換えられた並び順を元に戻す処理である。

30

【0165】

本発明の一態様である第1のビットデインターリーブは、疑似巡回低密度パリティチェック符号を用いる通信システムにおいてビットストリームをビットデインターリーブするビットデインターリーブ方法であって、 $N \times Q$ 個のビットからなるビット列を受信し、前記疑似巡回低密度パリティチェック符号の符号語を復元するために、受信した前記ビット列のビットに対して当該ビット列のビットの並び順を換える逆ビットパーミュテーション処理を施す逆ビットパーミュテーション部を備え、前記逆ビットパーミュテーション処理は、第1のビットデインターリーブによって実施される前記ビットパーミュテーション処理で換えられた並び順を元に戻す処理である。

40

【0166】

本発明の一態様である第1のデコーダは、疑似巡回低密度パリティチェック符号を用いるビットデインターリーブ符号化変調システム用のデコーダであって、対応するビットが0

50

であるか1であるかの確率を示すソフトビット列を生成するコンステレーションデマップと、前記ソフトビット列をビットデインターリーブする第1のビットデインターリーブと、ビットデインターリーブされた前記ソフトビット列をデコードする低密度パリティチェックデコーダと、を備える。

【0167】

本発明の一態様である第2のデコーダは、第1のデコーダにおいて、前記低密度パリティチェックデコーダの出力から前記低密度パリティチェックデコーダの入力を減算する減算部と、前記減算部の減算結果を前記コンステレーションデマップにフィードバックする第1のビットインターリーブと、をさらに備える。

【0168】

これらによれば、高い並列性を持つビットデインターリーブ処理の実施が可能になる。

【産業上の利用可能性】

【0169】

本発明は、疑似巡回型低密度パリティ符号を用いたビットインターリーブ符号化変調システムにおけるビットインターリーブおよび当該ビットインターリーブに対応するビットデインターリーブに利用することができる。

【符号の説明】

【0170】

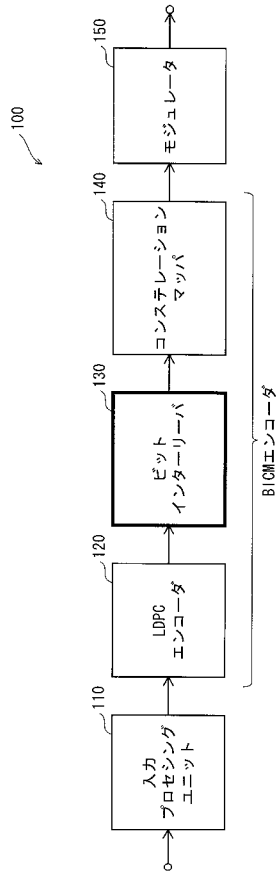
2000、2300、2400 ビットインターリーブ
2010 ビットパーミュテーションユニット
2021～2023 セクションパーミュテーションユニット
2101、2201 ビットパーミュテーションユニット
2111～2122 巡回ブロック内パーミュテーションユニット
2131～2133 カラム - ロウパーミュテーションユニット
2310 巡回ブロックパーミュテーションユニット
2500 トランスミッタ
2510 LDPCエンコーダ
2520 ビットインターリーブ
2530 コンステレーションマッピング
2700、2800 レシーバ
2710 コンステレーションデマッピング
2720 ビットデインターリーブ
2730 LDPCデコーダ
2740 減算ユニット
2750 ビットインターリーブ

10

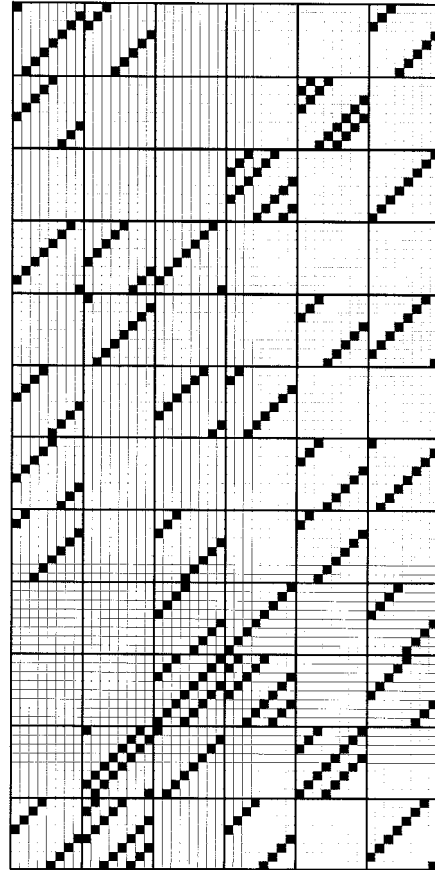
20

30

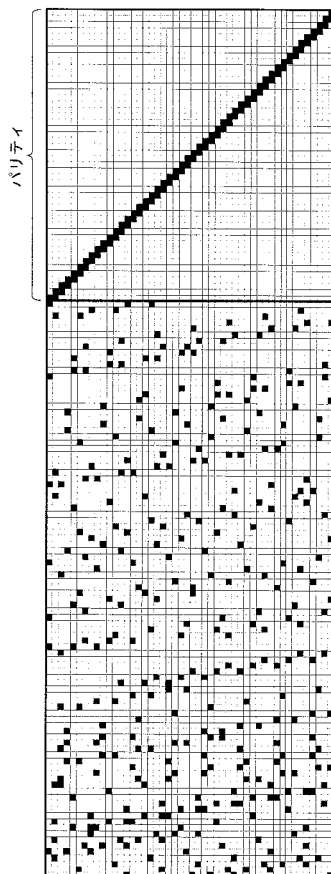
【図 1】



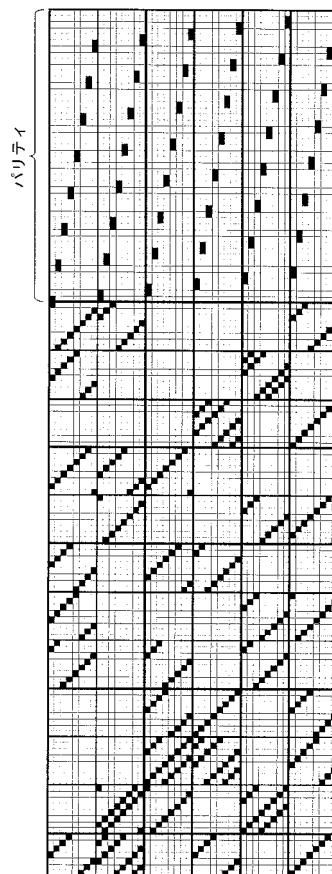
【図 2】



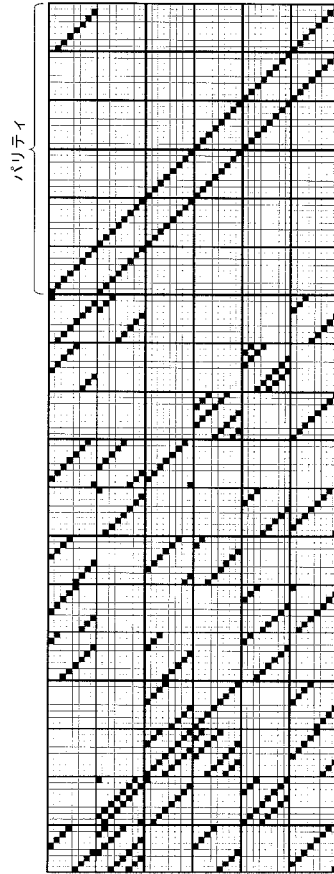
【図 3】



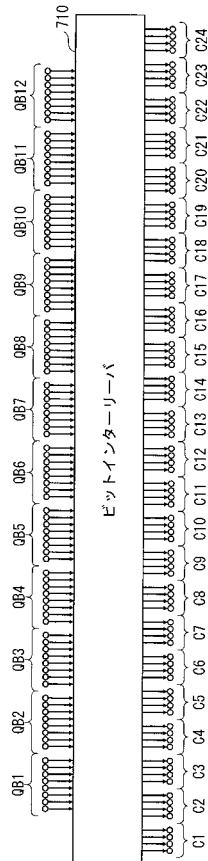
【図 4】



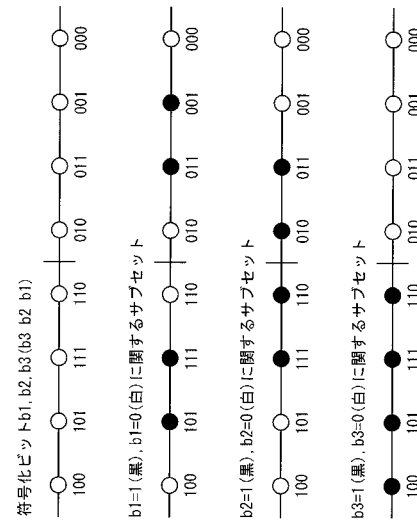
【図 5】



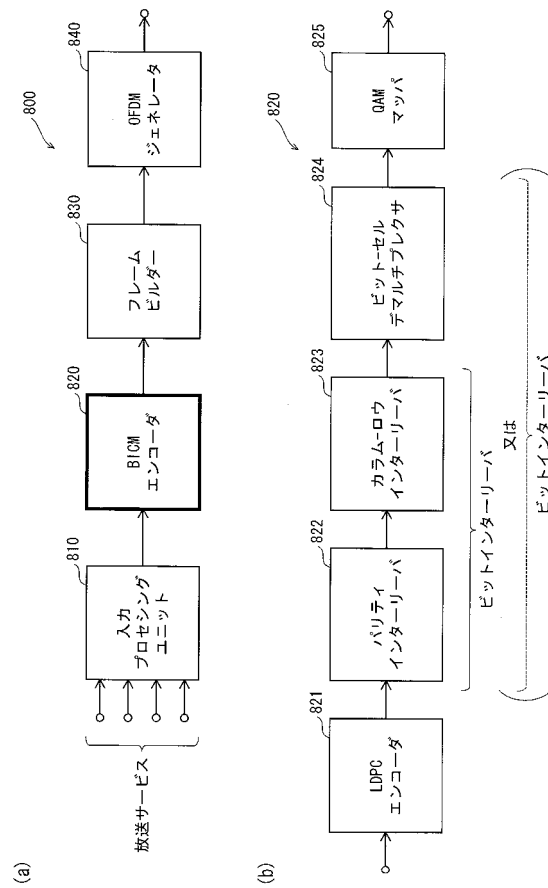
【図 7】



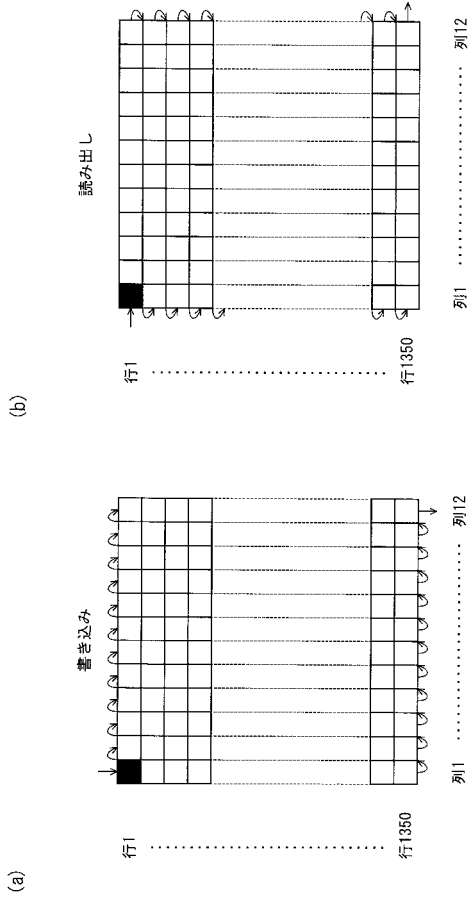
【図 6】



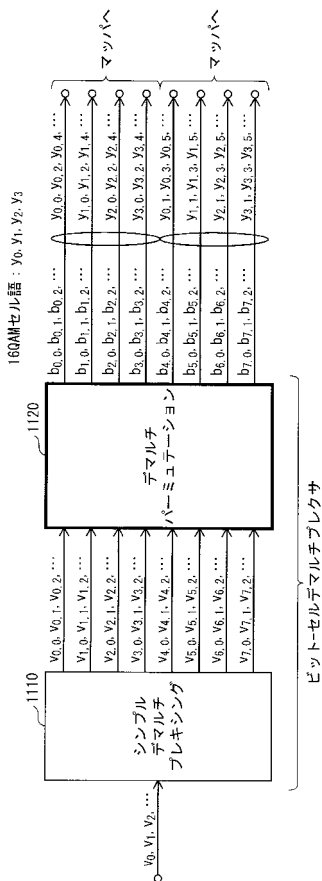
【図 8】



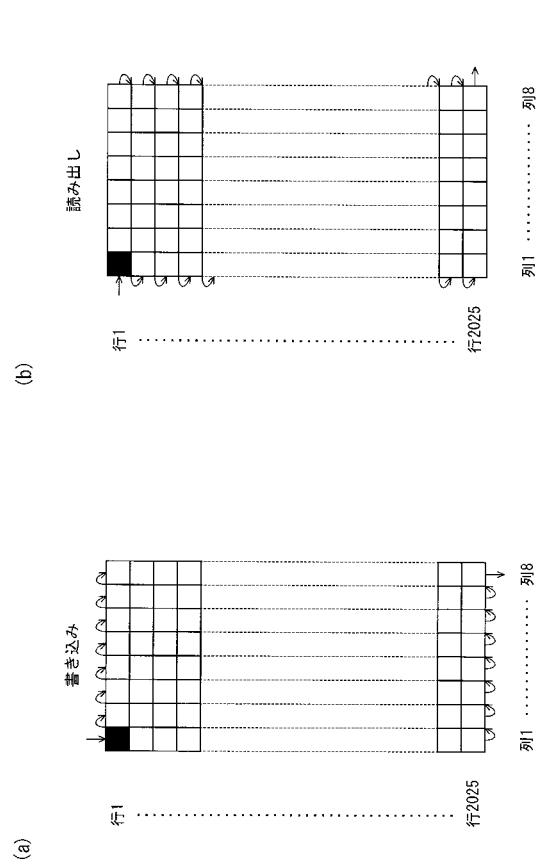
【図 9】



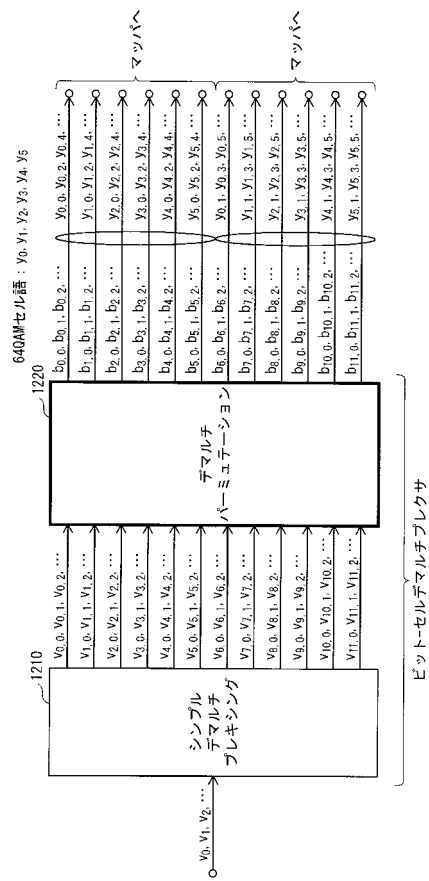
【図 1 1】



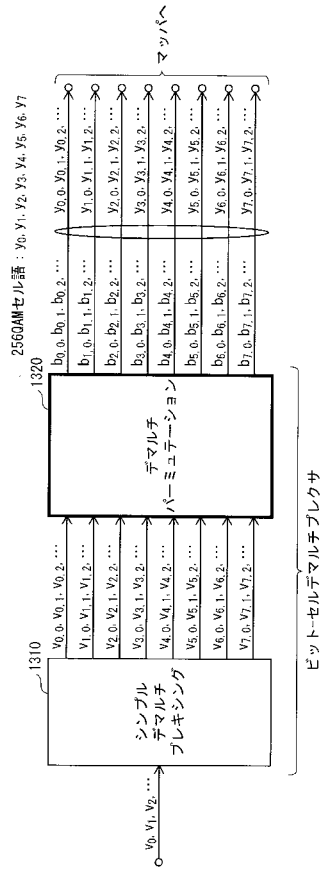
【図 1 0】



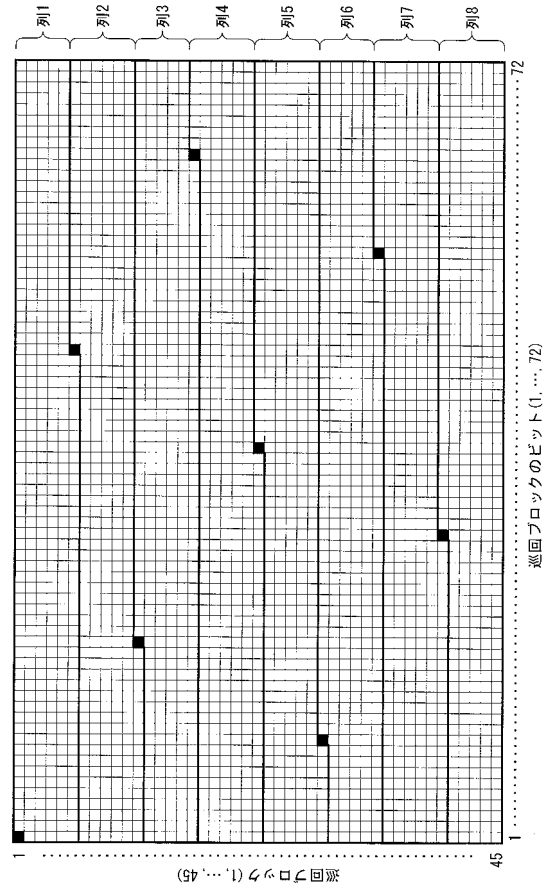
【図 1 2】



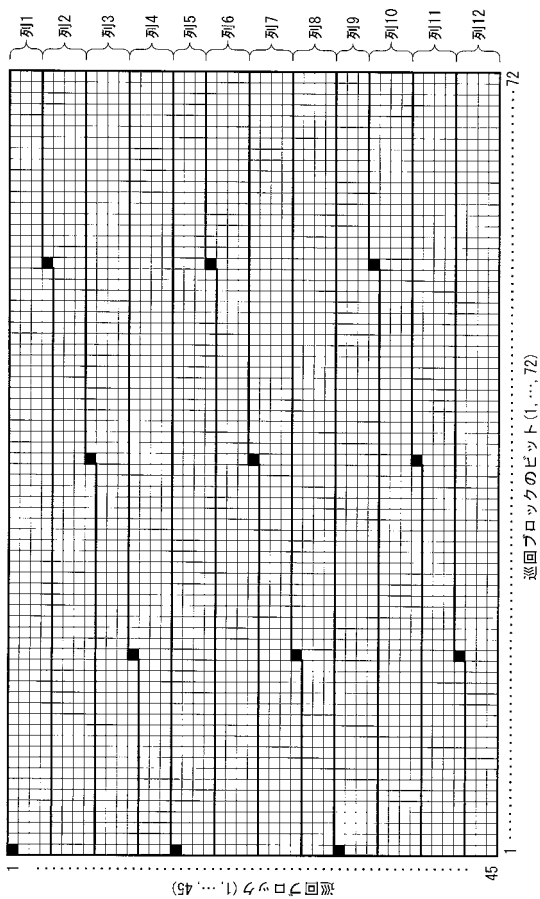
【 図 1 3 】



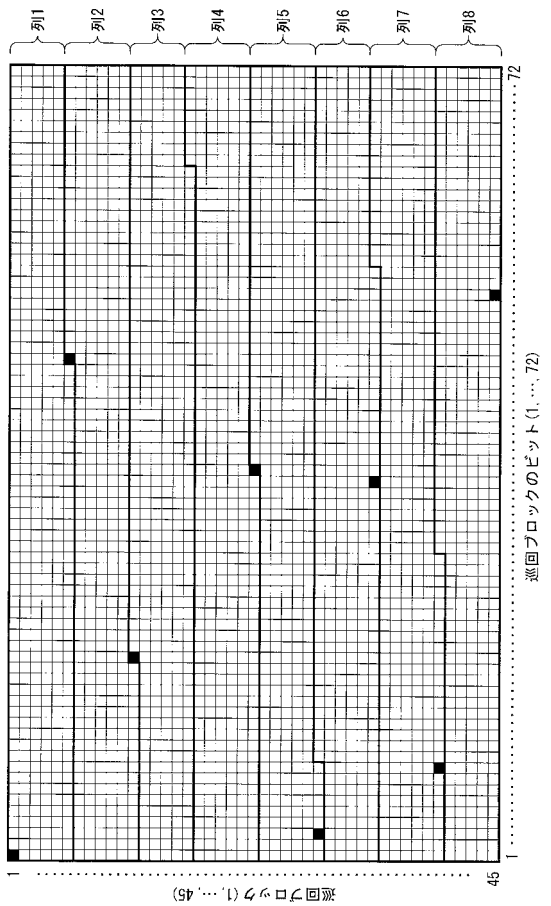
【 図 1 4 】



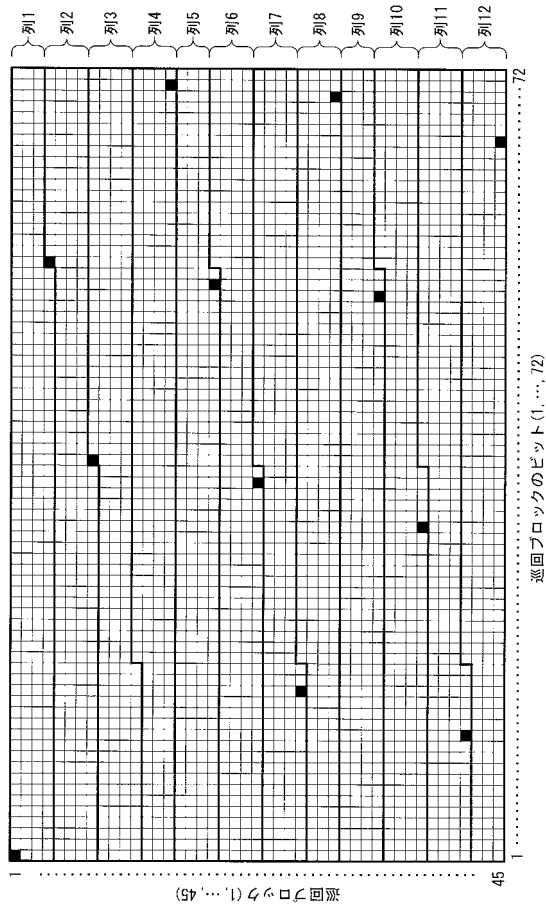
【 図 1 5 】



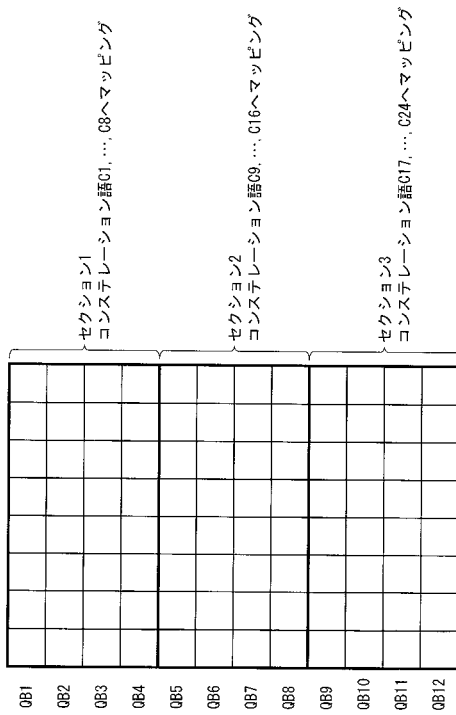
【 図 1 6 】



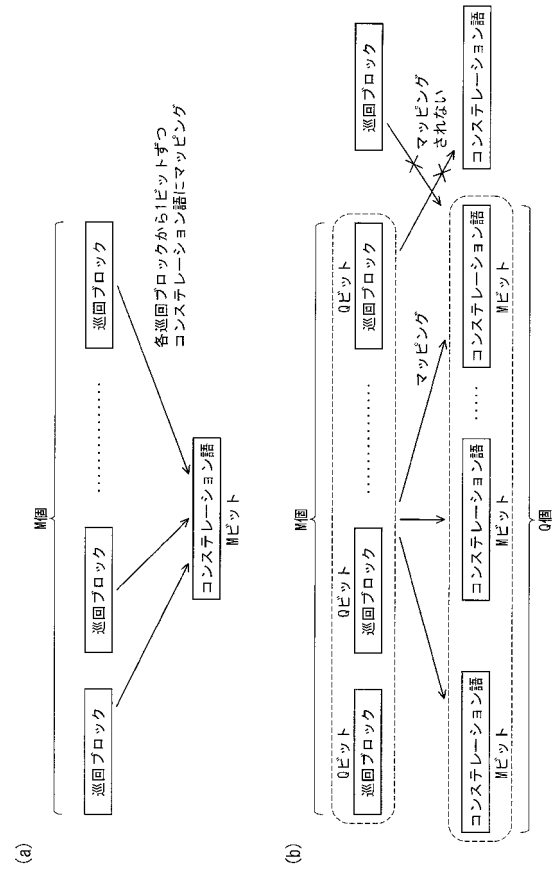
【図 17】



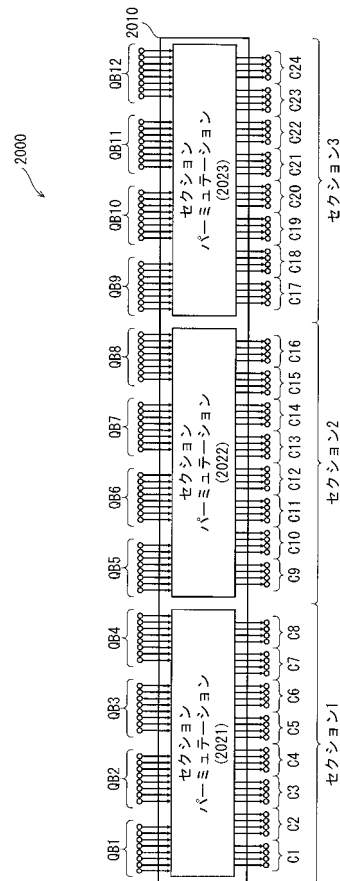
【図 19】



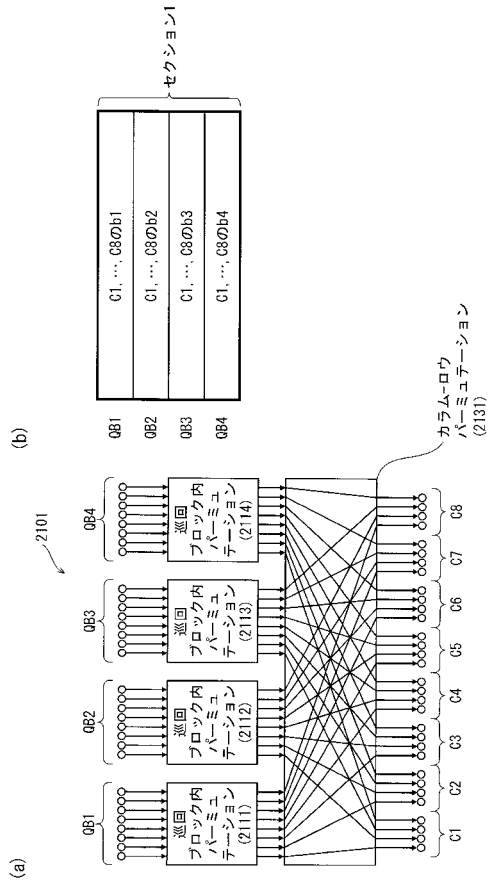
【図 18】



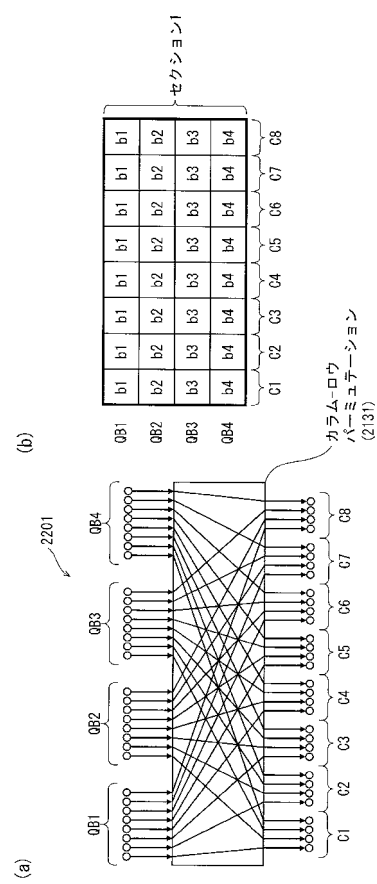
【図 20】



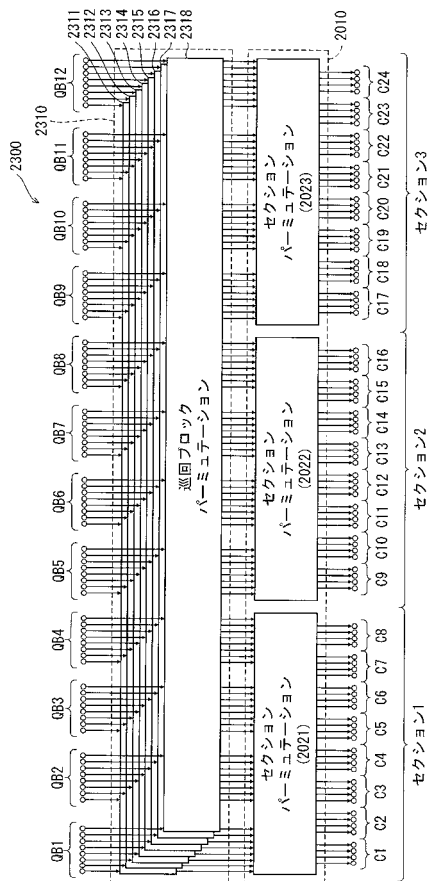
【図 2 1】



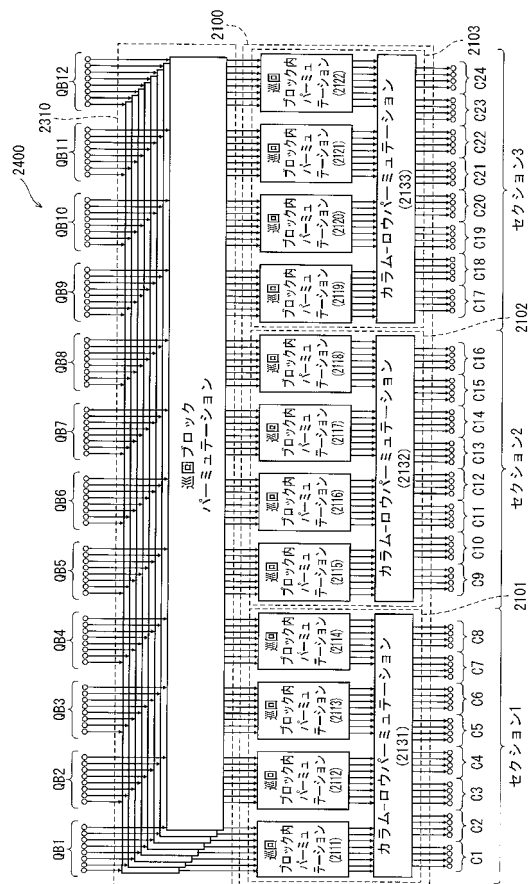
【図 2 2】



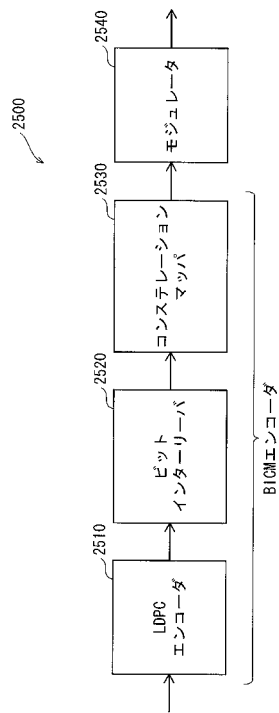
【図 2 3】



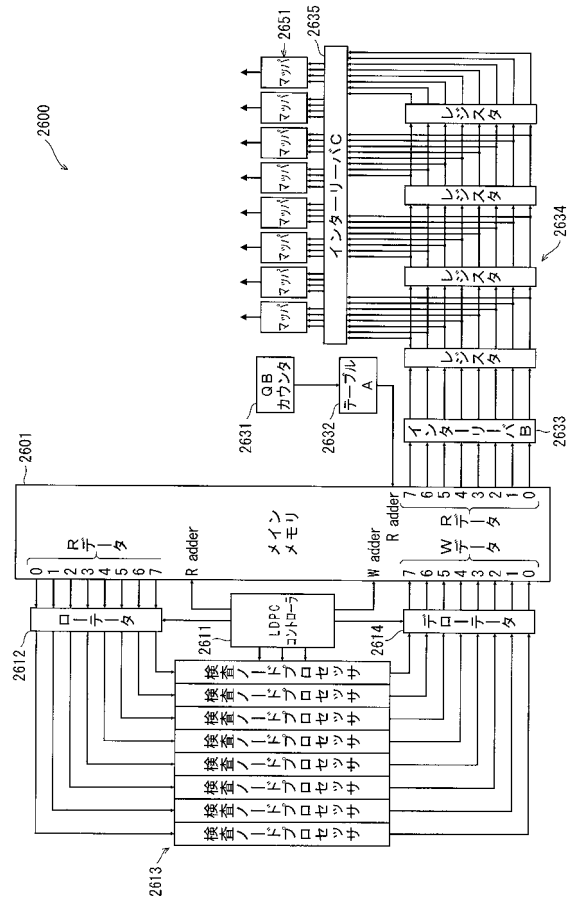
【図 2 4】



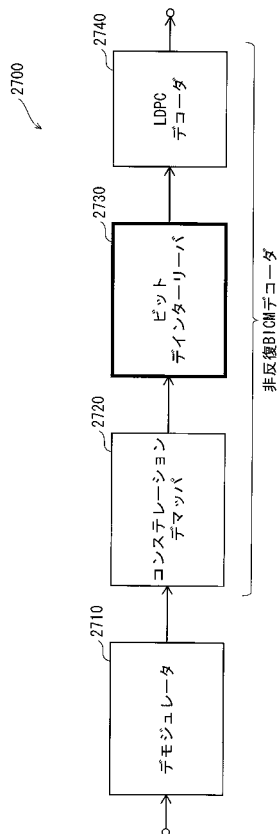
【图 2 5】



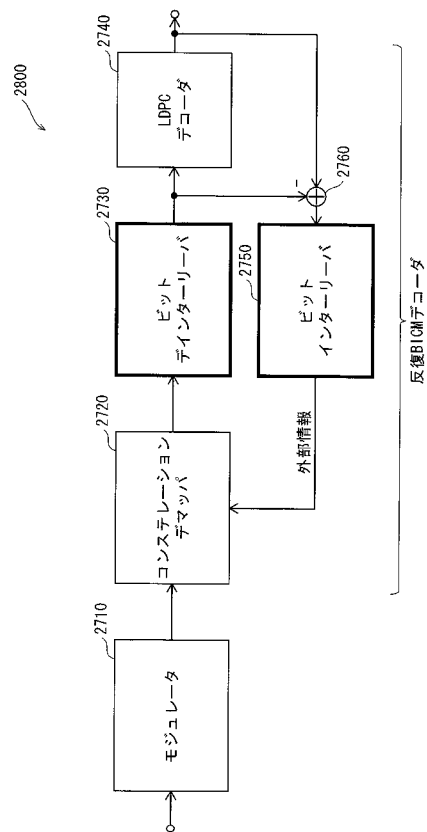
【图 2 6】



【図 27】



【图 28】



【図 29】

