

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 11 月 17 日(17.11.2016)



(10) 国際公開番号
WO 2016/182085 A1

- (51) 国際特許分類:
H01L 21/8246 (2006.01) *H01L 29/82* (2006.01)
G11C 11/15 (2006.01) *H01L 43/08* (2006.01)
H01L 27/105 (2006.01)
- (21) 国際出願番号: PCT/JP2016/064530
- (22) 国際出願日: 2016 年 5 月 16 日(16.05.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-098976 2015 年 5 月 14 日(14.05.2015) JP
- (71) 出願人: 国立大学法人東北大学(TOHOKE UNIVERSITY) [JP/JP]; 〒9808577 宮城県仙台市青葉区片平二丁目 1 番 1 号 Miyagi (JP).
- (72) 発明者: 深見 俊輔(FUKAMI Shunsuke); 〒9808577 宮城県仙台市青葉区片平二丁目 1 番 1 号 国立大学法人東北大学内 Miyagi (JP). 岩淵 透(IWABUCHI Toru); 〒9808577 宮城県仙台市青葉区片平二丁目 1 番 1 号 国立大学法人東北大学内 Miyagi (JP). 大野 英男(OHNO Hideo); 〒9808577 宮城県仙台市青葉区片平二丁目 1 番 1 号 国立大学法人東北大学内 Miyagi (JP). 遠藤 哲郎(ENDO Tetsuo); 〒9808577 宮城県仙台市青葉区片平

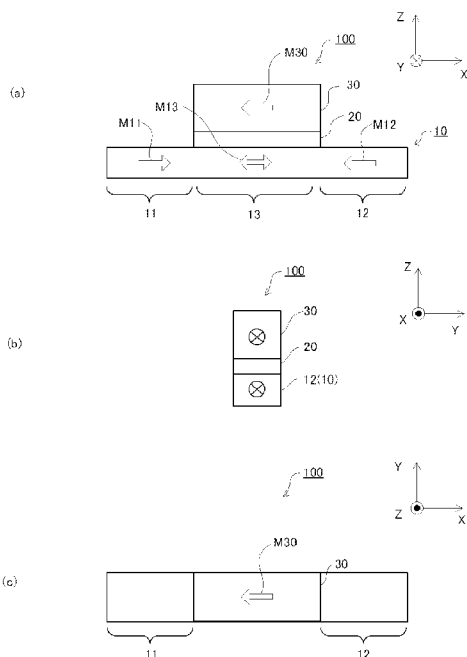
二丁目 1 番 1 号 国立大学法人東北大学内 Miyagi (JP).

- (74) 代理人: 木村 満(KIMURA Mitsuru); 〒1010054 東京都千代田区神田錦町二丁目 7 番地 協販ビル 2 階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーロピア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),

[続葉有]

(54) Title: MAGNETORESISTIVE EFFECT ELEMENT AND MAGNETIC MEMORY DEVICE

(54) 発明の名称: 磁気抵抗効果素子及び磁気メモリ装置



(57) Abstract: A magnetoresistive effect element (100) has a recording layer (10) that contains a ferromagnetic body, a barrier layer (20) layered on the recording layer (10), and a reference layer (30) layered on the barrier layer (20), the reference layer (30) containing a ferromagnetic body. The reference layer (30) has a magnetization component substantially fixed substantially in the in-plane direction. The recording layer (10) includes: a first magnetization fixed region (11) having a magnetization component essentially fixed in substantially the in-plane direction; a second magnetization fixed region (12) having a magnetization component essentially fixed in the direction opposite that of the magnetization component of the first magnetization fixed region (11); and a magnetization free region (13) positioned between the first magnetization fixed region (11) and the second magnetization fixed region (12), the magnetization free region (13) having a magnetization component capable of inverting in substantially the in-plane direction. The wire width of a fine wire constituting a part of the recording layer (10) is 40 nm or less. The film thickness of the recording layer (10) is 40 nm or less and is equivalent to half to twice the wire width.

(57) 要約: 磁気抵抗効果素子 (100) は、強磁性体を含む記録層 (10) と、記録層 (10) の上に積層された障壁層 (20) と、障壁層 (20) の上に積層され、強磁性体を含む参照層 (30) とを有する。参照層 (30) は、略面内方向に実質固定された磁化成分を有する。記録層 (10) は、略面内方向に実質固定された磁化成分を有する第 1 磁化固定領域 (11) と、第 1 磁化固定領域 (11) が有する磁化成分と反対の向きに実質固定された磁化成分を有する第 2 磁化固定領域 (12) と、第 1 磁化固定領域 (11) と第 2 磁化固定領域 (12) との間に位置し、略面内方向において反転可能な磁化成分を有する磁化自由領域 (13) とを含む。記録層 (10) を構成する細線の線幅は 40 nm 以下であり、記録層 (10) の膜厚は、40 nm 以下であり、線幅の 1/2 以上、かつ、2 倍以下である。

WO 2016/182085 A1



OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：磁気抵抗効果素子及び磁気メモリ装置

技術分野

[0001] この発明は、磁気抵抗効果素子及び磁気メモリ装置に関する。

背景技術

[0002] 高速性と高書き換え耐性が得られる次世代不揮発メモリとして、磁気トンネル接合素子（M a g n e t i c T u n n e l i n g J u n c t i o n 素子：MTJ素子）を使用したSTT-MRAM（S p i n - T r a n s f e r T o r q u e M a g n e t i c R a n d o m A c c e s s M e m o r y）が注目されている。STT-MRAMにデータを書き込むためには、磁気トンネル接合素子の抵抗状態をスピントランスファートルク（S p i n T r a n s f e r T o r q u e：STT）を用いて高抵抗の状態あるいは低抵抗の状態に変化させる。また、磁気トンネル接合素子の抵抗状態を検出することで、記憶されているデータを読み出す。

[0003] STT-MRAMの書き込み方式には、スピン注入磁化反転方式、電流誘起磁壁移動方式等がある。スピン注入磁化反転方式は、電流を磁気抵抗効果素子に導入し、スピン偏極した電子によるトルクを記録層の磁化に作用させることで磁気抵抗効果素子の抵抗状態を変化させる。電流誘起磁壁移動方式は、電流により磁性体層内に導入された磁壁を移動させることで磁気抵抗効果素子の抵抗状態を変化させる。

[0004] 電流誘起磁壁移動方式について、特許文献1には、面内磁化を有する磁性体層に磁壁を導入した素子が開示されている。また、特許文献2には、垂直磁化を有する磁性体層に磁壁を導入して、磁壁移動によるデータ書き込みを行うことが開示されている。

先行技術文献

特許文献

[0005] 特許文献1：特開2005-191032号公報

特許文献2：国際公開第2009/001706号

発明の概要

発明が解決しようとする課題

- [0006] 特許文献1の面内磁化を有する磁性体層を使用した場合、書き込みに要する電流密度（しきい電流密度）が上昇してしまい、ジュール発熱等による金属配線の断線や狭窄化により、素子を安定して動作させることが困難である。
- [0007] 特許文献2に記載の発明は、特許文献1のしきい電流密度の上昇の問題を解消すべくなされたものである。しかしながら、垂直磁化を有する磁性体層を使用した場合でも、細線の線幅を小さくすると、しきい電流密度が増大してしまうことがわかった。具体的には、磁性体層の細線幅が約20nm以下においては、しきい電流密度が 10^{12} A/m^2 を超える。よって、金属配線の断線や狭窄化等の故障が素子に発生してしまう。
- [0008] 本発明は、上記実情に鑑みてなされたものであり、細線の線幅が小さい場合に、低電流密度で磁壁を駆動することが可能な磁気抵抗効果素子及び磁気メモリ装置を提供することを目的とする。

課題を解決するための手段

- [0009] 上記目的を達成するために、本発明の磁気抵抗効果素子は、
強磁性体を含む記録層と、
前記記録層の上に積層された障壁層と、
前記障壁層の上に積層され、強磁性体を含む参照層と、
を有し、
前記参照層は、略面内方向に実質固定された磁化成分を有し、
前記記録層は、略面内方向に実質固定された磁化成分を有する第1磁化固定領域と、前記第1磁化固定領域が有する磁化成分と反対の向きに実質固定された磁化成分を有する第2磁化固定領域と、前記第1磁化固定領域と前記第2磁化固定領域との間に位置し、略面内方向において反転可能な磁化成分を有する磁化自由領域とを含み、

前記記録層を構成する細線の線幅は40nm以下であり、

前記記録層の膜厚は、40nm以下であり、前記線幅の1/2以上、かつ、2倍以下である。

[0010] 前記記録層は、NiとFeとを含み、

前記線幅は30nm以下であり、

前記膜厚は30nm以下であり、前記線幅の2/3以上、かつ、1.5倍以下であってもよい。

[0011] 前記記録層の長手方向に沿って電流を導入することで、前記磁化自由領域が有する磁化成分の向きが反転する。

[0012] 前記磁化自由領域が有する磁化成分の向きに応じて、前記第1磁化固定領域と前記磁化自由領域との間、又は、前記第2磁化固定領域と前記磁化自由領域との間に、磁壁が形成される。

[0013] また、本発明の他の磁気抵抗効果素子は、

強磁性体を含む記録層と、

前記記録層の上に積層された障壁層と、

前記障壁層の上に積層され、強磁性体を含む参照層と、

を有し、

前記参照層は、略面内方向に実質固定された磁化成分を有し、

前記記録層は、略面内方向に実質固定された磁化成分を有する第1磁化固定領域と、前記第1磁化固定領域が有する磁化成分と反対の向きに実質固定された磁化成分を有する第2磁化固定領域と、前記第1磁化固定領域と前記第2磁化固定領域との間に位置し、略面内方向において反転可能な磁化成分を有する磁化自由領域とを含み、

前記第1磁化固定領域と前記第2磁化固定領域との間に磁壁が形成され、

前記磁壁の磁化は、前記記録層の短辺方向、及び、基板垂直方向の両方にTransverse構造をとることができる。

[0014] 前記第1磁化固定領域の磁化成分、前記第2磁化固定領域の磁化成分のうち少なくともいずれかを固定するための磁化固定層を、さらに有してもよい

。

[0015] 前記記録層の、前記第 1 磁化固定領域と前記磁化自由領域との間、前記第 2 磁化固定領域と前記磁化自由領域との間、のうち少なくともいずれかにピンサイトが設けられていてもよい。

[0016] 本発明の磁気メモリ装置は、
上記の磁気抵抗効果素子と、
前記磁気抵抗効果素子に、書き込み電流を流すことにより、前記磁気抵抗効果素子にデータを書き込む書き込み手段と、
前記障壁層を貫通する方向に電流を流してトンネル抵抗を求めることにより、前記磁気抵抗効果素子に書き込まれているデータを読み出す読み出し手段と、
を備える。

発明の効果

[0017] 本発明によれば、細線の線幅が小さい場合に、低電流密度で磁壁を駆動することが可能であり、高集積で高性能な磁気抵抗効果素子及び磁気メモリ装置を提供することができる。

図面の簡単な説明

[0018] [図1]本発明の実施の形態 1 に係る磁気抵抗効果素子の構造を示す図であり、
(a)は正面図、(b)は側面図、(c)は平面図(上面図)である。
[図2](a)、(b)は、磁気抵抗効果素子の記憶データを読み出す読み出し動作を説明するための図である。
[図3](a)～(c)は、磁気抵抗効果素子にデータ“1”を書き込む動作を説明するための図であり、(a)は書き込み前の磁気抵抗効果素子を示す図、(b)は書き込み電流の波形図、(c)は書き込み後の磁気抵抗効果素子を示す図である。
[図4](a)～(c)は、磁気抵抗効果素子にデータ“0”を書き込む動作を説明するための図であり、(a)は書き込み前の磁気抵抗効果素子を示す図、(b)は書き込み電流の波形図、(c)は書き込み後の磁気抵抗効果素子

を示す図である。

[図5] (a) は、実施の形態 1 に係る磁気抵抗効果素子を使用した 1 ビット分のメモリセル回路の回路構成を示す図である。(b) は、4 端子構造を説明するための図である。

[図6] 図 5 (a) に示すメモリセル回路を複数個配置した磁気メモリ装置のブロック図である。

[図7] 困難軸異方性磁場を説明するための図である。(a-1)、(a-2) は、従来の面内磁化方式における、基底状態、高エネルギー状態それぞれ磁壁の磁化の状態を表す。(b-1)、(b-2) は、垂直磁化方式における基底状態、高エネルギー状態それぞれ磁壁の磁化の状態を表す。(c-1)、(c-2) は、実施の形態に係る面内磁化方式における、基底状態、高エネルギー状態それぞれ磁壁の磁化の状態を表す。

[図8] マイクロマグネティックシミュレーションの結果を示す図である。(a) ~ (d) は、従来の垂直磁化方式における細線幅、膜厚依存性を示す。(e) ~ (h) は、実施の形態に係る面内磁化方式における細線幅、膜厚依存性を示す。

[図9] (a) は、細線の線幅が 40 nm 以上の場合に形成される磁壁を示す図である。(b) は、細線の線幅が 40 nm 以下の場合に形成される磁壁を示す図である。

[図10] 細線の線幅と膜厚の好適な設計範囲を示す図である。

[図11] 実施の形態 2 に係る磁気抵抗効果素子の構造を示す図であり、(a) は正面図、(b) は側面図、(c) は上面図である。

[図12] (a) ~ (d) は、変形例 2 ~ 5 に係る磁気抵抗効果素子の構造を示す図である。

[図13] (a)、(b) は、変形例 6、7 に係る磁気抵抗効果素子の構造を示す図である。

[図14] (a)、(b) は、変形例 8、9 に係る磁気抵抗効果素子の構造を示す図である。

[図15] (a) ~ (d)、変形例10~13に係る磁気抵抗効果素子の構造を示す図である。

[図16] (a)、(b)は、変形例14に係る磁気抵抗効果素子の構造を示す図である。

発明を実施するための形態

[0019] 以下、図面を参照しながら本発明の実施の形態に係る磁気抵抗効果素子及び該磁気抵抗効果素子を用いた磁気メモリ装置を説明する。

[0020] (実施の形態1)

以下、図1~図4を参照して、実施の形態1に係る磁気抵抗効果素子を説明する。

[0021] 実施の形態1に係る磁気抵抗効果素子100は、図1(a)に正面図、(b)に側面図、(c)に平面図(上面図)で示すように、記録層10、障壁層20、参照層30が積層された構成を有する。ここでは、記録層10の長手(延伸)方向(図1(a)の紙面右方向)をX軸方向、記録層10の短手方向(図1(a)の紙面奥行方向)をY軸方向、磁気抵抗効果素子100の各層が積層された高さ方向(図1(a)の紙面上方向)をZ軸方向とする。

[0022] 記録層10は、Fe、Co、Ni等の元素を含む強磁性体からなる。具体的には、記録層10は、Fe、Co、Ni等の3d遷移金属、Fe-Co、Fe-Ni、Co-Ni、Fe-Co-Ni、Co-Fe-B、Fe-B、Co-B等の3d遷移金属を含む合金からなる。また、所望の電気特性や構造を得るため、B、C、N、O、Al、Si、P、Ga、Ge等の材料を適宜添加してもよい。

[0023] 記録層10の長手方向(X軸方向)の一方の端部側と他方の端部側とはそれぞれ磁化が固定された領域(磁区)である。図1(a)の紙面左側の磁区を第1磁化固定領域11とし、紙面右側の磁区を第2磁化固定領域12とする。第1磁化固定領域11と第2磁化固定領域12との間は、磁化の方向が反転可能な磁化自由領域13である。

[0024] 記録層10は、面内方向の磁化容易軸を有する層である。第1磁化固定領

域 1 1 の磁化 M_{11} 、第 2 磁化固定領域 1 2 の磁化 M_{12} は実質的に固定されている。磁化 M_{11} と磁化 M_{12} は互い逆向きである。一方、磁化自由領域 1 3 の磁化 M_{13} は、可変であり、書き込みの際に記録層 1 0 に導入される電流により、+X 軸方向と -X 軸方向とで反転する。

[0025] 図示する例では、第 1 磁化固定領域 1 1 の磁化 M_{11} の向きは +X 軸方向であり、第 2 磁化固定領域 1 2 の磁化 M_{12} の向きは -X 軸方向であるが、磁化 M_{11} の向きと磁化 M_{12} の向きは、それぞれ逆向きであってもよい。すなわち、第 1 磁化固定領域 1 1 の磁化 M_{11} の向きが -X 軸方向であり、第 2 磁化固定領域 1 2 の磁化 M_{12} の向きが +X 軸方向であってもよい。また、第 1 磁化固定領域 1 1、第 2 磁化固定領域 1 2 の磁化は厳密に $\pm X$ 軸方向である必要はなく、最大 $\pm 20^\circ$ 程度まではその方向がずれていてもよい。

[0026] 上記のような構成により、第 1 磁化固定領域 1 1 と第 2 磁化固定領域 1 2 との間に磁壁 DW が形成される。磁壁 DW が形成される位置は、磁化自由領域 1 3 の磁化 M_{13} により決まる。

[0027] 記録層 1 0 の線幅（Y 軸方向の長さ）は、40 nm 以下とする。好ましくは、記録層 1 0 の線幅は、30 nm 以下である。また、記録層 1 0 の膜厚（Z 軸方向の厚さ）は、40 nm 以下であり、線幅の $1/2$ 倍以上、かつ、2 倍以下である。例えば、細線幅が 20 nm である場合、膜厚は、10 nm 以上、40 nm 以下とすることが好ましい。

[0028] 障壁層 2 0 は、記録層 1 0 の上に形成された、絶縁体から構成された層である。障壁層 2 0 は、 MgO 、 Al_2O_3 、 AlN 等の絶縁体から構成される。障壁層 2 0 が、例えば、 MgO を使用する場合、その膜厚は 0.5 nm ~ 2.0 nm 程度に形成される。好ましくは、その膜厚は 0.8 nm ~ 1.5 nm 程度に形成される。また、記録層 1 0 と障壁層 2 0 の材料を適切に選択することによって、大きなトンネル磁気抵抗（Tunnel Magnetoresistance: TMR）比が得られる。この点からは、記録層 1 0 と障壁層 2 0 とを、 $CoFeB/MgO$ 、 FeB/MgO とすることが

好適である。あるいは、記録層 10 は 2 つ以上の異なる強磁性体からなる積層構造であり、障壁層 20 と隣接する層が CoFeB、FeB などであってもよい。

[0029] なお、障壁層 20 は記録層 10 上に形成されるとしたが、ここで「上」とは、重力方向の上下を意味するのではない。ここで、障壁層 20 が記録層 10 の上に形成されているとは、例えば、障壁層 20 に隣接するよう記録層 10 が形成されていることをいう。また、隣接に限らず、例えば、近接であってもよい。また、他の層、空間等を介して、障壁層 20 と記録層 10 とが配置されてもよい。障壁層 20 と参照層 30 との関係においても、同様とする。

[0030] 参照層 30 は、障壁層 20 の上に形成された強磁性体から構成された層である。参照層 30 は、その磁化 M_{30} が実質的に固定された層である。参照層 30 は、Fe、Co、Ni 等を含む。また、より強固に磁化を固定するため、参照層 30 は Ir-Mn、Pt-Mn 等からなる反強磁性層を含んでいてもよい。読み出しの際には、参照層 30 と記録層 10 の磁化方向に基づいて記録された情報が読み出される。ここでは、磁化 M_{30} は、 $-X$ 軸方向に固定されている。

[0031] また、図では、 $X-Y$ 面内において参照層 30 は障壁層 20 と同じ形状に形成されるものとして描かれているが、実際には異なる形状であっても構わない。例えば、障壁層 20 は記録層 10 と同じ形状を有し、参照層 30 はそれらよりも小さく形成されていてもよい。参照層 30 は、トンネル磁気抵抗効果により情報の読み出しを行うために、記録層 10 の磁化自由領域 13 と、少なくとも $X-Y$ 面内の一部においてオーバーラップしている必要がある。

[0032] 記録層 10 の X 軸方向の典型的な長さは $50 \sim 400 \text{ nm}$ 程度である。このうち、磁化自由領域 13 の X 軸方向の典型的な長さは $40 \sim 100 \text{ nm}$ 程度である。また、第 1 磁化固定領域 11、第 2 磁化固定領域 12 の X 軸方向の典型的な長さは $40 \sim 200 \text{ nm}$ 程度である。参照層 30 の X 軸方向の典

型的な長さは40～100nmである。また、実施の形態1においては、参照層30はX-Y面内において記録層10に収まるように形成されている。従って、参照層30のY軸方向の長さは40nm以下である。

[0033] 記録層10、障壁層20、参照層30の作製は、まず、図示せぬ基板上に、記録層10、障壁層20、参照層30をそれぞれ超高真空スパッタリング法等により堆積する。その後、堆積された膜を、リソグラフィー技術などにより適当な形状にパターニングすることにより行われる。また、薄膜堆積後、または、素子形成後に磁場中での熱処理を行ってもよい。この場合、典型的な熱処理温度は250度から400度程度であり、磁場は0.2T以上2T以下である。

[0034] 磁気抵抗効果素子100の各層の構成（膜構成）の一例を示すと、以下のようになる。記録層10：CoFeB、厚さ20nm、障壁層20：MgO、厚さ1.2nm、参照層30（基板側から順に）：CoFeB、厚さ1.5nm、CoFe、厚さ1nm、Ru、厚さ0.9nm、CoFe、厚さ2.5nm、PtMn、厚さ20nm。

[0035] また、磁気抵抗効果素子100の膜構成の他の例を示すと、以下のようになる。記録層10：NiFe、厚さ9nm、CoFeB、厚さ1nm、障壁層20：MgO、厚さ0.9nm、参照層30（基板側から順に）：CoFeB、厚さ2nm、CoFe、厚さ1nm、Ru、厚さ0.9nm、CoFe、厚さ3nm、IrMn、厚さ12nm。なお、例示した構成では、参照層として積層フェリ構造を採用しており、積層フェリ構造における結合層としてRuを使用している。

[0036] さらに、記録層10の下に下地層（Ti、V、Cr、Zr、Nb、Mo、Hf、Ta、W等）、シード層（Cr、Fe、Ru、Rh、Pd、Ag、Cu、Ir、Pt、Au等）を設けてもよい。また、参照層30の上にキャップ層（Ta、Ru、Cu等）を設けてもよい。下地層、シード層、キャップ層は基板密着性や結晶配向性、電気伝導性、耐腐食性を向上するために適宜設けられる層である。

[0037] なお、ここで例示された膜厚や寸法に関する好適な範囲は、現在の半導体集積回路の技術水準に照らし合わせて設定されたものであり、将来の加工技術の進歩に伴い、本発明の効果が得られる膜厚や寸法の範囲は変更されうる。

[0038] 記録層10の磁化自由領域13の磁化 M_{13} は+X軸方向と-X軸方向とで反転する。これにより、磁気抵抗効果素子100の記録層10から参照層30の抵抗状態が、高抵抗状態あるいは低抵抗状態のいずれかに変化する。抵抗状態に“0”と“1”の1ビットデータを割り当て、その抵抗状態を切り替えることで、磁気抵抗効果素子100にデータを記憶させることができる。磁気抵抗効果素子100からデータを読み出す際には、参照層30上に設けられた電極（図示せず）と記録層10との間に読み出し電流 I_r を流し、磁気抵抗効果素子100の抵抗状態（高抵抗状態と低抵抗状態の別）を検出する。これにより、磁気抵抗効果素子100に記録されたデータを読み出す。

[0039] 以下、読み出し動作と書き込み動作を詳細に説明する。

[0040] まず、図2を参照して、読み出し動作を説明する。図2（a）の状態においては、記録層10の磁化自由領域13の磁化 M_{13} の向きは-X軸方向であり、第2磁化固定領域12の磁化 M_{12} の向きと同じである。このため、第1磁化固定領域11と磁化自由領域13との間の領域P1に磁壁DWが形成されている。また、磁化自由領域13の磁化 M_{13} は、参照層30の磁化 M_{30} と向きが揃っている（平行状態）。このとき、磁気抵抗効果素子100は、記録層10から参照層30に至る電流路の抵抗が相対的に小さい低抵抗状態である。なお、磁化 M_{13} と磁化 M_{30} とは互いに略平行であればよい。

[0041] 一方、図2（b）の状態においては、記録層10の磁化自由領域13の磁化 M_{13} の向きは+X軸方向であり、第1磁化固定領域の磁化 M_{11} と向きが同じである。このため、磁化自由領域13と第2磁化固定領域12との間の領域P2に磁壁DWが形成されている。また、磁化自由領域13の磁化 M

13の向きは、参照層30の磁化M30の向きと反対である（反平行状態）。このとき、磁気抵抗効果素子100は、記録層10から参照層30に至る電流路の抵抗が相対的に大きい高抵抗状態である。なお、磁化M13と磁化M30とは互いに略反平行であればよい。

[0042] 磁壁（Domain wall : DW）は、磁化自由領域13の磁化M13に応じて、領域P1とP2との間を行き来する。言い換えると、磁気抵抗効果素子100は磁壁DWの位置によってデータを記憶しているとも言える。

[0043] 本実施の形態では、図2（a）に示す低抵抗状態を“0”とし、（b）に示す高抵抗状態を“1”と定義しているが、記憶データの割り当ては逆でもよい。ここでは+Z軸方向に流れる読み出し電流I_rを図示したが、読み出し電流I_rの向きは逆向きでも構わない。また、図2では読み出し電流I_rが記録層10から参照層30に向かって流れる形態を示しているが、本質的には記録層10、障壁層20、参照層30からなる磁気トンネル接合を貫通する方向に電流が流れさえすれば、それ以外の経路はいかようであっても構わない。

[0044] 次に、図3、図4を参照して、書き込み動作を説明する。ここでは、データ“0”を記憶している磁気抵抗効果素子100の磁化自由領域13の磁化M13の向きは-X軸方向である。磁化M13の向きと、参照層30の磁化M30の向きとは互いに揃っており、磁壁DWは、第1磁化固定領域11と磁化自由領域13の間の領域P1にある。つまり、磁気抵抗効果素子100は低抵抗状態にある。

[0045] データ“0”を記録している磁気抵抗効果素子100にデータ“1”を書き込む際には、図3（a）に示すように、-X軸方向に、且つ、図3（b）に示すように、書き込み電流I_wをパルス状に流す。書き込み電流I_wは、第2磁化固定領域12から磁化自由領域13を通して第1磁化固定領域11に流れる。この場合、磁化自由領域13には、第1磁化固定領域11から電子（スピン電子）が注入される。注入された電子のスピンは、磁壁DWの磁

気モーメントに影響を及ぼす（スピントランスファー効果）。その結果、図 3（c）に示すように、磁壁 DW は、領域 P 1 から領域 P 2 に移動し、磁化自由領域 1 3 の磁化 M 1 3 は、+X 軸方向に反転する。よって、磁気抵抗効果素子 1 0 0 は、高抵抗状態に遷移する。このようにして、磁気抵抗効果素子 1 0 0 の記憶データ “0” が “1” に書き換えられる。書き込み電流 I_w が 0 になっても、磁化自由領域 1 3 の磁化 M 1 3 の向きは維持される。

[0046] 一方、データ “1” を記憶している磁気抵抗効果素子 1 0 0 にデータ “0” を書き込む際には、図 4（a）に示すように、+X 軸方向に、且つ、図 4（b）に示すように、書き込み電流 I_w をパルス状に流す。書き込み電流 I_w は、第 1 磁化固定領域 1 1 から磁化自由領域 1 3 を通って第 2 磁化固定領域 1 2 に流れる。この場合、磁化自由領域 1 3 には、第 2 磁化固定領域 1 2 からスピン電子が注入される。スピントランスファー効果により、図 4（c）に示すように、磁壁 DW は、領域 P 2 から領域 P 1 に移動し、磁化自由領域 1 3 の磁化 M 1 3 は、-X 軸方向に反転する。よって、磁気抵抗効果素子 1 0 0 は、低抵抗状態に遷移する。このようにして、磁気抵抗効果素子 1 0 0 の記憶データ “1” が “0” に書き換えられる。書き込み電流 I_w が 0 になっても、磁化自由領域 1 3 の磁化 M 1 3 の向きは維持される。このようにして、磁気抵抗効果素子 1 0 0 が保持するデータを書き換えることが可能になる。

[0047] また、第 1 磁化固定領域 1 1 の磁化 M 1 1、第 2 磁化固定領域 1 2 の磁化 M 1 2 は、それぞれその向きが固定されている。このため、データ “0” を記憶している磁気抵抗効果素子 1 0 0 に、+X 軸方向の書き込み電流 I_w を流した場合（データ “0” を書き込んだ場合）であっても、スピントランスファートルクによるデータの書き換えは起こらず、磁壁 DW は移動しない。データ “1” を記憶している磁気抵抗効果素子 1 0 0 に、-X 軸方向の書き込み電流 I_w を流した場合も、同様に、磁壁 DW の移動は起こらない。

[0048] なお、書き込み電流 I_w の向きと磁壁 DW の移動方向との関係は、記録層 1 0 に使用する材料により変化する。

[0049] 図3(b)、図4(b)に示す電流パルスの幅TWは0.5~20nsの間に設定される。より好ましくは0.8ns~5nsの間に設定される。また、図3(b)、図4(b)では電流パルスは矩形であるものとして示されているが、実際には有限の立ち上がり時間(Rise time)、立ち下がり時間(Fall time)を有する台形状のパルスであっても構わない。立ち上がり時間、立ち下がり時間の典型値は0~2nsである。また、電流パルスは厳密な矩形、台形状の波形を有する必要はなく、三角状の波形であっても構わない。さらに、本発明に係る磁気抵抗効果素子では書き込みの際に大きな動作マージンが得られるため、比較的大きなオーバーシュート、アンダーシュート、リングングがあっても構わない。

[0050] 次に、上記構成を有する磁気抵抗効果素子100を記憶素子として使用するメモリセル回路の構成例を、図5(a)を参照して説明する。

[0051] 図5(a)は、1ビット分の磁気メモリセル回路200の構成を示している。この磁気メモリセル回路200は、1ビット分のメモリセルを構成する磁気抵抗効果素子100と、一对のビット線BL1とBL2、ワード線WLと、グラウンド線GNDと、第1トランジスタTr1と第2トランジスタTr2とを備える。

[0052] 磁気抵抗効果素子100は、記録層10の一端部に第1端子T1、他端部に第2端子T2が接続され、参照層30に第3端子T3が接続された3端子構造を有する。さらに具体的には、第1端子T1は第1磁化固定領域11の一端部に、第2端子T2は第2磁化固定領域12の一端部に接続されている。

[0053] 第3端子T3はグラウンド線GNDに接続されている。第1端子T1は第1トランジスタTr1のドレインに接続され、第2端子T2は第2トランジスタTr2のドレインに接続されている。第1トランジスタTr1と第2トランジスタTr2のゲート電極はワード線WLに接続されている。また、第1トランジスタTr1のソースは第1ビット線BL1に接続され、第2トランジスタTr2のソースは第2ビット線BL2に接続されている。

[0054] ただし、磁気抵抗効果素子 100 は必ずしも 3 端子型構造を有する必要はない。例えば、図 5 (b) に示すように、4 端子構造を有していてもよい。ここでは、障壁層 20 の下に新たな磁性層（センサー層 50）を設けている。また、センサー層 50 と記録層 10 の間には絶縁層 60 が設けられ、電氣的に絶縁されている。センサー層 50 と記録層 10 中の磁化自由領域 13 は磁氣的に結合しており、センサー層 50 の磁化 M_{50} は、記録層 10 中の磁化自由領域 13 の磁化方向に依存して変化する。センサー層 50、障壁層 20、参照層 30 によって磁気トンネル接合が形成される場合、記録層 10 の両端部に第 1 端子 T1、第 2 端子 T2 が接続され、参照層 30 に第 3 端子 T3 が接続され、センサー層 50 に第 4 端子が接続された 4 端子構造を取ることできる。4 端子構造の場合には、書き込みと読み出しで電流経路が電氣的に隔たることになり、回路設計に新たな自由度がもたらされる。なお、図 5 (b) の例では、記録層 10 とセンサー層 50 との間には絶縁層 60 が設けられていたが、記録層 10 とセンサー層 50 との間に、記録層 10 やセンサー層 50 の材料と相性のよい材料を使用した導電層を設けてもよい。またその磁気結合の様式も、静磁氣的な結合であってもよいし、交換相互作用的な結合であってもよい。

[0055] 磁気抵抗効果素子 100 に情報を書き込む際には、まず、磁気抵抗効果素子 100 を選択するため、ワード線 WL にトランジスタ T_{r1} 、 T_{r2} をオンさせるアクティブレベルの信号を印加する。ここでは、トランジスタ T_{r1} と T_{r2} が N チャネル MOS トランジスタから構成することとする。この場合、ワードライン WL は High レベルに設定される。これにより、第 1 トランジスタ T_{r1} と第 2 トランジスタ T_{r2} はオン状態になる。一方、書き込み対象のデータに応じて、第 1 ビット線 BL1 と第 2 ビット線 BL2 の一方を High レベルに設定し、他方をグラウンドレベルに設定する。

[0056] 具体的には、データ “1” を書き込む場合は、第 1 ビット線 BL1 を Low レベルとし、第 2 ビット線 BL2 を High レベルとする。これにより、図 3 (a) に示すように、第 2 磁化固定領域 12 から第 1 磁化固定領域 11

に向かう方向（以下、順方向とする）に書き込み電流 I_w が流れ、図 3（b）に示すように、データ “1” が書き込まれる。一方、データ “0” を書き込む場合は、第 1 ビット線 BL_1 を High レベルとし、第 2 ビット線 BL_2 を Low レベルとする。これにより、図 4（a）に示すように、第 1 磁化固定領域 11 から第 2 磁化固定領域 12 に向かう方向（以下、逆方向とする）に書き込み電流 I_w が流れ、図 4（b）に示すように、データ “0” が書き込まれる。このようにして、磁気抵抗効果素子 100 へのビットデータの書き込みが行われる。

[0057] 一方、磁気抵抗効果素子 100 に記憶されている情報を読み出す際には、ワード線 WL をアクティブレベルに設定し、第 1 トランジスタ Tr_1 と第 2 トランジスタ Tr_2 とをオン状態とする。また、第 1 ビット線 BL_1 と第 2 ビット線 BL_2 の両方を High レベルに設定する、或いは、ビット線 BL_1 と BL_2 の一方を High レベルに、他方を開放状態に設定する。High レベルとなったビット線から記録層 10 → 障壁層 20 → 参照層 30 → 第 3 端子 T_3 → グ라운드線 GND と電流が流れる。この電流の大きさを測定することにより、記録層 10 から参照層 30 に至る経路の抵抗の大きさ、即ち、記憶データが求められる。

[0058] なお、磁気メモリセル回路 200 の構成や回路動作は一例であって、適宜変更されうる。例えば、第 1 端子 T_1 を第 2 磁化固定領域 12 に、第 2 端子 T_2 を第 1 磁化固定領域 11 に接続してもよい。また、グラウンドをグラウンド電圧以外の基準電圧に設定してもよい。また、第 3 端子 T_3 をグラウンド線 GND ではなく、第 3 ビット線（図示せず）に接続するように構成してもよい。この場合読み出しの際は、ワード線 WL を High レベルに設定するとともに、第 3 ビット線を High レベルにし、第 1 ビット線と第 2 ビット線の一方又は両方をグラウンドレベルとする。この状態で、第 3 ビット線から第 1 ビット線 BL_1 、第 2 ビット線 BL_2 に流れる電流を測定する。

[0059] 次に、図 5（a）に例示した磁気メモリセル回路 200 を複数備える磁気メモリ装置 300 の構成を図 6 を参照して説明する。

- [0060] 磁気メモリ装置300は、図6に示すように、メモリセルアレイ311、
Xドライバ312、Yドライバ313、コントローラ314を備えている。
メモリセルアレイ311はN行M列のアレイ状に配置された磁気メモリセル
回路200を有している。各列の磁気メモリセル回路200は対応する列の
第1ビット線BL1と第2ビット線BL2の対に接続されている。また、各
行の磁気メモリセル回路200は、対応する行のワード線WLとグラウンド
線GNDに接続されている。
- [0061] Xドライバ312は、複数のワード線WLに接続されており、ローアドレ
スを受け、ローアドレスをデコードして、アクセス対象の行のワード線WL
をアクティブレベルに駆動する（第1トランジスタTr1、第2トランジス
タTr2がNチャネルMOSトランジスタの場合、Highレベルとする）
。
- [0062] Yドライバ313は、磁気抵抗効果素子100にデータを書き込む書き込
み手段及び磁気抵抗効果素子100からデータを読み出す読み出し手段とし
て機能するものである。Yドライバ313は、複数の第1ビット線BL1と
第2ビット線BL2に接続されている。データの書き込み或いは読み出しの
時に、Yドライバ313は、カラムアドレスを受け、カラムアドレスをデコ
ードして、アクセス対象の磁気メモリセル回路200に接続されている第1
ビット線BL1と第2ビット線BL2を所望のデータ書き込み状態或いは読
み出し状態に設定する。
- [0063] 即ち、Yドライバ313は、データ“1”を書き込む場合は、書き込み対
象の磁気メモリセル回路200に接続された第1ビット線BL1をLowレ
ベルとし、第2ビット線BL2をHighレベルとする。また、データ“0
”を書き込む場合は、第1ビット線BL1をHighレベルとし、第2ビッ
ト線BL2をLowレベルとする。
- [0064] さらに、磁気メモリセル回路200に記憶されている情報を読み出す際に
は、Yドライバ313は、第1ビット線BL1と第2ビット線BL2の両方
をHighレベルに設定し、或いは、ビット線BL1とBL2の一方をHi

g h レベルに、他方を開放状態に設定する。ビット線 B L 1、B L 2 を流れる電流と基準値とを比較して、各列の磁気メモリセル回路 2 0 0 の抵抗状態を判別し、これにより、記憶データを読み出す。

[0065] コントローラ 3 1 4 は、データ書き込み、あるいはデータ読み出しに応じて、Xドライバ 3 1 2 と Yドライバ 3 1 3 のそれぞれを制御する。

[0066] なお、磁気抵抗効果素子 1 0 0 の参照層 3 0 に接続されるグラウンド線 G N D は Xドライバ 3 1 2 に接続されているが、これは、前述のように、Yドライバ 3 1 3 に接続される読み出しビット線によって代用することも可能である。

[0067] 上記実施の形態においては、磁気抵抗効果素子 1 0 0 の記録層 1 0 の細線の線幅、膜厚をともに 4 0 n m 以下とし、膜厚を細線の線幅の 1 / 2 倍以上、かつ、2 倍以下とすることを述べた。以下、記録層 1 0 の細線の設計値を限定することにより、低いしきい電流密度で磁壁移動を実現できる理由を説明する。

[0068] まず、電流誘起磁壁移動デバイスを低電流で安定して動作させるためには、低いしきい電流密度を実現することが有効である。電流誘起磁壁移動のしきい電流密度 J_c は、次の式で表される。

[0069] [数1]

$$J_c = \frac{e}{\hbar} \frac{M_s}{P} \Delta H_{K\perp}$$

e : 電気素量

$\hbar$: ディラック定数

M_s : 飽和磁化

P : スピン分極率

Δ : 磁壁幅パラメータ

$H_{K\perp}$: 困難軸異方性磁場

[0070] e、 $\hbar$ (以下、ディラック定数を $\hbar$ と表現する場合がある) は物理定数である。 M_s 、P は素子の材料に依存するパラメータである。 Δ 、 $H_{K\perp}$ は磁壁に関するパラメータである。一般に、飽和磁化 M_s が小さい材料はスピン分極率 P も小さい。このため、 M_s / P により、しきい電流密度 J_c を小さくす

ることは難しい。

[0071] よって、しきい電流密度 J_c を小さくするためには、磁壁幅パラメータ Δ と困難軸異方性磁場 $H_{K\perp}$ の値を小さくすることができる材料を用いることが有効である。

[0072] 磁壁幅パラメータ Δ については、磁壁幅 δ_w との間に $\delta_w = \pi \Delta$ となる関係がある。また、磁壁幅パラメータ Δ は、交換スティフネス定数 A と容易軸方向の有効磁気異方性定数 K_{eff} とにより次の式のように表される。

[0073] [数2]

$$\Delta = \sqrt{A/K_{eff}}$$

A : 交換スティフネス定数

K_{eff} : 有効磁気異方性定数

[0074] 困難軸異方性磁場 $H_{K\perp}$ とは、磁化容易軸以外の 2 つの方向に磁壁の磁化が向いた場合のエネルギーの差を磁場の大きさで表した量である。

[0075] 電流誘起磁壁移動の初期の研究では、面内方向に磁化容易軸を有する $NiFe$ 合金が用いられることが多かった。当時の研究では、 $NiFe$ 細線の線幅は 100 nm オーダーであり、膜厚は 10 nm オーダーであった。この場合、磁壁幅 δ_w は 100 nm 程度となる。また、困難軸異方性磁場 $H_{K\perp}$ は、図 7 (a-1) に示す磁壁の磁化が Y 軸方向を向いた場合と、図 7 (a-2) に示す磁壁の磁化が Z 軸方向を向いた場合と、のエネルギー差に相当する。言い換えると、困難軸異方性磁場 $H_{K\perp}$ は、磁化が $\delta_w \times t$ 面に現れた状態 (図 7 (a-1)) と、磁化が $\delta_w \times w$ 面に現れた状態 (図 7 (a-2)) の差で表される。この場合、理論的なしきい電流密度 J_c を計算により求めると、 $10^{13} \sim 10^{14} \text{ A/m}^2$ のオーダーとなる。しかし、このような大きな電流密度の電流を素子に流すことは事実上不可能である。これよりも小さな電流密度においてジュール発熱により、素子の動作が不安定になり、十分な制御性が得られないことが問題となっていた。

[0076] 特許文献 2 では、面内磁化方式ではなく、垂直磁化方式を採用することにより、上述の問題が解決されることが示されている。垂直磁化方式の場合、

膜厚は数 nm 程度、磁壁幅 δ_w は 10 nm 程度に設計されている。図 7 (b-1) に示すように困難軸異方性磁場 $H_{K\perp}$ は、磁壁の磁化が Y 軸方向を向いた場合と、図 7 (b-2) に示すように磁壁の磁化が X 軸方向を向いた場合のエネルギー差に相当する。言い換えると、困難軸異方性磁場 $H_{K\perp}$ は、磁化が $\delta_w \times t$ 面に現れた状態 (図 7 (b-1)) と、磁化が $w \times t$ 面に現れた状態 (図 7 (b-2)) との差で表される。この場合、理論的なしきい電流密度 J_c を計算により求めると、 10^{11} A/m^2 のオーダーとなる。よって、ジュール発熱の問題は深刻ではなくなり、良好な磁壁移動特性が維持されることが確認されている。

[0077] しかしながら、垂直磁化方式においても、細線の線幅を更に小さくすると、低い電流密度での磁壁移動が実現されなくなることが見いだされた。これは、線幅 w が磁壁幅 δ_w より大きい場合、図 7 (b-1) に示すようにブロッホ磁壁が形成されるが、線幅 w が磁壁幅 δ_w より小さくなると、図 7 (b-2) に示すようにネール磁壁が形成され、線幅 w と磁壁幅 δ_w との差が大きくなるに従って、困難軸異方性磁場 $H_{K\perp}$ が大きくなるためである。

[0078] 図 8 (a) ~ (d) に、垂直磁化方式を採用した場合において、膜厚 t が 2、4、6 nm のそれぞれの場合について、細線幅 w を変化させた場合のマイクロマグネティックシミュレーションの結果を示す。

[0079] 具体的には、図 8 (a) は、磁壁幅パラメータ Δ の、細線の線幅 w と膜厚 t とに対する依存性を示す。ここでは、線幅 w と膜厚 t に応じた磁壁幅パラメータ Δ の値を求めた。線幅 w は、10 nm から 100 nm までの範囲で、所定の間隔で線幅 w を変え、シミュレーションを行った。以下、図 8 (b) ~ (d) についても同様である。

[0080] 図 8 (b) は、困難軸異方性磁場 $H_{K\perp}$ の、細線の線幅 w と膜厚 t に対する依存性を示す。ここでは、線幅 w と膜厚 t に応じた困難軸異方性磁場を示す値として $\mu_0 H_{K\perp}$ を求めた。なお、 μ_0 は真空の透磁率である。

[0081] 上述したように、しきい電流密度 J_c は、磁壁幅パラメータ Δ と困難軸異方性磁場 $H_{K\perp}$ の積により決まるため、図 8 (a)、(b) で求めた値に基づい

て、しきい電流密度 J_c を求めた。また、しきい電流密度 J_c に細線の断面積を乗算したしきい電流 I_{th} を求めた。図 8 (c) に、しきい電流密度 J_c を、図 8 (d) に、しきい電流 I_{th} を示す。なお、数式 1 における M_s/P (素子の材料に依存するパラメータ) は、細線として Co/Ni 積層膜を使用した場合の磁化曲線の評価値から決定した値を使用した。また、磁壁幅パラメータ Δ 、および困難軸異方性磁場 $H_{K\perp}$ を計算する際にも、 Co/Ni 積層膜の物理定数を用いてシミュレーションを行った。具体的には、飽和磁化 M_s は 0.96 T とし、容易軸方向 (Z 軸方向) の磁気異方性定数は $6.1 \times 10^5\text{ J/m}^3$ とした。

[0082] 図 8 (a) に示すように、磁壁幅パラメータ Δ の値は、線幅 w 、膜厚 t の変化に対して、増減がほとんどない。よって、磁壁幅パラメータ Δ は、垂直磁化方式の場合、線幅 w 、膜厚 t に依存しないといえる。

[0083] 一方で、図 8 (b) に示すように、 $\mu_0 H_{K\perp}$ は、線幅 w が小さくなるにつれて減少しているものの、約 30 nm 以下では、再び大きくなっている。この傾向は、膜厚 t が、 2 nm 、 4 nm 、 6 nm のいずれの場合でも同様であった。

[0084] このため、図 8 (c) に示すように、しきい電流密度 J_c は、線幅 w が 20 nm 以下において、ジュール発熱の影響を受けることなく安定した動作を実現できる値である $1 \times 10^{12}\text{ A/m}^2$ を上回る。つまり、垂直磁化方式を採用した場合、線幅 w が約 20 nm 以下となると安定した動作を実現することができないといえる。

[0085] 一方、面内磁化方式において、実施の形態 1 で説明したように細線の線幅と膜厚の設計値を限定することで、しきい電流密度を低くすることが可能である。困難軸異方性磁場は、図 7 (c-1) に示すように $\delta_w \times t$ 面に磁壁の磁化が現れた場合と、図 7 (c-2) に示すように $\delta_w \times w$ 面に磁壁の磁化が現れた場合の差で与えられる。ここで、線幅 w と膜厚 t が等しい場合、つまり、 $t = w$ とすると、困難軸異方性磁場がゼロに近くなることが予測される。また、線幅 w を小さくすると、磁壁の左右 (両側) における磁区の部分の

形状磁気異方性が大きくなることから、数式2に示した、磁壁幅パラメータ Δ に影響する有効磁気異方性定数 K_{eff} が大きくなり、磁壁幅パラメータ Δ が小さくなる。

[0086] 図8(e)～(h)に、実施の形態1で説明したように、面内磁化方式において、サイズ(線幅と膜厚)を上述した範囲内とした記録層10の細線を使用した場合の、マイクロマグネティックシミュレーションの結果を示す。

[0087] 具体的には、図8(e)は、磁壁幅パラメータ Δ の、細線の線幅 w と膜厚 t に対する依存性を示す。ここでは、線幅 w と膜厚 t に応じた磁壁幅パラメータ Δ の値を求めた。膜厚 t は、10nm、14nm、20nm、30nmの4パターンとし、線幅 w は、10nmから100nmまでの範囲で、所定の間隔で線幅 w を変えてシミュレーションを行った。以下、図8(f)～(h)についても同様である。

[0088] 図8(f)は、困難軸異方性磁場 $H_{K\perp}$ の、細線の線幅 w と膜厚 t に対する依存性を示す。ここでは、線幅 w と膜厚 t に応じた困難軸異方性磁場を示す値として $\mu_0 H_{K\perp}$ を求めた。なお、 μ_0 は真空の透磁率である。

[0089] 図8(g)にしきい電流密度 J_c を、図8(h)にしきい電流 I_{th} を示す。なお、数式1における M_s/P (素子の材料に依存するパラメータ)は、細線としてNiFeを使用した場合の磁化曲線の評価値から決定した値を使用した。また、磁壁幅パラメータ Δ 、および困難軸異方性磁場 $H_{K\perp}$ を計算する際にも、NiFeの物理定数を用いてシミュレーションを行った。具体的には、飽和磁化 M_s は1.0Tとし、容易軸方向(X軸方向)の磁気異方性定数は 0 J/m^3 とした。

[0090] 図8(f)に示すように、線幅 w の値が所定の値以下(ここでは、20nm以下)であり、線幅 w と膜厚 t がほぼ等しいときに、困難軸異方性磁場 $H_{K\perp}$ に極小値を取っている。このとき、図8(g)に示すように、しきい電流密度 J_c は、 $1 \times 10^{12} \text{ A/m}^2$ 以下となり、素子に導入可能な条件を満たす。

[0091] また、面内磁化膜の場合、磁壁幅パラメータ Δ や困難軸異方性磁場 $H_{K\perp}$ は細線の幅や膜厚により決定され、定性的な傾向として材料定数にはほとんど

依存しない。従って、図8には、細線の材料としてNiFeを使用した場合のシミュレーション結果を示したが、あらゆる面内磁化膜に対してこの計算結果は定性的には普遍である。

[0092] なお、シミュレーションの結果、線幅 w と膜厚 t とをほぼ等しくすることで、困難軸異方性磁場 $H_{K\perp}$ を極小とできる線幅 w には上限があることが分かった。線幅 w が40nm以上となると、線幅 w と膜厚 t とをほぼ等しくしたとしても、困難軸異方性磁場 $H_{K\perp}$ は極小値をとらない。これは、図9(a)に示すように、線幅 w がある程度大きくなると（細線の材料としてNiFeを使用した場合、40nm以上）、磁壁がVortex型（ヴォルテックス型）の構造を取る。Vortex型（ヴォルテックス型）の磁壁を電流で駆動（移動）する場合には、磁壁が確率的に振る舞うことが知られている（Physical Review Letters, vol. 95, 026601 (2005)等）。つまり、磁壁移動の制御性が不安定になってしまう。

[0093] 一方、線幅 w が40nm以下の場合、磁壁は図9(b)に示すようなTransverse型（トランスヴァース型）の構造を、安定状態においても、磁壁の移動中においてもとることができる。従って、制御性は安定したものとなることが発明者の行ったシミュレーションからわかった。なお、膜厚が線幅よりも薄い場合（ $t < w$ ）には、Transverse型（トランスヴァース型）磁壁中の磁化は膜面内で細線短手方向を向く。一方で膜厚が線幅よりも厚い場合（ $t > w$ ）には、Transverse型（トランスヴァース型）磁壁中の磁化は膜面垂直方向を向く。

[0094] なお、上述の効果（困難軸異方性磁場 $H_{K\perp}$ が最小値を取る）は、理想的には線幅 w と膜厚 t とが等しいときに得られるが、実際には、加工時に発生する理想形状からのずれ、磁気特性の場所による揺らぎ等により、線幅 w と膜厚 t とを完全に等しくすることは難しい。しかしながら、シミュレーションにより、線幅 w 、膜厚 t が40nm以下であり、かつ、膜厚が線幅の $1/2$ 倍から2倍の範囲内にある場合に、しきい電流密度 J_c を $1 \times 10^{12} \text{ A/m}^2$ 以下にできることが分かった。

[0095] また、界面に垂直磁気異方性が発現される場合には、膜厚 t を線幅 w より小さく（薄く）することで同様の効果が得られる。例えば、記録層に CoFeB あるいは FeB を用い、障壁層に MgO を用いると、界面に垂直磁気異方性が発現されるが、この場合、膜厚 t を線幅の $1/4$ 倍～ $3/4$ 倍の範囲とすることで、本発明の効果が最大限に得られる。

[0096] なお、図 8（h）に示すように、膜厚、線幅が 10 nm 以下では、しきい電流 I_{th} は $5.7\text{ }\mu\text{A}$ であり、このような小さなしきい電流は、垂直磁化方式の場合には得ることができない。よって、本発明に係る磁気抵抗効果素子を磁気メモリに適用した場合には、アトジュールレベルの動的消費電力を実現できる。

[0097] 図 10 に、 NiFe の材料パラメータを仮定して行ったマイクロマグネティックシミュレーションの結果に基づいて求めた線幅 w と膜厚 t の好適な設計範囲を示す。 NiFe の場合、線幅、膜厚が 30 nm を超えると安定状態、あるいは磁壁移動過程において磁壁が Vortex 構造（ヴォルテックス構造）をとることが確認された。前述したように、 Vortex 磁壁（ヴォルテックス磁壁）は不安定動作の原因となることから、線幅、膜厚の上限は 30 nm である。図 8（g）に示すように、膜厚 t と線幅 w とが等しいとき（ $t = w$ ）に最小のしきい電流密度が得られている。従って、本発明の効果は膜厚 t と線幅 w とが等しいときに最も高くなるといえる。

[0098] また、 NiFe 細線に導入できる電流密度の上限値はほぼ $3 \times 10^{12}\text{ A/m}^2$ である。図 8（g）では、ほぼ膜厚 t が線幅 w の $2/3$ 倍から 1.5 倍の範囲にあるとき、この条件を満たしている。従って、 NiFe 細線の場合、本発明の効果が得られる膜厚 t の下限値は線幅 w の $2/3$ 、上限値は線幅 w の 1.5 倍である（図 10 において内側のハッチ領域）。 NiFe 以外の材料（例えば飽和磁化の小さい材料、スピン分極率の高い材料、交換スチッフネス定数の大きい材料、細線長手方向の磁気異方性が大きい材料）で適当なパラメータを仮定した場合では好適な設計範囲は緩和され、図 10 において縦横方向に網掛けを施された領域（ $t = w/2$ より上、 $t = 40$ より下、 t

= 2wより右、w = 40より左) となる。つまり、線幅w、膜厚tが40 nm以下であり、かつ、膜厚が線幅の1/2倍から2倍の範囲内となる。

[0099] 以上説明したように、本実施の形態に係る磁気抵抗効果素子100は、細線の線幅が小さい場合に、具体的には、線幅が40 nm以下である場合に、低いしきい電流密度で磁壁を駆動することが可能である。

また、垂直磁化を有する材料は少ないため、垂直磁化方式においては材料選択の幅が限定されるが、面内磁化方式を採用した場合、選択可能な材料が多岐にわたるという利点もある。

[0100] なお、細線の線幅の下限值については物理的な制約はなく、その値は加工技術で決まる。ばらつくことなくスムーズな細線を作る上では、結晶粒のサイズが目安となるため、線幅の下限値は5 nm程度となる。また、10 nm程度かそれを下回るような超極微細世代においては、リソグラフィ技術等のトップダウン的な手法を用いるのではなく、自己組織化等のボトムアップ的な手法を用いて、細線を形成してもよい。この場合、少なくとも強磁性が発現する線幅があればよい。強磁性が発現する線幅は用いる材料に強く依存するが、交換相互作用が大きい材料を用いる場合、線幅は3 nm程度となる。また、細線の線幅の下限值については、以下の説明においても同様である。

[0101] (実施の形態2)

実施の形態1に係る磁気抵抗効果素子100において、記憶データを安定して書き込み且つ読み出すためには、参照層30の磁化M30の方向を安定的に固定する必要がある。参照層30の磁化M30を安定させるため、参照層30を積層フェリ結合層から構成することが有効である。

[0102] 以下、図11を参照して、参照層30を積層フェリ結合層から構成した磁気抵抗効果素子101の実施の形態を説明する。

実施の形態2において、参照層30は、強磁性層31と結合層32と強磁性層33とが積層され、積層フェリ結合した積層構造を有する。強磁性層31と強磁性層33とは、結合層32により反強磁的に結合している。強磁性

層 3 1 と強磁性層 3 3 は、Fe、Co、Ni を含む強磁性材料を使用することが望ましい。また、結合層 3 2 は、Ru 等を使用することが望ましい。その他の構成については、実施の形態 1 と同様である。

[0103] この構成によれば、記録層 1 0 の磁化自由領域 1 3 の磁化 M_{13} の向きと、参照層 3 0 を構成する強磁性層 3 1、3 3 のうちで、記録層 1 0 に近接する強磁性層 3 1 の磁化 M_{31} の向きとが一致したときに、磁気抵抗効果素子 1 0 1 は、平行状態となり、低抵抗状態となる。一方、記録層 1 0 の磁化自由領域 1 3 の磁化 M_{13} の向きと、強磁性層 3 1 の磁化 M_{31} の向きが反対方向となったときに、磁気抵抗効果素子 1 0 1 は、反平行状態となり、高抵抗状態となる。

[0104] 実施の形態 2 においても、実施の形態 1 と同様に、低いしきい電流密度で磁壁を駆動することが可能である。

[0105] この発明は、上記実施の形態に限定されず、種々の変形が可能である。以下変形例・応用例について説明する。

[0106] (変形例 1)

磁気抵抗効果素子の抵抗とデータの割り当ては任意であり、低抵抗状態にデータ “1”、高抵抗状態にデータ “0” を割り当てても良い。

[0107] (変形例 2)

磁気抵抗効果素子 1 0 0 は、記録層 1 0 の第 1 磁化固定領域 1 1、第 2 磁化固定領域 1 2 の磁化をより強固に固定するための層をさらに有してもよい。図 1 2 (a) に示すように、変形例 2 では、第 1 磁化固定領域 1 1 の下に第 1 磁化固定層 4 1 が設けられており、その磁化 M_{41} は、第 1 磁化固定領域 1 1 の磁化 M_{11} と向きが揃っている。第 2 磁化固定領域 1 2 の下に第 2 磁化固定層 4 2 が設けられており、その磁化 M_{42} は、第 2 磁化固定領域 1 2 の磁化 M_{12} と向きが揃っている。

[0108] (変形例 3)

あるいは、図 1 2 (b) に示すように、第 1 磁化固定層 4 1、第 2 磁化固定層 4 2 は、記録層 1 0 の上に設けられてもよい。ここでは、第 1 磁化固定

層 4 1 は第 1 磁化固定領域 1 1 の上に、第 2 磁化固定層 4 2 は第 2 磁化固定領域 1 2 の上に設けられている。変形例 2 と同様に、第 1 磁化固定層 4 1 により、第 1 磁化固定領域 1 1 の磁化 M_{11} が、第 2 磁化固定層 4 2 により、第 2 磁化固定領域 1 2 の磁化 M_{12} が、それぞれより強固に固定される。

[0109] (変形例 4)

また、あるいは、第 1 磁化固定層 4 1、第 2 磁化固定層 4 2 の一方のみを設けてもよい。図 1 2 (c) に示す例では、第 1 磁化固定領域 1 1 の上にだけ、第 1 磁化固定層 4 1 が設けられている。磁気抵抗効果素子 1 0 0 は、第 2 磁化固定領域 1 2 の磁化 M_{12} の固定のための第 2 磁化固定層 4 2 を有しない。第 1 磁化固定層 4 1 の配置位置は、第 1 磁化固定領域 1 1 の下であってもよい。あるいは、第 2 磁化固定領域 1 2 の上又は下に、第 2 磁化固定層 4 2 を設けて、第 1 磁化固定領域 1 1 の磁化 M_{11} の固定のための第 1 磁化固定層 4 1 を設けないようにしてもよい。

[0110] 第 1 磁化固定層 4 1、第 2 磁化固定層 4 2 には Fe, Co, Ni を含む強磁性体や、Ir-Mn、Pt-Mn、Fe-Mn などの反強磁性体を用いることができる。また、第 1 磁化固定層 4 1 と第 1 磁化固定領域 1 1 の磁化方向、第 2 磁化固定層 4 2 と第 2 磁化固定領域 1 2 の磁化方向は必ずしも平行方向である必要はなく、反平行方向に結合することで磁化を強固に固定してもよい。

[0111] (変形例 5)

上記の実施の形態 1 では、図 1 (c) に示すように、記録層 1 0 は、上から見た場合の形状 (X-Y 平面における形状) が四角形であったが、記録層 1 0 の形状はこれに限られない。図 1 2 (d) に示す例では、記録層 1 0 は、X-Y 平面における形状が凹型となるようパターンニングされている。このように構成することにより、面内方向の外部磁場を用いて記録層 1 0 に単一の磁壁を導入することが可能である。

[0112] (変形例 6)

また、実施の形態 1 では、障壁層 2 0、参照層 3 0 は、記録層 1 0 の磁化

自由領域 13 の上面の領域に積層されていた。これは、参照層 30 は、少なくとも記録層 10 の磁化自由領域 13 をオーバーラップする必要があるからである。しかしながら、積層構造はこれに限られず、図 13 (a) に示すように、記録層 10 の上面全体に、障壁層 20、参照層 30 を積層してもよい。この場合、積層体の製造が容易である。

[0113] (変形例 7)

また、必ずしも、記録層 10 を一番下に積層する必要はなく、図 13 (b) に示すように、下から、つまり、基板側から、参照層 30、障壁層 20、記録層 10 の順に積層してもよい。この場合には参照層 30 は記録層と同等か、それ以上の面積を有する形状にパターンニングされる。

[0114] (変形例 8)

上述した例では、1つの磁気抵抗効果素子 100 は、1つの参照層 30 のみを有していたが、図 14 (a) に示すように、参照層を複数設けてもよい。この場合、各参照層 30 に隣接する記録層 10 の領域がそれぞれ磁化自由領域となる。このような構成により、磁気抵抗効果素子 100 を多値メモリとすることができる。あるいは、磁気抵抗効果素子をアナログメモリとすることができる。

[0115] (変形例 9)

図 14 (b) に示すように、記録層 10 が複数の磁化自由領域を含み、これら複数の磁化自由領域を覆うように、参照層 30 を長手方向に長く形成してもよい。この場合も、変形例 8 と同様に、磁気抵抗効果素子 100 を多値メモリ、あるいは、アナログメモリとすることができる。

[0116] (変形例 10)

図 15 (a) に、記録層 10 に磁壁のピンサイトを形成する例を示す。ここでは、記録層 10 の上面 (XY 面内) であって、第 1 磁化固定領域 11 と磁化自由領域 13 との間 (14)、第 2 磁化固定領域 12 と磁化自由領域 13 との間 (15)、それぞれに凹型の切り欠き (ピンサイト) を形成している。ピンサイトにより、磁壁 DW の移動を止めることができる。なお、ピン

サイトは、何れか一カ所のみに設けられてもよい。

[0117] (変形例 1 1)

ピンサイトの形成位置は、上述の例に限られない。図 1 5 (b) に示す例では、記録層 1 0 の前面 (X Z 面内) であって、第 1 磁化固定領域 1 1 と磁化自由領域 1 3 との間 (1 4)、第 2 磁化固定領域 1 2 と磁化自由領域 1 3 との間 (1 5)、それぞれに凹型の切り欠き (ピンサイト) を形成している。この場合も、ピンサイトの位置で磁壁 DW の移動を止めることができる。なお、ピンサイトは、何れか一カ所のみに設けられてもよい。

[0118] (変形例 1 2)

あるいは、記録層 1 0 に切り欠きの形成することなく、第 1 磁化固定領域 1 1 と磁化自由領域 1 3 との間 (1 4)、第 2 磁化固定領域 1 2 と磁化自由領域 1 3 との間 (1 5)、それぞれに材料特性の異なる領域を設けることによって、ピンサイトを形成することができる。図 1 5 (c) に変形例 1 2 に係る磁気抵抗記録素子 1 0 0 の形状の例を示す。ここでは、着色部が材料特性の異なる領域である。なお、ピンサイトは、何れか一カ所のみに設けられてもよい。

[0119] またピンサイトを有する変形例 1 0、1 1、1 2 は、多値メモリ、アナログメモリとしての実施が可能な変形例 8、9 と組み合わせることもできる。この場合には記録層 1 0 の磁化自由領域内、磁化自由領域間にピンサイトを形成することになる。

[0120] さらに、情報保持状態において磁壁を安定してピン止めするためにはピンサイトを形成するほかに、第 1 磁化固定領域 1 1、第 2 磁化固定領域 1 2 の平面形状、断面形状を適宜設計することによって磁壁を安定してピン止めすることも可能である。例えば、図 8 に示したシミュレーション結果から明らかになったように、細線幅と膜厚を 40 nm 以下に設計し、かつ膜厚を線幅の $1/2$ 以上、2 倍以下とすることによって低電流密度での磁壁移動が可能である。これは逆に言えば、この範囲を外すことによって、磁壁移動が起こりにくくすることができるということである。従って、第 1 磁化固定領域 1

1、第2磁化固定領域12の膜厚が線幅の $1/2$ 以下、または2倍以上となるように設計すれば、第1磁化固定領域11、第2磁化固定領域12においては、磁壁移動は起こらない。また、このような実施の形態においては、磁化自由領域13と、第1磁化固定領域11及び第2磁化固定領域12との間で $y-z$ 断面において形状の差が生じることになる。一般に磁壁は断面形状の差がある部分において強いピンングが働くことから、実効的な磁壁のピンサイトとして機能することになる。

[0121] 一例として、磁化自由領域13の線幅を15nm、膜厚を15nmとし、第1磁化固定領域11、第2磁化固定領域12の線幅を35nm、膜厚を15nmとすることにより上述のような磁壁のピン止め機構を実現することができる。他の例として、磁化自由領域13の線幅を20nm、膜厚を20nmとし、第1磁化固定領域11、第2磁化固定領域12の線幅を20nm、膜厚を9nmとすることにより上述のような磁壁のピン止め機構を実現することができる。

[0122] (変形例13)

上述の実施の形態、変形例では、記録層10は長手方向に延伸した形状を有していたが、記録層10の形状はこれに限られない。図15(d)に示す例では、記録層10はアーチ状の形状を有する。記録層10の成膜前に、成膜面をアーチ状に形成することにより、記録層10をこのように形成することができる。あるいは、記録層10の形成工程の前に実施されるVia作製工程において、CMPプロセス等を調整して、磁性膜成膜面に凹凸が残るようすることで、記録層10をアーチ状に形成することができる。記録層10をアーチ状に形成することにより、基板垂直成分を有する外部磁場によって記録層10へ容易に磁壁を導入することができる。

[0123] (変形例14)

上述の実施の形態、変形例においては、記録層10の $Y-Z$ 断面は正方形あるいは長方形である例を説明したが、記録層10にテーパを設けてもよい。変形例14に係る磁気抵抗効果素子100の形状の例を図16(a)に

示す。記録層10をテーパ状に形成することで、磁壁の移動をスムーズにし、しきい電流密度をより低減することができる。このような形状は、記録層10のパターニングプロセスの調整（入射イオンビームの角度、ハードマスクの形状の調整等）により実現できる。

[0124] また、図16(b)には、記録層10にテーパを設けた他の例を示す。ここでは、基板側の面の面積の方が、上側（障壁層20側）の面の面積より小さい。このような形状は、成膜面に溝を形成して成膜することで実現できる。成膜には、物理気相堆積（Physical Vapor Deposition）法、メッキ法等のウェットプロセスを使用することができる。

[0125] （変形例15）

また、変形例2～14のいずれにおいても、実施の形態2で説明した積層フェリ構造を参照層30に採用することができる。

[0126] また、上記はすべて3（または4）端子型のSTT-MRAMを想定した実施の形態であるが、この他に本発明の技術思想は大容量ストレージとしての応用が可能なレーストラックメモリに適用することもできる。すなわち、強磁性体から構成され、複数の記録磁区を有するトラック（記録層）を有し、該トラックは細線長手方向に磁化容易軸を有し、線幅は40nm以下であり、その膜厚は線幅の1/2以上、かつ、2倍以下であるような磁気メモリ装置を提供することもできる。

[0127] 本発明は、本発明の広義の精神と範囲を逸脱することなく、様々な実施の形態及び変形が可能とされるものである。上述した実施の形態は、本発明を説明するためのものであり、本発明の範囲を限定するものではない。すなわち、本発明の範囲は、実施の形態ではなく、特許請求の範囲によって示される。そして、特許請求の範囲内およびそれと同等の発明の意義の範囲内で施される様々な変形が、本発明の範囲内とみなされる。

[0128] 本出願は、2015年5月14日に出願された日本国特許出願2015-98976号に基づくものであり、その明細書、特許請求の範囲、図面および要約書を含むものである。上記日本国特許出願における開示は、その全体

が本明細書中に参照として含まれる。

符号の説明

- [0129] 1 0 0 磁気抵抗効果素子
1 0 1 磁気抵抗効果素子
1 0 記録層
1 1 第1磁化固定領域
1 2 第2磁化固定領域
1 3 磁化自由領域
1 4 第1磁化固定領域1 1と磁化自由領域1 3との間
1 5 第2磁化固定領域1 2と磁化自由領域1 3との間
2 0 障壁層
3 0 参照層
3 1 強磁性層
3 2 結合層
3 3 強磁性層
4 1 第1磁化固定層
4 2 第2磁化固定層
5 0 センサー層
6 0 絶縁層
2 0 0 磁気メモリセル回路
3 0 0 磁気メモリ装置
3 1 1 メモリセルアレイ
3 1 2 Xドライバ
3 1 3 Yドライバ
3 1 4 コントローラ

請求の範囲

- [請求項1] 強磁性体を含む記録層と、
前記記録層の上に積層された障壁層と、
前記障壁層の上に積層され、強磁性体を含む参照層と、
を有し、
前記参照層は、略面内方向に実質固定された磁化成分を有し、
前記記録層は、略面内方向に実質固定された磁化成分を有する第1
磁化固定領域と、前記第1磁化固定領域が有する磁化成分と反対の向
きに実質固定された磁化成分を有する第2磁化固定領域と、前記第1
磁化固定領域と前記第2磁化固定領域との間に位置し、略面内方向に
おいて反転可能な磁化成分を有する磁化自由領域とを含み、
前記記録層を構成する細線の線幅は40nm以下であり、
前記記録層の膜厚は、40nm以下であり、前記線幅の1/2以上
、かつ、2倍以下である、
磁気抵抗効果素子。
- [請求項2] 前記記録層は、NiとFeとを含み、
前記線幅は30nm以下であり、
前記膜厚は30nm以下であり、前記線幅の2/3以上、かつ、1
.5倍以下である、
請求項1に記載の磁気抵抗効果素子。
- [請求項3] 前記記録層の長手方向に沿って電流を導入することで、前記磁化自
由領域が有する磁化成分の向きが反転する、
請求項1又は2に記載の磁気抵抗効果素子。
- [請求項4] 前記磁化自由領域が有する磁化成分の向きに応じて、前記第1磁化
固定領域と前記磁化自由領域との間、又は、前記第2磁化固定領域と
前記磁化自由領域との間に、磁壁が形成される、
請求項1から3のいずれか1項に記載の磁気抵抗効果素子。
- [請求項5] 強磁性体を含む記録層と、

前記記録層の上に積層された障壁層と、

前記障壁層の上に積層され、強磁性体を含む参照層と、

を有し、

前記参照層は、略面内方向に実質固定された磁化成分を有し、

前記記録層は、略面内方向に実質固定された磁化成分を有する第1磁化固定領域と、前記第1磁化固定領域が有する磁化成分と反対の向きに実質固定された磁化成分を有する第2磁化固定領域と、前記第1磁化固定領域と前記第2磁化固定領域との間に位置し、略面内方向において反転可能な磁化成分を有する磁化自由領域とを含み、

前記第1磁化固定領域と前記第2磁化固定領域との間に磁壁が形成され、

前記磁壁の磁化は、前記記録層の短辺方向、及び、基板垂直方向の両方にT r a n s v e r s e構造をとることができる、

磁気抵抗効果素子。

[請求項6] 前記第1磁化固定領域の磁化成分、前記第2磁化固定領域の磁化成分のうち少なくともいずれかを固定するための磁化固定層を、さらに有する、

請求項1から5のいずれか1項に記載の磁気抵抗効果素子。

[請求項7] 前記記録層の、前記第1磁化固定領域と前記磁化自由領域との間、前記第2磁化固定領域と前記磁化自由領域との間、のうち少なくともいずれかにピンサイトが設けられている、

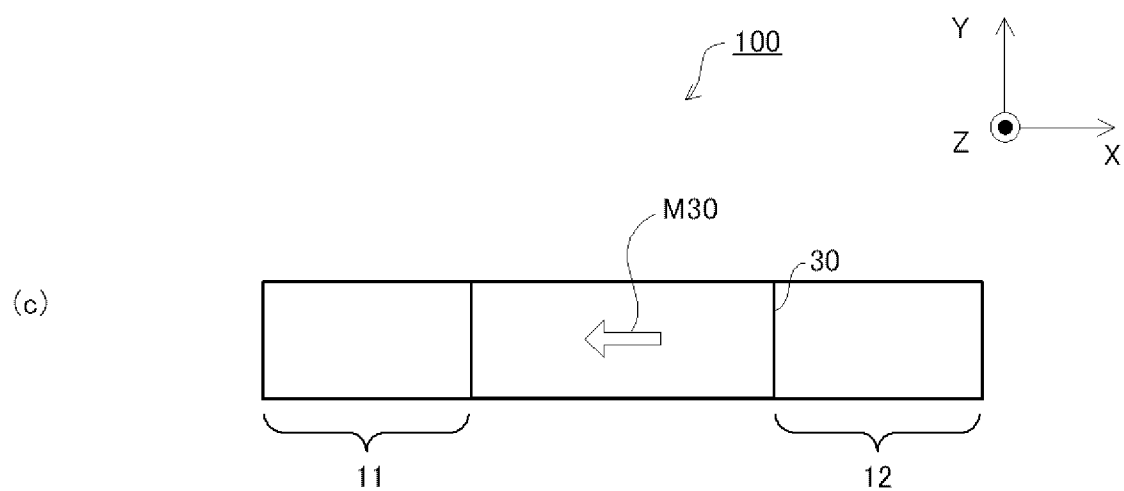
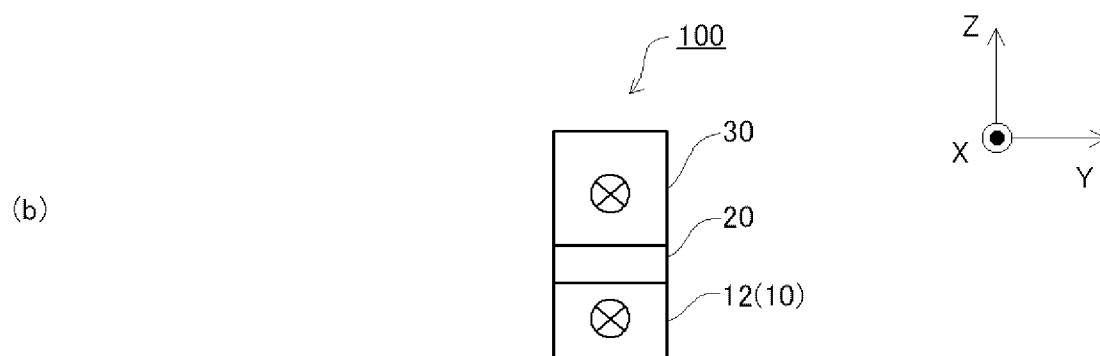
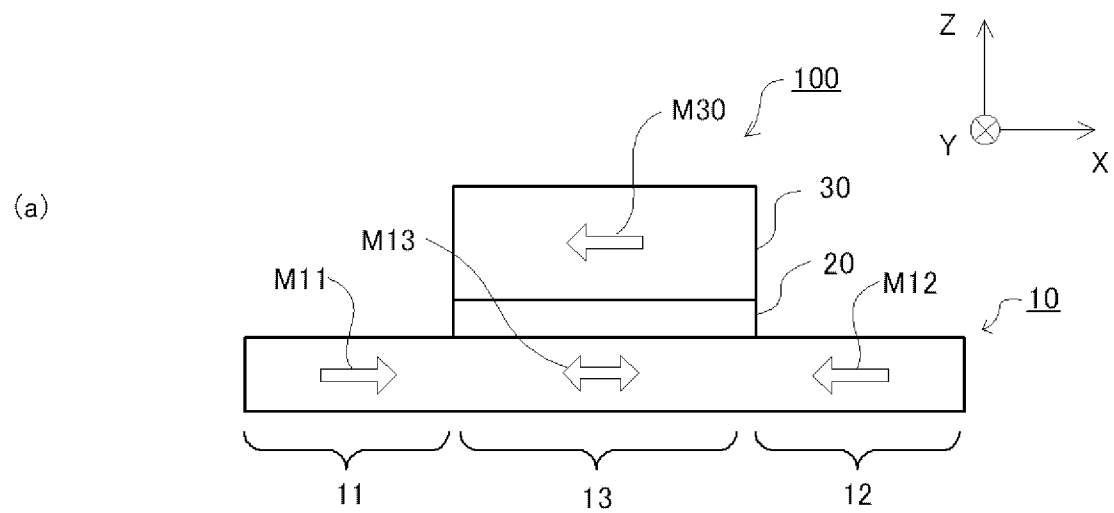
請求項1から6のいずれか1項に記載の磁気抵抗効果素子。

[請求項8] 請求項1から7の何れか1項に記載の磁気抵抗効果素子と、
前記磁気抵抗効果素子に、書き込み電流を流すことにより、前記磁気抵抗効果素子にデータを書き込む書き込み手段と、

前記障壁層を貫通する方向に電流を流してトンネル抵抗を求めることにより、前記磁気抵抗効果素子に書き込まれているデータを読み出す読み出し手段と、

を備える、
磁気メモリ装置。

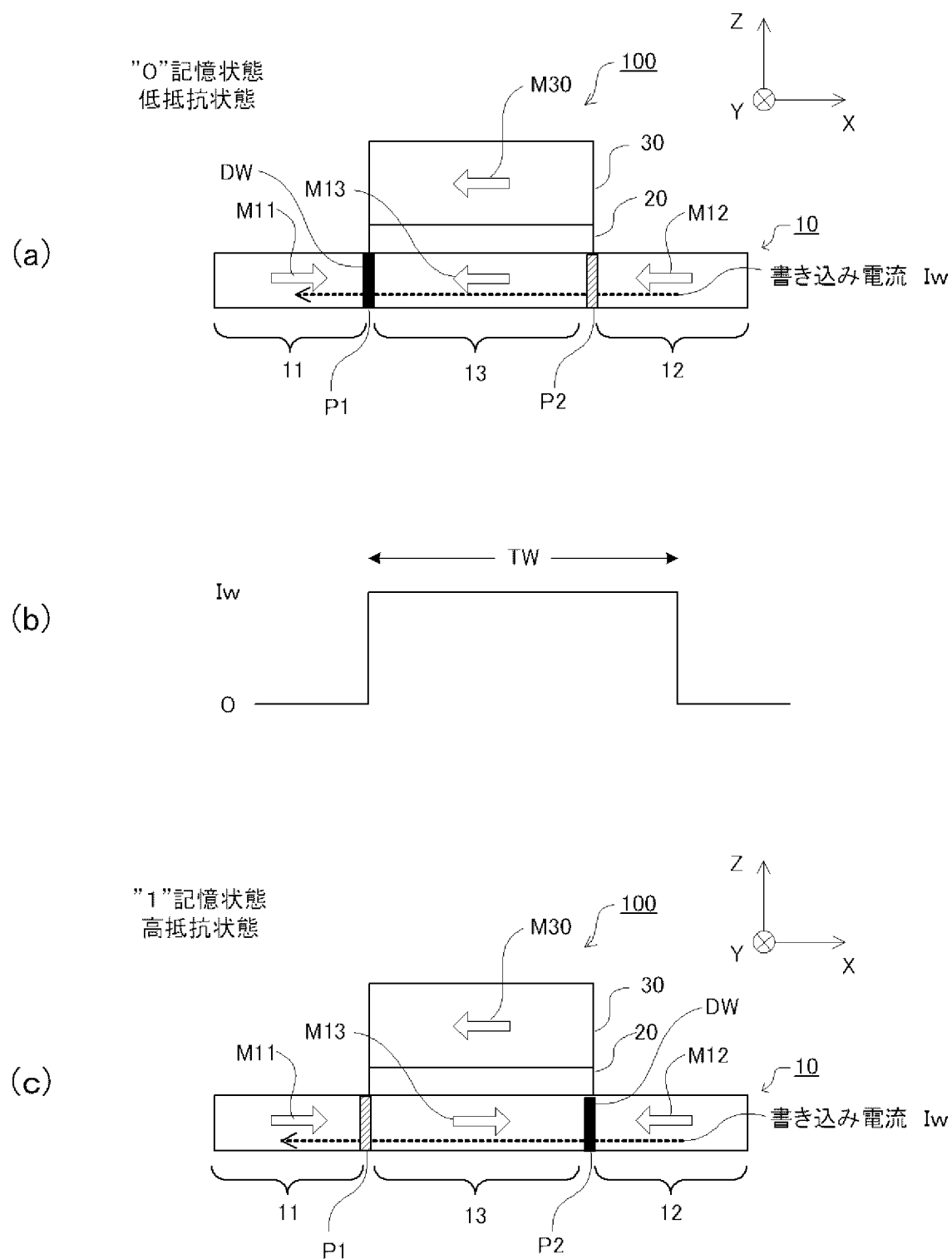
[図1]



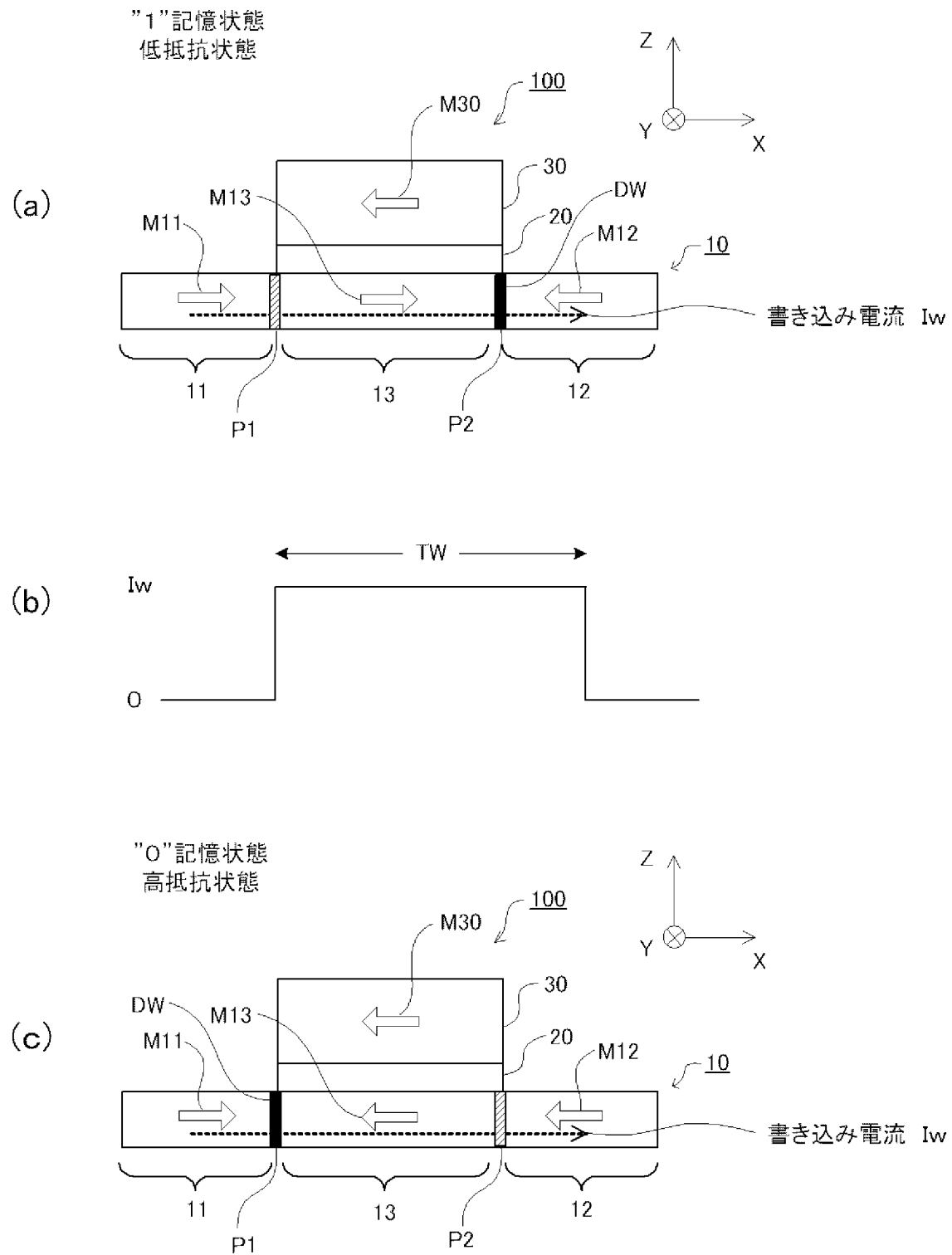
”O”記憶狀態
低抵抗狀態



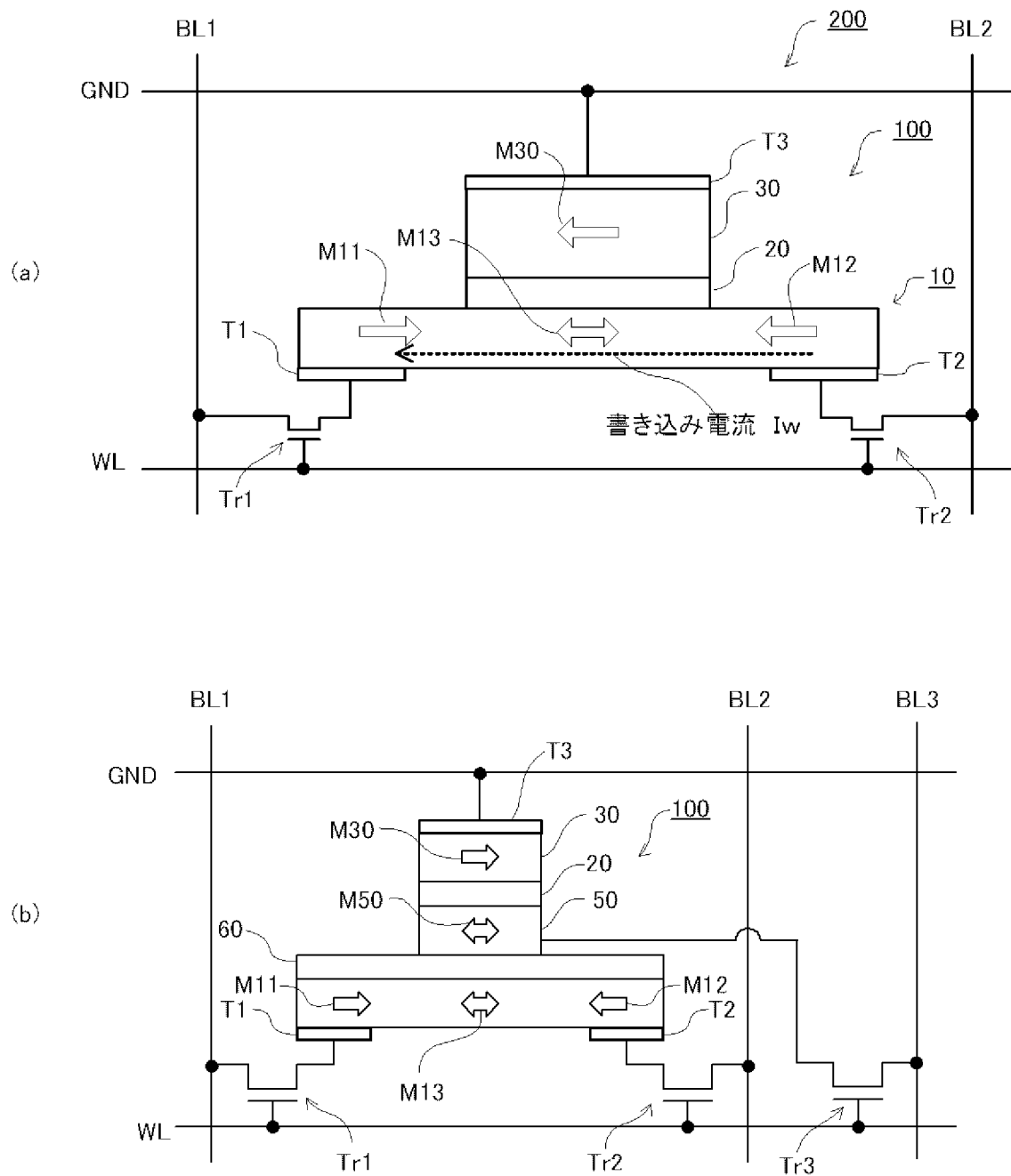
[図3]



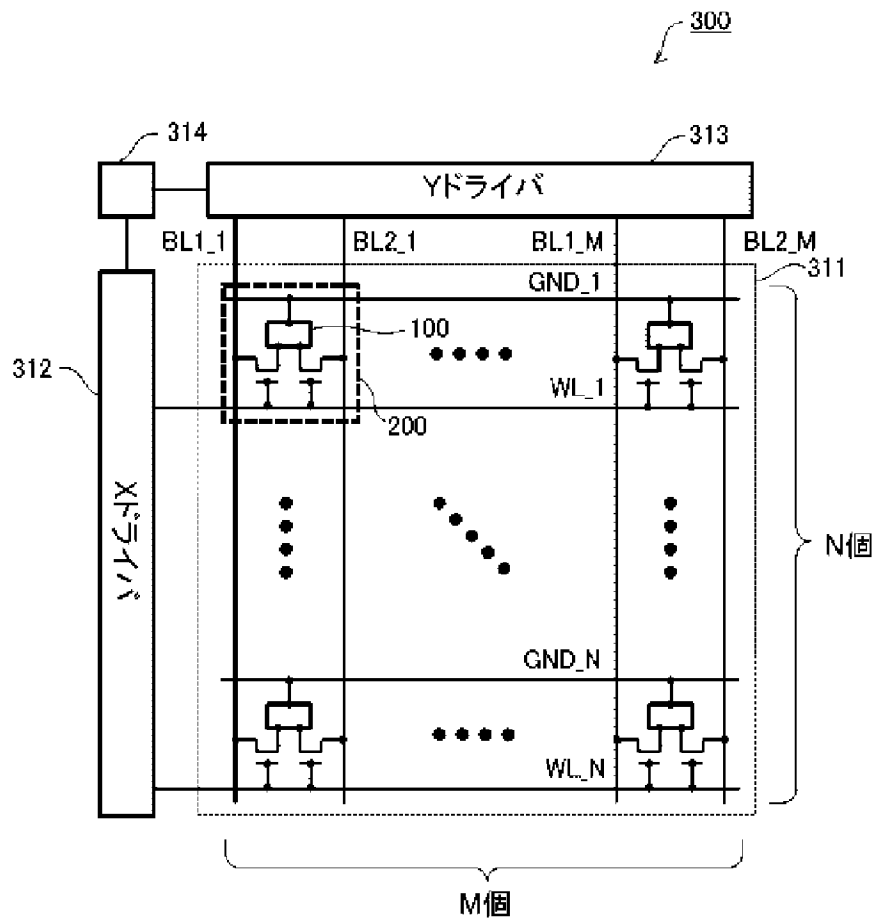
[図4]



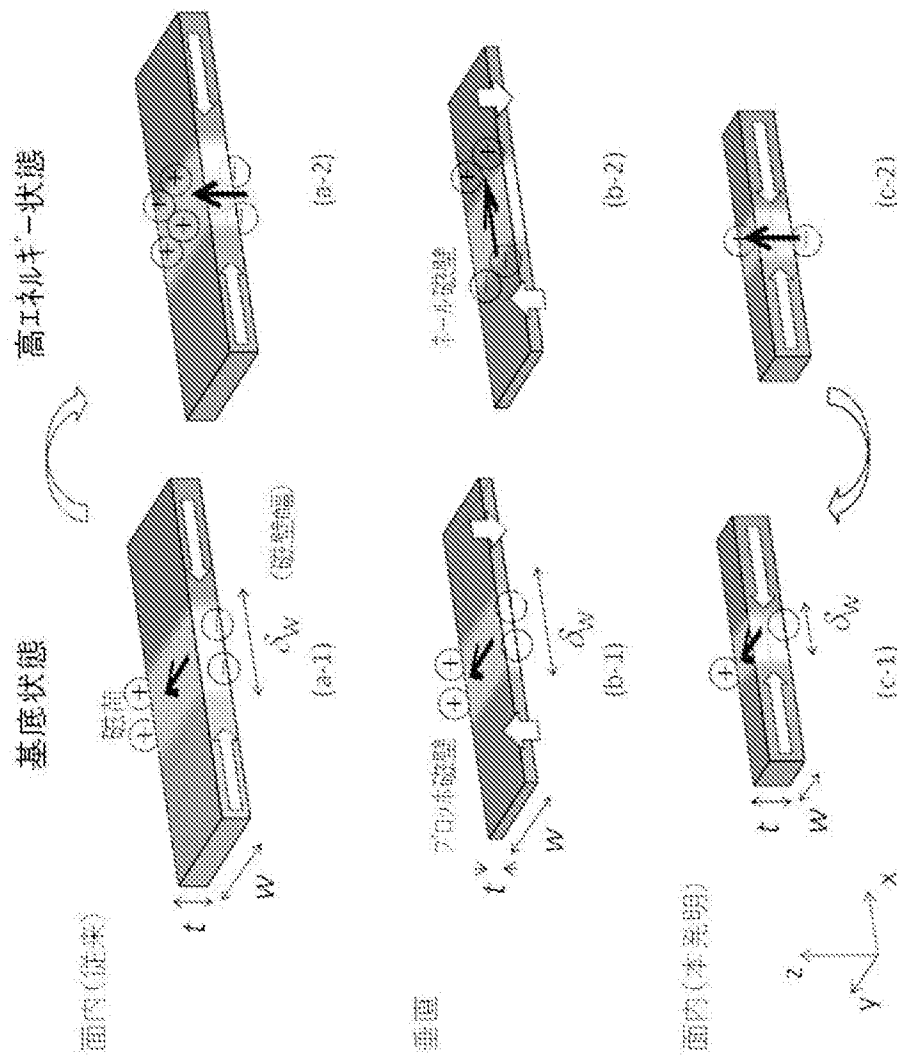
[図5]



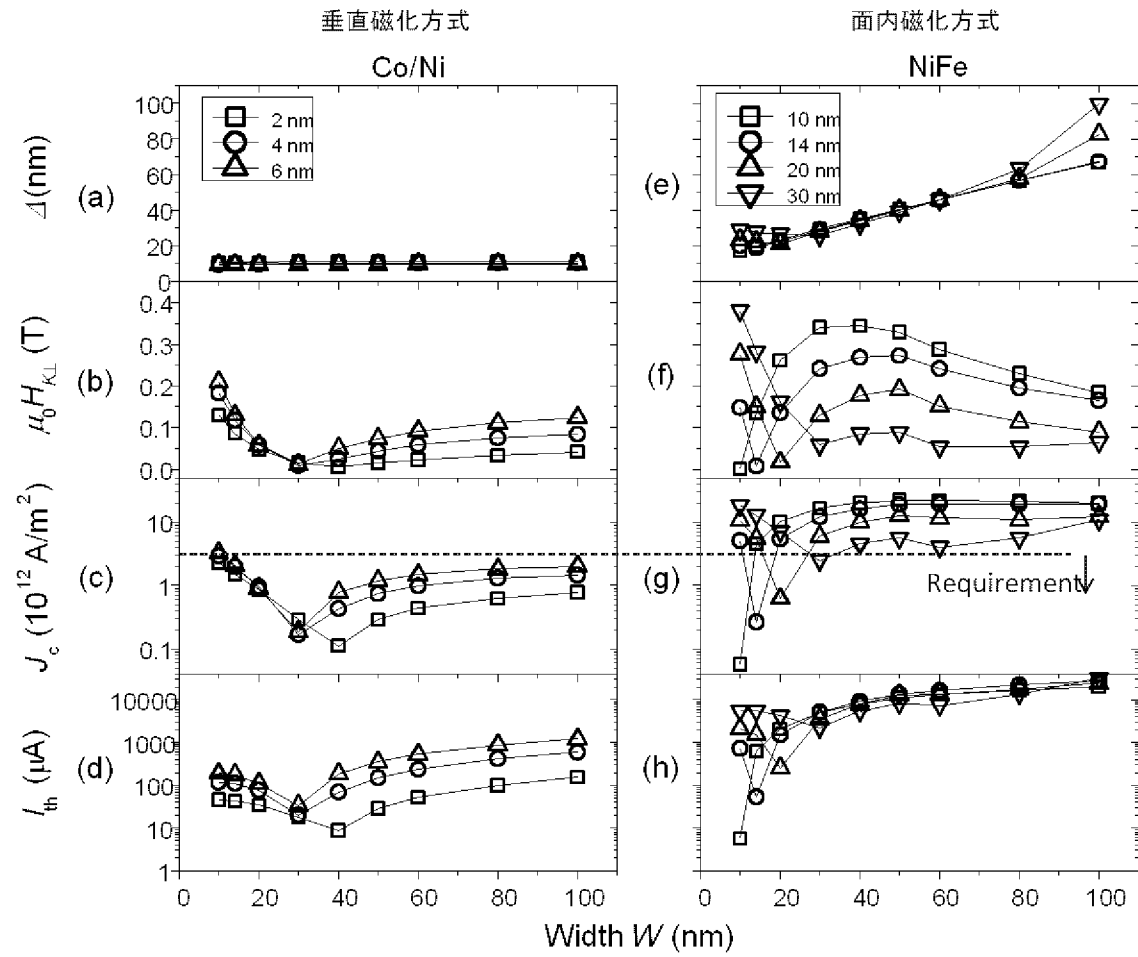
[図6]



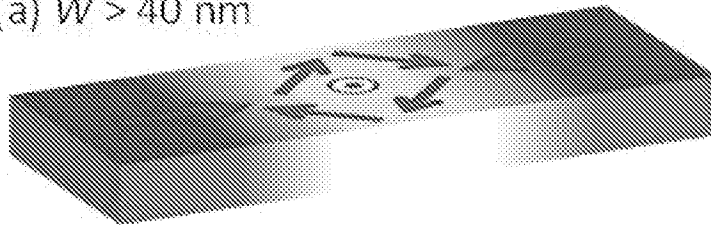
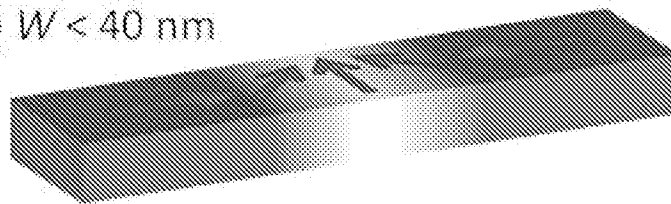
[図7]



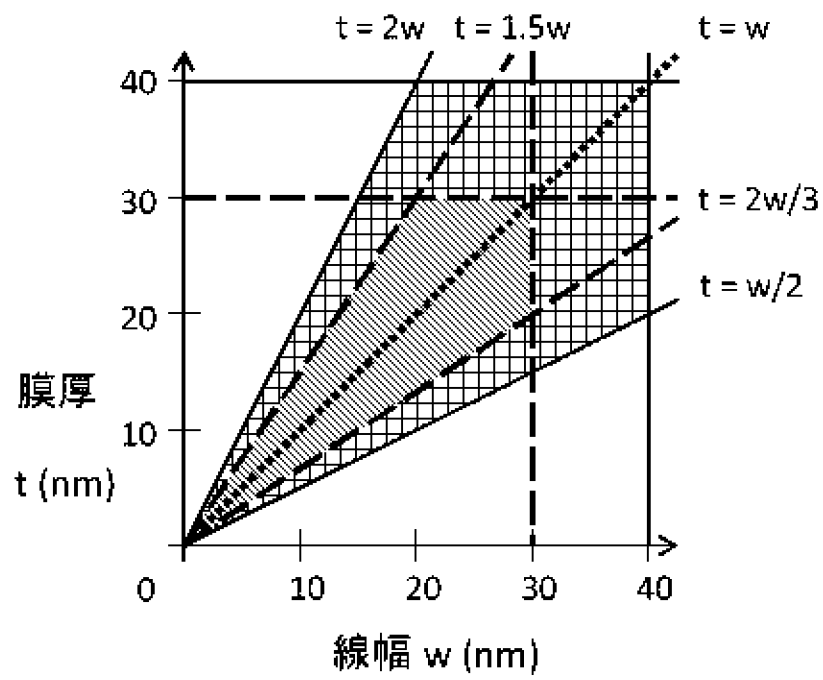
[図8]



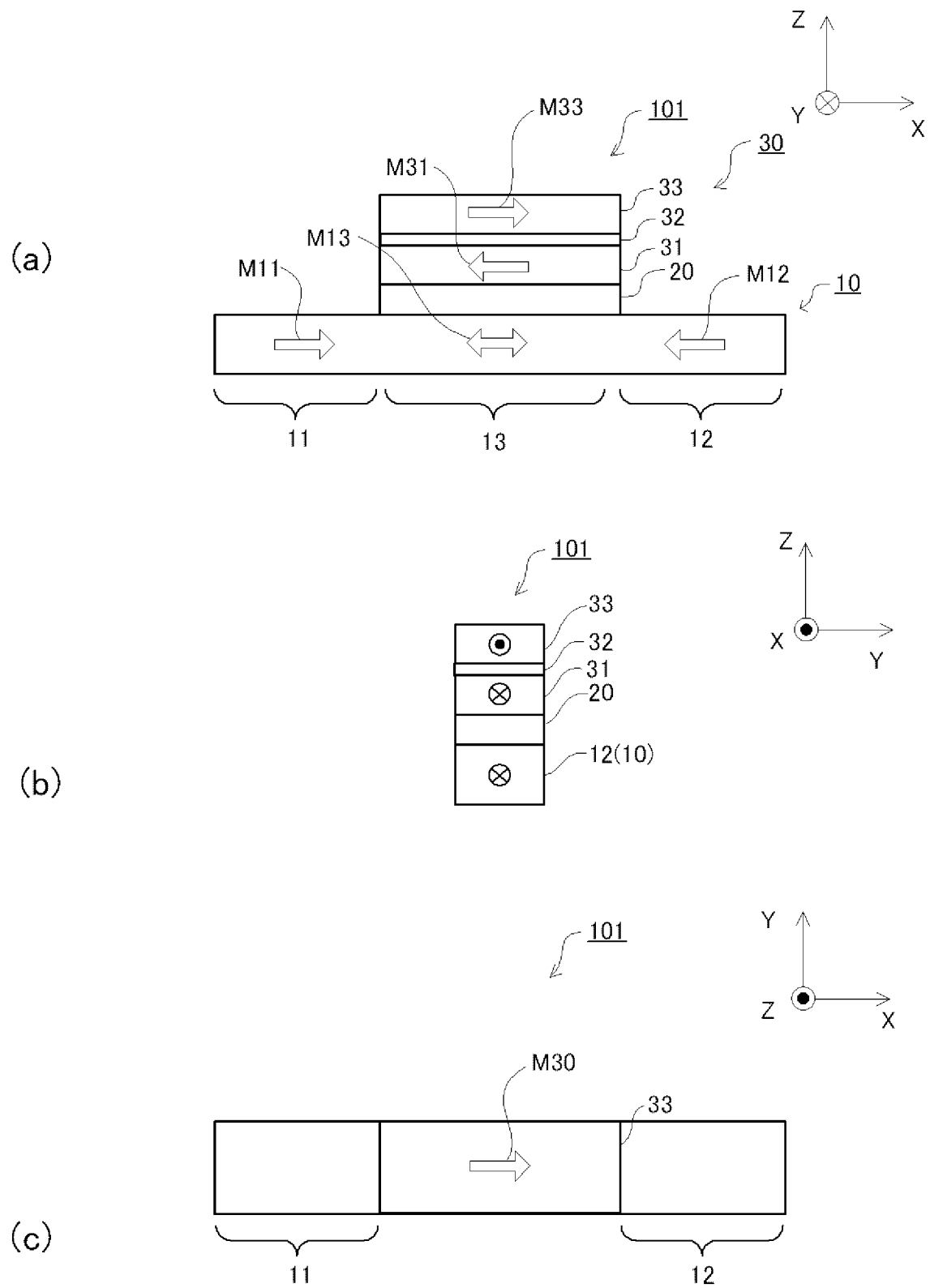
[図9]

(a) $W > 40$ nm(b) $W < 40$ nm

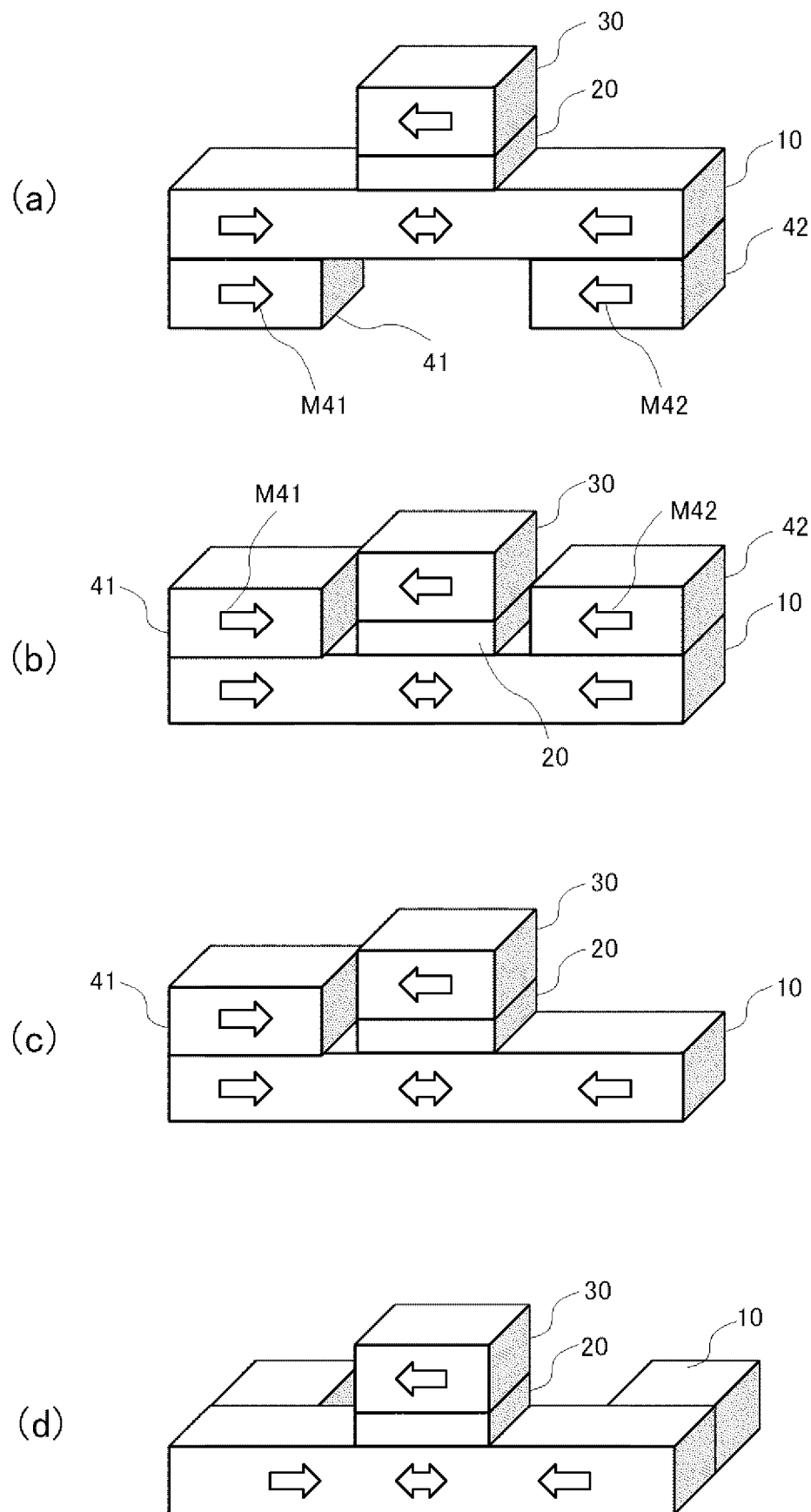
[図10]



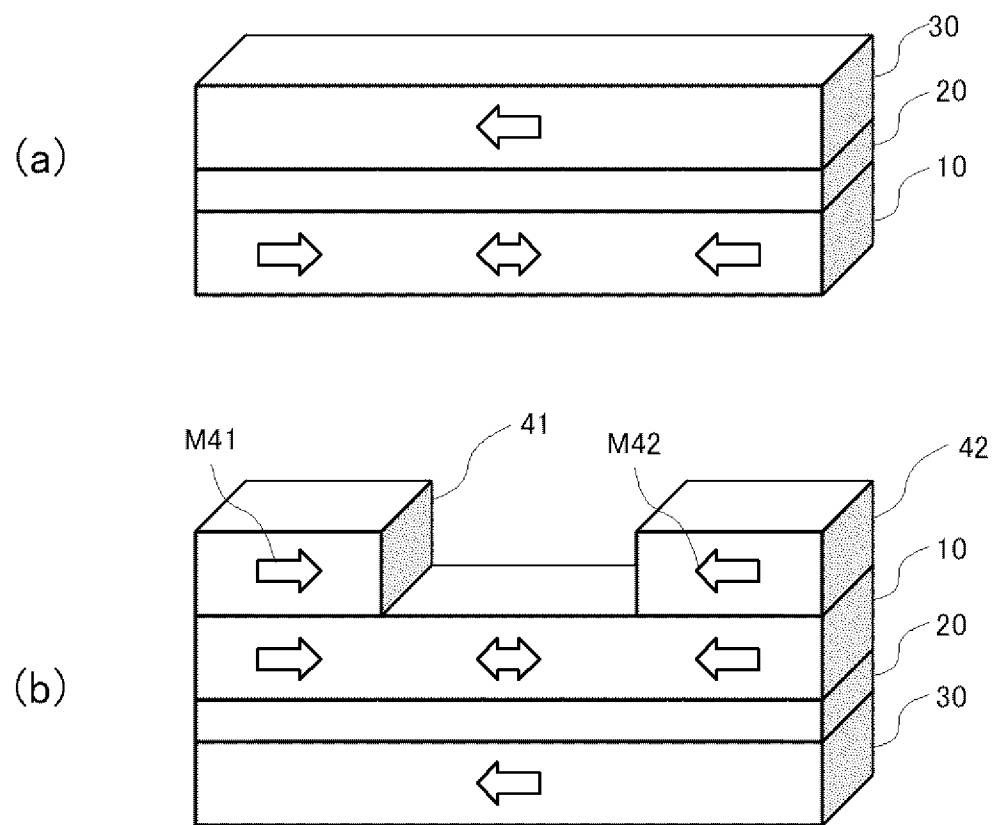
[図11]



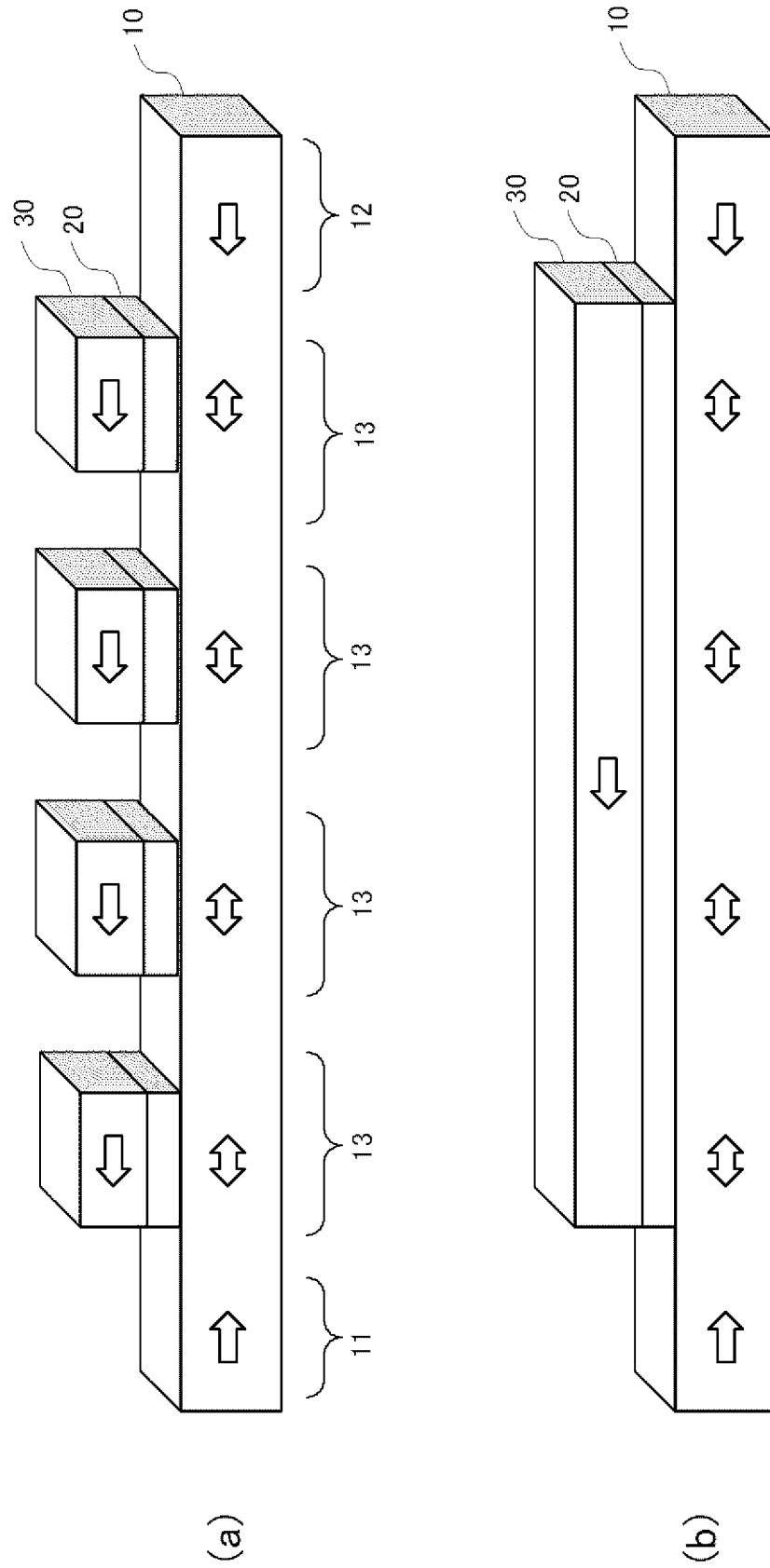
[図12]



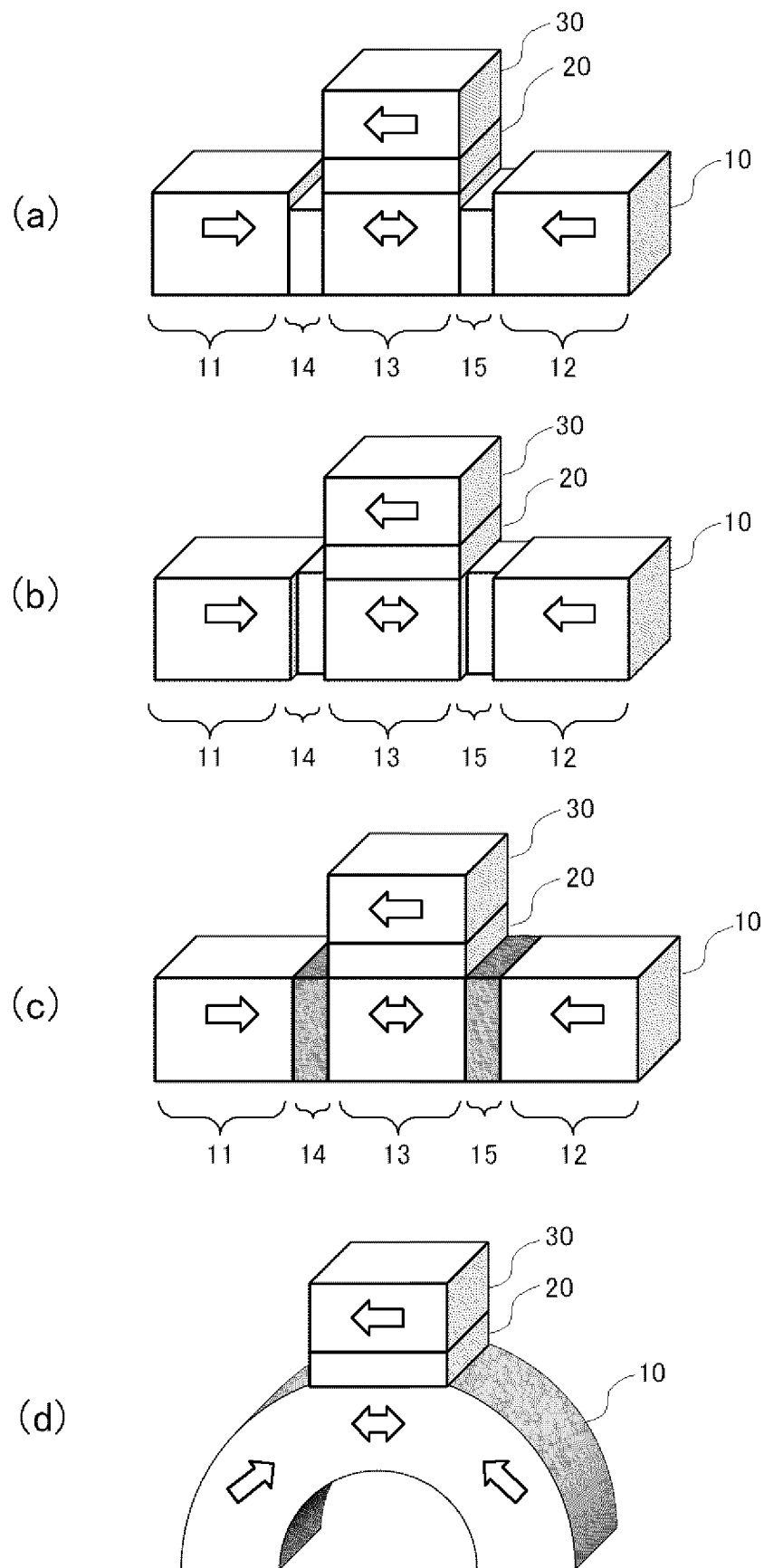
[図13]



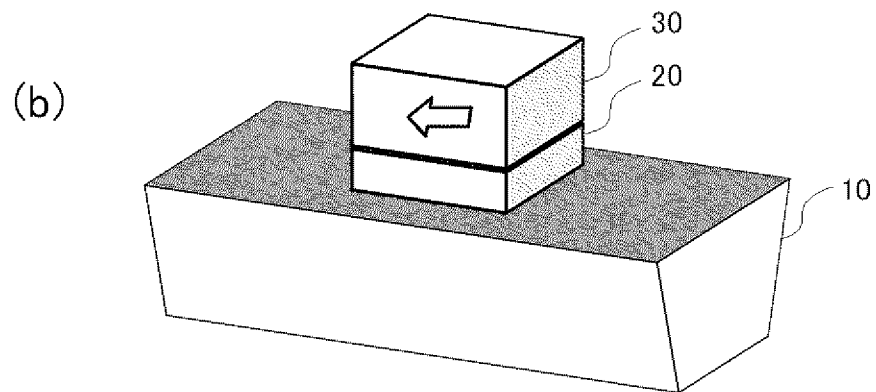
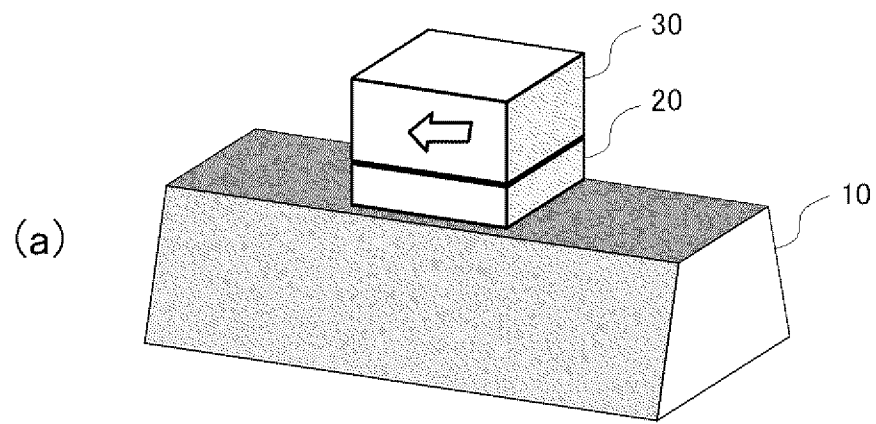
[図14]



[図15]



[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/064530

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/8246(2006.01)i, G11C11/15(2006.01)i, H01L27/105(2006.01)i,
H01L29/82(2006.01)i, H01L43/08(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/8246, G11C11/15, H01L27/105, H01L29/82, H01L43/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2010-80496 A (Fujitsu Ltd.), 08 April 2010 (08.04.2010), paragraphs [0010] to [0016], [0023], [0036] to [0039]; fig. 1, 3 (Family: none)	1-4, 6-8 5
Y	JP 2005-191032 A (Toshiba Corp.), 14 July 2005 (14.07.2005), paragraphs [0015] to [0018], [0023], [0026] to [0034], [0053]; fig. 1 to 3 (Family: none)	1-8
X Y A	WO 2009/133744 A1 (NEC Corp.), 05 November 2009 (05.11.2009), paragraphs [0036] to [0037], [0042], [0079] to [0081]; fig. 10A to 11B, 28A to 29B & JP 5435412 B2	5 6-8 1-4

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
24 June 2016 (24.06.16)

Date of mailing of the international search report
05 July 2016 (05.07.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/064530

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-147488 A (NEC Corp.), 26 June 2008 (26.06.2008), entire text; all drawings (Family: none)	1-8
A	WO 2011/152281 A1 (Hitachi, Ltd., Tohoku University), 08 December 2011 (08.12.2011), entire text; all drawings & JP 5618103 B2 & US 2013/0141966 A1 entire text; all drawings	1-8
A	JP 2007-273495 A (Fujitsu Ltd.), 18 October 2007 (18.10.2007), entire text; all drawings & US 2007/0242505 A1 entire text; all drawings & DE 102006028387 A1 & CN 101047023 A & TW 00I303423 B	1-8
A	JP 2010-141340 A (Samsung Electronics Co., Ltd.), 24 June 2010 (24.06.2010), entire text; all drawings & US 2010/0149863 A1 entire text; all drawings & KR 10-2010-0068791 A & CN 101751988 A	1-8
A	JP 2012-28489 A (NEC Corp.), 09 February 2012 (09.02.2012), entire text; all drawings (Family: none)	1-8
A	WO 2010/095589 A1 (NEC Corp.), 26 August 2010 (26.08.2010), entire text; all drawings & US 2011/0298067 A1 entire text; all drawings	1-8

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/8246(2006.01)i, G11C11/15(2006.01)i, H01L27/105(2006.01)i, H01L29/82(2006.01)i, H01L43/08(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/8246, G11C11/15, H01L27/105, H01L29/82, H01L43/08

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 6 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 6 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 6 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2010-80496 A（富士通株式会社）2010.04.08, 段落[0010] - [0016], [0023], [0036] - [0039], 図1, 3	1 - 4, 6 - 8
A	(ファミリーなし)	5
Y	JP 2005-191032 A（株式会社東芝）2005.07.14, 段落[0015] - [0018], [0023], [0026] - [0034], [0053], 図1 - 3	1 - 8
	(ファミリーなし)	

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 4 . 0 6 . 2 0 1 6

国際調査報告の発送日

0 5 . 0 7 . 2 0 1 6

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

小山 満

5 F

6 3 1 3

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	WO 2009/133744 A1 (日本電気株式会社) 2009. 11. 05, 段落[0036] - [0037], [0042], [0079] - [0081], 図 10A - 11B, 28A - 29B	5
Y	& JP 5435412 B2	6 - 8
A		1 - 4
A	JP 2008-147488 A (日本電気株式会社) 2008. 06. 26, 全文, 全図 (ファミリーなし)	1 - 8
A	WO 2011/152281 A1 (株式会社日立製作所、国立大学法人東北大学) 2011. 12. 08, 全文, 全図 & JP 5618103 B2 & US 2013/0141966 A1, 全文, 全図	1 - 8
A	JP 2007-273495 A (富士通株式会社) 2007. 10. 18, 全文, 全図 & US 2007/0242505 A1, 全文, 全図 & DE 102006028387 A1 & CN 101047023 A & TW 00I303423 B	1 - 8
A	JP 2010-141340 A (三星電子株式会社) 2010. 06. 24, 全文, 全図 & US 2010/0149863 A1, 全文, 全図 & KR 10-2010-0068791 A & CN 101751988 A	1 - 8
A	JP 2012-28489 A (日本電気株式会社) 2012. 02. 09, 全文, 全図 (ファミリーなし)	1 - 8
A	WO 2010/095589 A1 (日本電気株式会社) 2010. 08. 26, 全文, 全図 & US 2011/0298067 A1, 全文, 全図	1 - 8