

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2016 年 8 月 18 日 (18.08.2016)



(10) 国际公布号
WO 2016/127618 A1

- (51) 国际专利分类号:
H01L 27/12 (2006.01) *G02F 1/133* (2006.01)
H01L 29/786 (2006.01)
- (21) 国际申请号: PCT/CN2015/087337
- (22) 国际申请日: 2015 年 8 月 18 日 (18.08.2015)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201510076792.5 2015 年 2 月 12 日 (12.02.2015) CN
- (71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。
合肥鑫晟光电科技有限公司 (HEFEI XINSHENG OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国安徽省合肥市新站区工业园内, Anhui 230012 (CN)。
- (72) 发明人: 邹志翔 (ZOU, Zhixiang); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。
杨成绍 (YANG, Chengshao); 中国北京市北京经济

技术开发区地泽路 9 号, Beijing 100176 (CN)。 黄寅虎 (HUANG, Yinhu); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。

- (74) 代理人: 北京天昊联合知识产权代理有限公司 (TEE & HOWE INTELLECTUAL PROPERTY ATTORNEYS); 中国北京市东城区建国门内大街 28 号民生金融中心 D 座 10 层陈源, Beijing 100005 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ,

[见续页]

(54) Title: MANUFACTURING METHOD FOR ARRAY SUBSTRATE, ARRAY SUBSTRATE AND DISPLAY DEVICE

(54) 发明名称: 阵列基板制造方法、阵列基板和显示装置

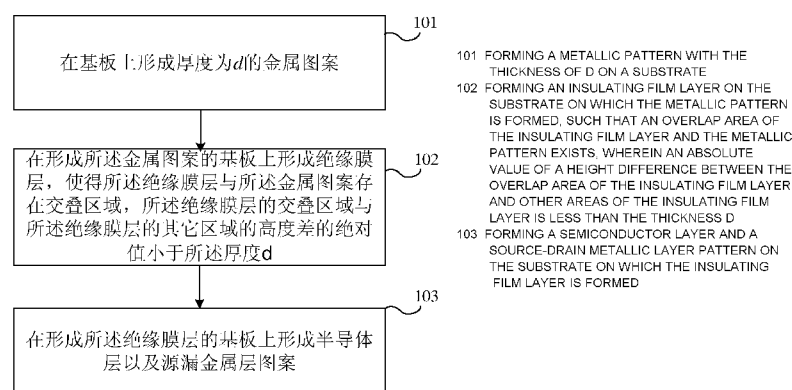


图 1

(57) Abstract: Provided are a manufacturing method for an array substrate (2210), an array substrate (2210) and a display device (2200), which belong to the technical field of display. The manufacturing method comprises: forming a metallic pattern (120) with the thickness of d on a substrate (110); forming an insulating film layer (130) on the substrate (110) on which the metallic pattern (120) is formed, such that an overlap area of the insulating film layer (130) and the metallic pattern (120) exists, wherein an absolute value of a height difference between the overlap area of the insulating film layer (130) and other areas of the insulating film layer (130) is less than the thickness d; and forming a semiconductor layer (A) and a source-drain metallic layer pattern (B) on the substrate (110) on which the insulating film layer (130) is formed. By enabling the absolute value of the height difference between the overlap area of the insulating film layer (130) and the other areas of the insulating film layer (130) to be less than the thickness d, so that fluctuations of other patterns formed on the substrate (110) on which the insulating film layer (130) is formed accordingly decrease, the effects of decreasing a line breakage rate of routing formed on the insulating film layer (130) and improving a product yield are achieved.

(57) 摘要:

[见续页]



WO 2016/127618 A1



BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

提供一种阵列基板(2210)制造方法、一种阵列基板(2210)和一种显示装置(2200), 属于显示技术领域。所述制造方法包括: 基板(110)上形成厚度为d的金属图案(120); 在形成金属图案(120)的基板(110)上形成绝缘膜层(130), 使得绝缘膜层(130)与金属图案(120)存在交叠区域, 绝缘膜层(130)的交叠区域与绝缘膜层(130)的其它区域的高度差的绝对值小于厚度d; 以及在形成绝缘膜层(130)的基板(110)上形成半导体层(A)以及源漏金属层图案(B)。通过使绝缘膜层(130)的交叠区域与绝缘膜层(130)的其它区域的高度差的绝对值小于厚度d, 继而在形成绝缘膜层(130)的基板(110)上形成的其他图案的起伏相应减小, 达到了能够减小绝缘膜层(130)上形成的走线的断线率, 提高产品良率的效果。

阵列基板制造方法、阵列基板和显示装置

5 技术领域

本发明涉及显示技术领域，特别涉及一种阵列基板制造方法、阵列基板和显示装置。

背景技术

10 阵列基板是显示装置的重要组成部分，通常包括基板以及基板上的栅线、公共电极走线、绝缘膜层、半导体层和源漏金属层（源漏极和数据线）等。

现有技术制造阵列基板时，首先在基板上形成金属图案，如栅线的图案，继而在形成金属图案的基板上涂敷绝缘膜层，然后在涂敷绝缘膜层的基板上形成半导体层以及源漏金属层图案。其中，绝缘膜层具有绝缘膜层和金属图案的交叠区域（该交叠区域指金属图案在绝缘膜层上的投影区域），该绝缘膜层上的绝缘膜层和金属图案的交叠区域也称为绝缘膜层的交叠区域，绝缘膜层的交叠区域都形成有凸起，继而形成于绝缘膜层上的其他图案（源漏极，数据线）也会产生相应的凸起（源漏极的凸起，数据线的凸起）。
15 20

上述方法在金属图案较厚时，会导致形成于绝缘膜层的交叠区域上的其他图案（如源漏极的图案）的凸起程度较高，因此容易造成断线，影响产品良率。

25 发明内容

为了解决现有技术中在金属图案较厚时，会导致形成于绝缘膜层的交叠区域上的其他图案的凸起程度较高，因此容易造成断线，影响产品良率的问题，本发明提供了一种阵列基板制造方法、一种阵列基板和一种显示装置。

30 根据本发明的第一方面，提供一种阵列基板的制造方法，该制造

方法包括步骤：

在基板上形成厚度为 d 的金属图案；

在形成所述金属图案的基板上形成绝缘膜层，使得所述绝缘膜层与
5 所述金属图案存在交叠区域，所述绝缘膜层的交叠区域与所述绝缘膜层的其它区域的高度差的绝对值小于所述厚度 d ；以及

在形成所述绝缘膜层的基板上形成半导体层以及源漏金属层图案。

优选地，所述在基板上形成厚度为 d 的金属图案的步骤包括步骤：

在所述基板上形成沟槽；以及

10 在所述沟槽中形成所述厚度为 d 的金属图案。

优选地，所述在形成所述金属图案的基板上形成绝缘膜层的步骤包括步骤：

在形成所述金属图案的基板上形成初始绝缘膜层，其中所述初始绝缘膜层与
15 所述金属图案的交叠区域在所述初始绝缘膜层上凸起；以及

对所述初始绝缘膜层的交叠区域进行减薄处理以得到所述绝缘膜层，使得所述绝缘膜层的交叠区域与
所述绝缘膜层的其它区域的高度差的绝对值小于所述厚度 d 。

优选地，所述对所述交叠区域进行减薄处理的步骤包括步骤：

20 通过一次构图工艺对所述初始绝缘膜层的交叠区域进行处理，使处理后的所述初始绝缘膜层的交叠区域与处理后的所述初始绝缘膜层的其它区域的高度差的绝对值小于所述厚度 d 。

优选地，所述在形成所述金属图案的基板上形成绝缘膜层的步骤包括步骤：

25 在形成所述金属图案的基板上形成有机膜层，其中所述有机膜层与所述金属图案存在交叠区域，所述有机膜层的交叠区域在所述有机膜层上凸起；

对所述有机膜层的交叠区域进行减薄处理，使处理后的所述有机膜层的交叠区域与处理后的所述有机膜层的其它区域的高度差的绝对
30 值小于所述厚度 d ；以及

在形成所述有机膜层的基板上形成所述绝缘膜层；
或，

在形成所述金属图案的基板上形成绝缘的有机膜层，其中所述有机膜层与所述金属图案存在交叠区域，所述有机膜层的交叠区域在所述有机膜层上凸起；以及

对所述有机膜层的交叠区域进行减薄处理，使处理后的所述有机膜层的交叠区域与处理后的所述有机膜层的其它区域的高度差的绝对值小于所述厚度 d 。

优选地，所述对所述有机膜层的交叠区域进行减薄处理的步骤包括步骤：

对所述有机膜层的交叠区域进行曝光显影处理，使处理后的所述有机膜层的交叠区域与处理后的所述有机膜层的其它区域的高度差的绝对值小于所述厚度 d 。

优选地，所述在形成所述金属图案的基板上形成绝缘膜层的步骤包括步骤：

在形成所述金属图案的基板上形成反向图案，使得所述反向图案设置在所述基板上没有所述金属图案的区域，所述反向图案由绝缘材料形成；以及

在形成所述反向图案的基板上形成所述绝缘膜层，使得所述绝缘膜层与所述金属图案存在交叠区域，所述绝缘膜层的交叠区域与所述绝缘膜层的其它区域的高度差的绝对值小于所述厚度 d 。

优选地，所述绝缘材料为有机材料。

作为一种选择，所述在形成所述反向图案的基板上形成所述绝缘膜层的步骤可以包括步骤：在形成所述反向图案的基板上形成初始绝缘膜层，其中所述初始绝缘膜层与所述金属图案的交叠区域在所述初始绝缘膜层上凸起；以及对所述初始绝缘膜层的交叠区域进行减薄处理以得到所述绝缘膜层，使得所述绝缘膜层的交叠区域与所述绝缘膜层的其它区域的高度差的绝对值小于所述厚度 d 。其中，所述对所述交叠区域进行减薄处理的步骤可以包括步骤：通过一次构图工艺对所述初始绝缘膜层的交叠区域进行处理，使处理后的所述初始绝缘膜层的

交叠区域与处理后的所述初始绝缘膜层的其它区域的高度差的绝对值小于所述厚度 d 。

作为另一种选择，所述在形成所述反向图案的基板上形成绝缘膜层的步骤可以包括步骤：在形成所述反向图案的基板上形成有机膜层，其中所述有机膜层与所述金属图案存在交叠区域，所述有机膜层的交叠区域在所述有机膜层上凸起；对所述有机膜层的交叠区域进行减薄处理，使处理后的所述有机膜层的交叠区域与处理后的所述有机膜层的其它区域的高度差的绝对值小于所述厚度 d ；以及在形成所述有机膜层的基板上形成所述绝缘膜层；或者，在形成所述反向图案的基板上形成绝缘的有机膜层，其中所述有机膜层与所述金属图案存在交叠区域，所述有机膜层的交叠区域在所述有机膜层上凸起；以及对所述有机膜层的交叠区域进行减薄处理，使处理后的所述有机膜层的交叠区域与处理后的所述有机膜层的其它区域的高度差的绝对值小于所述厚度 d 。其中，所述对所述有机膜层的交叠区域进行减薄处理的步骤可以包括步骤：对所述有机膜层的交叠区域进行曝光显影处理，使处理后的所述有机膜层的交叠区域与处理后的所述有机膜层的其它区域的高度差的绝对值小于所述厚度 d 。

优选地，所述金属图案为包括栅线的图案或者包括栅线和公共电极走线的图案。

优选地，所述绝缘膜层的交叠区域与所述绝缘膜层的其它区域的高度差为 0。

根据本发明的第二方面，提供一种阵列基板，该阵列基板包括：
基板；

在所述基板上形成的厚度为 d 的金属图案；

在形成所述金属图案的基板上形成的绝缘膜层，其中，所述绝缘膜层与所述金属图案存在交叠区域，所述绝缘膜层的交叠区域与所述绝缘膜层的其它区域的高度差的绝对值小于所述厚度 d ；以及

在所述绝缘膜层上形成的半导体层以及源漏金属层图案。

优选地，所述阵列基板还包括：在所述基板上形成的沟槽；其中，所述厚度为 d 的金属图案形成在所述沟槽中。

优选地，所述阵列基板还包括：形成在所述绝缘膜层与所述金属图案之间的有机膜层，其中，所述有机膜层与所述金属图案存在交叠区域。

优选地，所述绝缘膜层为有机的绝缘膜层。

5 优选地，所述阵列基板还包括：设置在所述绝缘膜层下方的所述基板上没有形成所述金属图案的区域的反向图案，其中，所述反向图案由绝缘材料形成。

优选地，所述绝缘材料为有机材料。

10 优选地，所述金属图案为包括栅线的图案或包括栅线和公共电极走线的图案。

优选地，所述绝缘膜层的交叠区域与所述绝缘膜层的其它区域的高度差为 0。

根据本发明的第三方面，提供一种显示装置，该显示装置包括第二方面提供的上述各种阵列基板中的一种。

15 本发明提供的技术方案可以获得以下有益效果：

通过使绝缘膜层的交叠区域与绝缘膜层的其它区域的高度差的绝对值小于厚度 d ，继而在形成绝缘膜层的基板上形成的其他图案的起伏相应减小，达到了能够减小绝缘膜层上形成的走线的断线率，提高产品良率的效果。

20 应当理解的是，以上的一般描述和后文的细节描述仅是示例性和解释性的，并不旨在限制本发明。

附图说明

25 此处的附图被并入说明书中并构成本说明书的一部分，示出了符合本发明的实施例，并与说明书一起用于解释本发明的原理。

图 1 是示出根据一示例性实施例的一种阵列基板制造方法的流程图；

图 2 是示出根据另一示例性实施例的一种阵列基板制造方法的流程图；

30 图 3、图 4、图 5、图 6A 和图 6B 是图 2 所示制造方法的各个步骤

所形成的结构的示意图；

图 7 是示出根据另一示例性实施例的一种阵列基板制造方法的流程图；

图 8、图 9、图 10 和图 11 是图 7 所示制造方法的各个步骤所形成的结构的示意图；

图 12 是示出根据另一示例性实施例的一种阵列基板制造方法的流程图；

图 13、图 14A 和图 14B 是图 12 所示制造方法的各个步骤所形成的结构的示意图；

图 15 是示出根据另一示例性实施例的一种阵列基板制造方法的流程图；

图 16、图 17、图 18A 和图 18B 是图 15 所示制造方法的各个步骤所形成的结构的示意图；

图 19A 和图 19B 是本发明各实施例提供的阵列基板与现有技术中的阵列基板的对比示意图；

图 20 是示出根据另一示例性实施例的一种阵列基板制造方法的流程图；

图 21 是示出根据一示例性实施例的一种阵列基板的结构示意图；以及

图 22 是示出根据一示例性实施例的一种显示装置的框图。

通过上述附图，已示出本发明的特定实施例，后文中将有更详细的描述。这些附图和文字描述并不是为了通过任何方式限制本发明构思的范围，而是通过参考特定实施例为本领域技术人员说明本发明的构思。

具体实施方式

这里将详细地对示例性实施例进行说明，其示例表示在附图中。下面的描述涉及附图时，除非另有表示，否则不同附图中的相同附图标记表示相同或相似的要素。以下示例性实施例中所描述的实施方式并不代表与本发明相一致的所有实施方式。相反，它们仅是与如所附

权利要求书中所详述的、本发明的一些方面相一致的装置和方法的例子。

图 1 是示出根据一示例性实施例的一种阵列基板制造方法的流程图。该阵列基板制造方法可以包括如下几个步骤：

5 步骤 101，在基板上形成厚度为 d 的金属图案。

例如，所述金属图案为包括栅线的图案；或者，所述金属图案为包括栅线和公共电极走线的图案。

10 步骤 102，在形成金属图案的基板上形成绝缘膜层，使得绝缘膜层与金属图案存在交叠区域，绝缘膜层的交叠区域与绝缘膜层的其它区域的高度差的绝对值小于厚度 d 。

 步骤 103，在形成绝缘膜层的基板上形成半导体层以及源漏金属层图案。

15 综上所述，本实施例提供的阵列基板制造方法，通过使绝缘膜层的交叠区域与绝缘膜层的其它区域的高度差的绝对值小于厚度 d ，继而在形成绝缘膜层的基板上形成的其他图案的起伏相应减小，达到了能够减小绝缘膜层上形成的走线的断线率，提高产品良率的效果。

 下面根据减小绝缘膜层的交叠区域与绝缘膜层的其它区域的高度差的 4 种方案分 4 个实施例进行说明。

20 图 2 是示出根据另一示例性实施例的一种阵列基板制造方法的流程图。该阵列基板制造方法可以包括如下几个步骤：

 步骤 201，在基板上形成沟槽。

25 在制造阵列基板时，可以首先在基板上形成沟槽，沟槽的图案可以和金属图案相同。其中基板可以为玻璃基板或其它透明基板。图 3 为形成了沟槽 111 的基板 110 的结构示意图。

 需要说明的是，可以通过一次构图工艺在玻璃基板上形成沟槽。需要说明的是，一次构图工艺通常可以包括：涂敷光刻胶，曝光，显影，刻蚀和光刻胶剥离等工序。例如，通过一次构图工艺在基板上形成沟槽的过程可以包括：在基板上涂敷厚度在 $1.0\mu\text{m}$ （微米）至 $3.0\mu\text{m}$ 之间的负性光刻胶，通过栅极掩模板曝光形成栅极图案，然后通过调

30

整刻蚀时间来控制沟槽深度，最后剥离负性光刻胶。

步骤 202，在沟槽中形成厚度为 d 的金属图案。

通过构图工艺在沟槽中形成厚度为 d 的金属图案，例如， $0.1\mu\text{m} \leq d \leq 0.4\mu\text{m}$ ，金属图案可以为包括栅线的图案，或包括栅线和公共电极走线的图案，金属图案可以由 Al（铝）、Cu（铜）或 Mo（钼）等金属构成。需要说明的是，通常该金属图案为只包括栅线的图案，但在需要用金属电极提升公共电极的电阻均一化时，可以设置额外的金属走线，该金属走线称为公共电极走线，与栅线位于同一层，可以通过一次构图工艺形成包括栅线和公共电极走线的图案。

图 4 为在沟槽中形成了金属图案 120 的基板 110 的结构示意图，其中金属图案 120 形成于基板 110 上的沟槽 111（图 4 中未标出）中，图 4 示出的是沟槽的深度等于金属图案 120 的厚度 d 的情况。相对于现有技术，将金属图案形成于沟槽中可以有效地减小基板上形成有金属图案的区域与其它未形成金属图案的区域的高度差，从而减小后续形成的半导体层以及源漏金属层图案在绝缘膜层的交叠区域与绝缘膜层的其它区域的高度差。

需要说明的是，本发明各个实施例中的高度如无特别说明，都是以基板的下表面为基准的。

步骤 203，在形成金属图案的基板上形成绝缘膜层，使得绝缘膜层与金属图案存在交叠区域，绝缘膜层的交叠区域与绝缘膜层的其它区域的高度差的绝对值小于厚度 d 。

在基板上形成金属图案之后，可以在该基板上形成绝缘膜层，绝缘膜层可以由 SiN_x （富硅氮化硅）、 SiO_2 （二氧化硅）或 Al_2O_3 （三氧化二铝）等材质构成。图 5 为在金属图案 120 上形成了绝缘膜层 130 的基板 110 的结构示意图。

需要说明的是，在形成绝缘膜层之后，其上表面的形状通常取决于该绝缘膜层下表面所覆盖的表面的形状。因此，相对于现有技术，金属图案形成于基板上的沟槽中，减小了基板上形成有金属图案的区域与其它未形成金属图案的区域的高度差，继而绝缘膜层的交叠区域与绝缘膜层的其它区域的高度差的绝对值小于厚度 d 。

需要说明的是，在沟槽的深度等于厚度 d 时，可以认为绝缘膜层的交叠区域与绝缘膜层的其它区域的高度差为 0，这种情况可以基本消除金属图案对源漏极的影响。

步骤 204，在形成绝缘膜层的基板上形成半导体层以及源漏金属层图案。

在基板上形成了绝缘膜层后，可以在该基板上形成半导体层以及源漏金属层图案，之后再对基板进行其它的后续处理，后续处理具体可以根据需要来参考现有技术，在此不进行详细描述。由于绝缘膜层的交叠区域与绝缘膜层的其它区域的高度差的绝对值小于厚度 d ，因而绝缘膜层 130 上的凸起较小，因而本发明实施例可以减小源漏极的凸起以及数据线的凸起。基板上源漏极的结构如图 6A 所示。图 6A 为在绝缘膜层 130 上形成了包括半导体层 A 以及源漏极的图案 B 的基板 110 的结构示意图，其中金属图案为栅线 121；基板上数据线的结构如图 6B 所示。图 6B 为在绝缘膜层 130 上形成了数据线 140 的基板 110 的结构示意图，金属图案 120 形成于基板 110 上。

综上所述，本实施例提供的阵列基板制造方法，通过使绝缘膜层的交叠区域与绝缘膜层的其它区域的高度差的绝对值小于厚度 d ，继而在形成绝缘膜层的基板上形成的其他图案的起伏相应减小，达到了能够减小绝缘膜层上形成的走线的断线率，提高产品良率的效果。

图 7 是示出根据另一示例性实施例的一种阵列基板制造方法的流程图。该阵列基板制造方法可以包括如下几个步骤：

步骤 701，在基板上形成厚度为 d 的金属图案。

在制造阵列基板时，可以首先通过一次构图工艺在基板上形成厚度为 d 的金属图案，例如， $0.1\mu\text{m} \leq d \leq 0.4\mu\text{m}$ 。金属图案可以为栅线的图案，或栅线和公共电极走线的图案，金属图案可以由 Al、Cu 或 Mo 等金属构成。

需要说明的是，通常该金属图案只包括栅线的图案，但在需要用金属电极提升公共电极的电阻均一化时，可以设置额外的金属走线，该金属走线称为公共电极走线，与栅线位于同一层，可以通过一次构

图工艺形成栅线和公共电极走线的图案。其中基板可以为玻璃基板或其它透明基板。图 8 为形成了厚度为 d 的金属图案 120 的基板 110 的结构示意图。

步骤 702, 在形成金属图案的基板上形成初始绝缘膜层, 其中初始绝缘膜层与金属图案的交叠区域在初始绝缘膜层上凸起。

在基板上形成金属图案之后, 可以在基板上再形成一层初始绝缘膜层, 初始绝缘膜层与金属图案的交叠区域在初始绝缘膜层上凸起, 初始绝缘膜层可以由 SiN_x 、 SiO_2 或 Al_2O_3 等材质构成。图 9 为形成了初始绝缘膜层 131 的基板 110 的结构示意图, 其中金属图案 120 形成于基板 110 上。

步骤 703, 对初始绝缘膜层的交叠区域进行减薄处理以得到绝缘膜层, 使得绝缘膜层的交叠区域与绝缘膜层的其它区域的高度差的绝对值小于厚度 d 。

在基板上形成初始绝缘膜层之后, 可以对初始绝缘膜层的交叠区域进行减薄处理以得到绝缘膜层, 使绝缘膜层的交叠区域与绝缘膜层的其它区域的高度差的绝对值小于厚度 d 。图 10 为对初始绝缘膜层的交叠区域进行减薄处理得到绝缘膜层 130 后的基板 110 的结构示意图, 其中金属图案 120 形成于基板 110 上。

例如, 可以通过一次构图工艺对初始绝缘膜层的交叠区域进行处理, 使处理后的初始绝缘膜层的交叠区域与初始绝缘膜层的其它区域的高度差的绝对值小于厚度 d 。具体地, 可以通过控制刻蚀时间来控制初始绝缘膜层的交叠区域与初始绝缘膜层的其它区域的高度差, 优选地, 在初始绝缘膜层的厚度大于厚度 d 时, 可以使处理后得到的绝缘膜层的交叠区域与绝缘膜层的其它区域的高度差为 0。

需要说明的是, 为了防止对薄膜晶体管 (Thin Film Transistor, TFT) 结构性能的破坏, 通常不对源漏极与初始绝缘膜层的交叠区域进行减薄处理。因此, 本实施例中的初始绝缘膜层的交叠区域通常指的是数据线的结构与初始绝缘膜层的交叠区域。

步骤 704, 在形成绝缘膜层的基板上形成半导体层以及源漏金属层图案。

在基板上形成了绝缘膜层后，可以在该基板上形成半导体层以及源漏金属层图案，之后再对基板进行其它的后续处理，后续处理具体可以根据需要来参考现有技术，在此不进行详细描述。基板上数据线的结构如图 11 所示。图 11 为在绝缘膜层 130 上形成了数据线 140 的基板 110 的结构示意图，其中金属图案 120 形成于基板 110 上。

需要说明的是，图 7 所示的阵列基板制造方法通常应用于减小数据线的凸起，而在需要减小源漏极的凸起时，为了保证 TFT 结构的性能，通常采用本发明图 2、图 12 或图 15 所示实施例提供的阵列基板制造方法。

综上所述，本实施例提供的阵列基板制造方法，通过使绝缘膜层的交叠区域与绝缘膜层的其它区域的高度差的绝对值小于厚度 d ，继而在形成绝缘膜层的基板上形成的其他图案的起伏相应减小，达到了能够减小绝缘膜层上形成的走线的断线率，提高产品良率的效果。

图 12 是示出根据另一示例性实施例的一种阵列基板制造方法的流程图。该阵列基板制造方法可以包括如下几个步骤：

步骤 1201，在基板上形成厚度为 d 的金属图案。

在制造阵列基板时，可以首先通过一次构图工艺在基板上形成厚度为 d 的金属图案，例如， $0.1\mu\text{m} \leq d \leq 0.4\mu\text{m}$ 。金属图案可以为栅线的图案，或栅线和公共电极走线的图案，金属图案可以由 Al、Cu 或 Mo 等金属构成。其中基板可以为玻璃基板或其它透明基板。步骤 1201 结束后基板 110 的结构可以参照图 8。

需要说明的是，通常该金属图案只包括栅线的图案，但在需要用金属电极提升公共电极的电阻均一化时，可以设置额外的金属走线，该金属走线称为公共电极走线，与栅线位于同一层，可以通过一次构图工艺形成栅线和公共电极走线的图案。

步骤 1202，在形成金属图案的基板上形成有机膜层，其中有机膜层与金属图案存在交叠区域，有机膜层的交叠区域在有机膜层上凸起。

在基板上形成金属图案之后，可以在基板上再形成一层有机膜层，有机膜层与金属图案的交叠区域（该交叠区域指金属图案在有机膜层

上的投影区域，该交叠区域也称有机膜层的交叠区域）在有机膜层上凸起，有机膜层可以由能进行光刻的绝缘有机膜材料构成。步骤 1202 结束后基板 110 的结构可以参照图 9，此时，图 9 中的初始绝缘膜层 131 被替换为结构相同的有机膜层。

5 步骤 1203，对有机膜层的交叠区域进行减薄处理，使处理后的有机膜层的交叠区域与有机膜层的其它区域的高度差的绝对值小于厚度 d 。

 在基板上形成有机膜层之后，可以对处理后的交叠区域进行减薄处理，使处理后的有机膜层的交叠区域与有机膜层的其它区域的高度差的绝对值小于厚度 d 。本步骤结束后阵列基板的结构可以参照图 10，
10 此时，图 10 中的绝缘膜层 130 被替换为结构相同的有机膜层。

 此外，由于有机膜层能够进行光刻，因而除了可以通过刻蚀有机膜层的交叠区域来进行减薄处理外，还可以对有机膜层的交叠区域进行曝光显影处理，使处理后的有机膜层的交叠区域与有机膜层的其它区域的高度差的绝对值小于厚度 d 。具体地，可以通过控制曝光时间来控制有机膜层的交叠区域与有机膜层的其它区域的高度差。优选地，
15 在有机膜层的厚度大于厚度 d 时，可以使有机膜层的交叠区域与有机膜层的其它区域的高度差为 0。

 步骤 1204，在形成有机膜层的基板上形成绝缘膜层。

20 在对有机膜层进行减薄处理之后，可以在基板上形成绝缘膜层，由于处理后的有机膜层的交叠区域与有机膜层的其它区域的高度差的绝对值小于厚度 d ，因而在有机膜层上形成的绝缘膜层与金属图案的交叠区域与绝缘膜层的其它区域的高度差的绝对值也小于厚度 d 。图 13 为在有机膜层 150 上形成了绝缘膜层 130 的基板 110 的结构示意图，
25 其中金属图案 120 形成于基板 110 上。

 步骤 1205，在形成绝缘膜层的基板上形成半导体层以及源漏金属层图案。

 在基板上形成了绝缘膜层后，可以在该基板上形成半导体层以及源漏金属层图案，之后再对基板进行其它的后续处理，后续处理具体
30 可以根据需要来参考现有技术，在此不进行详细描述。基板上源漏极

的结构如图 14A 所示。图 14A 为在绝缘膜层 130 上形成了包括半导体层 A 以及源漏极的图案 B 的基板 110 的结构示意图，其中金属图案为栅线 121。基板上数据线的结构如图 14B 所示。图 14B 为在绝缘膜层 130 上形成了数据线 140 的基板 110 的结构示意图，其中金属图案 120 形成于基板 110 上。

其中，步骤 1202 中，如果形成例如绝缘有机膜层，可以省略步骤 1204，即绝缘有机膜层作为绝缘膜层，在形成绝缘有机膜层的基板上形成半导体层以及源漏金属层图案。

综上所述，本实施例提供的阵列基板制造方法，通过使绝缘膜层的交叠区域与绝缘膜层的其它区域的高度差的绝对值小于厚度 d ，继而在形成绝缘膜层的基板上形成的其他图案的起伏相应减小，达到了能够减小绝缘膜层上形成的走线的断线率，提高产品良率的效果。

图 15 是示出根据另一示例性实施例的一种阵列基板制造方法的流程图。该阵列基板制造方法可以包括如下几个步骤：

步骤 1501，在基板上形成厚度为 d 的金属图案。

在制造阵列基板时，可以首先通过一次构图工艺在基板上形成厚度为 d 的金属图案，例如， $0.1\mu m \leq d \leq 0.4\mu m$ 。金属图案可以为包括栅线的图案，或包括栅线和公共电极走线的图案，金属图案可以由 Al、Cu 或 Mo 等金属构成。其中基板可以为玻璃基板或其它透明基板。步骤 1501 结束后基板 110 的结构可以参照图 8。

需要说明的是，通常该金属图案只包括栅线的图案，但在需要用金属电极提升公共电极的电阻均一化时，可以设置额外的金属走线，该金属走线称为公共电极走线，与栅线位于同一层，可以通过一次构图工艺形成栅线和公共电极走线的图案。

步骤 1502，在形成金属图案的基板上形成反向图案，使得反向图案设置在基板上没有金属图案的区域，反向图案由绝缘材料形成。

在基板上形成金属图案之后，可以用绝缘材料完全覆盖该基板上没有形成金属图案的区域，使得所形成的图案与金属图案相反且完全互补，可以将如此形成的图案称为与金属图案相反的反向图案，其中，

反向图案设置在基板上没有金属图案的区域，并且由绝缘材料形成。优选地，绝缘材料为有机膜，或，绝缘膜。图 16 为在包括金属图案 120 上形成了反向图案 160 的基板 110 的结构示意图，图 16 示出的是反向图案 160 的厚度与栅线的图案（即，金属图案 120）的厚度相同的情况。

5 需要说明的是，可以通过构图工艺来形成反向图案，并使反向图案的厚度与金属图案 120 的厚度相等，即可以使基板上有金属图案 120 的区域与其它区域的高度差为 0。

10 步骤 1503，在形成反向图案的基板上形成绝缘膜层，使得绝缘膜层与金属图案存在交叠区域，绝缘膜层的交叠区域与绝缘膜层的其它区域的高度差的绝对值小于厚度 d 。

在基板上形成反向图案后，可以在该基板上形成绝缘膜层，可以通过控制反向图案的高度使绝缘膜层的交叠区域与绝缘膜层的其它区域的高度差的绝对值小于厚度 d 。优选地，当反向图案的高度与金属图案的高度相等时，可以认为绝缘膜层的交叠区域与绝缘膜层的其它区域的高度差为 0。图 17 为在反向图案 160 上形成了绝缘膜层 130 的基板 110 的结构示意图，其中金属图案 120 形成于基板 110 上。

步骤 1504，在形成绝缘膜层的基板上形成半导体层以及源漏金属层图案。

20 在基板上形成了绝缘膜层后，可以在该基板上形成半导体层以及源漏金属层图案，之后再对基板进行其它的后续处理，后续处理具体可以根据需要来参考现有技术，在此不进行详细描述。基板上源漏极的结构如图 18A 所示。图 18A 为在绝缘膜层 130 上形成了包括半导体层 A 以及源漏极的图案 B 的基板 110 的结构示意图，其中形成于基板 110 上的金属图案为栅线的图案 121；基板上数据线的结构如图 11 所示。图 11 为在绝缘膜层 130 上形成了数据线 140 的基板 110 的结构示意图，其中金属图案 120 形成于基板 110 上。

25 综上所述，本实施例提供的阵列基板制造方法，通过使绝缘膜层的交叠区域与绝缘膜层的其它区域的高度差的绝对值小于厚度 d ，继而在形成绝缘膜层的基板上形成的其他图案的起伏相应减小，达到了能够减小绝缘膜层上形成的走线的断线率，提高产品良率的效果。

需要补充说明的是，图 19A 为现有技术中的阵列基板的源漏极的结构与本发明实施例提供的阵列基板中源漏极结构的对比示意图。其中，结构 1 是通过图 2 所示的阵列基板制造方法得到的，结构 2 是通过图 12 所示的阵列基板制造方法得到的，结构 3 是通过图 15 所示的阵列基板制造方法得到的。类似地，图 19B 为现有技术中的阵列基板的数据线的结构与本发明实施例提供的阵列基板中数据线结构的对比示意图，其中，结构 1 是通过图 2 所示的阵列基板制造方法得到的，结构 2 是通过图 7 所示的阵列基板制造方法得到的，结构 3 是通过图 12 所示的阵列基板制造方法得到的，结构 4 是通过图 15 所示的阵列基板制造方法得到的。

由图 19A 和图 19B 中可以清晰的看出本发明实施例提供的阵列基板制造方法显著地减小了源漏极与数据线的图案的交叠区域的凸起程度。

此外，图 2、图 7、图 12 和图 15 所提供的 4 种方案之间还可以结合实施。例如，图 20 为示出根据另一示例性实施例的一种阵列基板制造方法的流程图。该阵列基板制造方法可以包括如下几个步骤：

步骤 2001，在基板上形成沟槽。

如图 3 所示，在制造阵列基板时，可以首先在基板上形成沟槽，沟槽的图案可以和金属图案相同。其中基板可以为玻璃基板或其它透明基板。

步骤 2002，在沟槽中形成厚度为 d 的金属图案。

如图 4 所示，通过构图工艺在沟槽中形成厚度为 d 的金属图案，例如， $0.1\mu\text{m} \leq d \leq 0.4\mu\text{m}$ 。金属图案可以为包括栅线的图案，或包括栅线和公共电极走线的图案，金属图案可以由 Al、Cu 或 Mo 等金属构成。

需要说明的是，在沟槽的深度等于厚度 d 时，可以认为随后形成的绝缘膜层的交叠区域与绝缘膜层的其它区域的高度差为 0，这种情况可以基本消除金属图案对源漏极的影响。

步骤 2003，在形成金属图案的基板上形成反向图案，使得反向图案设置在基板上没有金属图案的区域，反向图案由绝缘材料形成。

在形成于沟槽中的金属图案的高度仍然高于其它没有金属图案的区域时，可以在基板上形成与金属图案相反的反向图案，反向图案设置在基板上没有金属图案的区域。其中，绝缘材料可以为有机材料。

5 步骤 2004，在形成反向图案的基板上形成初始绝缘膜层，其中初始绝缘膜层与金属图案的交叠区域在初始绝缘膜层上凸起。

在金属图案的高度仍高于反向图案时，可以在形成反向图案的基板上形成初始绝缘膜层，初始绝缘膜层与金属图案（例如，栅线）的交叠区域在初始绝缘膜层上凸起。

10 步骤 2005，对初始绝缘膜层的交叠区域进行减薄处理以得到绝缘膜层，使得绝缘膜层的交叠区域与绝缘膜层的其它区域的高度差的绝对值小于厚度 d 。

在基板上形成初始绝缘膜层之后，可以对初始绝缘膜层的交叠区域进行减薄处理以得到绝缘膜层，使绝缘膜层的交叠区域与绝缘膜层的其它区域的高度差的绝对值小于厚度 d 。

15 例如，可以通过一次构图工艺对初始绝缘膜层的交叠区域进行处理，使处理后得到的绝缘膜层的交叠区域与绝缘膜层的其它区域的高度差的绝对值小于厚度 d 。具体地，可以通过控制刻蚀时间来控制初始绝缘膜层的交叠区域与初始绝缘膜层的其它区域的高度差。优选地，在初始绝缘膜层的厚度大于厚度 d 时，可以使处理后得到的绝缘膜层的交叠区域与绝缘膜层的其它区域的高度差为 0。

20 步骤 2006，在形成绝缘膜层的基板上形成半导体层以及源漏金属层图案。

25 在基板上形成了绝缘膜层后，可以在该基板上形成半导体层以及源漏金属层图案，之后再对基板进行其它的后续处理，后续处理具体可以根据需要来参考现有技术，在此不进行详细描述。

需要说明的是，本方法实施例仅是示例性的，图 2、图 7、图 12 和图 15 所提供的阵列基板制造方法还可以有其它相结合的技术方案，本发明不作出限制。

30 综上所述，本实施例提供的阵列基板制造方法，通过使绝缘膜层的交叠区域与绝缘膜层的其它区域的高度差的绝对值小于厚度 d ，继而

在形成绝缘膜层的基板上形成的其他图案的起伏相应减小，达到了能够减小绝缘膜层上形成的走线的断线率，提高产品良率的效果。

下述为本发明产品实施例，可以为利用本发明方法实施例制造出的产品。对于本发明产品实施例中未披露的细节，请参照本发明方法实施例。

图 21 是示出根据一示例性实施例的一种阵列基板的结构示意图。该阵列基板可以包括：

基板 110；

在基板 110 上形成的厚度为 d 的金属图案 120，金属图案 120 可以为包括栅线的图案，或包括栅线和公共电极走线的图案；

在形成有金属图案 120 的基板 110 上形成的绝缘膜层 130，其中，绝缘膜层 130 与金属图案 120 存在交叠区域，绝缘膜层 130 的交叠区域与绝缘膜层 130 的其它区域的高度差 x 的绝对值小于厚度 d ；以及

在绝缘膜层 130 上形成的半导体层 A 以及源漏金属层图案 C。

优选地，在图 6A 和图 6B 示出的另一种阵列基板的结构中，基板 110 上形成有沟槽。

沟槽中形成有厚度为 d 的金属图案 120，形成有金属图案 120 的基板 110 上形成有绝缘膜层 130。图 6A 和图 6B 中示出的情况为沟槽的深度等于金属图案 120 的厚度的情况，此时绝缘膜层 130 的交叠区域与绝缘膜层 130 的其它区域的高度差为 0。

优选地，在图 11 示出的另一种阵列基板的结构中，绝缘膜层 130 是对形成有金属图案 120 的基板 110 上形成的初始绝缘膜层与金属图案 120 的交叠区域进行减薄处理后得到的。优选地，绝缘膜层 130 是对初始绝缘膜层的交叠区域进行一次构图工艺处理后得到的。

优选地，在图 14A 和图 14B 示出的另一种阵列基板的结构中，绝缘膜层 130 与形成金属图案 120 的基板 110 之间形成有有机膜层 150，有机膜层 150 与金属图案 120 存在交叠区域；绝缘膜层 130 是在对有机膜层 150 的交叠区域进行减薄处理后在有机膜层 150 上生成的。优选地，绝缘膜层 130 是在对有机膜层 150 的交叠区域进行曝光显影处

理后在有机膜层 150 上生成的。

优选地，在图 18A 和图 18B 示出的另一种阵列基板的结构中，形成有金属图案 120 的基板 110 上形成有反向图案 160，反向图案 160 设置在基板 110 上没有金属图案 120 的区域，反向图案 160 可以由绝缘材料形成；形成有反向图案 160 的基板 110 上形成有绝缘膜层 130，绝缘膜层 130 与金属图案 120 存在交叠区域，绝缘膜层 130 的交叠区域与绝缘膜层 130 的其它区域的高度差（图 18A 和图 18B 中未标出）的绝对值小于厚度 d （图 18A 和图 18B 中未标出）。优选地，绝缘材料可以为有机材料。

优选地，在图 21、图 6A、图 6B、图 11、图 14A、图 14B、图 18A 和图 18B 所示的阵列基板的任一种中，绝缘膜层 130 与金属图案 120 的交叠区域与绝缘膜层 130 的其它区域的高度差为 0。

需要说明的是，图 21、图 6A、图 6B、图 11、图 14A、图 14B、图 18A 和图 18B 所示的阵列基板还可以包括其它阵列基板必要的结构，具体可以根据需要来参考现有技术，在此不进行详细描述。

综上所述，本实施例提供的阵列基板，通过使绝缘膜层的交叠区域与绝缘膜层的其它区域的高度差的绝对值小于金属图案的厚度 d ，继而在形成绝缘膜层的基板上形成的其他图案的起伏相应减小，达到了能够减小绝缘膜层上形成的走线的断线率，提高产品良率的效果。

图 22 示出了根据一示例性实施例的一种显示装置 2200，该显示装置 2200 可以包括图 21、图 6A、图 6B、图 11、图 14A、图 14B、图 18A 和图 18B 所示的阵列基板 2210 中的任一种。

以上所述的各实施例仅为本发明的较佳实施例，并不用以限制本发明。凡在本发明的精神和原则之内，所作的任何修改、等同替换、改进等，均应包含在本发明的保护范围之内。

权 利 要 求 书

1、一种阵列基板的制造方法，包括步骤：

在基板上形成厚度为 d 的金属图案；

5 在形成所述金属图案的基板上形成绝缘膜层，使得所述绝缘膜层与所述金属图案存在交叠区域，所述绝缘膜层的交叠区域与所述绝缘膜层的其它区域的高度差的绝对值小于所述厚度 d ；以及

在形成所述绝缘膜层的基板上形成半导体层以及源漏金属层图案。

10 2、根据权利要求 1 所述的制造方法，其中，所述在基板上形成厚度为 d 的金属图案的步骤包括步骤：

在所述基板上形成沟槽；以及

在所述沟槽中形成所述厚度为 d 的金属图案。

15 3、根据权利要求 1 或 2 所述的制造方法，其中，所述在形成所述金属图案的基板上形成绝缘膜层的步骤包括步骤：

在形成所述金属图案的基板上形成初始绝缘膜层，其中所述初始绝缘膜层与所述金属图案的交叠区域在所述初始绝缘膜层上凸起；以及

20 对所述初始绝缘膜层的交叠区域进行减薄处理以得到所述绝缘膜层，使得所述绝缘膜层的交叠区域与所述绝缘膜层的其它区域的高度差的绝对值小于所述厚度 d 。

4、根据权利要求 3 所述的制造方法，其中，所述对所述交叠区域进行减薄处理的步骤包括步骤：

25 通过一次构图工艺对所述初始绝缘膜层的交叠区域进行处理，使处理后的所述初始绝缘膜层的交叠区域与处理后的所述初始绝缘膜层的其它区域的高度差的绝对值小于所述厚度 d 。

30 5、根据权利要求 1 或 2 所述的制造方法，其中，所述在形成所述金属图案的基板上形成绝缘膜层的步骤包括步骤：

在形成所述金属图案的基板上形成有机膜层，其中所述有机膜层与所述金属图案存在交叠区域，所述有机膜层的交叠区域在所述有机膜层上凸起；

对所述有机膜层的交叠区域进行减薄处理，使处理后的所述有机膜层的交叠区域与处理后的所述有机膜层的其它区域的高度差的绝对值小于所述厚度 d ；以及

在形成所述有机膜层的基板上形成所述绝缘膜层；
或，

在形成所述金属图案的基板上形成绝缘的有机膜层，其中所述有机膜层与所述金属图案存在交叠区域，所述有机膜层的交叠区域在所述有机膜层上凸起；以及

对所述有机膜层的交叠区域进行减薄处理，使处理后的所述有机膜层的交叠区域与处理后的所述有机膜层的其它区域的高度差的绝对值小于所述厚度 d 。

6、根据权利要求 5 所述的制造方法，其中，所述对所述有机膜层的交叠区域进行减薄处理的步骤包括步骤：

对所述有机膜层的交叠区域进行曝光显影处理，使处理后的所述有机膜层的交叠区域与处理后的所述有机膜层的其它区域的高度差的绝对值小于所述厚度 d 。

7、根据权利要求 1 或 2 所述的制造方法，其中，所述在形成所述金属图案的基板上形成绝缘膜层的步骤包括步骤：

在形成所述金属图案的基板上形成反向图案，使得所述反向图案设置在所述基板上没有所述金属图案的区域，所述反向图案由绝缘材料形成；以及

在形成所述反向图案的基板上形成所述绝缘膜层，使得所述绝缘膜层与所述金属图案存在交叠区域，所述绝缘膜层的交叠区域与所述绝缘膜层的其它区域的高度差的绝对值小于所述厚度 d 。

8、根据权利要求 7 所述的制造方法，其中，
所述绝缘材料为有机材料。

9. 根据权利要求 7 或 8 所述的制造方法，其中，所述在形成所述反向图案的基板上形成所述绝缘膜层的步骤包括步骤：

5 在形成所述反向图案的基板上形成初始绝缘膜层，其中所述初始绝缘膜层与所述金属图案的交叠区域在所述初始绝缘膜层上凸起；以及

对所述初始绝缘膜层的交叠区域进行减薄处理以得到所述绝缘膜层，使得所述绝缘膜层的交叠区域与所述绝缘膜层的其它区域的高度差的绝对值小于所述厚度 d 。

10 10. 根据权利要求 9 所述的制造方法，其中，所述对所述交叠区域进行减薄处理的步骤包括步骤：

通过一次构图工艺对所述初始绝缘膜层的交叠区域进行处理，使处理后的所述初始绝缘膜层的交叠区域与处理后的所述初始绝缘膜层的其它区域的高度差的绝对值小于所述厚度 d 。

15

11、根据权利要求 7 或 8 所述的制造方法，其中，所述在形成所述反向图案的基板上形成绝缘膜层的步骤包括步骤：

在形成所述反向图案的基板上形成有机膜层，其中所述有机膜层与所述金属图案存在交叠区域，所述有机膜层的交叠区域在所述有机膜层上凸起；

20 对所述有机膜层的交叠区域进行减薄处理，使处理后的所述有机膜层的交叠区域与处理后的所述有机膜层的其它区域的高度差的绝对值小于所述厚度 d ；以及

在形成所述有机膜层的基板上形成所述绝缘膜层；

或，

25 在形成所述反向图案的基板上形成绝缘的有机膜层，其中所述有机膜层与所述金属图案存在交叠区域，所述有机膜层的交叠区域在所述有机膜层上凸起；以及

对所述有机膜层的交叠区域进行减薄处理，使处理后的所述有机膜层的交叠区域与处理后的所述有机膜层的其它区域的高度差的绝对值小于所述厚度 d 。

30

12、根据权利要求 11 所述的制造方法，其中，所述对所述有机膜层的交叠区域进行减薄处理的步骤包括步骤：

5 对所述有机膜层的交叠区域进行曝光显影处理，使处理后的所述有机膜层的交叠区域与处理后的所述有机膜层的其它区域的高度差的绝对值小于所述厚度 d 。

13、根据权利要求 1 至 12 中任一项所述的制造方法，其中，所述金属图案为包括栅线的图案或包括栅线和公共电极走线的图案。

10

14、根据权利要求 1 至 13 中任一项所述的制造方法，其中，所述绝缘膜层的交叠区域与所述绝缘膜层的其它区域的高度差为 0。

15、一种阵列基板，包括：

15 基板；

在所述基板上形成的厚度为 d 的金属图案；

在形成所述金属图案的基板上形成的绝缘膜层，其中，所述绝缘膜层与所述金属图案存在交叠区域，所述绝缘膜层的交叠区域与所述绝缘膜层的其它区域的高度差的绝对值小于所述厚度 d ；以及

20 在所述绝缘膜层上形成的半导体层以及源漏金属层图案。

16、根据权利要求 15 所述的阵列基板，还包括：在所述基板上形成的沟槽；其中，所述厚度为 d 的金属图案设置在所述沟槽中。

25 17、根据权利要求 15 或 16 所述的阵列基板，还包括：形成在所述绝缘膜层与所述金属图案之间的有机膜层；其中，所述有机膜层与所述金属图案存在交叠区域。

30 18、根据权利要求 15 或 16 所述的阵列基板，其中所述绝缘膜层为有机的绝缘膜层。

19、根据权利要求 15 或 16 所述的阵列基板，还包括：设置在所述绝缘膜层下方的所述基板上没有形成所述金属图案的区域的反向图案，其中，所述反向图案由绝缘材料形成。

5

20、根据权利要求 19 所述的阵列基板，其中，
所述绝缘材料为有机材料。

10

21、根据权利要求 15 至 20 中任一项所述的阵列基板，其中，
所述金属图案为包括栅线的图案或包括栅线和公共电极走线的图案。

22、根据权利要求 15 至 21 中任一项所述的阵列基板，其中，
所述绝缘膜层的交叠区域与所述绝缘膜层的其它区域的高度差为 0。

15

23、一种显示装置，包括权利要求 15 至 22 中任一项所述的阵列基板。

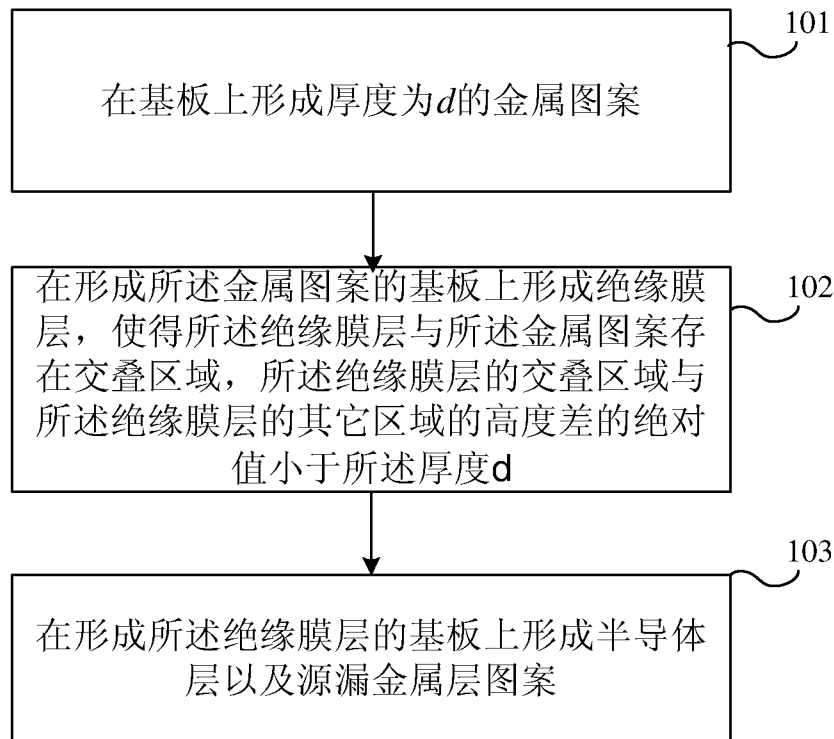


图 1

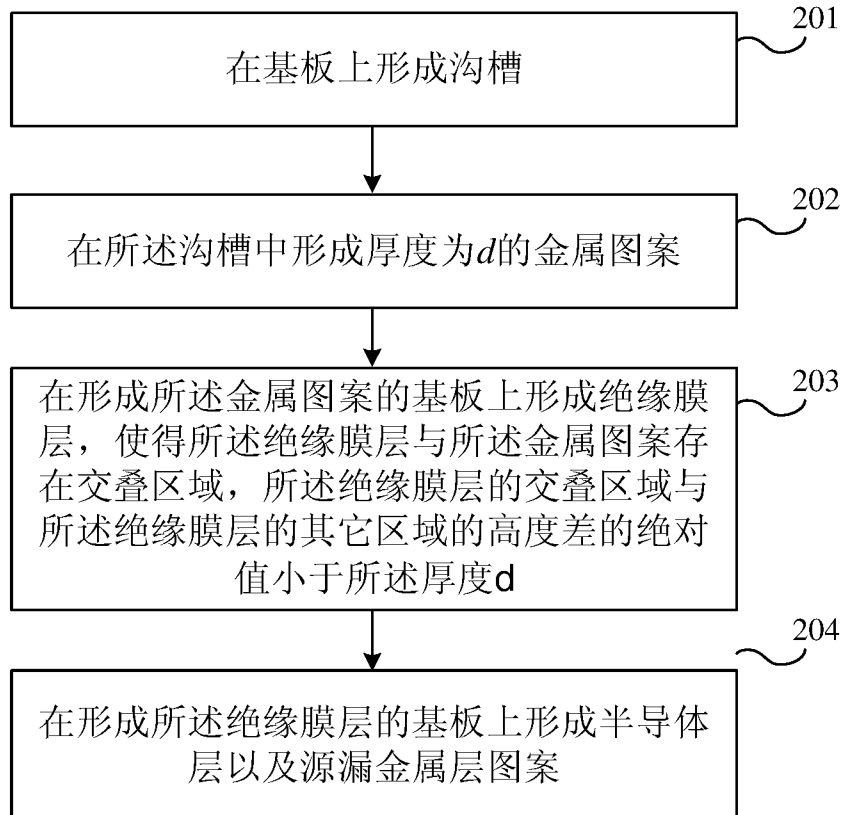


图 2

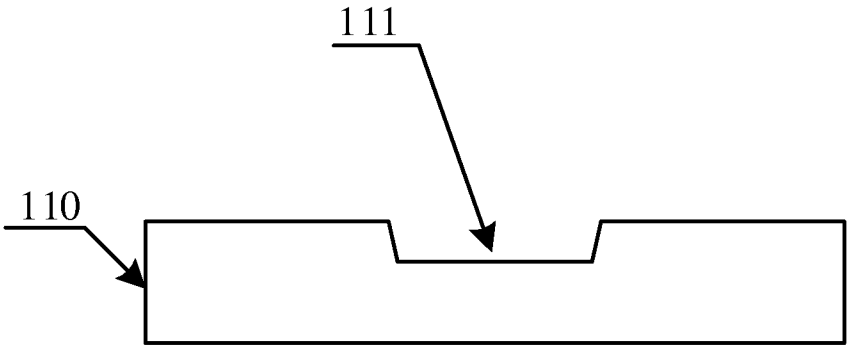


图 3

5

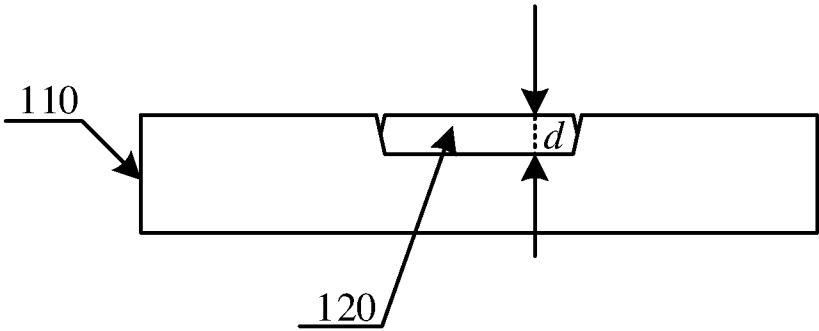


图 4

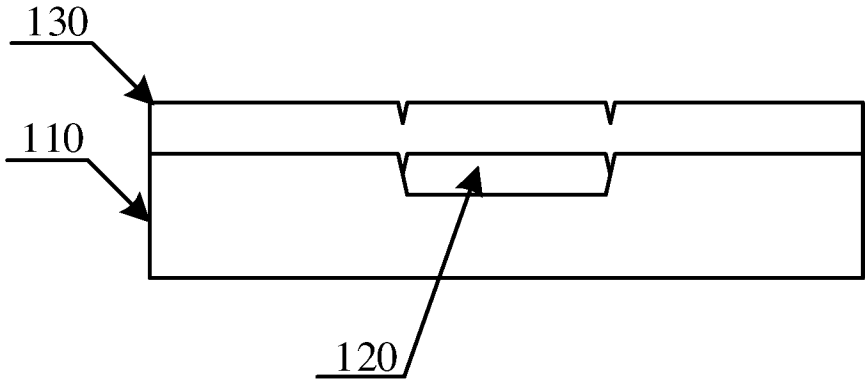


图 5

10

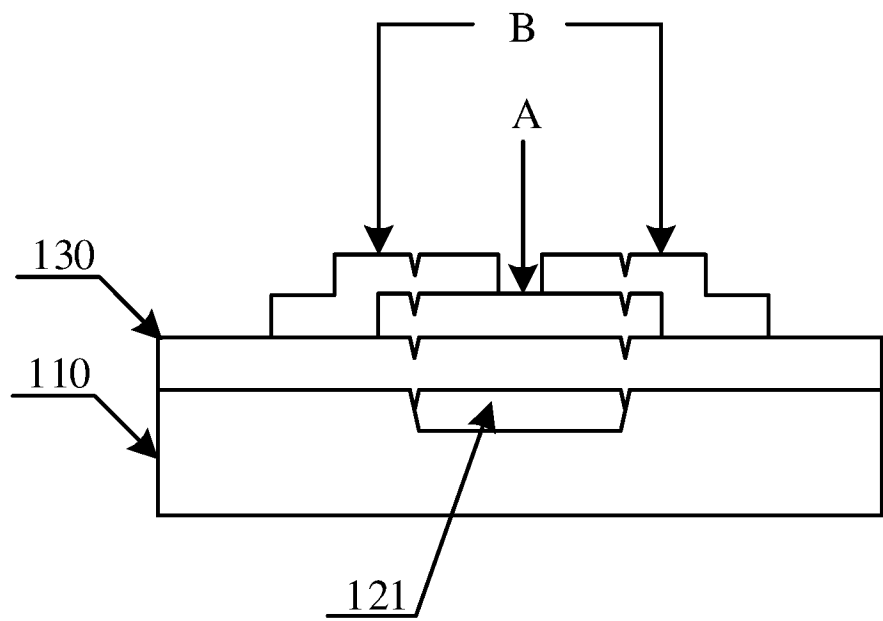


图 6A

5

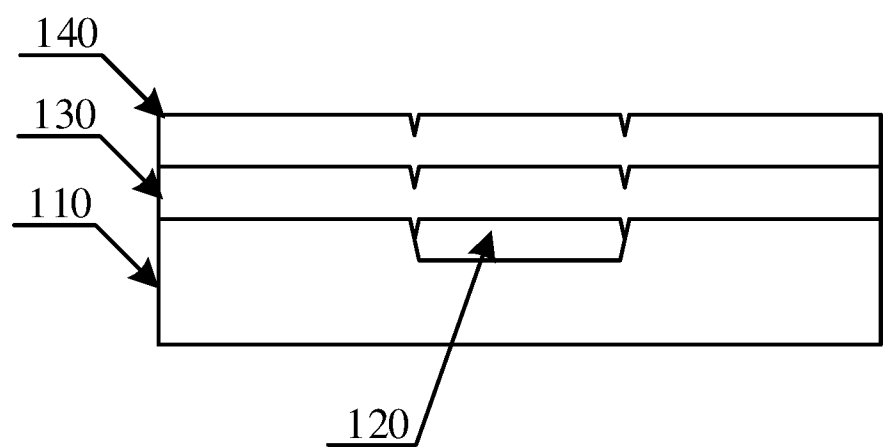


图 6B

10

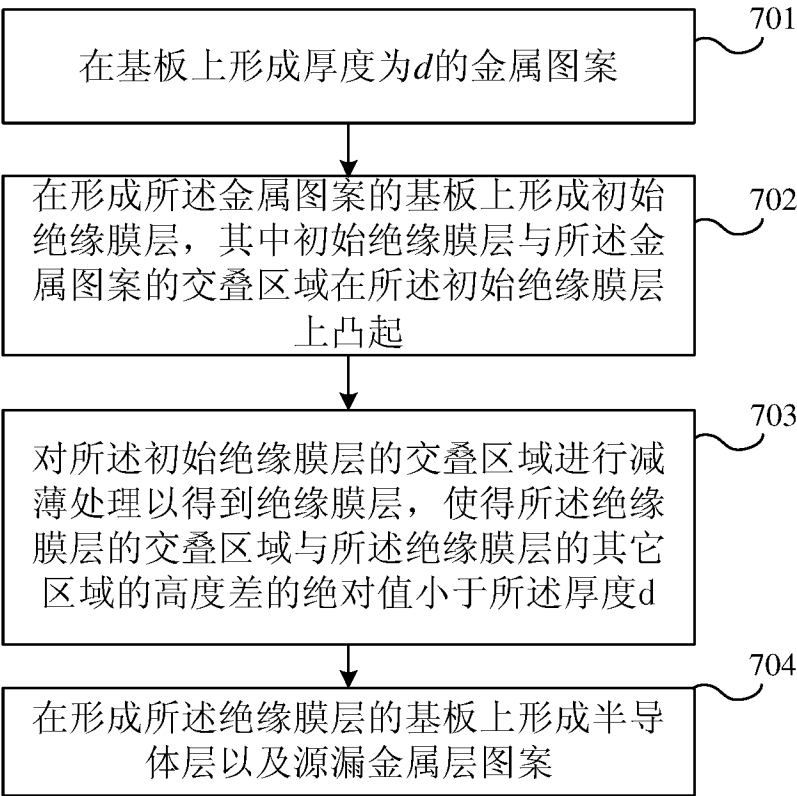


图 7

5

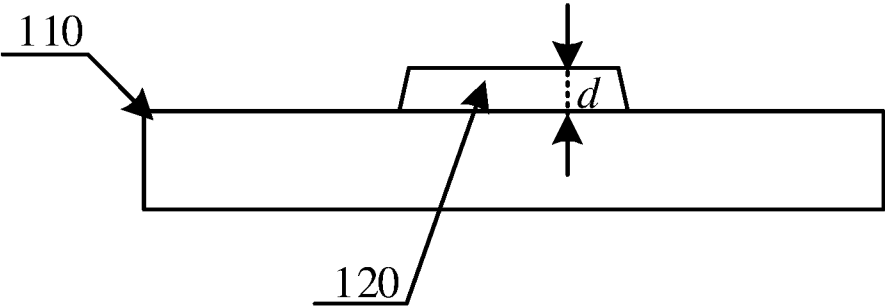


图 8

10

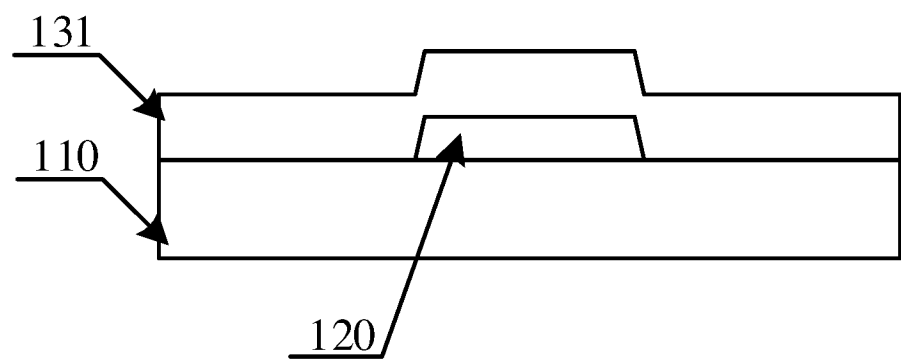


图 9

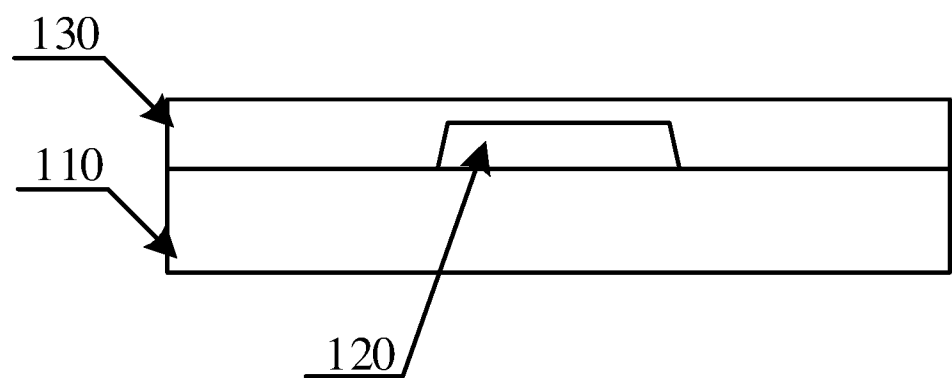


图 10

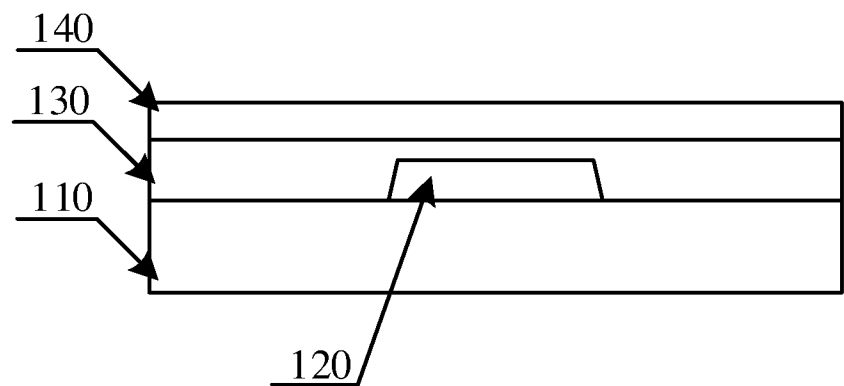


图 11

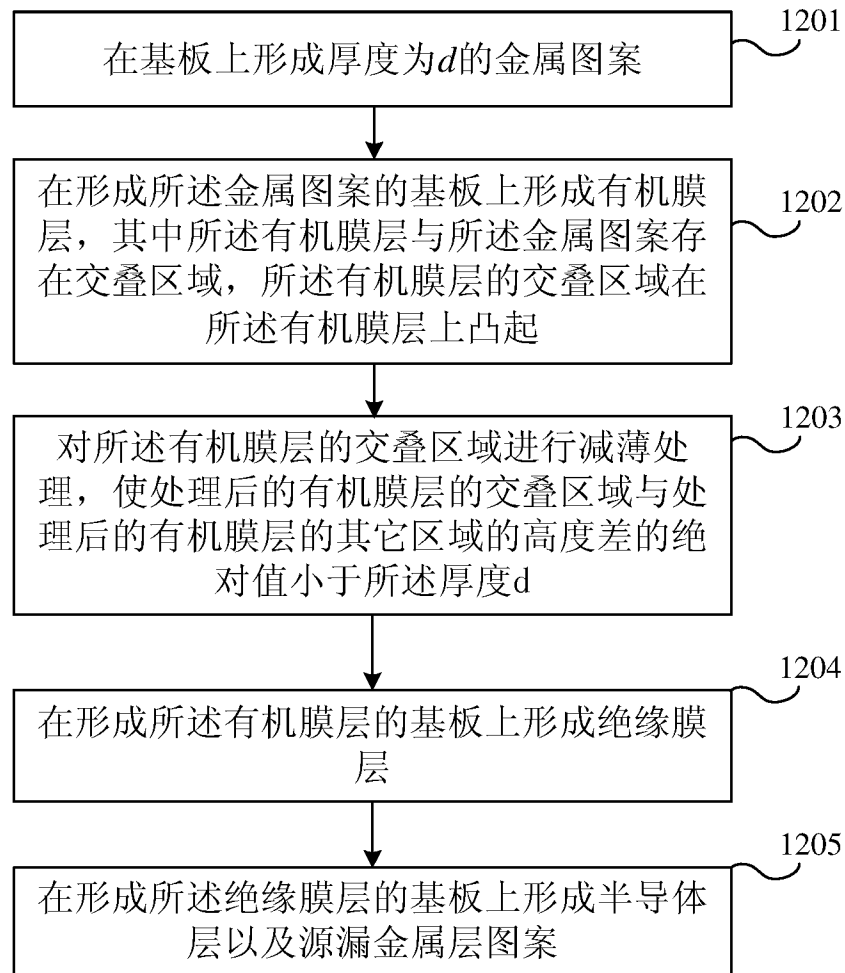


图 12

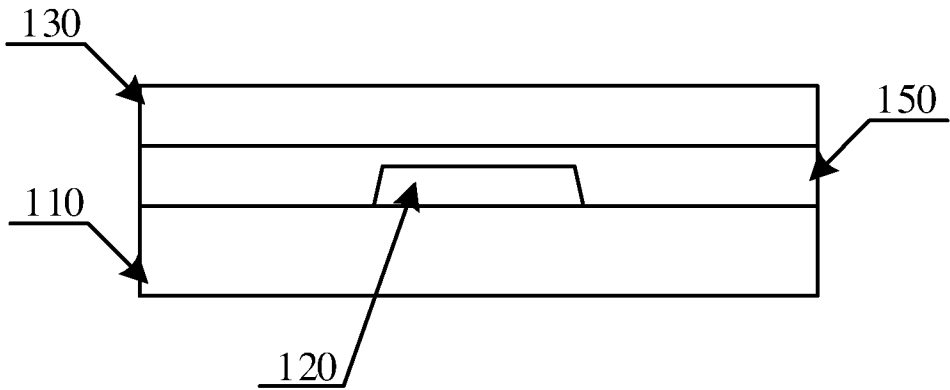


图 13

5

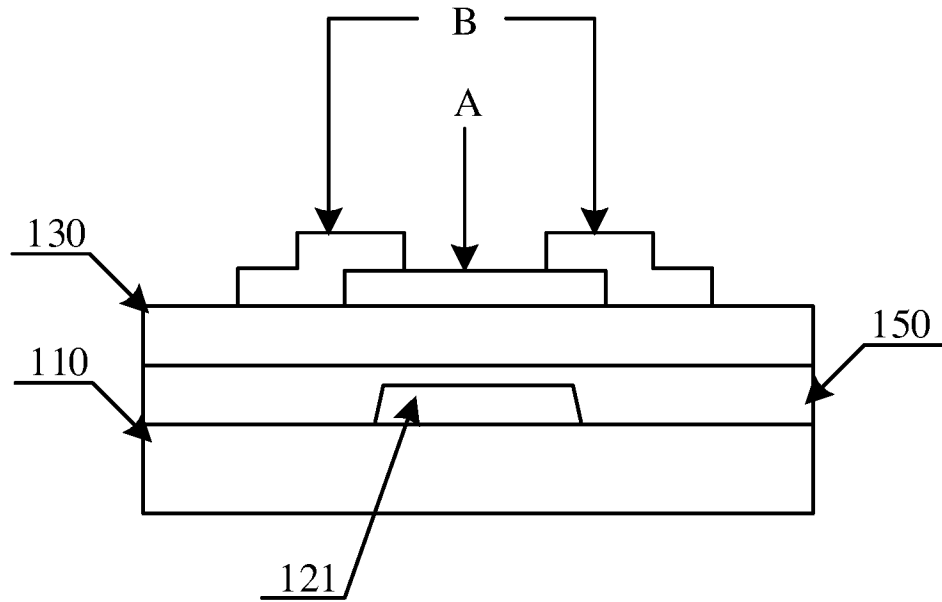


图 14A

10

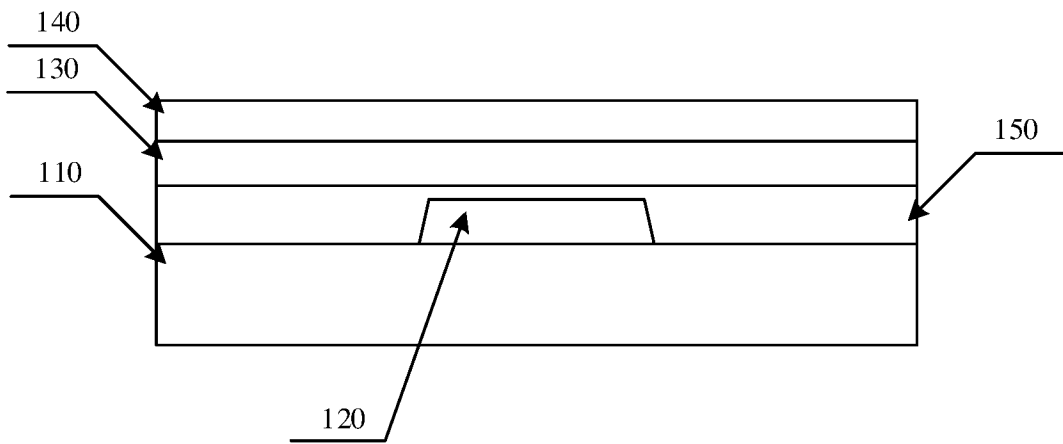


图 14B

5

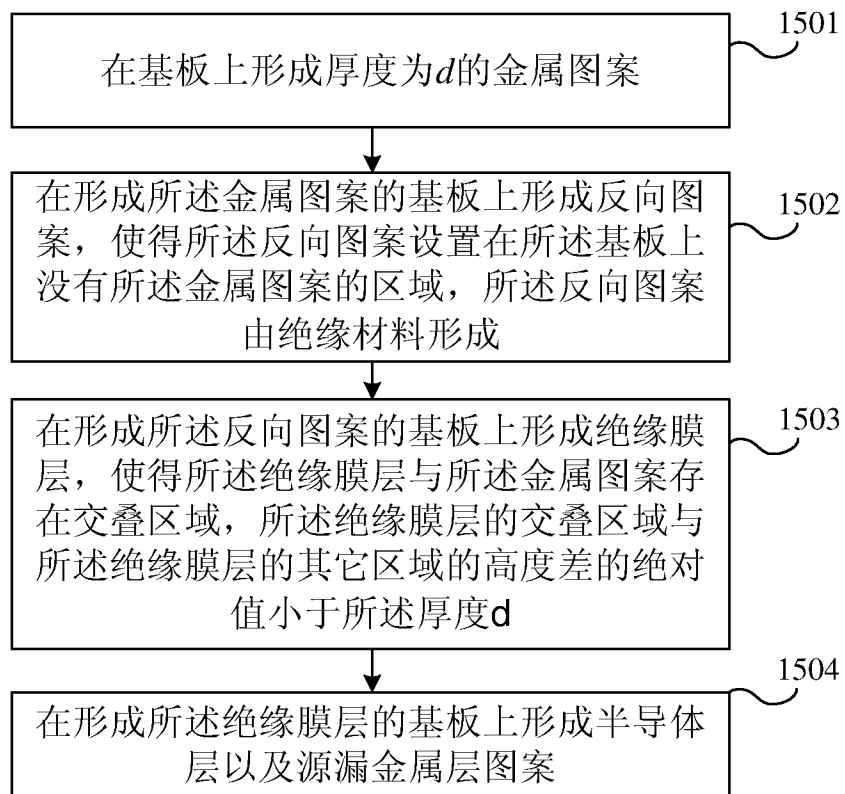
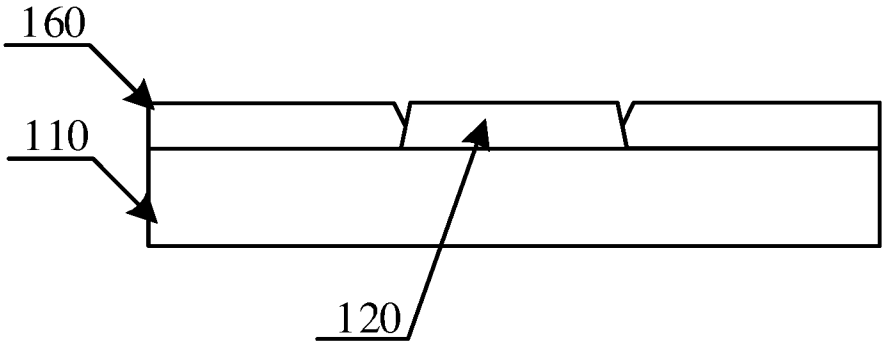
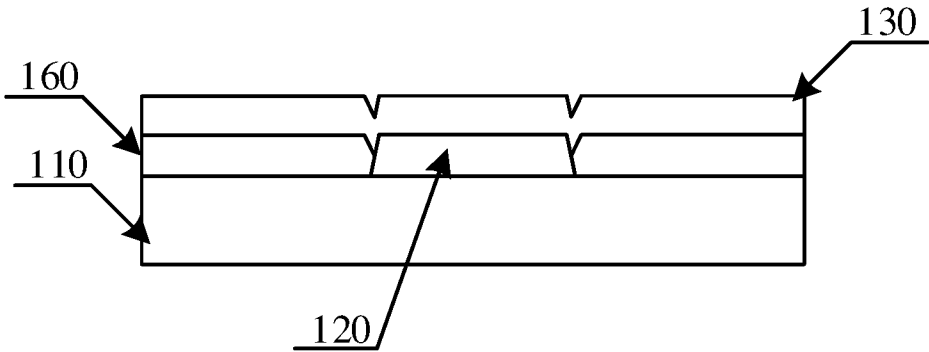


图 15



5

图 16



10

图 17

15

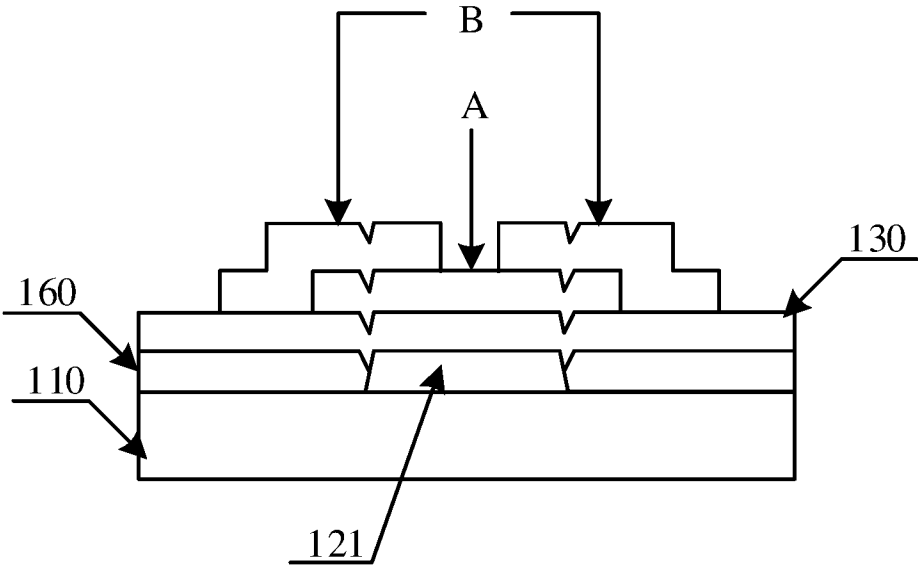


图 18A

5

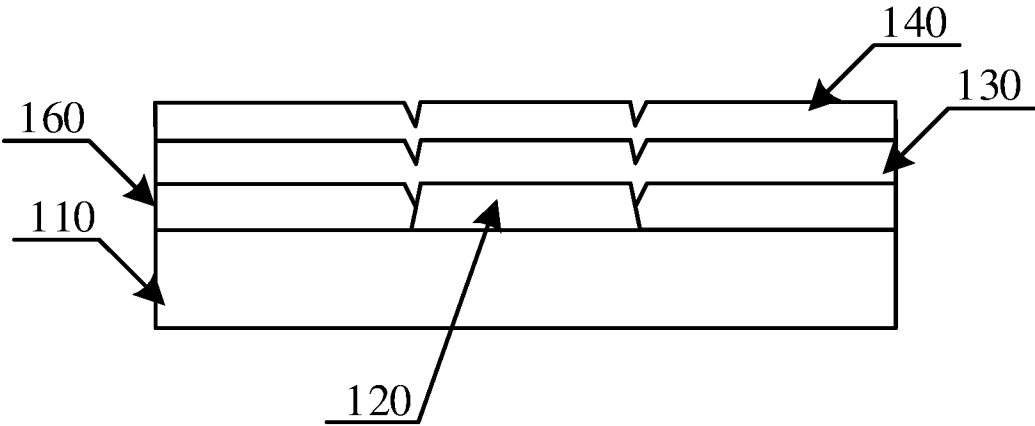
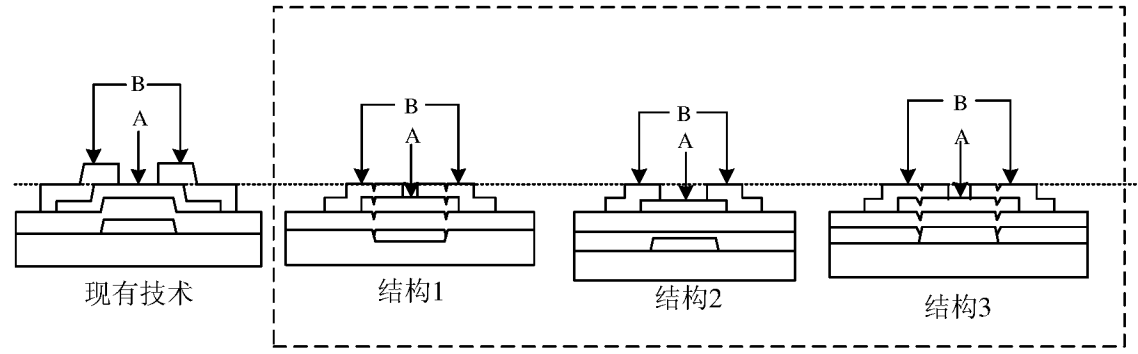
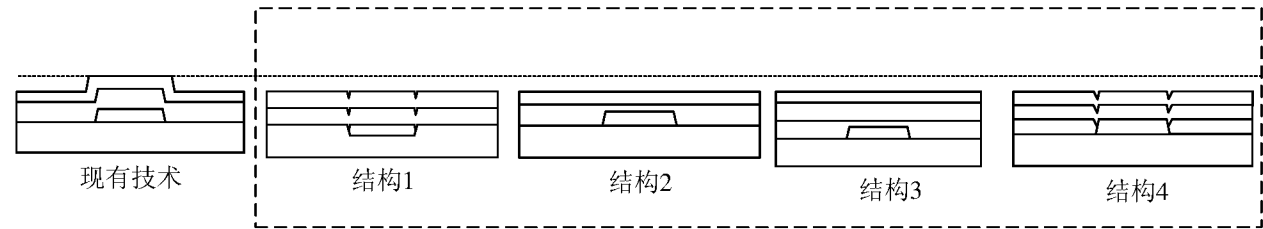


图 18B

10



5 图 19A



10 图 19B

15

20

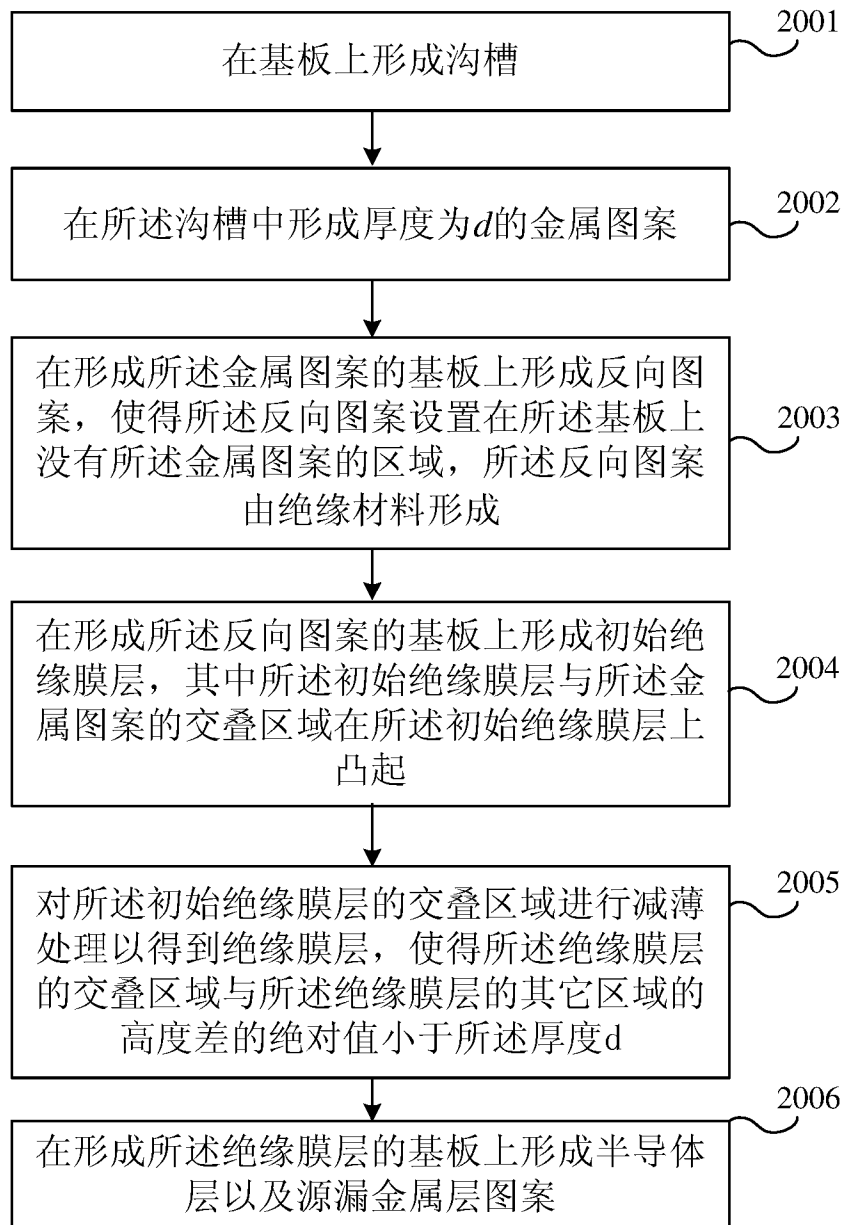
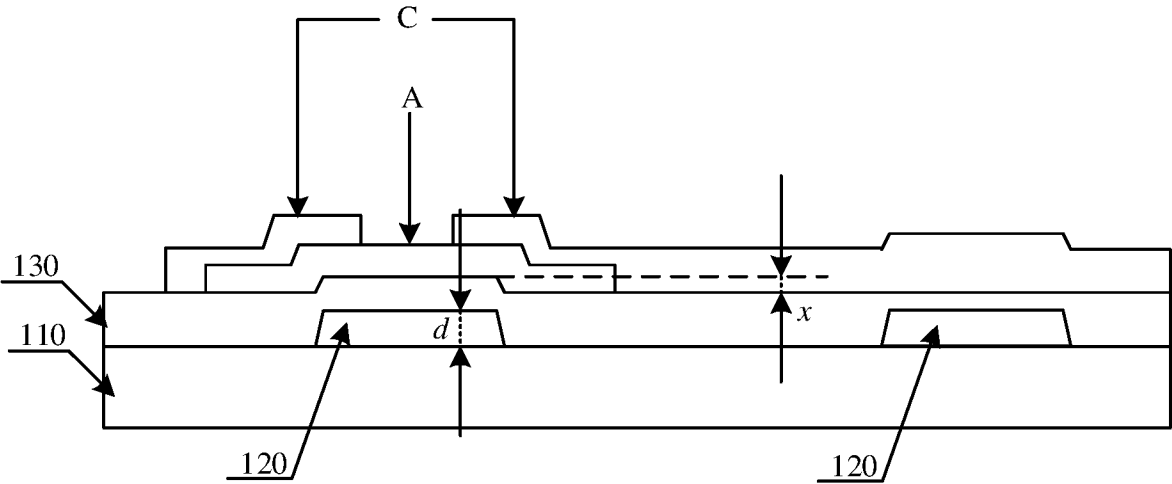


图 20



5 图 21

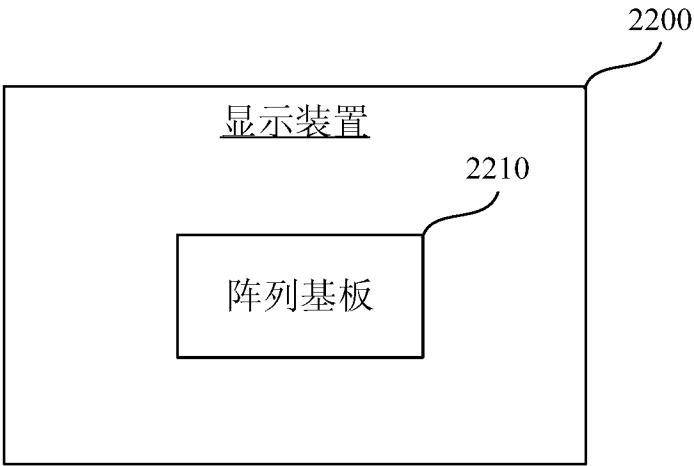


图 22

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2015/087337

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/12 (2006.01) i; H01L 29/786 (2006.01) i; G02F 1/133 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L; G02F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
CNPAT, CNKI, WPI, EPODOC: bottom gate, insulating layer, insulating film, dielectric layer, dielectric film, grind, thinning, metal pattern, array, base, substrate, gate, oxide, dielectric+, flat+, CMP, polish+, source, drain, trench, concave, groove, wir+, conduct+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 104795400 A (HEFEI XINSHENG OPTOELECTRONIC TECHNOLOGY CO., LTD. et al.), 22 July 2015 (22.07.2015), claims 1-21, description, paragraphs [0079]-[0181], and figures 1-22	1-23
X	CN 1834740 A (NEC LCD TECHNOLOGIES LTD.), 20 September 2006 (20.09.2006), description, page 6, paragraph 3 to page 8, paragraph 4, and figure 5	1-2, 13-16, 21-23
Y	CN 1834740 A (NEC LCD TECHNOLOGIES LTD.), 20 September 2006 (20.09.2006), description, page 6, paragraph 3 to page 8, paragraph 4, and figure 5	3-4, 7-10, 13-14, 18-23
Y	CN 103489922 A (BOE TECHNOLOGY GROUP CO., LTD.), 01 January 2014 (01.01.2014), description, paragraphs [0047] and [0049], and figure 3	3-4, 7, 9-10, 13-14, 19-23
Y	CN 103650149 A (PANASONIC CORPORATION), 19 March 2014 (19.03.2014), description, paragraph [0058], and figure 1	8-10, 13-14, 18, 20-23

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
05 November 2015 (05.11.2015)

Date of mailing of the international search report
16 November 2015 (16.11.2015)

Name and mailing address of the ISA/CN:
State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao
Haidian District, Beijing 100088, China
Facsimile No.: (86-10) 62019451

Authorized officer
JL, Maoyuan
Telephone No.: (86-10) **61648083**

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2015/087337**C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 1722934 A (SEIKO EPSON CORPORATION), 18 January 2006 (18.01.2006), description, page 4, line 29 to page 9, line 19, and figure 2	1, 7-8, 13-15, 19-23
A	CN 1722934 A (SEIKO EPSON CORPORATION), 18 January 2006 (18.01.2006), description, page 4, line 29 to page 9, line 19, and figure 2	2-6, 9-12, 16-18
X	CN 103117285 A (BOE TECHNOLOGY GROUP CO., LTD.), 22 May 2013 (22.05.2013), description, paragraphs [0062]-[0080], and figures 3 and 4	1, 13-15, 21-23
A	CN 103117285 A (BOE TECHNOLOGY GROUP CO., LTD.), 22 May 2013 (22.05.2013), description, paragraphs [0062]-[0080], and figures 3 and 4	2-12, 16-20

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2015/087337

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 104795400 A	22 July 2015	None	
CN 1834740 A	20 September 2006	CN 100412629 C	20 August 2008
		KR 100823061 B1	18 April 2008
		KR 20060101265 A	22 September 2006
		JP 4543385 B2	15 September 2010
		US 7564531 B2	21 July 2009
		JP 2006258965 A	28 September 2006
		US 2006209222 A1	21 September 2006
CN 103489922 A	01 January 2014	WO 2015043302 A1	02 April 2015
CN 103650149 A	19 March 2014	US 2014117363 A1	01 May 2014
		US 9093327 B2	28 July 2015
		WO 2013018137 A1	07 February 2013
CN 1722934 A	18 January 2006	KR 20060049799 A	19 May 2006
		US 2006003564 A1	05 January 2006
		JP 2006019630 A	19 January 2006
		US 7297622 B2	20 November 2007
		TW I269447 B	21 December 2006
		KR 100705097 B1	06 April 2007
CN 103117285 A	22 May 2013	WO 2014117440 A1	07 August 2014

国际检索报告

国际申请号

PCT/CN2015/087337

A. 主题的分类

H01L 27/12(2006.01)i; H01L 29/786(2006.01)i; G02F 1/133(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L; G02F

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT, CNKI, WPI, EPODOC: 阵列, 基板, 衬底, 底栅, 绝缘层, 绝缘膜, 介质层, 介质膜, 平整, 磨平, 研磨, 凹槽, 源, 漏, 减薄, 金属图案, 布线, array, base, substrate, gate, oxide, dielectric+, flat+, CMP, polish+, source, drain, trench, concave, groove, wir+, conduct+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 104795400 A (合肥鑫晟光电科技有限公司等) 2015年 7月 22日 (2015 - 07 - 22) 权利要求1-21、说明书第[0079]-[0181]段及图1-22	1-23
X	CN 1834740 A (NEC液晶技术株式会社) 2006年 9月 20日 (2006 - 09 - 20) 说明书第6页第3段-第8页第4段及图5	1-2、13-16、21-23
Y	CN 1834740 A (NEC液晶技术株式会社) 2006年 9月 20日 (2006 - 09 - 20) 说明书第6页第3段-第8页第4段及图5	3-4、7-10、 13-14、18-23
Y	CN 103489922 A (京东方科技集团股份有限公司) 2014年 1月 1日 (2014 - 01 - 01) 说明书第[0047], [0049]段及图3	3-4、7、9-10、 13-14、19-23
Y	CN 103650149 A (松下电器产业株式会社) 2014年 3月 19日 (2014 - 03 - 19) 说明书第[0058]段及图1	8-10、13- 14、18、20-23

☒ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2015年 11月 5日

国际检索报告邮寄日期

2015年 11月 16日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
北京市海淀区蓟门桥西土城路6号
100088 中国

受权官员

季茂源

传真号 (86-10)62019451

电话号码 (86-10)61648083

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
X	CN 1722934 A（精工爱普生株式会社）2006年 1月 18日（2006 - 01 - 18） 说明书第4页第29行-第9页第19行及图2	1、7-8、13-15、19-23
A	CN 1722934 A（精工爱普生株式会社）2006年 1月 18日（2006 - 01 - 18） 说明书第4页第29行-第9页第19行及图2	2-6、9-12、16-18
X	CN 103117285 A（京东方科技集团股份有限公司）2013年 5月 22日（2013 - 05 - 22） 说明书第[0062]-[0080]段及图3-4	1、13-15、21-23
A	CN 103117285 A（京东方科技集团股份有限公司）2013年 5月 22日（2013 - 05 - 22） 说明书第[0062]-[0080]段及图3-4	2-12、16-20

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2015/087337

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	104795400	A	2015年 7月 22日	无			
CN	1834740	A	2006年 9月 20日	CN	100412629	C	2008年 8月 20日
				KR	100823061	B1	2008年 4月 18日
				KR	20060101265	A	2006年 9月 22日
				JP	4543385	B2	2010年 9月 15日
				US	7564531	B2	2009年 7月 21日
				JP	2006258965	A	2006年 9月 28日
				US	2006209222	A1	2006年 9月 21日
CN	103489922	A	2014年 1月 1日	WO	2015043302	A1	2015年 4月 2日
CN	103650149	A	2014年 3月 19日	US	2014117363	A1	2014年 5月 1日
				US	9093327	B2	2015年 7月 28日
				WO	2013018137	A1	2013年 2月 7日
CN	1722934	A	2006年 1月 18日	KR	20060049799	A	2006年 5月 19日
				US	2006003564	A1	2006年 1月 5日
				JP	2006019630	A	2006年 1月 19日
				US	7297622	B2	2007年 11月 20日
				TW	I269447	B	2006年 12月 21日
				KR	100705097	B1	2007年 4月 6日
CN	103117285	A	2013年 5月 22日	WO	2014117440	A1	2014年 8月 7日

表 PCT/ISA/210 (同族专利附件) (2009年7月)