

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2019 年 1 月 10 日 (10.01.2019)



(10) 国际公布号
WO 2019/007347 A1

(51) 国际专利分类号:
H01L 21/762 (2006.01)

(21) 国际申请号: PCT/CN2018/094369

(22) 国际申请日: 2018 年 7 月 3 日 (03.07.2018)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201710534677.7 2017 年 7 月 3 日 (03.07.2017) CN

(71) 申请人: 无锡华润上华科技有限公司 (CSMC TECHNOLOGIES FAB2 CO., LTD.) [CN/CN]; 中国江苏省无锡市高新区新洲路 8 号, Jiangsu 214028 (CN)。

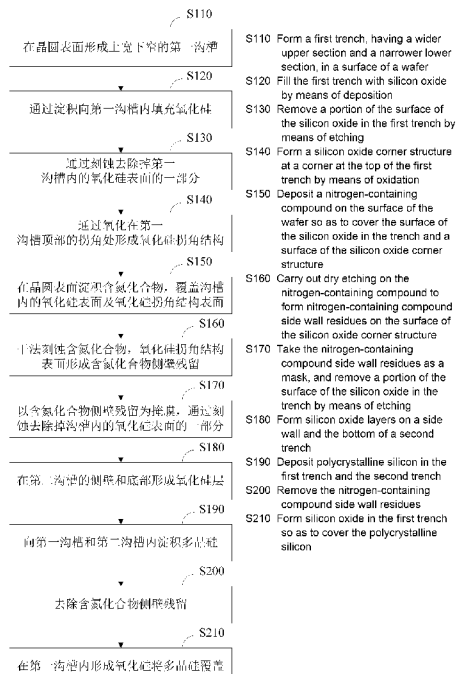
(72) 发明人: 祁树坤(QI, Shukun); 中国江苏省无锡市高新区新洲路 8 号, Jiangsu 214028 (CN)。

(74) 代理人: 广州华进联合专利商标代理有限公司 (ADVANCE CHINA IP LAW OFFICE); 中国广东省广州市天河区花城大道 85 号 3901 房, Guangdong 510623 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: TRENCH ISOLATION STRUCTURE AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 沟槽隔离结构及其制造方法



(57) Abstract: Disclosed is a method for manufacturing a trench isolation structure, the method comprising: forming a shallow trench, having a wider upper section and a narrower lower section, in a surface of a wafer; filling the shallow trench with silicon oxide by means of deposition; removing part of the silicon oxide by means of etching; forming a silicon oxide corner structure at a corner at the top of the shallow trench by means of thermal oxidation; depositing silicon nitride on the surface of the wafer so as to cover the surface of the silicon oxide in the shallow trench and a surface of the silicon oxide corner structure; carrying out dry etching on the silicon nitride so as to remove the silicon nitride on the surface of the silicon oxide in the shallow trench, and forming, on the surface of the silicon oxide corner structure, silicon nitride residues extending to the inside of the trench; taking the silicon nitride residues as a mask, and continuing to carry out etching downwards so as to form a deep trench; forming silicon oxide layers on a side wall and the bottom of the deep trench; depositing polycrystalline silicon in the shallow trench and the deep trench; removing the silicon nitride; and forming silicon oxide in the shallow trench so as to cover the polycrystalline silicon.

(57) 摘要: 一种沟槽隔离结构的制造方法, 包括: 在晶圆表面上形成上宽下窄的浅槽; 通过淀积向浅槽内填充氧化硅; 通过刻蚀去除掉一部分氧化硅; 通过热氧化在浅槽顶部的拐角处形成氧化硅拐角结构; 在晶圆表面淀积氮化硅, 覆盖浅槽内的氧化硅表面及氧化硅拐角结构表面; 干法刻蚀氮化硅, 将浅槽内的氧化硅表面的氮化硅去除, 氧化硅拐角结构表面形成向沟槽内延伸的氮化硅残留; 以氮化硅残留为掩膜, 继续向下刻蚀形成深槽; 在深槽的侧壁和底部形成氧化硅层; 向浅槽和深槽内淀积多晶硅; 去除氮化硅; 在浅槽内形成氧化硅将多晶硅覆盖。

[见续页]

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

沟槽隔离结构及其制造方法

技术领域

本申请涉及半导体制造领域，特别是涉及一种沟槽隔离结构的制造方法，还涉及一种沟槽隔离结构。

5 背景技术

在智能电源管理、显示以及马达驱动和汽车电子等领域，对高效、节能的要求日趋提高。高压功率领域也衍生出诸如 LDMOS（横向双扩散金属氧化物半导体场效应管）、LIGBT（横向绝缘栅双极型晶体管）、power-DMOS（功率-双扩散金属氧化物半导体场效应管）等不同电压等级、不同结构的器件结构，耐压由几十伏至上百伏，因此各种各样的场板、场环等终端结构和 RESURF（降低表面电场）技术被开发出来，以辅助这些高压功率器件能保证较低的比导通电阻，这对器件隔离技术提出了很高的要求。

这其中，深槽隔离（DTI）技术作为通用的技术，以其尺寸小、低漏电、双向隔离得以广泛应用。但由于高压功率器件的性能相当依赖于隔离技术，特别是器件雪崩击穿时形成大量的热电子/空穴，其中一部分克服 Si/SiO₂ 势垒进入 DTI 的氧化层、被 DTI 中氧化层/多晶硅界面处的陷阱（陷阱的面密度大概为 $E+10/\text{cm}^2$ 量级）俘获，并在多晶硅中受电场影响漂移，使得器件之间发生互扰（cross-talk），极易导致隔离失效、耐压性能降低。因此持续改进深槽隔离的工艺技术，是高压功率器件领域的重点之一。

20

发明内容

根据本申请的各种实施例，提供一种沟槽隔离结构及其制造方法。

一种沟槽隔离结构的制造方法，包括：在晶圆表面形成上宽下窄的第一

沟槽；通过淀积向所述第一沟槽内填充氧化硅；通过刻蚀去除掉第一沟槽内的氧化硅表面的一部分；通过热氧化在第一沟槽顶部的拐角处形成氧化硅拐角结构，所述氧化硅拐角结构为从拐角处往下、位于第一沟槽内部的氧化硅逐渐变厚的结构；在晶圆表面淀积含氮化合物，覆盖所述第一沟槽内的氧化硅表面及所述氧化硅拐角结构表面；干法刻蚀所述含氮化合物，将第一沟槽内的氧化硅表面的含氮化合物去除，所述氧化硅拐角结构表面形成向沟槽内延伸的含氮化合物侧壁残留；以所述含氮化合物侧壁残留为掩膜，继续向下刻蚀氧化硅和晶圆形成第二沟槽；在所述第二沟槽的侧壁和底部形成氧化硅层；向所述第一沟槽和第二沟槽内淀积多晶硅；去除所述含氮化合物；在第一沟槽内形成氧化硅将多晶硅覆盖。

一种沟槽隔离结构，包括沟槽，填充于所述沟槽内的氧化硅，以及位于所述沟槽内、被所述氧化硅包围的多晶硅，其特征在于，所述沟槽包括上宽下窄的瓶口结构和从所述瓶口结构向下延伸的瓶身结构。

本申请的一个或多个实施例的细节在下面的附图和描述中提出。本申请的其它特征、目的和优点将从说明书、附图以及权利要求书变得明显。

附图说明

为了更好地描述和说明这里公开的那些发明的实施例和/或示例，可以参考一幅或多幅附图。用于描述附图的附加细节或示例不应当被认为是对所公开的发明、目前描述的实施例和/或示例以及目前理解的这些发明的最佳模式中的任何一者的范围的限制。

图 1 是一实施例中沟槽隔离结构的制造方法的流程图；

图 2 至图 7 是一实施例中采用沟槽隔离结构的制造方法制造的器件在制造过程中的剖视图。

具体实施方式

为了便于理解本申请，下面将参照相关附图对本申请进行更全面的描述。

附图中给出了本申请的首选实施例。但是，本申请可以以许多不同的形式来实现，并不限于本文所描述的实施例。相反地，提供这些实施例的目的是使对本申请的公开内容更加透彻全面。

除非另有定义，本文所使用的所有的技术和科学术语与属于本申请的技术领域的技术人员通常理解的含义相同。本文中在本申请的说明书中所使用的术语只是为了描述具体的实施例的目的，不是旨在于限制本申请。本文所使用的术语“及/或”包括一个或多个相关的所列项目的任意的和所有的组合。

本文所使用的半导体领域词汇为本领域技术人员常用的技术词汇，例如对于 P 型和 N 型杂质，为区分掺杂浓度，简易的将 P+型代表重掺杂浓度的 P 型，P 型代表中掺杂浓度的 P 型，P-型代表轻掺杂浓度的 P 型，N+型代表重掺杂浓度的 N 型，N 型代表中掺杂浓度的 N 型，N-型代表轻掺杂浓度的 N 型。

图 1 是一实施例中沟槽隔离结构的制造方法的流程图，包括下列步骤：

S110，在晶圆表面形成上宽下窄的第一沟槽。

可以采用本领域习知的工艺在晶圆（本实施例中为硅片）表面刻蚀出上宽下窄的第一沟槽（浅槽）。在本实施例中，刻蚀形成第一沟槽之前可以先在晶圆表面形成一层氮化硅膜，再于氮化硅膜上通过光刻胶图案化出刻蚀窗口，再通过刻蚀窗口刻穿氮化硅膜形成第一沟槽，刻蚀完成后第一沟槽顶部的周围形成有氮化硅层。在本实施例中，第一沟槽的刻蚀是采用 CHCl_3 和/或 CH_2Cl_2 作为刻蚀剂进行干法刻蚀，在其他实施例中也可以采用其他本领域习知的沟槽刻蚀工艺进行刻蚀。

第一沟槽的上部的宽度较宽，这样最终形成的沟槽隔离结构相对于窄沟槽能够降低沟槽隔离结构上方的高压走线导致的漏电可能性。在一个实施例中，第一沟槽的深度为 1~2 微米。

在一个实施例中，通过外延工艺在高掺杂浓度的衬底上外延出低掺杂浓度的外延层，步骤 S110 刻蚀得到的沟槽是形成于外延层中。

S120, 通过淀积向第一沟槽内填充氧化硅。

通过淀积工艺形成氧化硅 (SiO_x) 层的速度远大于传统的通过热氧化生长氧化硅层的速度。在本实施例中, 步骤 S120 是采用高密度等离子化学气相淀积 (HDPCVD) 工艺进行氧化硅的淀积, 可以获得较好的形貌。在其他实
5 施例中也可以根据实际需求采用其他本领域习知的淀积工艺淀积氧化硅层。

淀积完后可以通过化学机械研磨 (CMP) 将多余的氧化硅层去除, 即将露出于沟槽外面的氧化硅层去除。对于步骤 S110 采用氮化硅作为硬掩膜刻蚀出第一沟槽的实施例, CMP 是将氧化硅层研磨至该氮化硅层。

在一个实施例中, 步骤 S120 之前还包括对第一沟槽进行侧壁氧化, 形成
10 侧壁氧化层 204 的步骤。侧壁氧化可以起到修复步骤 S110 的沟槽刻蚀在第一沟槽内壁和底部的硅表面产生的缺陷 (例如因反应离子刻蚀的高能粒子撞击产生的缺陷) 的作用, 消除该缺陷对栅氧产生的负面影响。

S130, 通过刻蚀去除掉第一沟槽内的氧化硅表面的一部分。

可以采用干法刻蚀, 利用其各向异性获得合适的形貌。图 2 是本实施例中步骤 S130 完成后器件的剖视图。在其中一个实施例中, 步骤 S130 选用高
15 密度等离子刻蚀的工艺进行刻蚀。

S140, 通过氧化在第一沟槽顶部的拐角处形成氧化硅拐角结构。

为了后续步骤中得到的含氮化合物侧壁残留能形成本方案所需的形貌, 在刻蚀后通过氧化形成特殊的拐角形貌, 即在沟槽内的氧化硅表面形成类似
20 于半球形的凹面。从拐角处往下、位于沟槽内部的氧化硅逐渐变厚, 从而形成圆滑的拐角, 如图 3 所示。图 3 中在硅片的表面形成有第一沟槽, 第一沟槽内填充有氧化硅 202, 第一沟槽顶部的周围形成有氮化硅层 302。在本实施例中通过 800~950 摄氏度的低温氧化来得到该氧化硅拐角结构。采用低温氧化是因为发明人发现若采用较高的温度 (例如 1000 摄氏度的牺牲氧化), 则
25 晶圆的高浓度衬底中的掺杂离子容易反扩至低浓度的外延层 102 中, 对器件性能产生负面影响。

S150, 在晶圆表面淀积氮化硅, 覆盖第一沟槽内的氧化硅表面及氧化硅

拐角结构表面。

在本实施例中是通过化学气相淀积形成一层薄的含氮化合物，后续作为刻蚀的硬掩膜。该含氮化合物可以是氮化硅、氮氧化硅、氮化硼、氮化钛等，考虑到普适性，可以采用本领域常用的氮化硅。

5 S160，干法刻蚀含氮化合物，氧化硅拐角结构表面形成向第一沟槽内延伸的含氮化合物侧壁残留。

参见图 3，利用干法刻蚀的各向异性，将沟槽内的氧化硅 202 表面的含氮化合物去除，同时在氧化硅拐角结构表面形成向沟槽内延伸的含氮化合物侧壁残留 304。含氮化合物侧壁残留 304 与沟槽内的一部分氧化硅 202 共同
10 作为沟槽的侧壁结构。

S170，以含氮化合物侧壁残留为掩膜，继续向下刻蚀氧化硅和晶圆形成第二沟槽。

参见图 4，含氮化合物侧壁残留 304 只会覆盖第一沟槽的一部分，因此没被含氮化合物侧壁残留 304 覆盖的区域就会被向下刻蚀掉（即部分氧化硅
15 202、侧壁氧化层 204 及外延层 102 被刻蚀去除）形成第二沟槽 201（深槽）。第二沟槽 201 的宽度受含氮化合物侧壁残留 304 限制，显然地，第二沟槽 201 的宽度小于第一沟槽的上部的宽度。采用含氮化合物侧壁残留 304 作为第二沟槽刻蚀的硬掩膜，可以不需要光刻版，能够节省成本。

在一个实施例中，第二沟槽 201 的深度为 10 微米以上。

20 S180，在第二沟槽的侧壁和底部形成氧化硅层。

在本实施例中，是通过热氧化的工艺形成氧化硅层 206，被含氮化合物侧壁残留 304 覆盖的位置不会形成氧化硅层 206，参见图 5。

在本实施例中，步骤 S180 后还包括分别向第二沟槽 201 内注入 N 型离子和 P 型离子，在第二沟槽 201 的底部周围形成 N 型环 104 和 P 型环 106 的
25 步骤。在一个实施例中，是先注入 N 型离子，注入深度较深，形成 N 型环 104；后注入 P 型离子，注入深度较浅，在 N 型环 104 上方形成 P 型环 106。在一个实施例中，注入的 N 型离子为磷离子、注入的 P 型离子为硼离子，由于硼

离子的扩散速度较快故 P 型环 106 比 N 型环 104 宽。N 型环 104 和 P 型环 106 能够形成纵向耗尽，同时较浅的 P 型环 106 起到降低来自于沟槽隔离结构的两侧 P 阱区漏电的作用。

S190，向第一沟槽和第二沟槽内淀积多晶硅。

5 在一个实施例中，是淀积多晶硅至所需的厚度以后就停止淀积。在本实施例中，是淀积过量的多晶硅后，再以含氮化合物残留 304 作为掩膜进行回刻，将多晶硅 404 刻蚀至所需的厚度，例如含氮化合物残留 304 下方，如图 6 所示。采用回刻多晶硅 404 的方式，能够尽量避免器件的多晶硅工艺导致的残留，从而降低表面漏电的可能性。在一个实施例中，淀积的多晶硅是本
10 征多晶硅。

S200，去除含氮化合物。

为了将含氮化合物去除干净，可以采用湿法刻蚀，例如以浓磷酸为刻蚀剂进行刻蚀。本实施例中通过浓磷酸将氮化硅层 302 和含氮化合物侧壁残留 304 一并去除。

15 S210，在第一沟槽内形成氧化硅将多晶硅覆盖。

在本实施例中，是采用高密度等离子化学气相淀积（HDPCVD）工艺进行氧化硅的淀积。步骤 S210 完成后可以通过化学机械研磨对露出第一沟槽的氧化硅进行平坦化处理，参见图 7。

上述沟槽隔离结构的制造方法，采用第一沟槽+第二沟槽的结构，沟槽隔
20 离结构的上部具有较大的尺寸（即第一沟槽），这样最终形成的沟槽隔离结构相对于窄沟槽能够降低沟槽隔离结构上方的高压走线导致的漏电可能性。采用含氮化合物残留作为硬掩膜刻蚀深槽，节省了达到同等隔离效果所需的光刻版（mask）数量。

上述沟槽隔离结构的制造方法适用于各种使用深槽隔离结构进行隔离的
25 半导体器件。

本申请还相应提供一种沟槽隔离结构。参见图 7，包括沟槽，填充于沟槽内的氧化硅 206，以及位于沟槽内、被氧化硅 206 包围的多晶硅 404。沟槽

包括上宽下窄的瓶口结构和从瓶口结构向下延伸的瓶身结构。

在一个实施例中，沟槽隔离结构还包括位于瓶身结构底部周围的 N 型环 104 和 P 型环 106，P 型环 106 位于 N 型环 104 上方。

5 以上所述实施例仅表达了本申请的几种实施方式，其描述较为具体和详细，但并不能因此而理解为对发明专利范围的限制。应当指出的是，对于本领域的普通技术人员来说，在不脱离本申请构思的前提下，还可以做出若干变形和改进，这些都属于本申请的保护范围。因此，本申请专利的保护范围应以所附权利要求为准。

权利要求书

1、一种沟槽隔离结构的制造方法，包括：

在晶圆表面形成上宽下窄的第一沟槽；

通过淀积向所述第一沟槽内填充氧化硅；

通过刻蚀去除掉第一沟槽内的氧化硅表面的一部分；

5 通过热氧化在第一沟槽顶部的拐角处形成氧化硅拐角结构，所述氧化硅拐角结构为从拐角处往下、位于第一沟槽内部的氧化硅逐渐变厚的结构；

在晶圆表面淀积含氮化合物，覆盖所述第一沟槽内的氧化硅表面及所述氧化硅拐角结构表面；

10 干法刻蚀所述含氮化合物，将第一沟槽内的氧化硅表面的含氮化合物去除，所述氧化硅拐角结构表面形成向沟槽内延伸的含氮化合物侧壁残留；

以所述含氮化合物侧壁残留为掩膜，继续向下刻蚀氧化硅和晶圆形成第二沟槽；

在所述第二沟槽的侧壁和底部形成氧化硅层；

向所述第一沟槽和第二沟槽内淀积多晶硅；

15 去除所述含氮化合物侧壁残留；及

在第一沟槽内形成氧化硅将多晶硅覆盖。

2、根据权利要求1所述的制造方法，其中，所述第一沟槽的深度为1~2微米，所述第二沟槽的深度为10微米以上。

3、根据权利要求1所述的制造方法，其中，所述在所述第二沟槽的侧壁和底部形成氧化硅层的步骤是采用热氧化工艺，形成的氧化硅层厚度为1000埃以上。

4、根据权利要求1所述的制造方法，其中，所述在所述第二沟槽的侧壁和底部形成氧化硅层的步骤之后、所述向所述第一沟槽和第二沟槽内淀积多晶硅的步骤之前，还包括分别向所述第二沟槽内注入N型离子和P型离子，
25 在所述第二沟槽的底部周围形成N型环和P型环的步骤。

5、根据权利要求1所述的制造方法，其中，所述去除所述含氮化合物侧壁残留的步骤之前，还包括刻蚀所述多晶硅至所述含氮化合物侧壁残留下方的步骤。

6、根据权利要求1所述的制造方法，其中，所述通过淀积向所述第一沟槽内填充氧化硅的步骤之前还包括对所述第一沟槽进行侧壁氧化的步骤。

7、根据权利要求1所述的制造方法，其中，所述在晶圆表面形成上宽下窄的第一沟槽的步骤之前还包括在晶圆表面形成氮化硅层的步骤，所述在晶圆表面形成上宽下窄的第一沟槽的步骤是将所述氮化硅层刻穿形成所述第一沟槽。

8、根据权利要求1所述的制造方法，其中，所述通过热氧化在第一沟槽顶部的拐角处形成氧化硅拐角结构的步骤中，氧化温度为800~950摄氏度。

9、根据权利要求1所述的制造方法，其中，还包括通过外延工艺在衬底上外延出外延层的步骤，所述外延层的掺杂浓度高于所述衬底，所述在晶圆表面形成上宽下窄的第一沟槽的步骤，是在所述外延层中形成所述第一沟槽。

10、根据权利要求1所述的制造方法，其中，所述通过淀积向所述第一沟槽内填充氧化硅的步骤，是采用高密度等离子化学气相淀积工艺进行氧化硅的淀积。

11、根据权利要求1所述的制造方法，其中，所述通过淀积向所述第一沟槽内填充氧化硅的步骤之后、所述通过刻蚀去除掉第一沟槽内的氧化硅表面的一部分的步骤之前，还包括通过化学机械研磨将露出于所述第一沟槽外面的氧化硅层去除的步骤。

12、根据权利要求7所述的制造方法，其中，所述通过淀积向所述第一沟槽内填充氧化硅的步骤之后、所述通过刻蚀去除掉第一沟槽内的氧化硅表面的一部分的步骤之前，还包括将氧化硅层研磨至该氮化硅层的步骤。

13、根据权利要求1所述的制造方法，其中，所述去除所述含氮化合物侧壁残留的步骤，是以浓磷酸为刻蚀剂进行刻蚀。

14、根据权利要求1所述的制造方法，其中，所述在第一沟槽内形成氧

化硅将多晶硅覆盖的步骤，是采用高密度等离子化学气相淀积工艺进行氧化硅的淀积。

15 15、根据权利要求 1 所述的制造方法，其中，所述在第一沟槽内形成氧化硅将多晶硅覆盖的步骤之后，还包括通过化学机械研磨对露出第一沟槽的氧化硅进行平坦化处理的步骤。

16、根据权利要求 1 所述的制造方法，其中，所述在晶圆表面形成上宽下窄的第一沟槽的步骤，是采用 CHCl_3 和/或 CH_2Cl_2 作为刻蚀剂进行干法刻蚀。

10 17、根据权利要求 1 所述的制造方法，其中，所述通过刻蚀去除掉第一沟槽内的氧化硅表面的一部分的步骤，是采用干法刻蚀。

18、根据权利要求 17 所述的制造方法，其中，所述通过刻蚀去除掉第一沟槽内的氧化硅表面的一部分的步骤，是采用高密度等离子刻蚀的工艺进行刻蚀。

19、一种沟槽隔离结构，包括：

15 沟槽，包括上宽下窄的瓶口结构和从所述瓶口结构向下延伸的瓶身结构；氧化硅，填充于所述沟槽内；以及多晶硅，位于所述沟槽内，被所述氧化硅包围。

20、根据权利要求 19 所述的沟槽隔离结构，其中，还包括位于所述瓶身结构底部周围的 N 型环和 P 型环，所述 P 型环位于所述 N 型环上方。



图 1

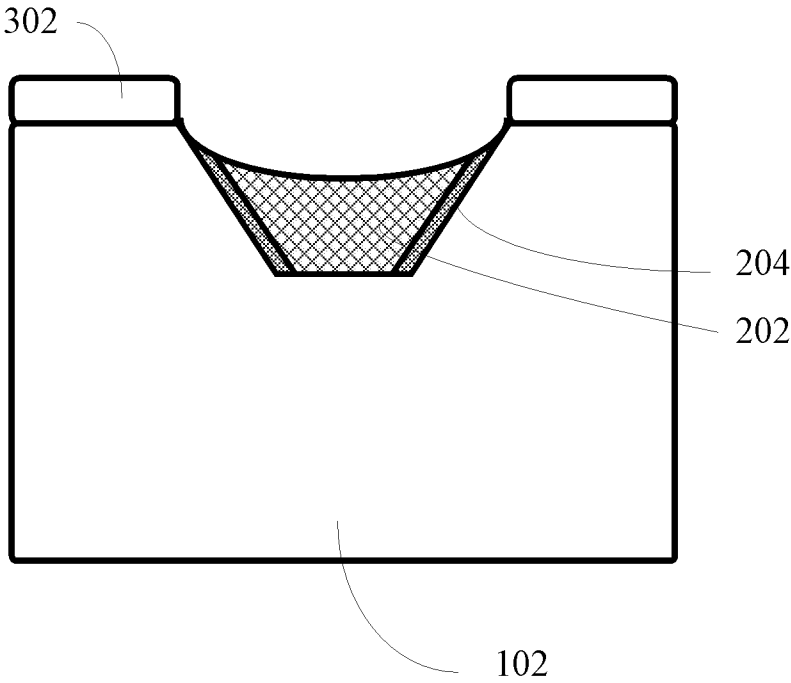


图 2

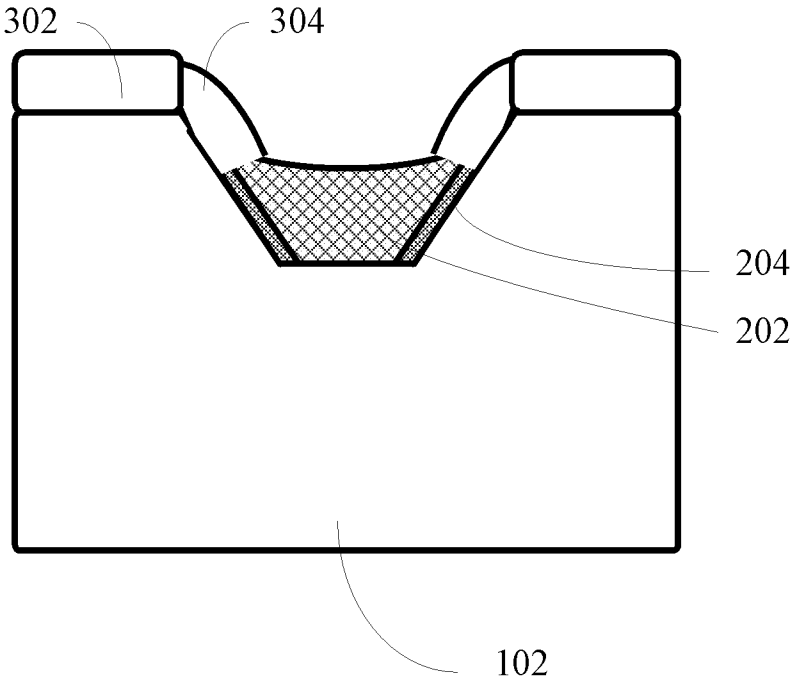


图 3

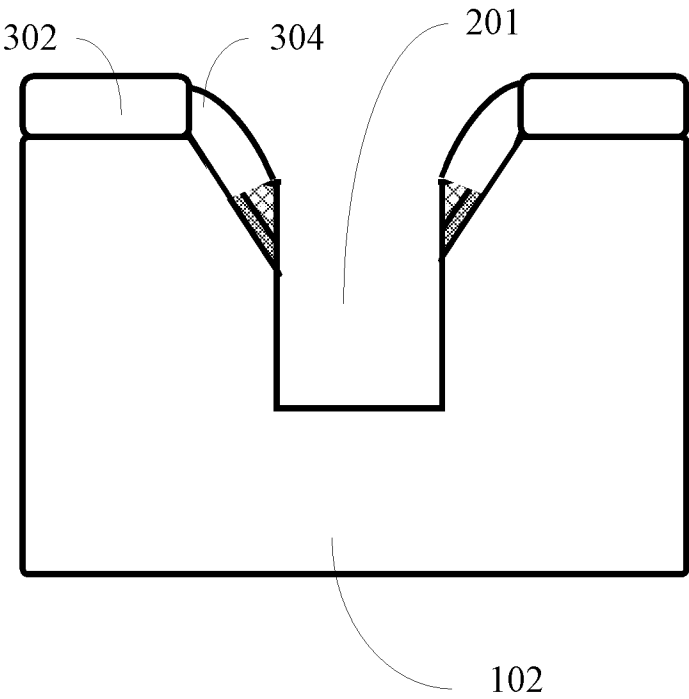


图 4

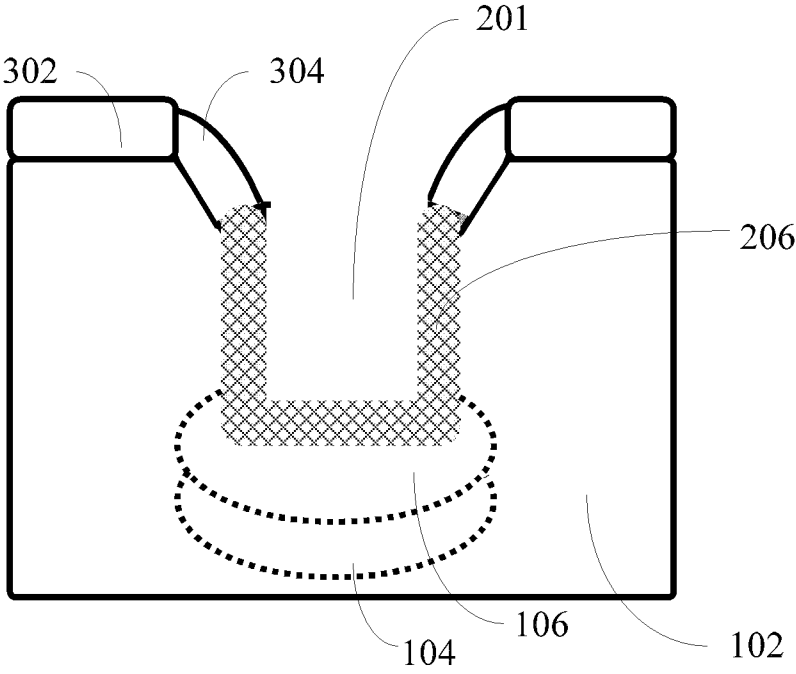


图 5

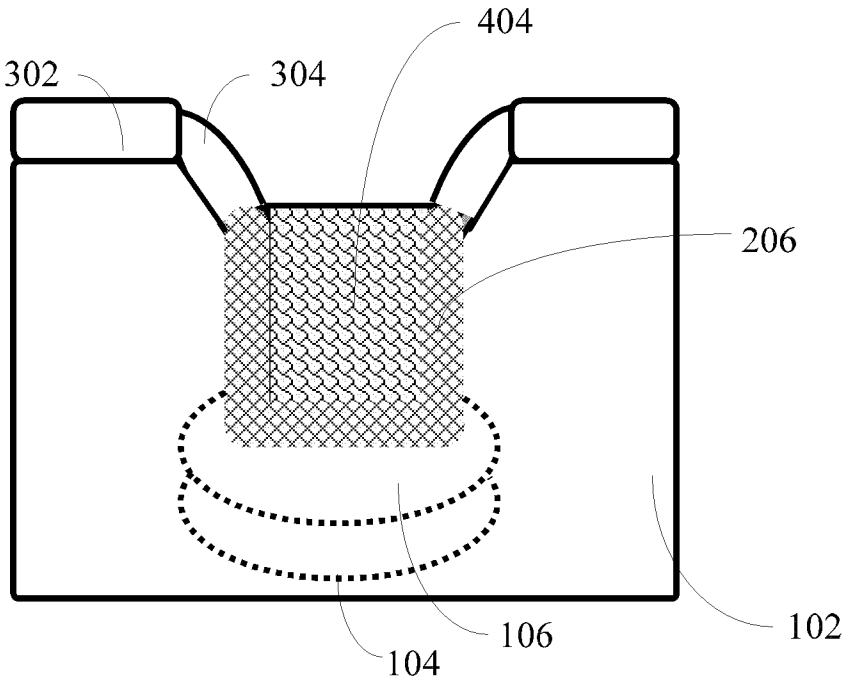


图 6

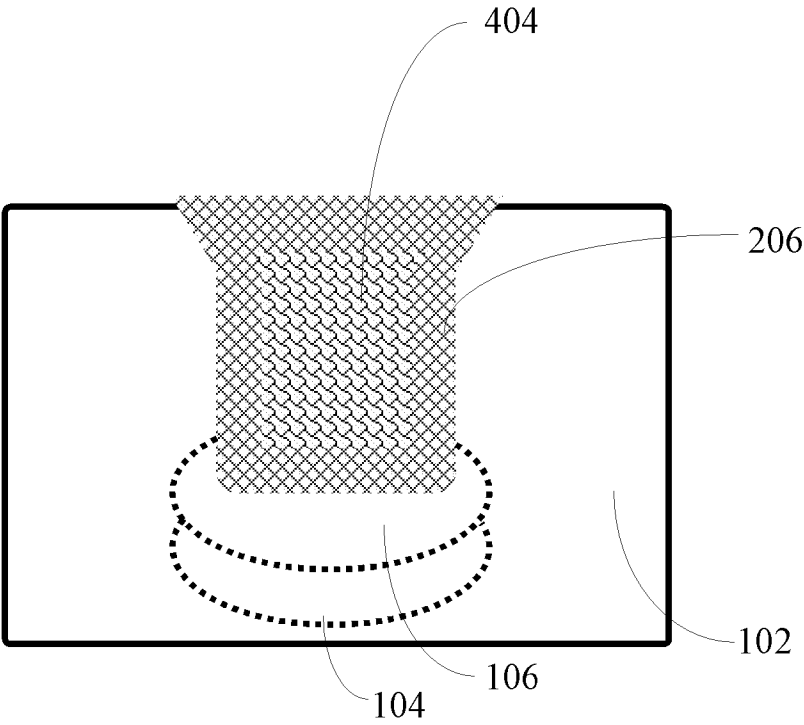


图 7

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2018/094369

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/762(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

USTXT; CNTXT; EPTXT; CNABS; WOTXT; DWPI; SIPOABS; CNKI: 高压, 槽, 开口, 隔离, 深, 浅, 宽, 窄, 拐角, 顶部, 侧壁, 残留, 多晶硅, 漏电, 纵向耗尽, 注入, 掺杂, 植入, 环, high-voltage?, trench+, groove?, recess, opening?, isolation, deep, shallow, DTI, STI, wid+, narrow+, top, upper, sidewall?, residual, polysilicon?, leakag+, dop+, inject+, corner?, spacer?, shape

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2002081809 A1 (PINTO, A. ET AL.) 27 June 2002 (2002-06-27) description, paragraphs [0016]-[0028], and figures 1A-1E	19
A	US 2002081809 A1 (PINTO, A. ET AL.) 27 June 2002 (2002-06-27) entire document	1-18, 20
X	US 5358891 A (INTEL CORP.) 25 October 1994 (1994-10-25) description, column 3, line 50 to column 6, line 42, and figures 1-3	19
A	US 5358891 A (INTEL CORP.) 25 October 1994 (1994-10-25) entire document	1-18, 20
A	CN 102097358 A (SHANGHAI HUA HONG NEC ELECTRONICS CO., LTD.) 15 June 2011 (2011-06-15) entire document	1-20
A	US 6020230 A (TEXAS INSTR ACER INC.) 01 February 2000 (2000-02-01) entire document	1-20
A	KR 20030050199 A (HYNIX SEMICONDUCTOR INC.) 25 June 2003 (2003-06-25) entire document	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

24 August 2018

Date of mailing of the international search report

20 September 2018

Name and mailing address of the ISA/CN

State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2018/094369

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
US	2002081809	A1	27 June 2002	US 6667226 B2	23 December 2003
US	5358891	A	25 October 1994	None	
CN	102097358	A	15 June 2011	CN 102097358 B	16 April 2014
US	6020230	A	01 February 2000	None	
KR	20030050199	A	25 June 2003	None	

国际检索报告

国际申请号

PCT/CN2018/094369

A. 主题的分类

H01L 21/762(2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L21

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

USTXT;CNTXT;EPTXT;CNABS;WOTXT;DWPI;SIPOABS;CNKI: 高压, 槽, 开口, 隔离, 深, 浅, 宽, 窄, 拐角, 顶部, 侧壁, 残留, 多晶硅, 漏电, 纵向耗尽, 注入, 掺杂, 植入, 环, high-voltage?, trench+, groove?, recess, opening?, isolation, deep, shallow, DTI, STI, wid+, narrow+, top, upper, sidewall?, residual, polysilicon?, leakag+, dop+, inject+, corner?, spacer?, shape

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	US 2002081809 A1 (PINTO ANGELO 等) 2002年 6月 27日 (2002 - 06 - 27) 说明书第[0016]-[0028]段, 附图1A-1E	19
A	US 2002081809 A1 (PINTO ANGELO 等) 2002年 6月 27日 (2002 - 06 - 27) 全文	1-18、20
X	US 5358891 A (INTEL CORP) 1994年 10月 25日 (1994 - 10 - 25) 说明书第3栏第50行至第6栏第42行, 图1-3	19
A	US 5358891 A (INTEL CORP) 1994年 10月 25日 (1994 - 10 - 25) 全文	1-18、20
A	CN 102097358 A (上海华虹NEC电子有限公司) 2011年 6月 15日 (2011 - 06 - 15) 全文	1-20
A	US 6020230 A (TEXAS INSTR ACER INC) 2000年 2月 1日 (2000 - 02 - 01) 全文	1-20
A	KR 20030050199 A (HYNIX SEMICONDUCTOR INC) 2003年 6月 25日 (2003 - 06 - 25) 全文	1-20

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2018年 8月 24日

国际检索报告邮寄日期

2018年 9月 20日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10) 62019451

受权官员

张弓

电话号码 (86-512) 88995669

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2018/094369

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
US	2002081809	A1	2002年 6月 27日	US 6667226 B2	2003年 12月 23日
US	5358891	A	1994年 10月 25日	无	
CN	102097358	A	2011年 6月 15日	CN 102097358 B	2014年 4月 16日
US	6020230	A	2000年 2月 1日	无	
KR	20030050199	A	2003年 6月 25日	无	