

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일

2023년 11월 23일 (23.11.2023)



(10) 국제공개번호

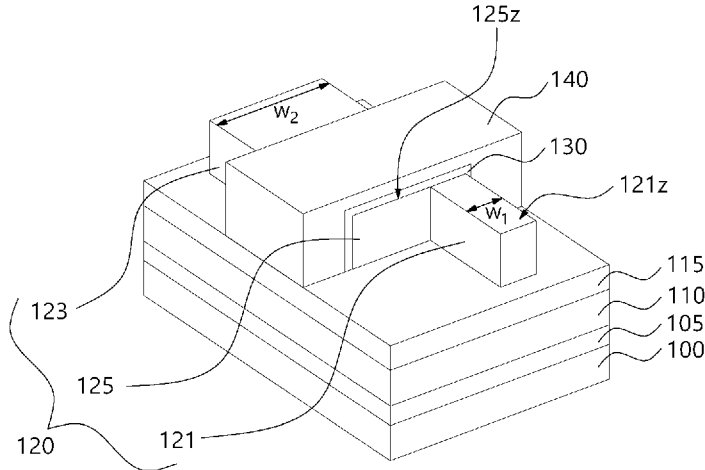
WO 2023/224331 A1

- (51) 국제특허분류: *H01L 29/739* (2006.01) *H01L 29/66* (2006.01)
- (21) 국제출원번호: PCT/KR2023/006526
- (22) 국제출원일: 2023년 5월 15일 (15.05.2023)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보: 10-2022-0062208 2022년 5월 20일 (20.05.2022) KR
- (71) 출원인: 한양대학교 산학협력단 (IUCF-HYU (INDUSTRY-UNIVERSITY COOPERATION FOUNDATION HANYANG UNIVERSITY)) [KR/KR]; 04763 서울특별시 성동구 왕십리로 222, Seoul (KR).
- (72) 발명자: 홍진표 (HONG, Jin Pyo); 04743 서울특별시 성동구 독서당로 344, 111동 1203호, Seoul (KR).
- (74) 대리인: 특허법인 이상 (E-SANG PATENT & TRADE-MARK LAW FIRM); 04763 서울특별시 서초구 바우피로 188, 3층, Seoul (KR).

- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.
- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

(54) Title: TUNNELING FIELD EFFECT TRANSISTOR HAVING FIN-SHAPED SEMICONDUCTOR PATTERN

(54) 발명의 명칭: 핀 형태의 반도체 패턴을 갖는 터널링 전계 효과 트랜지스터



(57) Abstract: A tunneling field effect transistor is provided. The tunneling field effect transistor is defined by a device isolation layer disposed on a substrate, and comprises a fin-shaped semiconductor pattern that protrudes farther upward than an upper surface of the device isolation layer. The semiconductor pattern includes a channel region and a source region and a drain region on both sides of the channel region, and the width of the drain region is narrower than the width of the channel region. The source region has a first conductivity type region, and the drain region has a second conductivity type region. A gate electrode is disposed on an upper surface of the channel region, wherein the gate electrode extends on a first sidewall of the channel region and a second sidewall of the channel region facing the first sidewall of the channel region. A gate insulating film is interposed between the channel region and the gate electrode. A source electrode is connected to the source region. A drain electrode is connected to the drain region.

[다음 쪽 계속]

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

(57) 요약서: 터널링 전계 효과 트랜지스터를 제공한다. 상기 터널링 전계 효과 트랜지스터는 기판 상에 배치된 소자분리막에 의해 정의되고 상기 소자분리막의 상부면보다 상부로 돌출된 핀-형태의 반도체 패턴을 포함한다. 상기 반도체 패턴은 채널 영역과 이의 양측에 소오스 영역과 드레인 영역을 각각 구비하되, 상기 드레인 영역의 폭은 상기 채널 영역의 폭 대비 좁다. 상기 소오스 영역은 제1 도전형 영역을 갖고, 상기 드레인 영역은 제2 도전형 영역을 갖는다. 상기 채널 영역의 상부면 상에 게이트 전극이 배치되되, 상기 게이트 전극은 상기 채널 영역의 제1 측벽, 및 상기 채널 영역의 제1 측벽을 마주보는 상기 채널 영역의 제2 측벽 상으로 연장된다. 상기 채널 영역과 상기 게이트 전극 사이에 게이트 절연막이 개재된다. 상기 소오스 영역에 소오스 전극이 접속한다. 상기 드레인 영역에 드레인 전극이 접속한다.

명세서

발명의 명칭: 핀 형태의 반도체 패턴을 갖는 터널링 전계 효과 트랜지스터

기술분야

- [1] 본 발명은 반도체 소자에 관한 것으로, 보다 상세하게는 터널링 전계 효과 트랜지스터에 관한 것이다.

배경기술

- [2] 일반적인 전계 효과 트랜지스터와는 달리 터널링 전계 효과 트랜지스터는 채널 영역의 공핍(depletion), 반전(inversion) 등의 동작없이 소오스-채널-드레인 간 터널링을 사용하여 동작하므로, 낮은 임계값 이하 기울기(subthreshold swing)를 구현할 수 있어 저전력소자에 적합한 것으로 알려져 있다.
- [3] 이러한, 터널링 전계 효과 트랜지스터 중 n형 트랜지스터를 예로 들어 설명하면, 게이트 전극에 문턱 전압 이상의 양의 전압이 인가된 경우 채널 영역의 에너지 밴드가 내려가면서, 소오스 영역의 가전자대(valence band)와 채널 영역의 전도대(conduction band) 사이의 터널링 폭이 작아질 수 있다. 이에 따라, 소오스 영역의 가전자대에서 채널 영역의 전도대로 전자가 터널링하면서 소오스 영역과 드레인 영역 사이에 전류가 흘러 트랜지스터가 온 상태로 변화될 수 있다.
- [4] 반면, 게이트 전극에 음의 전압이 인가된 경우, 채널 영역의 에너지 밴드가 올라가면서, 채널 영역의 가전자대와 드레인 영역의 전도대 사이의 터널링 폭이 작아질 수 있다. 이에 따라, 채널 영역의 가전자대에서 드레인 영역의 전도대로 전자가 터널링하여 소오스 영역과 드레인 영역 사이에 전류가 흐를 수 있다. 이를 양방향 전류(ambipolar current)라고 칭하며, 게이트 전극에 음의 전압이 인가된 경우 트랜지스터는 오프상태를 유지하여야 하는 회로에서는 누설 전류로 정의될 수 있으며, 이로 인한 오동작 및 전력소모의 원인이 될 수 있다.

발명의 상세한 설명

기술적 과제

- [5] 소자의 저전력화를 위해서는 터널링 전계 효과 트랜지스터의 온-전류(On-current)를 향상시킬 필요가 있다. 그러나, 온-전류 향상은 오프-전류 즉, 양방향 전류가 동시에 커지는 결과를 초래할 수 있다. 따라서, 터널링 전계 효과 트랜지스터의 온-전류를 향상시키면서도 오프-전류를 억제할 수 있는 방법이 필요하다.
- [6] 본 발명이 해결하고자 하는 과제는, 하나의 트랜지스터가 차지하는 평면적의 증가없이 온-전류 향상과 더불어 오프-전류를 억제할 수 있는 터널링 전계 효과 트랜지스터를 제공함에 있다.
- [7] 본 발명의 기술적 과제들은 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제 해결 수단

- [8] 상기 기술적 과제를 이루기 위하여 본 발명의 일 측면은 터널링 전계 효과 트랜지스터를 제공한다. 상기 터널링 전계 효과 트랜지스터는 기판 상에 배치된 소자 분리막에 의해 정의되고 상기 소자분리막의 상부면보다 상부로 돌출된 핀-형태의 반도체 패턴을 포함한다. 상기 반도체 패턴은 채널 영역과 이의 양측에 소오스 영역과 드레인 영역을 각각 구비하되, 상기 드레인 영역의 폭은 상기 채널 영역의 폭 대비 좁다. 상기 소오스 영역은 제1 도전형 영역을 갖고, 상기 드레인 영역은 제2 도전형 영역을 갖는다. 상기 채널 영역의 상부면 상에 게이트 전극이 배치되되, 상기 게이트 전극은 상기 채널 영역의 제1 측벽, 및 상기 채널 영역의 제1 측벽을 마주보는 상기 채널 영역의 제2 측벽 상으로 연장된다. 상기 채널 영역과 상기 게이트 전극 사이에 게이트 절연막이 개재된다. 상기 소오스 영역에 소오스 전극이 접속한다. 상기 드레인 영역에 드레인 전극이 접속한다.
- [9] 상기 드레인 영역의 제1 측벽은 상기 채널 영역의 제1 측벽과 동일 평면 내에 위치할 수 있다.
- [10] 일 예에서, 상기 드레인 영역의 상부면은 상기 채널 영역의 상부면과 동일 평면 내에 위치할 수 있다. 다른 예에서, 상기 드레인 영역의 높이는 상기 채널 영역의 높이 대비 낮을 수 있다. 구체적으로, 상기 드레인 영역의 상부면은 상기 채널 영역의 상부면 대비 리세스될 수 있다.
- [11] 상기 제1 도전형 영역은 상기 소오스 전극에 의해 유도된 제1 도전형의 전하 플라즈마 영역일 수 있다. 이를 위해, 상기 소오스 전극은 상기 소오스 영역의 일함수 대비 일함수가 큰 금속 전극일 수 있다. 이 경우, 상기 제1 도전형의 전하 플라즈마는 정공 플라즈마이고, 상기 제1 도전형 영역은 p형 영역일 수 있다.
- [12] 상기 제2 도전형 영역은 상기 드레인 전극에 의해 유도된 제2 도전형의 전하 플라즈마 영역일 수 있다. 이를 위해, 상기 드레인 전극은 상기 드레인 영역의 일함수 대비 일함수가 작은 금속 전극일 수 있다. 이 경우, 상기 제2 도전형의 전하 플라즈마는 전자 플라즈마이고, 상기 제2 도전형 영역은 n형 드레인 영역일 수 있다.

발명의 효과

- [13] 상술한 바와 같이 본 발명의 일 실시예에 따르면, 하나의 트랜지스터가 차지하는 평면상의 면적을 넓히지 않으면서도 온전류는 향상시키면서도 역전류 혹은 양방향 전류(ambipolar current) 발생을 억제할 수 있다. 그 결과, 소자 집적도를 감소시키지 않으면서도 온전류 향상과 더불어 누설전류를 억제할 수 있다.
- [14] 그러나, 본 발명의 효과들은 이상에서 언급한 효과로 제한되지 않으며, 언급되지 않은 또 다른 효과들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

도면의 간단한 설명

- [15] 도 1a 및 도 1b는 제1 실시예에 따른 터널링 전계 효과 트랜지스터를 사시도들이다.
- [16] 도 2는 도 1a에 도시된 반도체 패턴과 게이트 전극을 나타낸 평면도이다.
- [17] 도 3은 도 1b의 절단선 I-I'를 따라 취해진 단면도이다.
- [18] 도 4a는 제1 실시예에 따른 터널링 전계 효과 트랜지스터의 채널 영역 및 게이트 전극을 소오스 영역 쪽에서 바라본 단면도이고, 도 4b는 제1 실시예에 따른 터널링 전계 효과 트랜지스터의 채널 영역 및 게이트 전극을 드레인 영역 쪽에서 바라본 단면도이다.
- [19] 도 5는 제2 실시예에 따른 터널링 전계 효과 트랜지스터를 사시도로서, 소오스 전극과 드레인 전극을 제외하고 나타낸 사시도이다.
- [20] 도 6은 도 5에 도시된 반도체 패턴과 게이트 전극을 나타낸 평면도이다.
- [21] 도 7은 제2 실시예에 따른 터널링 전계 효과 트랜지스터의 채널 영역 및 게이트 전극을 드레인 영역 쪽에서 바라본 단면도이다.
- [22] 도 8a 및 도 8b는 제3 실시예에 따른 터널링 전계 효과 트랜지스터를 사시도들이다.
- [23] 도 9는 도 8a에 도시된 반도체 패턴과 게이트 전극을 나타낸 평면도이다.
- [24] 도 10은 도 8b의 절단선 I-I'를 따라 취해진 단면도이다.
- [25] 도 11a는 제3 실시예에 따른 터널링 전계 효과 트랜지스터의 채널 영역 및 게이트 전극을 소오스 영역 쪽에서 바라본 단면도이고, 도 11b는 제3 실시예에 따른 터널링 전계 효과 트랜지스터의 채널 영역 및 게이트 전극을 드레인 영역 쪽에서 바라본 단면도이다.
- [26] 도 12는 제4 실시예에 따른 터널링 전계 효과 트랜지스터를 사시도로서, 소오스 전극과 드레인 전극을 제외하고 나타낸 사시도이다.
- [27] 도 13은 도 12에 도시된 반도체 패턴과 게이트 전극을 나타낸 평면도이다.
- [28] 도 14은 제4 실시예에 따른 터널링 전계 효과 트랜지스터의 채널 영역 및 게이트 전극을 드레인 영역 쪽에서 바라본 단면도이다.

발명의 실시를 위한 형태

- [29] 이하, 본 발명을 보다 구체적으로 설명하기 위하여 본 발명에 따른 바람직한 실시예를 첨부된 도면을 참조하여 보다 상세하게 설명한다. 그러나, 본 발명은 여기에서 설명되어지는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 도면들에 있어서, 층이 다른 층 또는 기판 "상"에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 층이 개재될 수도 있다. 본 실시예들에서 "제1", "제2", 또는 "제3"는 구성요소들에 어떠한 한정을 가하려는 것은 아니며, 다만 구성요소들을 구별하기 위한 용어로서 이해되어야 할 것이다.
- [30]

- [31] 도 1a 및 도 1b는 제1 실시예에 따른 터널링 전계 효과 트랜지스터를 사시도들이다. 여기서, 도 1a는 도 1b에 도시된 소오스 전극과 드레인 전극을 제외하고 나타낸 사시도이다. 도 2는 도 1a에 도시된 반도체 패턴과 게이트 전극을 나타낸 평면도이고, 도 3은 도 1b의 절단선 I-I'를 따라 취해진 단면도이다.
- [32] 도 1a, 도 1b, 도 2, 및 도 3을 참조하면, 기판(100)이 제공될 수 있다. 상기 기판은 반도체 기판, 금속 기판, 유리 기판, 또는 플렉시블 기판일 수 있다. 예를 들어, 상기 플렉시블 기판은 고분자 기판, 일 예로서 PET(polyethylene terephthalate) 또는 PI(polyimide) 기판일 수 있다. 상기 기판(100) 상에는 동작회로 등을 위한 소자들이 형성되어 있을 수 있다. 또한, 상기 기판 혹은 상기 소자를 덮는 절연막 등의 보호층(105)이 형성되어 있을 수 있다. 상기 보호층(105)은 실리콘 산화막, 실리콘 질화막, 혹은 이들의 복합층일 수 있다.
- [33] 상기 보호층(105) 상에 베이스 반도체층을 형성할 수 있다. 상기 베이스 반도체층은 실리콘층(silicon layer)일 수 있다. 일 예로서, 단결정질 실리콘층, 다결정질 실리콘층, 또는 비정질 실리콘층일 수 있다. 구체적으로, 에피성장된 단결정 실리콘층일 수 있다. 일 예에서, 상기 기판(100), 상기 보호층(105) 및 상기 베이스 반도체층은 SOI (Silicon on Insulator) 기판일 수 있다.
- [34] 상기 베이스 반도체층의 상부영역을 패터닝하여 상기 베이스 반도체층의 하부영역인 하부 반도체층(110) 상에 반도체 패턴(120)을 형성할 수 있다. 상기 반도체 패턴(120)이 형성된 하부 반도체층(110) 상에 소자분리막(115)을 적층한 후 상기 적층된 소자분리막(115)을 식각하여 상기 반도체 패턴(120)이 상기 소자분리막(115)의 상부면보다 상부로 돌출되어 핀-형태를 갖도록 할 수 있다.
- [35] 이 때, 상기 핀-형태의 반도체 패턴(120)은 채널 영역(125)과 이의 양측에 각각 소오스 영역(123)과 드레인 영역(121)을 구비한다. 상기 드레인 영역(121)의 폭(W_1)은 상기 채널 영역(125) 혹은 상기 소오스 영역(123)의 폭(W_2) 대비 좁을 수 있다. 또한, 드레인 영역(121)의 제1 측벽(121x)은 상기 채널 영역(125)의 제1 측벽(125x)과 동일 평면 내에 위치할 수 있다. 또한, 드레인 영역(121)의 제1 측벽(121x)과 마주보는 제2 측벽(121y)은, 상기 채널 영역(125)의 제1 측벽(125x)과 마주보는 제2 측벽(125y) 대비 드레인 영역(121)의 제1 측벽(121x) 방향으로 리세스될 수 있다. 그 결과, 드레인 영역(121)의 제1 측벽(121x)과 제2 측벽(121y) 사이의 폭 즉, 드레인 영역(121)의 폭(W_1)은, 상기 채널 영역(125)의 제1 측벽(125x)과 제2 측벽(125y) 사이의 폭 즉, 상기 채널 영역(125)의 폭(W_2) 대비 좁을 수 있다.
- [36] 여기서, 상기 드레인 영역(121)의 상부면(121z)은 상기 채널 영역(125)의 상부면(125z)과 동일 평면 내에 위치할 수 있다.
- [37] 이 후, 상기 핀-형태의 반도체 패턴(120) 상에 게이트 절연막(130)을 형성할 수 있다. 상기 게이트 절연막(130)은 실리콘 산화막, 실리콘 산질화막, 알루미늄 산화막, 알루미늄 산질화막, 또는 이들의 복합막일 수 있다. 상기 게이트 절연막(130)은 상기 핀-형태의 반도체 패턴(120)의 상부면 및 측벽들 상에도 형성될 수 있다.

- [38] 상기 게이트 절연막(130) 상에 게이트 전극(140)을 형성하여, 상기 채널 영역(125)과 상기 게이트 전극(140) 사이에 게이트 절연막이 개재될 수 있다. 상기 게이트 전극(140)은 상기 핀-형태의 반도체 패턴(120)의 폭이 넓은 부분 즉, 상기 채널 영역(125)의 상부면(125z), 제1 및 제2 측벽들(125x, 125y) 상에 형성될 수 있다. 상기 게이트 전극(140)은 Al, Cr, Cu, Ta, Ti, Mo, W, 또는 이들의 합금을 사용하여 형성할 수 있다.
- [39] 상기 소오스 영역(123)에 접속하는 소오스 전극(160)을 형성할 수 있다. 구체적으로 상기 게이트 전극(140)에 인접한 상기 핀-형태의 반도체 패턴(120)의 폭이 넓은 부분인 상기 소오스 영역(123) 상에 소오스 전극(160)을 형성할 수 있다. 상기 소오스 전극(160)은 이에 인접하는 상기 반도체 패턴(120) 즉, 상기 소오스 영역(123)의 일함수 대비 일함수가 큰 금속 전극일 수 있다. 상기 소오스 영역(123)이 실리콘층인 경우 상기 소오스 전극(160)은 실리콘보다 일함수가 큰, 일 예로서 일함수가 5 eV 이상인 니켈(Ni), 이리듐(Ir), 팔라듐(Pd), 플래티넘(Pt), 또는 이들의 조합을 함유할 수 있다. 이와 같이, 상기 소오스 영역(123)과 상기 소오스 전극(160) 사이의 일함수의 차이로 인해, 상기 소오스 영역(123) 내의 전자는 상기 소오스 전극(160)으로 이동할 수 있어, 상기 소오스 전극(160)에 인접한 상기 소오스 영역(123) 내에 제1 도전형의 전하 플라즈마 구체적으로, 정공 플라즈마(hole plasma)가 형성되어, p형 영역 다시 말해서 제1 도전형 영역 (123p)이 유도될 수 있다.
- [40] 상기 드레인 영역(121)에 접속하는 드레인 전극(150)을 형성할 수 있다. 구체적으로, 상기 게이트 전극(140)에 인접한 상기 핀-형태의 반도체 패턴(120)의 폭이 좁은 부분인 상기 드레인 영역(121) 상에 드레인 전극(150)을 형성할 수 있다. 상기 드레인 전극(150)은 상기 반도체 패턴(120) 즉, 상기 드레인 영역(121)의 일함수 대비 일함수가 작은 금속 전극일 수 있다. 상기 드레인 영역(121)이 실리콘층인 경우 상기 드레인 전극(150)은 실리콘보다 일함수가 작은, 일 예로서 일함수가 4.5 eV 구체적으로는 일함수가 4.2 eV 이하인 하프늄(Hf), 인듐(In), 지르코늄(Zr), 탈륨(Tl), 탄탈륨(Ta), 티타늄(Ti), 알루미늄(Al), 또는 이들의 조합을 함유할 수 있다. 이와 같이, 상기 드레인 영역(121)과 상기 드레인 전극(150) 사이의 일함수의 차이로 인해, 전자는 상기 드레인 전극(150)으로부터 상기 드레인 영역(121)으로 이동할 수 있어, 상기 드레인 전극(150)에 인접한 상기 드레인 영역(121) 내에 제2 도전형의 전하 플라즈마 구체적으로, 전자 플라즈마(electron plasma)가 형성되어, n형 영역 다시 말해서 제2 도전형 영역 (121p)이 유도될 수 있다.
- [41] 상기 제1 도전형 영역 (123p)과 상기 제2 도전형 영역 (121p) 사이 구체적으로, 채널 영역(125)은 진성 반도체 영역일 수 있다. 이와 같이, 상기 제1 도전형 영역 (123p)과 상기 제2 도전형 영역 (121p)은 이온 주입 등을 사용한 불순물 도핑없이 전하 플라즈마 생성을 통해 전도성 영역으로 유도될 수 있다. 이에 따라, 이온주입 등의 불순물 도핑 대비 제조공정이 간단하면서도 결함생성이 억제되는 효과를 가져올 수 있다. 그러나, 이에 제한되는 것은 아니고, 전하 플라즈마 생성이 아

닌 이온 주입 등을 사용한 불순물 도핑으로 상기 제1 도전형 영역 (123p)과 상기 제2 도전형 영역 (121p)을 형성할 수도 있다. 위에서 상기 제1 도전형 영역 (123p)을 p형으로 상기 제2 도전형영역 (121p)을 n형으로 설명하였으나, 이에 한정되지 않고 상기 제1 도전형 영역 (123p)을 n형으로 상기 제2 도전형 영역 (121p)을 p형으로 형성할 수도 있다.

- [42] 상기 게이트 절연막(130)은 상기 반도체 패턴(120)과 상기 게이트 전극(140) 사이에 형성되되, 상기 소오스 전극(160) 및 상기 드레인 전극(150)과 상기 반도체 패턴(120) 사이로 연장될 수도 있다.
- [43] 도 4a는 제1 실시예에 따른 터널링 전계 효과 트랜지스터의 채널 영역 및 게이트 전극을 소오스 영역 쪽에서 바라본 단면도이고, 도 4b는 제1 실시예에 따른 터널링 전계 효과 트랜지스터의 채널 영역 및 게이트 전극을 드레인 영역 쪽에서 바라본 단면도이다.
- [44] 도 4a를 참조하면, 일반적으로 터널링 전계 효과 트랜지스터는 소오스 영역과 채널 영역 사이의 전하 터널링에 의해 온-전류가 발생한다. 상기 본 실시예에 따른 핀-형태의 반도체 패턴(120)은 채널 영역(125)이 게이트 전극(140)과 중첩되는 영역이 채널 영역(125)의 상부면(125z) 뿐 아니라 측벽들(125x, 125y)로 연장됨에 따라, 채널 영역(125)이 소오스 영역(123)과 접하는 부분에서 온-전류가 생성되는 유효 채널 폭(SW_{eff})이 커져 온-전류가 증가할 수 있다.
- [45] 도 4b를 참조하면, 일반적으로 터널링 전계 효과 트랜지스터는 드레인 영역과 채널 영역 사이의 전하 터널링에 의해 오프-전류가 발생한다. 본 실시예에 따른 소자에서 드레인 영역(121)의 제1 측벽(121x)은 상기 채널 영역(125)의 제1 측벽(125x)과 동일 평면 내에 위치하되, 상기 드레인 영역(121)의 폭(W_1)은 상기 채널 영역(125) 폭(W_2) 대비 작으므로, 채널 영역이 상기 드레인 영역(121)과 중첩하는 부분(125d)에서 오프-전류가 생성되는 유효 채널 폭(DW_{eff})은 온-전류가 생성되는 유효 채널 폭(SW_{eff}) 대비 작아 오프-전류는 억제될 수 있다.
- [46] 따라서, 본 발명의 일 실시예에서는 하나의 터널링 전계 효과 트랜지스터가 차지하는 평면적의 증가없이 온-전류 향상과 더불어 오프-전류를 억제할 수 있다.
- [47]
- [48] 도 5는 제2 실시예에 따른 터널링 전계 효과 트랜지스터를 사시도로서, 소오스 전극과 드레인 전극을 제외하고 나타낸 사시도이다. 도 6은 도 5에 도시된 반도체 패턴과 게이트 전극을 나타낸 평면도이다. 도 7은 제2 실시예에 따른 터널링 전계 효과 트랜지스터의 채널 영역 및 게이트 전극을 드레인 영역 쪽에서 바라본 단면도이다. 도 5, 도 6, 및 도 7은 제1 실시예에 따른 도 1a, 도 2, 및 도 4b에 각각 대응되며, 제2 실시예에 따른 터널링 전계 효과 트랜지스터는 후술하는 것을 제외하고는 제1 실시예와 실질적으로 동일하다. 구체적으로, 제2 실시예에 따른 터널링 전계 효과 트랜지스터는 제1 실시예에 따른 터널링 전계 효과 트랜지스터 대비 채널 영역에 대한 드레인 영역의 위치만 변경된 것일 수 있다.

- [49] 도 5, 도 6, 및 도 7을 참조하면, 드레인 영역(121)의 제1 측벽(121y)은 상기 채널 영역(125)의 제1 측벽(125y)과 동일 평면 내에 위치할 수 있다. 또한, 드레인 영역(121)의 제1 측벽(121y)을 마주보는 제2 측벽(121x)은, 상기 채널 영역(125)의 제1 측벽(125y)을 마주보는 제2 측벽(125x) 대비 드레인 영역(121)의 제1 측벽(121y) 방향으로 리세스될 수 있다. 그 결과, 드레인 영역(121)의 제1 측벽(121y)과 제2 측벽(121x) 사이의 폭 즉, 드레인 영역(121)의 폭(W_1)은, 상기 채널 영역(125)의 제1 측벽(125y)과 제2 측벽(125x) 사이의 폭 즉, 상기 채널 영역(125)의 폭(W_2) 대비 좁을 수 있다.
- [50] 이에 따라, 채널 영역(125)이 드레인 영역(121)과 중첩하는 영역(125d)에서 오프-전류가 생성되는 유효 채널 폭(DW_{eff})은 온-전류가 생성되는 유효 채널 폭(도 4a의 SW_{eff}) 대비 작아 오프-전류는 억제될 수 있다.
- [51]
- [52] 도 8a 및 도 8b는 제3 실시예에 따른 터널링 전계 효과 트랜지스터를 사시도들이다. 여기서, 도 8a는 도 8b에 도시된 소오스 전극과 드레인 전극을 제외하고 나타낸 사시도이다. 도 9는 도 8a에 도시된 반도체 패턴과 게이트 전극을 나타낸 평면도이고, 도 10은 도 8b의 절단선 I-I'를 따라 취해진 단면도이다. 도 11a는 제3 실시예에 따른 터널링 전계 효과 트랜지스터의 채널 영역 및 게이트 전극을 소오스 영역 쪽에서 바라본 단면도이고, 도 11b는 제3 실시예에 따른 터널링 전계 효과 트랜지스터의 채널 영역 및 게이트 전극을 드레인 영역 쪽에서 바라본 단면도이다. 제3 실시예에 따른 터널링 전계 효과 트랜지스터는 후술하는 것을 제외하고는 제1 실시예와 실질적으로 동일하다. 구체적으로, 제3 실시예에 따른 터널링 전계 효과 트랜지스터는 제1 실시예에 따른 터널링 전계 효과 트랜지스터 대비 채널 영역에 대한 드레인 영역의 중첩 영역의 넓이만 변경된 것일 수 있다.
- [53] 도 8a, 도 8b, 도 9, 도 10, 도 11a, 및 도 11b를 참조하면, 드레인 영역(121)의 제1 측벽(121x)은 상기 채널 영역(125)의 제1 측벽(125x)과 동일 평면 내에 위치할 수 있다. 또한, 드레인 영역(121)의 제1 측벽(121x)을 마주보는 제2 측벽(121y)은, 상기 채널 영역(125)의 제1 측벽(125x)을 마주보는 제2 측벽(125y) 대비 드레인 영역(121)의 제1 측벽(121x) 방향으로 리세스될 수 있다. 그 결과, 드레인 영역(121)의 제1 측벽(121x)과 제2 측벽(121y) 사이의 폭 즉, 드레인 영역(121)의 폭(W_1)은, 상기 채널 영역(125)의 제1 측벽(125x)과 제2 측벽(125y) 사이의 폭 즉, 상기 채널 영역(125)의 폭(W_2) 대비 좁을 수 있다.
- [54] 이에 더하여, 상기 드레인 영역(121)의 상부면(121z)은 상기 채널 영역(125)의 상부면(125z) 대비 리세스되어, 상기 드레인 영역(121)의 높이(h_1)는 상기 채널 영역(125)의 높이(h_2) 대비 낮을 수 있다.
- [55] 이에 따라, 채널 영역(125)이 드레인 영역(121)과 중첩하는 영역(125d)의 면적은 줄어들고, 오프-전류가 생성되는 유효 채널 폭(DW_{eff})은 온-전류가 생성되는 유효 채널 폭(도 11a의 SW_{eff}) 대비 작아 오프-전류는 더욱 억제될 수 있다.

[56]

[57] 도 12는 제4 실시예에 따른 터널링 전계 효과 트랜지스터를 사시도로서, 소오스 전극과 드레인 전극을 제외하고 나타낸 사시도이다. 도 13은 도 12에 도시된 반도체 패턴과 게이트 전극을 나타낸 평면도이다. 도 14는 제4 실시예에 따른 터널링 전계 효과 트랜지스터의 채널 영역 및 게이트 전극을 드레인 영역 쪽에서 바라본 단면도이다. 도 12, 도 13, 및 도 14는 제3 실시예에 따른 도 8a, 도 9, 및 도 11b에 각각 대응되며, 제4 실시예에 따른 터널링 전계 효과 트랜지스터는 후술하는 것을 제외하고는 제3 실시예와 실질적으로 동일하다. 구체적으로, 제4 실시예에 따른 터널링 전계 효과 트랜지스터는 제3 실시예에 따른 터널링 전계 효과 트랜지스터 대비 채널 영역에 대한 드레인 영역의 위치만 변경된 것일 수 있다.

[58] 도 12, 도 13, 및 도 14를 참조하면, 드레인 영역(121)의 제1 측벽(121y)은 상기 채널 영역(125)의 제1 측벽(125y)과 동일 평면 내에 위치할 수 있다. 또한, 드레인 영역(121)의 제1 측벽(121y)을 마주보는 제2 측벽(121x)은, 상기 채널 영역(125)의 제1 측벽(125y)을 마주보는 제2 측벽(125x) 대비 드레인 영역(121)의 제1 측벽(121y) 방향으로 리세스될 수 있다. 그 결과, 드레인 영역(121)의 제1 측벽(121y)과 제2 측벽(121x) 사이의 폭 즉, 드레인 영역(121)의 폭(W_1)은, 상기 채널 영역(125)의 제1 측벽(125y)과 제2 측벽(125x) 사이의 폭 즉, 상기 채널 영역(125)의 폭(W_2) 대비 좁을 수 있다.

[59] 이에 더하여, 상기 드레인 영역(121)의 상부면(121z)은 상기 채널 영역(125)의 상부면(125z) 대비 리세스되어, 상기 드레인 영역(121)의 높이(h_1)는 상기 채널 영역(125)의 높이(h_2) 대비 낮을 수 있다.

[60] 이에 따라, 채널 영역(125)이 드레인 영역(121)과 중첩하는 영역(125d)의 면적은 줄어들고, 오프-전류가 생성되는 유효 채널 폭(DW_{eff})은 온-전류가 생성되는 유효 채널 폭(도 11a의 SW_{eff}) 대비 작아 오프-전류는 더욱 억제될 수 있다.

[61]

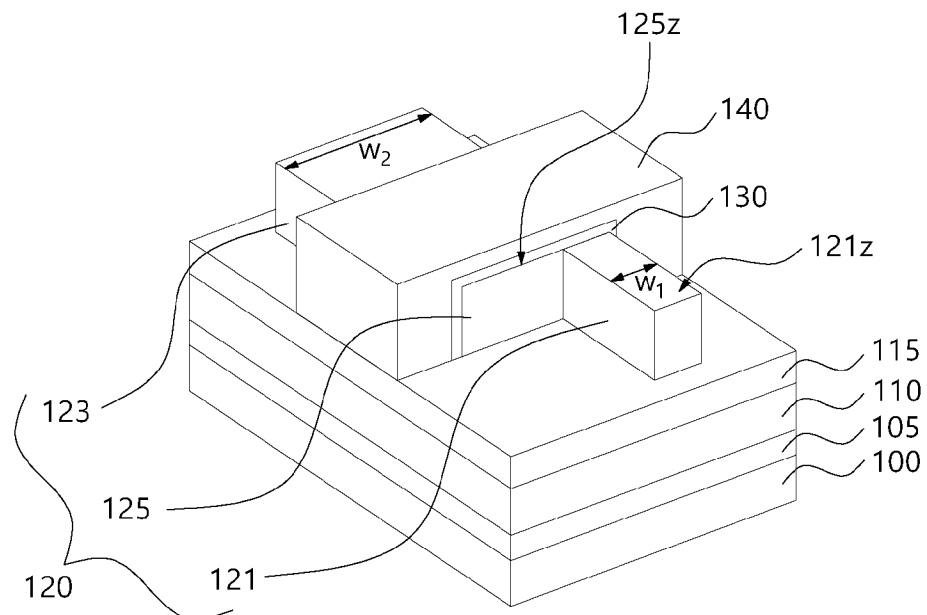
[62] 이상, 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 사상 및 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러가지 변형 및 변경이 가능하다.

청구범위

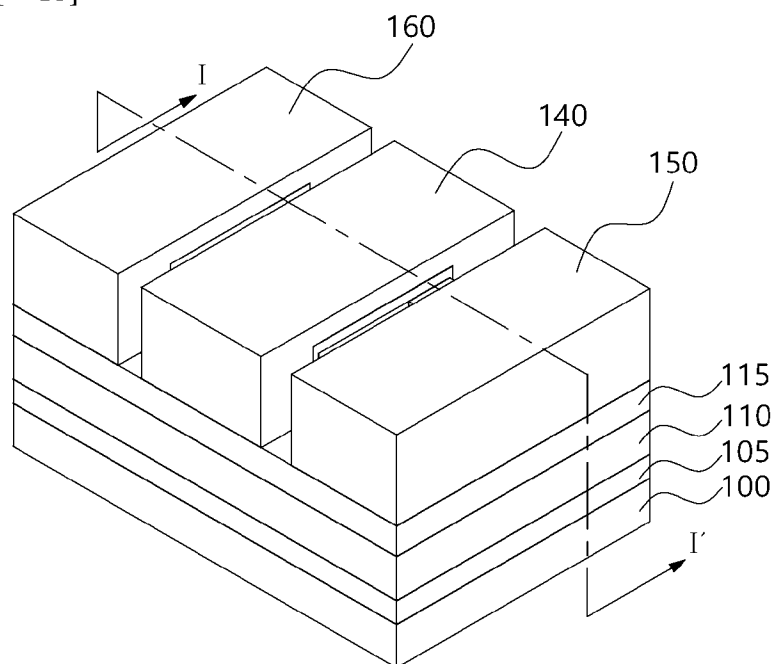
- [청구항 1] 기관 상에 배치된 소자분리막에 의해 정의되고 상기 소자분리막의 상부면보다 상부로 돌출된 핀-형태를 갖고, 채널 영역과 이의 양측에 제1 도전형 영역을 갖는 소오스 영역과 제2 도전형 영역을 갖는 드레인 영역을 각각 구비하되, 상기 드레인 영역의 폭은 상기 채널 영역의 폭 대비 좁은 반도체 패턴;
- 상기 채널 영역의 상부면 상에 배치되고 상기 채널 영역의 제1 측벽, 및 상기 채널 영역의 제1 측벽을 마주보는 상기 채널 영역의 제2 측벽 상으로 연장된 게이트 전극;
- 상기 채널 영역과 상기 게이트 전극 사이에 개재된 게이트 절연막;
- 상기 소오스 영역에 접속하는 소오스 전극; 및
- 상기 드레인 영역에 접속하는 드레인 전극을 구비하는 터널링 전계 효과 트랜지스터.
- [청구항 2] 청구항 1에 있어서,
- 상기 드레인 영역의 제1 측벽은 상기 채널 영역의 제1 측벽과 동일 평면 내에 위치하는 터널링 전계 효과 트랜지스터.
- [청구항 3] 청구항 1 또는 청구항 2에 있어서,
- 상기 드레인 영역의 상부면은 상기 채널 영역의 상부면과 동일 평면 내에 위치하는 터널링 전계 효과 트랜지스터.
- [청구항 4] 청구항 1 또는 청구항 2에 있어서,
- 상기 드레인 영역의 높이는 상기 채널 영역의 높이 대비 낮은 터널링 전계 효과 트랜지스터.
- [청구항 5] 청구항 4에 있어서,
- 상기 드레인 영역의 상부면은 상기 채널 영역의 상부면 대비 리세스된 터널링 전계 효과 트랜지스터.
- [청구항 6] 청구항 1에 있어서,
- 상기 제1 도전형 영역은 상기 소오스 전극에 의해 유도된 제1 도전형의 전하 플라즈마 영역인 터널링 전계 효과 트랜지스터.
- [청구항 7] 청구항 6에 있어서,
- 상기 소오스 전극은 상기 소오스 영역의 일함수 대비 일함수가 큰 금속 전극이고, 상기 제1 도전형의 전하 플라즈마는 정공 플라즈마이고, 상기 제1 도전형 영역은 p형 영역인, 터널링 전계 효과 트랜지스터.
- [청구항 8] 청구항 1에 있어서,
- 상기 제2 도전형 영역은 상기 드레인 전극에 의해 유도된 제2 도전형의 전하 플라즈마 영역인 터널링 전계 효과 트랜지스터.
- [청구항 9] 청구항 8에 있어서,

상기 드레인 전극은 상기 드레인 영역의 일함수 대비 일함수가 작은 금속 전극이고, 상기 제2 도전형의 전하 플라즈마는 전자 플라즈마이고, 상기 제2 도전형 영역은 n형 드레인 영역인, 터널링 전계 효과 트랜지스터.

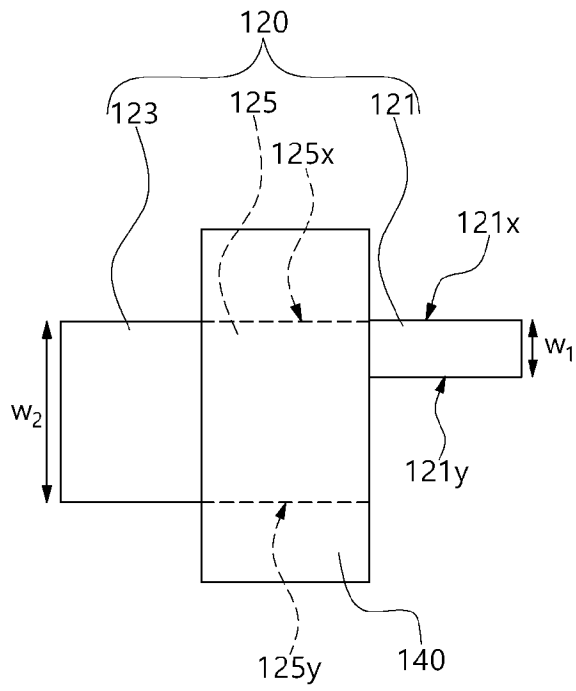
[도 1a]



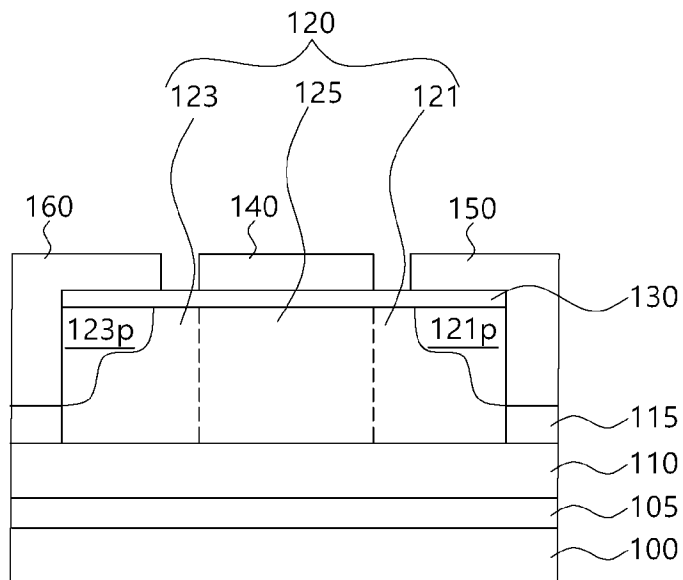
[도 1b]



[도2]

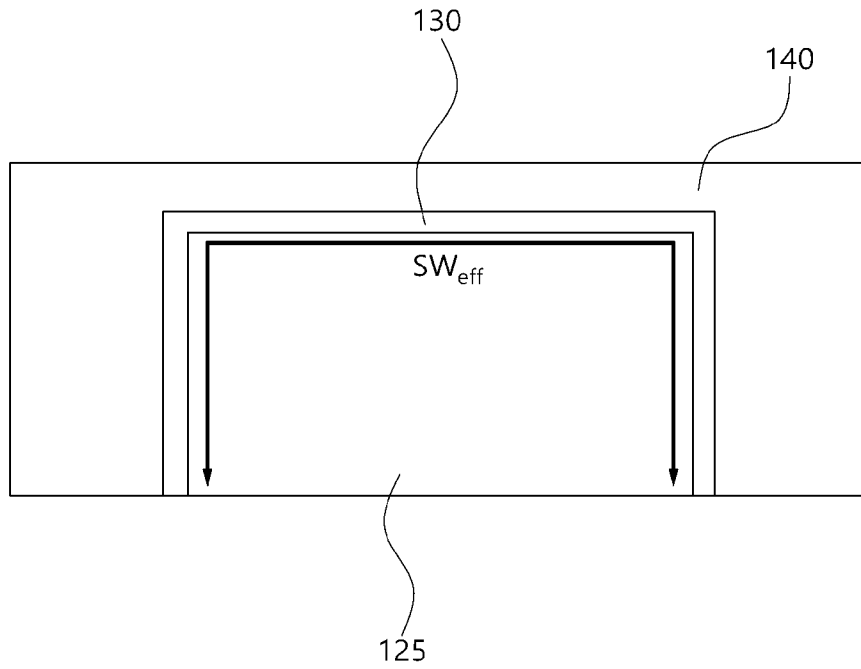


[도3]

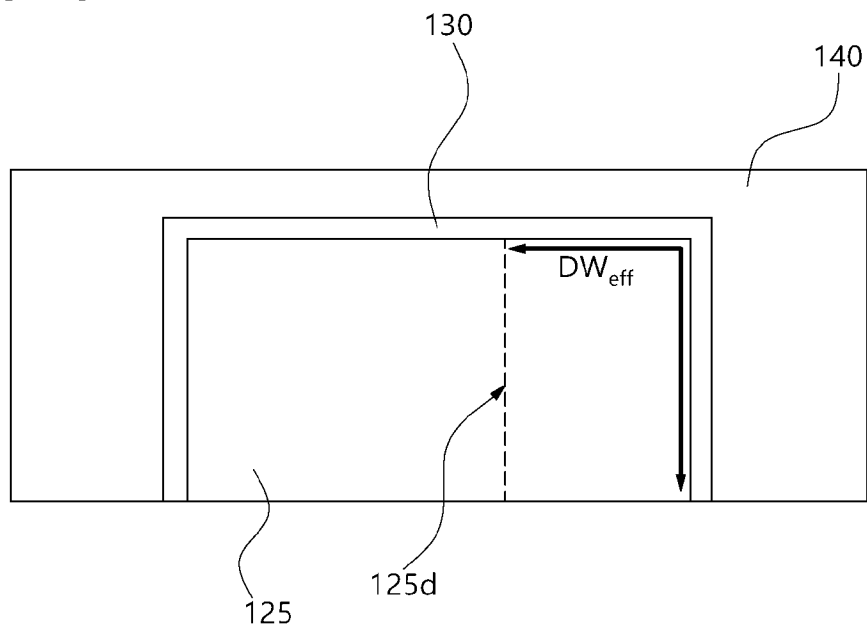


I - I'

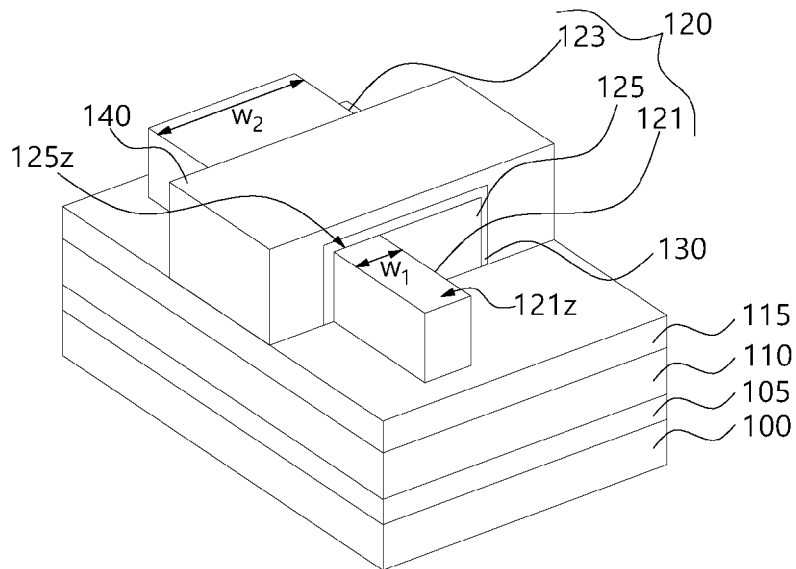
[도4a]



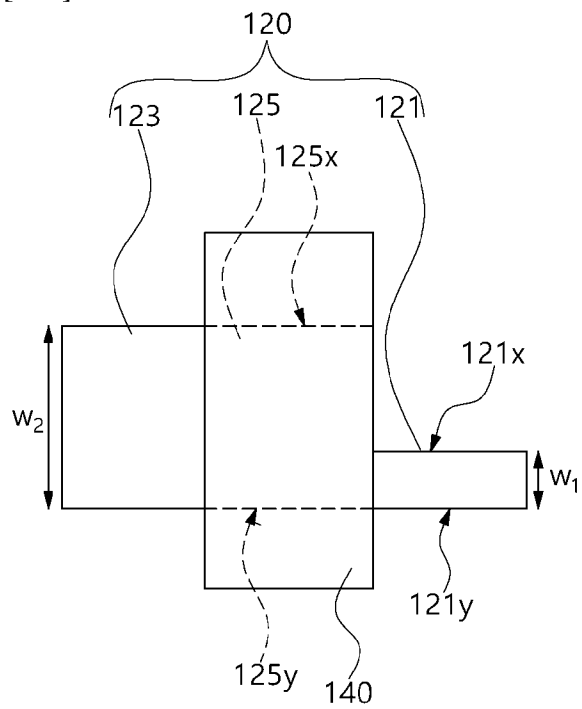
[도4b]



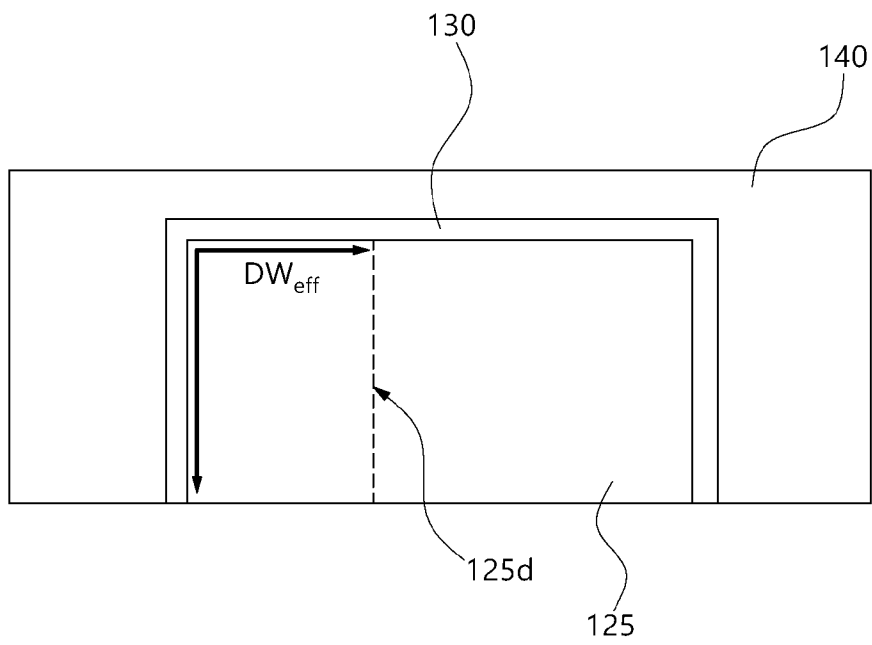
[도5]



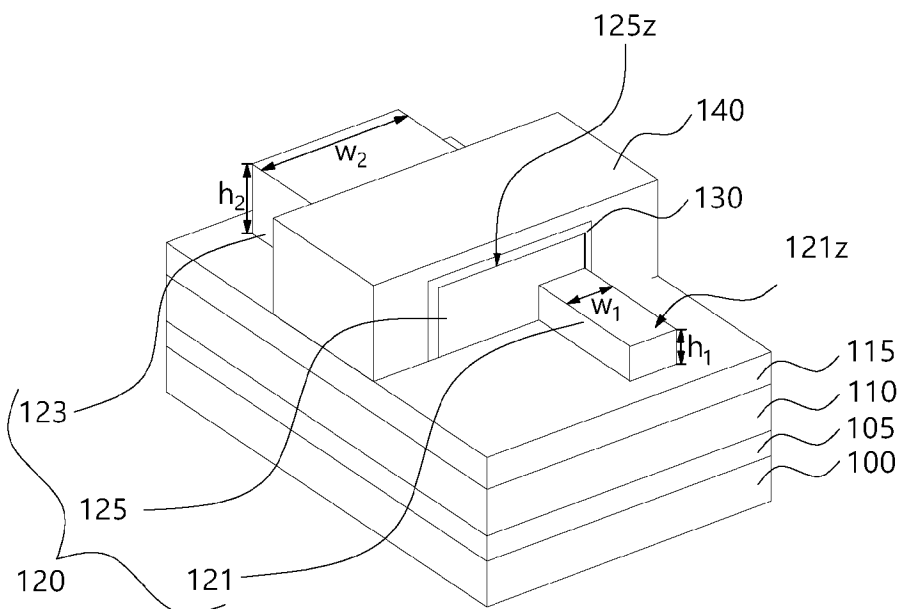
[도6]



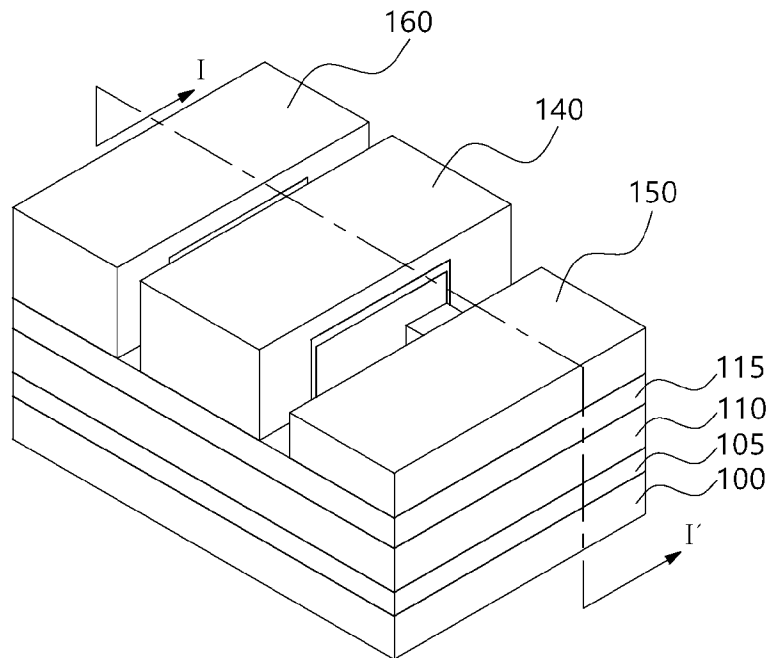
[도7]



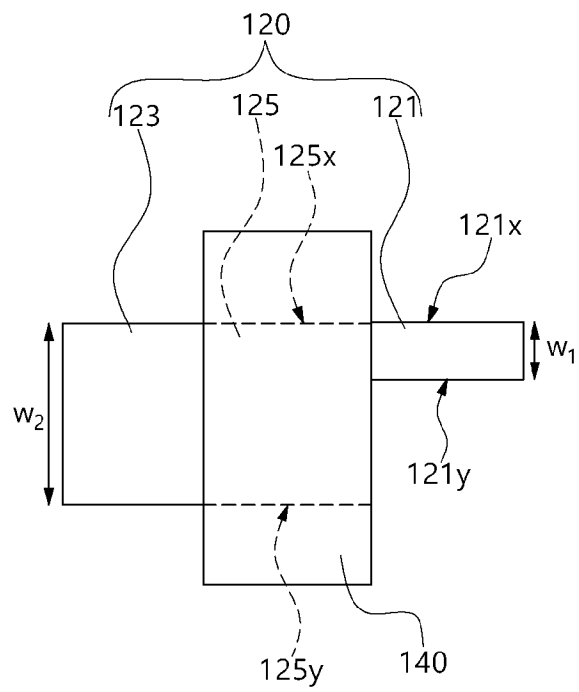
[도8a]



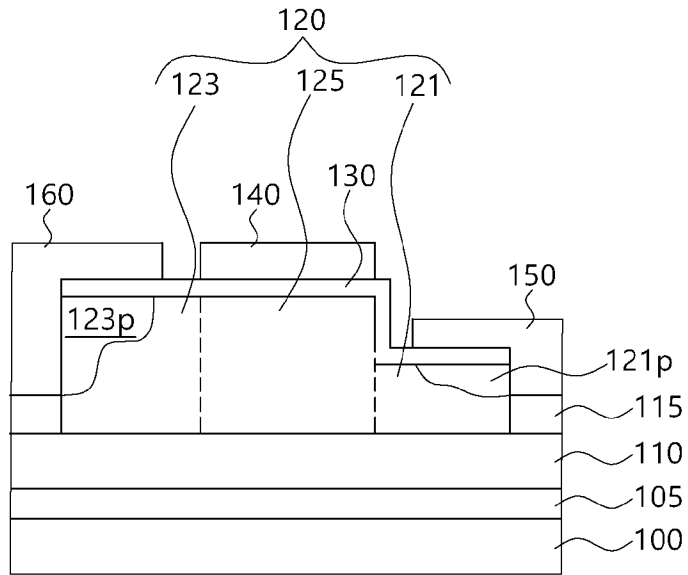
[도8b]



[도9]

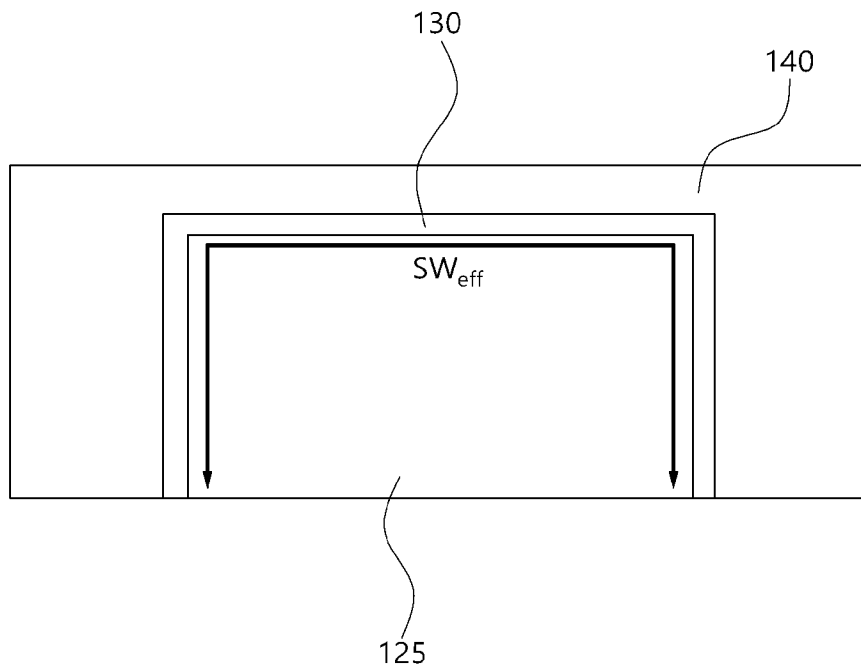


[도10]

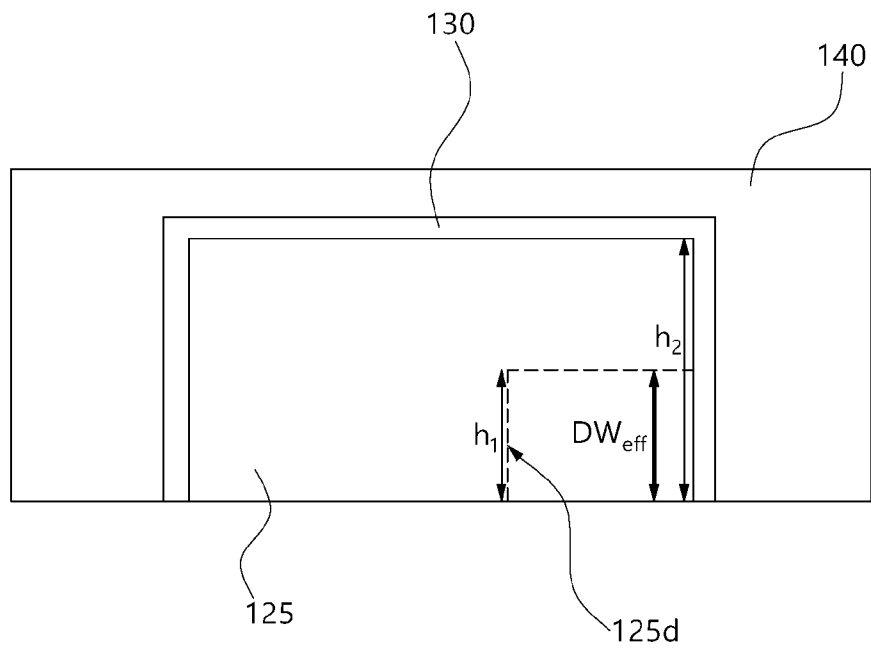


I - I'

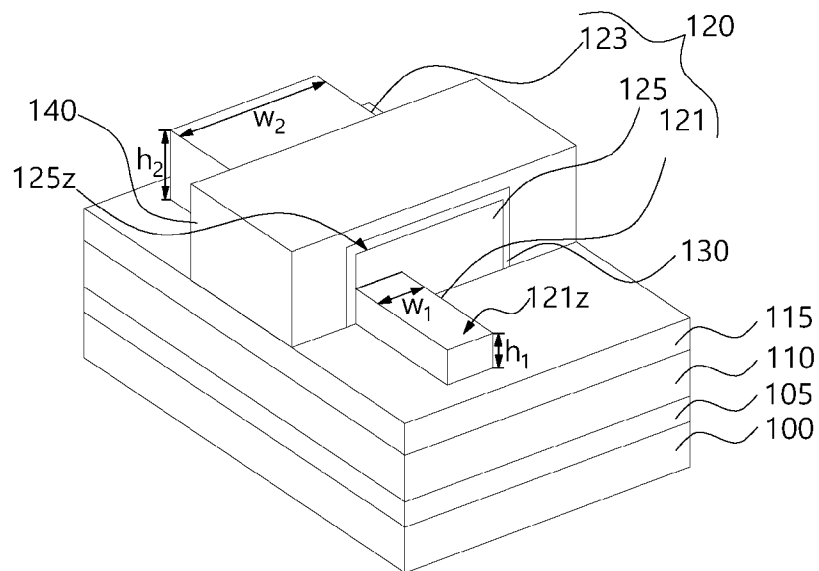
[도11a]



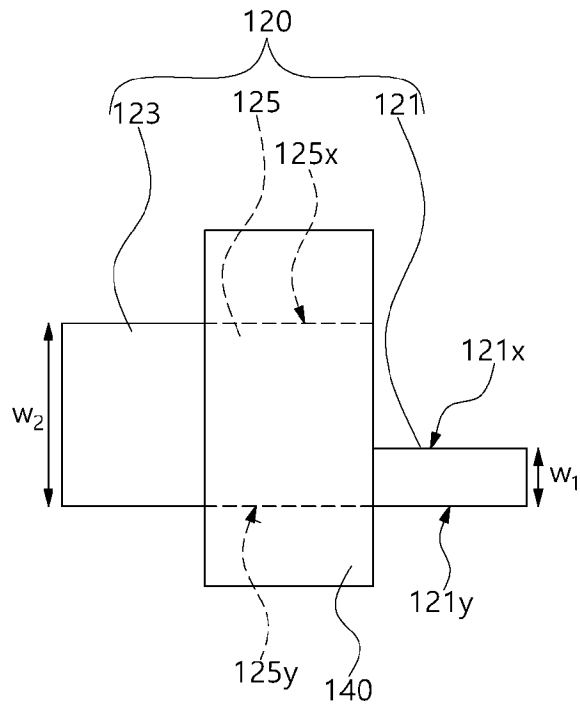
[도11b]



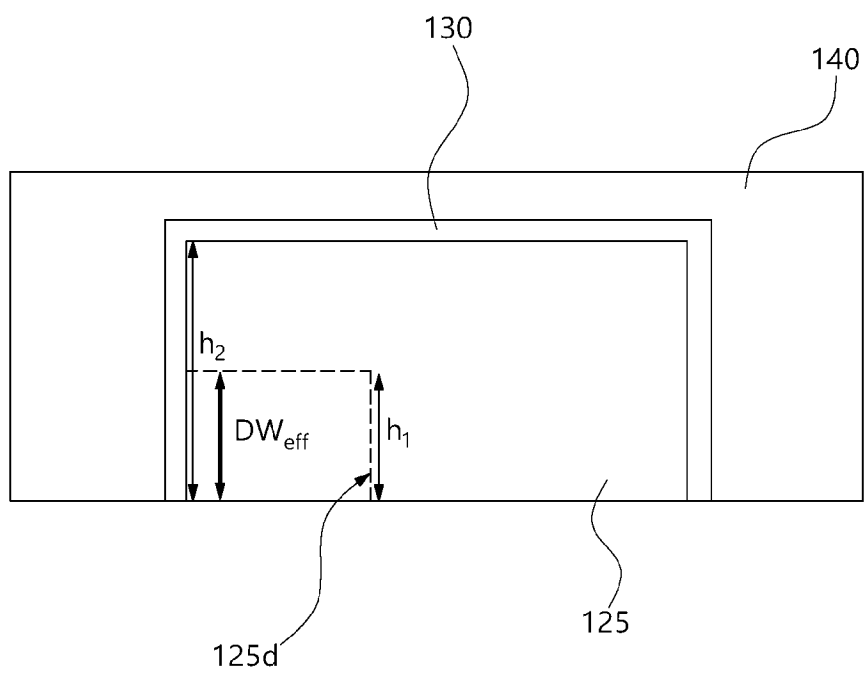
[도12]



[도13]



[도14]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2023/006526

A. CLASSIFICATION OF SUBJECT MATTER**H01L 29/739**(2006.01)i; **H01L 29/66**(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 29/739(2006.01); H01L 21/324(2006.01); H01L 21/8234(2006.01); H01L 27/088(2006.01); H01L 29/06(2006.01);
H01L 29/49(2006.01); H01L 29/66(2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean utility models and applications for utility models: IPC as above
Japanese utility models and applications for utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & keywords: 터널링(tunneling), 트랜지스터(transistor), 게이트(gate), 소오스(source), 드레인(drain)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2015-0021654 A1 (NATIONAL TSING HUA UNIVERSITY) 22 January 2015 (2015-01-22) See paragraphs [0017]-[0019], claims 1-3 and figures 1A-1B.	1-9
Y	US 2020-0335610 A1 (INTEL CORPORATION) 22 October 2020 (2020-10-22) See paragraphs [0037]-[0040] and figure 1.	1-9
A	KR 10-2017-0079188 A (KOREA ADVANCED INSTITUTE OF SCIENCE AND TECHNOLOGY) 10 July 2017 (2017-07-10) See paragraphs [0018]-[0021] and figure 1.	1-9
A	KR 10-2019-0114695 A (AJOU UNIVERSITY INDUSTRY-ACADEMIC COOPERATION FOUNDATION et al.) 10 October 2019 (2019-10-10) See paragraphs [0038]-[0075] and figures 1a-1d.	1-9
A	US 2018-0158817 A1 (GLOBALFOUNDRIES SINGAPORE PTE. LTD.) 07 June 2018 (2018-06-07) See paragraphs [0012]-[0030] and figures 1a-1d.	1-9



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

17 August 2023

Date of mailing of the international search report

17 August 2023

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon Building 4, 189 Cheongsaro, Seo-gu, Daejeon 35208

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2023/006526

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	2015-0021654	A1	22 January 2015	TW	201505173	A	01 February 2015
				TW	I556430	B	01 November 2016
				US	9076764	B2	07 July 2015
US	2020-0335610	A1	22 October 2020	US	11335793	B2	17 May 2022
				US	2022-0278227	A1	01 September 2022
				WO	2019-168515	A1	06 September 2019
KR	10-2017-0079188	A	10 July 2017	US	2017-0194428	A1	06 July 2017
				US	9997596	B2	12 June 2018
KR	10-2019-0114695	A	10 October 2019	None			
US	2018-0158817	A1	07 June 2018	US	10204903	B2	12 February 2019

A. 발명이 속하는 기술분류(국제특허분류(IPC)) H01L 29/739(2006.01)i; H01L 29/66(2006.01)i		
B. 조사된 분야 조사된 최소문헌(국제특허분류를 기재) H01L 29/739(2006.01); H01L 21/324(2006.01); H01L 21/8234(2006.01); H01L 27/088(2006.01); H01L 29/06(2006.01); H01L 29/49(2006.01); H01L 29/66(2006.01) 조사된 기술분야에 속하는 최소문헌 이외의 문헌 한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우)) eKOMPASS(특허청 내부 검색시스템) & 키워드: 터널링(tunneling), 트랜지스터(transistor), 게이트(gate), 소오스(source), 드레인(drain)		
C. 관련 문헌		
카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	US 2015-0021654 A1 (NATIONAL TSING HUA UNIVERSITY) 2015.01.22 단락 [0017]-[0019], 청구항 1-3 및 도면 1A-1B	1-9
Y	US 2020-0335610 A1 (INTEL CORPORATION) 2020.10.22 단락 [0037]-[0040] 및 도면 1	1-9
A	KR 10-2017-0079188 A (한국과학기술원) 2017.07.10 단락 [0018]-[0021] 및 도면 1	1-9
A	KR 10-2019-0114695 A (아주대학교산학협력단 등) 2019.10.10 단락 [0038]-[0075] 및 도면 1a-1d	1-9
A	US 2018-0158817 A1 (GLOBALFOUNDRIES SINGAPORE PTE. LTD.) 2018.06.07 단락 [0012]-[0030] 및 도면 1a-1d	1-9
☐ 추가 문헌이 C(계속)에 기재되어 있습니다. ☒ 대응특허에 관한 별지를 참조하십시오.		
* 인용된 문헌의 특별 카테고리: “A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌 “D” 본 국제출원에서 출원인이 인용한 문헌 “E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌 “L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌 “O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌 “P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌 “T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌 “X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다. “Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다. “&” 동일한 대응특허문헌에 속하는 문헌		
국제조사의 실제 완료일 2023년08월17일(17.08.2023)	국제조사보고서 발송일 2023년08월17일(17.08.2023)	
ISA/KR의 명칭 및 우편주소 대한민국 특허청 (35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사) 팩스 번호 +82-42-481-8578	심사관 정종한 전화번호 +82-42-481-5642	

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
US 2015-0021654 A1	2015/01/22	TW 201505173 A	2015/02/01
		TW I556430 B	2016/11/01
		US 9076764 B2	2015/07/07
US 2020-0335610 A1	2020/10/22	US 11335793 B2	2022/05/17
		US 2022-0278227 A1	2022/09/01
		WO 2019-168515 A1	2019/09/06
KR 10-2017-0079188 A	2017/07/10	US 2017-0194428 A1	2017/07/06
		US 9997596 B2	2018/06/12
KR 10-2019-0114695 A	2019/10/10	없음	
US 2018-0158817 A1	2018/06/07	US 10204903 B2	2019/02/12