

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5374504号
(P5374504)

(45) 発行日 平成25年12月25日(2013.12.25)

(24) 登録日 平成25年9月27日(2013.9.27)

(51) Int.Cl. F I
 H O 1 L 31/04 (2006.01) H O 1 L 31/04 A
 H O 1 L 21/3065 (2006.01) H O 1 L 21/302 I O 5 B

請求項の数 17 (全 19 頁)

(21) 出願番号	特願2010-516519 (P2010-516519)	(73) 特許権者	591060898
(86) (22) 出願日	平成20年7月18日 (2008.7.18)		アイメック
(65) 公表番号	特表2010-533969 (P2010-533969A)		I M E C
(43) 公表日	平成22年10月28日 (2010.10.28)		ベルギー、ペー 3001ルーヴァン、カ
(86) 国際出願番号	PCT/EP2008/059463		ペルドリーフ75番
(87) 国際公開番号	W02009/010585	(74) 代理人	100101454
(87) 国際公開日	平成21年1月22日 (2009.1.22)		弁理士 山田 卓二
審査請求日	平成23年1月19日 (2011.1.19)	(74) 代理人	100081422
(31) 優先権主張番号	60/950,531		弁理士 田中 光雄
(32) 優先日	平成19年7月18日 (2007.7.18)	(74) 代理人	100100479
(33) 優先権主張国	米国 (US)		弁理士 竹内 三喜夫
		(74) 代理人	100112911
			弁理士 中野 晴夫

最終頁に続く

(54) 【発明の名称】 エミッタ構造の作製方法とその結果のエミッタ構造

(57) 【特許請求の範囲】

【請求項 1】

基板(10)の上にエミッタ構造(5)を形成する方法であって、

基板(10)の上に、ドーピングされた半導体材料を含む第1層(20)をエピタキシャル成長する工程であって、ドーピングされた半導体材料は、基板のドーピング型と反対の第1ドーピング型のドーパントでドーピングされた工程と、

その後、第1層(20)の表面をテクスチャして、これにより第1テクスチャ面(21)を有する第1エミッタ領域(11)を、第1層(20)から形成する工程と、

続いて、第1テクスチャ面(21)に、第2テクスチャ面(22)を有する第2エミッタ領域(12)を形成する工程と、を含む方法。

【請求項 2】

第1層(20)を形成する工程は、基板(10)の表面上に第1層(20)をエピタキシャル成長する工程を含む請求項1に記載の方法。

【請求項 3】

第1層(20)の表面をテクスチャする工程は、第1層(20)をプラズマエッチングする工程を含む請求項1または2に記載の方法。

【請求項 4】

第2エミッタ領域(12)を形成する工程は、第1テクスチャ面(21)の上に第2エミッタ領域(12)を成長する工程を含む請求項1～3のいずれか1項に記載の方法。

【請求項 5】

10

20

第2エミッタ領域(12)を成長する工程は、第2エミッタ領域(12)をエピタキシャル成長する工程を含む請求項4に記載の方法。

【請求項6】

第2エミッタ領域(12)を形成する工程は、第1エミッタ領域(11)の中の上部に第2エミッタ領域(12)を形成する工程を含む請求項1～3のいずれか1項に記載の方法。

【請求項7】

第2エミッタ領域(12)を形成する工程は、拡散、注入、またはレーザードーピングの手段により第2エミッタ領域を形成する工程を含む請求項6に記載の方法。

【請求項8】

第1エミッタ領域(11)と、第1エミッタ領域(11)に隣接する第2エミッタ領域(12)とを含み、第1エミッタ領域(11)と第2エミッタ領域(12)との間に界面(14)を有するエミッタ構造(5)であって、

第1エミッタ領域(11)と第2エミッタ領域(12)との間の界面(14)がテクスチャ界面(14)であるエミッタ構造(5)。

【請求項9】

第1エミッタ領域(11)の平均厚さは、 $0.2\mu\text{m}$ から $10\mu\text{m}$ までの間である請求項8に記載のエミッタ構造(5)。

【請求項10】

第1エミッタ領域(11)は、 10^{15}cm^{-3} から 10^{19}cm^{-3} までの間のドーピング濃度を有する請求項8または9に記載のエミッタ構造(5)。

【請求項11】

第1エミッタ領域(11)は、一定または一定でないドーピング濃度を有する請求項8～10のいずれか1項に記載のエミッタ構造(5)。

【請求項12】

第2エミッタ領域(12)の平均厚さは、 5nm から $1\mu\text{m}$ までの間である請求項8～11のいずれか1項に記載のエミッタ構造(5)。

【請求項13】

第2エミッタ領域(12)は、 $5\times 10^{18}\text{cm}^{-3}$ から 10^{22}cm^{-3} までの間のドーピング濃度を有する請求項8～12のいずれか1項に記載のエミッタ構造(5)。

【請求項14】

第2エミッタ領域(12)は、一定または一定でないドーピング濃度を有する請求項8～13のいずれか1項に記載のエミッタ構造(5)。

【請求項15】

界面(14)における第2エミッタ領域(12)のドーピング濃度は、界面(14)における第1エミッタ領域(11)のドーピング濃度より少なくとも10倍高い請求項8～14のいずれか1項に記載のエミッタ構造(5)。

【請求項16】

ベース領域(13)と、請求項8～15のいずれか1項にかかるエミッタ構造(5)とを含む光起電デバイス。

【請求項17】

更に、ベース領域(13)とエミッタ構造(5)との間に、意図せずにドーピングされた層(30)を含む請求項16に記載の光起電デバイス。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、例えば光起電デバイスのエミッタのようなエミッタ構造の作製方法と、その結果のエミッタ構造、およびそのようなエミッタ構造を含むデバイスに関する。

【背景技術】

【0002】

10

20

30

40

50

結晶シリコン太陽電池のエミッタは、殆どの場合、拡散工程の手段により形成される。例えば、p型シリコンウエハ上に形成されたバルク結晶シリコン太陽電池の場合、n型ドーパント（例えばP）がウエハ中に拡散され、n型ドーパントがp型ドーパント（例えばBまたはGa）を過補償して、p-n接合が形成される。エミッタ拡散工程は、通常、表面（光を受けることを意図した光起電デバイスの表面）のテクスチャ（texturing）後に、光起電セルの表面で行われる。テクスチャの主な目的は、表面における光の反射を減らすことである。エミッタ拡散工程では、一般に、ガウス分布プロファイルのn型ドーパントが得られ、表面で高いドーパント濃度（例えば $\sim 10^{20} \text{ cm}^{-3}$ ）を有する。この高い表面濃度は、特に金属グリッドが工業的スクリーン印刷プロセスの手段で形成された場合に、表面側金属のために良好なコンタクト抵抗を得るために必要である。しかしながら、高い表面濃度は、また、高ドーピング効果によって短波長応答の低下や、エミッタ領域での再結合の増加を招く。

10

【0003】

短波長応答を改良するために、選択されたエミッタ構造が使用され（例えばUS 6,552,414に開示）、金属グリッドの下部に高ドーパされたエミッタ領域が形成され、グリッドの金属コンタクトの間に低ドーパされたエミッタ領域が形成され、この低ドーパされたエミッタ領域は表面再結合がより低くなり、高ドーパされたエミッタに比べて拡張されたブルー応答となる。しかしながら、選択されたエミッタ構造は、リソグラフィを含む追加のプロセス工程を必要とし、太陽電池の大量生産に工業的に適用できない。更に、選択されたエミッタ構造の高ドーパされたエミッタ領域に対して金属グリッドがミスアライメントされると、接合を通る金属の貫通により接合リークとなり、このリークの結果、開回路電圧が低くなる。

20

【0004】

拡散により光起電セルのエミッタを形成する代わりに、例えば化学気相堆積（CVD）により、基板の上にエミッタを成長させることも可能であり、例えばSchmichらの「結晶シリコン薄膜太陽電池のためのエミッタエピタキシ」（Proceedings of the 21st European Photovoltaic Solar Energy Conference and Exhibition, Dresden, 2006, page 734）にエピタキシャルセルが記載される。CVD成長のエミッタの形成は、非テクスチャ表面で実現される。それゆえに、表面における反射により損失は比較的高い。

30

【0005】

本発明の目的は、従来技術の問題を低減または回避する、エミッタ構造を作製する方法を提供することである。本発明の他の目的は、エミッタ構造およびそのようなエミッタ構造を含む光起電セルを提供することである。

【発明の概要】

【課題を解決するための手段】

【0006】

1の形態では、本発明は、基板上にエミッタ構造を形成する方法を提供する。この方法は、基板上に、半導体材料を含む第1層を形成する工程と、第1層の表面のテクスチャを行い、第1層から、第1テクスチャ面を有する第1エミッタ領域を形成する工程と、第2テクスチャ面を有する第2エミッタ領域を第1テクスチャ面に形成する工程とを含む。

40

【0007】

本発明にかかる具体例では、第1層を形成する工程は、基板の表面上に第1層をエピタキシャル成長させる工程を含んでも良い。

【0008】

本発明にかかる具体例では、第1層の表面をテクスチャする工程は、第1層をプラズマエッチングする工程を含んでも良い。

【0009】

本発明の具体例では、第2エミッタ領域を形成する工程は、第1テクスチャ面の上に第2エミッタ領域を成長する工程を含んでも良い。第2エミッタ領域の成長工程は、第2

50

エミッタ領域をエピタキシャル成長させる工程を含んでも良い。

【 0 0 1 0 】

本発明にかかる他の具体例では、第2エミッタ領域を形成する工程は、第1エミッタ領域中の上部に第2エミッタ領域を形成する工程を含んでも良い。第2エミッタ領域の形成は、例えば拡散や注入またはレーザードーピングのようなドーパント導入手段により第2エミッタ領域を形成する工程を含んでも良い。

【 0 0 1 1 】

本発明の具体例は、このように、中間のテクスチャ工程を有するダブルエミッタ構造を形成する方法を提供するものであり、エミッタ構造の少なくとも一部は、基板上にエピタキシャル成長させても良い。ダブルエミッタ構造を形成する方法は、基板上に、例えば厚さが $0.2 \mu\text{m}$ と $10 \mu\text{m}$ との間で、ドーピング濃度が 10^{15} cm^{-3} と 10^{19} cm^{-3} の間である厚くて中くらいにドーブされ、テクスチャ表面を有する第1エミッタ領域を形成する工程と、第1エミッタ領域のテクスチャ表面に、例えば厚さが 5 nm と $1 \mu\text{m}$ との間で、ドーピング濃度が $5 \times 10^{18} \text{ cm}^{-3}$ と 10^{22} cm^{-3} の間である薄くて高ドーブされた第2エミッタ領域を形成する工程とを含む。

【 0 0 1 2 】

他の形態では、本発明は、第1エミッタ領域と、第1エミッタ領域に隣接した第2エミッタ領域とを含み、第1エミッタ領域と第2エミッタ領域との間に界面を有するエミッタ構造を提供する。第1エミッタ領域と第2エミッタ領域との間の界面は、テクスチャ界面である。第1エミッタ領域と第2エミッタ領域との間のテクスチャ界面は、本発明の具体例にかかるそのようなエミッタ構造を用いて形成された光起電セル中で良好な曲線因子 (fill factor) と良好な短絡電流を提供する。

【 0 0 1 3 】

本発明の具体例にかかるエミッタ構造中で、第1エミッタ領域の平均厚さは $0.2 \mu\text{m}$ と $10 \mu\text{m}$ の間である。本発明の具体例にかかるエミッタ構造中で、第1エミッタ領域は、 10^{15} cm^{-3} と 10^{19} cm^{-3} の間のドーピング濃度を有する。本発明の具体例にかかるエミッタ構造中で、第1エミッタ領域は、その厚さ方向に一定のドーピング濃度を有する。本発明の他の具体例では、第1エミッタ領域は、その厚さ方向に一定でないドーピング濃度を有し、例えば第1エミッタ領域と第2エミッタ領域の間の界面において、第1エミッタ領域の他の部分より高いドーパント濃度を有する。

【 0 0 1 4 】

本発明の具体例にかかるエミッタ構造中で、第2エミッタ領域の平均厚さは、第1エミッタ領域の平均厚さより小さい。本発明の具体例では、第2エミッタ領域の厚さは、 5 nm と $1 \mu\text{m}$ の間である。本発明の具体例では、第2エミッタ領域は、第1エミッタ領域のドーピング濃度より高いドーピング濃度を有する。本発明の具体例では、第2エミッタ領域は、 $5 \times 10^{18} \text{ cm}^{-3}$ と 10^{22} cm^{-3} の間のドーピング濃度を有する。本発明の具体例では、第2エミッタ領域は、その厚さ方向に一定でないドーピング濃度を有し、例えばその厚さ方向で次第に変わるドーパント濃度を有し、特に第1エミッタ領域と第2エミッタ領域の間の界面におけるレベルが、第2エミッタ領域の他のレベルより低いドーパント濃度を有する。本発明の具体例では、界面における第2エミッタ領域のドーピング濃度は、界面における第1エミッタ領域のドーピング濃度より、少なくとも10倍高い。本発明の具体例にかかるエミッタ構造の特徴は、第1エミッタ領域と第2エミッタ領域の間のドーピング濃度の違いが、表面パッシベーション効果を有する表面場 (Front Surface Field) を形成することである。

【 0 0 1 5 】

本発明の他の形態では、ベース領域と、本発明のエミッタ構造の具体例にかかるエミッタ構造を含む光起電デバイスを提供する。そのような本発明の具体例にかかる光起電デバイスは、更にベース領域とエミッタ構造との間に意図せずにドーブされた層を含んでも良い。

【 0 0 1 6 】

本発明の具体例は、更に、上述の方法で形成されたエミッタ構造と、そのようなエミッタ構造を含む光起電セルを提供する。本発明の具体例のダブルエミッタ構造は、例えば $0.2\ \mu\text{m}$ と $10\ \mu\text{m}$ の間の厚さのように比較的厚く、そして $10^{15}\ \text{cm}^{-3}$ と $10^{19}\ \text{cm}^{-3}$ の間のドーピング濃度のような中くらいにドーピングされた第1エミッタ領域と、この第1エミッタ領域に隣接する、例えば $5\ \text{nm}$ と $1\ \mu\text{m}$ の間の厚さのように薄く、そして $5 \times 10^{18}\ \text{cm}^{-3}$ と $10^{22}\ \text{cm}^{-3}$ の間のドーピング濃度のように高ドーピングされた第2エミッタ領域とを含む。第1エミッタ領域と第2エミッタ領域との間の界面は、テクスチャ界面である。光起電デバイスに用いられた場合、本発明の具体例にかかるエミッタ構造は、第1エミッタ領域の中くらいのドーピング濃度のために良好な短波長応答となり、第2エミッタ領域の高ドーピング濃度のために良好な表面コンタクト抵抗となる。本発明の具体例の特徴は、例えば接合リークを避けるために、光起電デバイスの表面金属グリッドを高ドーピングされた領域にアラインメントする必要が無いことである。本発明の具体例にかかるエミッタ構造を含む光起電セルは、従来のデバイスに比較して、接合を貫通する金属に起因するリークに、より敏感では無い。なぜならば、エミッタ構造は、例えば $205\ \text{nm}$ と $11\ \mu\text{m}$ の間の厚さを有するように比較的厚く、これにより接合が比較的深いからである。光起電セルの表面における反射による損失は、テクスチャ表面を有することで低減できる。

【図面の簡単な説明】

【0017】

【図1】本発明の具体例にかかるエミッタ構造であり、第2エミッタ領域と第1エミッタ領域の間の界面の深さ d を示す。

【図2】本発明の具体例にかかるエミッタ構造の形成プロセスを示す。

【図3】本発明の具体例にかかるエミッタ構造を有するエピタキシャル光起電セルの断面図を示す。

【図4】本発明の具体例にかかる、バルク基板上に直接形成された、バルク基板とエミッタ構造を有する光起電セルの断面図を示す。

【図5】アンドープまたは意図せずにドーピングされた層が、ベース領域とエミッタ構造の間に形成された本発明の具体例を示す。

【図6】完成したエミッタスタックをテクスチャした場合（即ち、第2エミッタ領域の形成後）（左図）と、第1エミッタ領域のテクスチャに続いて、例えば成長により、本発明の具体例にかかる第2エミッタ領域の形成が行われた場合（右図）の比較を示す。

【図7a】第1エミッタ領域のテクスチャ表面のSEM像を示す。

【図7b】本発明の具体例にかかる第1エミッタ領域のテクスチャ表面の上に、高ドーピング第2エミッタ領域を成長した後の、表面のSEM像を示す。

【図8】異なる試料についてのIQE（内部量子効率）のグラフを示す。

【例示的な具体例の記載】

【0018】

本発明は、特定の具体例について、添付図面を参照しながら詳細に説明するが、本発明はこれらにより限定されるものではなく、請求の範囲によってのみ限定されるものである。記載された図面は、単に概略であり、限定するものではない。図面において、図示目的で、いくつかの要素の大きさは拡張され、縮尺通りに記載されていない。

【0019】

更に、記載や請求の範囲中の、第1、第2、第3等の用語は、類似の要素の間で区別するために使用され、連続した、年代順の順序を表す必要はない。そのように使用される用語は、適当な状況下で入替え可能であり、ここに記載された発明の具体例は、ここに記載や図示されたものと異なる順序によっても操作できることを理解すべきである。

【0020】

また、記載や請求の範囲中の、上、下、上に、下に等の用語は、記載目的のために使用され、相対的な位置を示すものではない。そのように使用される用語は、適当な状況下で入替え可能であり、ここに記載された発明は、ここに記載や図示されたものと異なる位置

でも操作できることを理解すべきである。

【0021】

本発明の記載目的で、光起電セルの文脈中では、テクスチャは、セルの表面において反射を（十分に）低減するために行われ、例えば100nmまたはそれ以上、例えば少なくとも500nmのような形状を有する微小規模の粗さに関する。

【0022】

本記載の目的のために、エミッタ構造は、光起電デバイスのようなデバイスの表面で、（12μmまで、例えば0.2μmと10μmの間、例えば2μmと10μmの間、例えば5μmと10μmの間の厚さを有する）薄い半導体層として規定され、このエミッタ領域は、第1ドーパント型のドーパントでドーブされ、デバイスのより厚い下層のベースは、第1ドーパントと反対の極性を有する第2ドーパント型のドーパントでドーブされる。例えば、本発明の具体例では、エミッタ構造はドナー原子でドーブされ、アクセプタ原子でドーブされたデバイスの下層のより厚いベースに比べて反対の極性となる。代わりの具体例では、エミッタ構造はアクセプタ原子でドーブされ、ドナー原子でドーブされたデバイスの下層のより厚いベースに比べて反対の極性となる。ベースとの組み合わせで、エミッタ構造は、光起電デバイスのようなデバイスのpn接合またはnp接合を形成する。

【0023】

本発明は、更に、光起電デバイスの表面で適用されるエミッタ構造について記載する。光起電デバイスの裏面に対向する表面は、光源に向かって配置され、これにより光を受ける。しかしながら、他の構成も可能である。例えば、本発明の具体例では、エミッタ構造は光起電デバイスの裏面に適用しても良い。代わりの具体例では、エミッタ構造は、光起電デバイスの表面および裏面の双方に形成されても良い。

【0024】

更なる記載では、第1エミッタ領域および第2エミッタ領域の厚さを示すために、平均の厚さを用いる。それらの領域の厚さは、テクスチャ表面を有するために、一般には均一ではない。行われた実験では、第1エミッタ領域の平均厚さは、試料の重さ測定に基づいて計算された。第1エミッタ領域の上に成長した第2エミッタ領域の平均厚さは、第2エミッタ領域の成長に使用されるのと同じ成長条件で、平坦な表面上に成長した層の厚さを測定して決定された。

【0025】

本発明は、エミッタ構造を形成する方法と、それにより得られたエミッタ構造、およびそのようなエミッタ構造を含む光起電デバイスに関する。

【0026】

第1の形態では、本発明は、第1エミッタ領域11と、第1エミッタ領域11に隣接する第2エミッタ領域12とを含むエミッタ構造5を提供する。隣接する第1エミッタ領域11と第2エミッタ領域12の間の界面14は、テクスチャ界面14である。

【0027】

本発明の具体例にかかるエミッタ構造5は、例えば図1に示すように、互いに隣り合い、隣接する2つの部分または領域、特に第1エミッタ領域11と第2エミッタ領域12を含む。第1エミッタ領域11は、中くらいにドーブされ、比較的厚い層または層のスタックである。本発明の具体例では、第1エミッタ領域11のドーピング濃度は、 10^{15} cm^{-3} と 10^{19} cm^{-3} の間である。第1エミッタ領域の平均厚さは、例えば0.2μmと10μmの間、または0.2μmと7μmの間、または0.2μmと4μmの間である。第2エミッタ領域は、高ドーブであり、薄い層または層のスタックである。第2エミッタ領域12のドーピング濃度は、第1エミッタ領域11のドーピング濃度より高い。第2エミッタ領域12のドーピング濃度は、 $5 \times 10^{18} \text{ cm}^{-3}$ と 10^{22} cm^{-3} の間である。第2エミッタ領域12の厚さは、第1エミッタ領域11の厚さより小さい。第2エミッタ領域12は、5nmより大きく、1μmより小さい、500nmより小さい、250nmより小さい、200nmより小さい、150nmより小さい、100nmより小さい、50nmより小さい、40nmより小さい、または25nmより小さい平均厚さを

有する。

【0028】

本発明の具体例にかかるエミッタ構造は、光起電デバイスのエミッタとして使用できる。この場合、第2エミッタ領域12は光起電デバイスの表面に近接して配置され、第1エミッタ領域11は、光起電デバイスの第2エミッタ領域12とベース領域13の間に配置される。高ドーパされた第2エミッタ領域12は、光起電セルの表面において、メタライゼーションとの良好な電氣的コンタクトを確実にする。更に、第1エミッタ領域11と第2エミッタ領域12との間の界面における、ドーピング濃度の大きな違いは、強くて有益な電場を形成する。本発明の具体例では、第1エミッタ領域11と第2エミッタ領域12との間の界面14は、テクスチャ界面である。

10

【0029】

第2の形態では、本発明は、基板10の上にエミッタ構造5を形成する方法を提供する。この方法は、基板10の上に、半導体材料を含む第1層20を形成する工程と、第1層20の表面をテクスチャして、第1層20から、第1テクスチャ面21を有する第1エミッタ領域11を形成する工程と、第1テクスチャ面21に、第2テクスチャ面22を有する第2エミッタ領域12を形成する工程とを含む。

【0030】

本発明の具体例にかかるエミッタ構造5を基板10の上に形成する方法は、図2に示される。本発明は、更にシリコンを含む基板10について記載される。しかしながら、例えばシリコン以外の半導体材料を含む基板、高温ガラス基板、またはセラミック基板のような、当業者に知られた他の適当な基板を用いても良い。本発明は、更に、シリコンを含むエミッタ構造5について記載されるが、当業者に知られた他の半導体材料を、エミッタ構造5を形成するために使用しても良い。n型エミッタ構造5を形成する方法が記載され、エミッタ構造5は、例えばリンやヒ素のようなn型ドーパントを用いてドーパされる。しかしながら、この方法は、p型エミッタ構造を形成するのに使用しても良く、エミッタ構造5は、例えばホウ素やアルミニウムのようなp型ドーパントをドーパントに用いてドーパされる。

20

【0031】

本発明にかかる方法では、例えば第1nドーパシリコン層20のような第1ドーパント型の第1半導体層が、第1エミッタ領域11を形成するために、基板10の上に形成される(図2(a))。光起電デバイスを作製する場合、基板10はベース領域13として働き、または第1エミッタ領域11を形成した後に基板10の上にベース領域13が設けられる。例えば第1nドーパシリコン層20のような第1ドーパント型の半導体層は、例えば常圧CVD、減圧CVD、低圧CVD、またはプラズマCVDのような化学気相堆積(CVD)の手段により、基板10の上にエピタキシャル成長される。CVD成長は、例えばシラン(SiH_4)またはいずれかのクロロシラン(例えばトリクロロシラン(TCSS)またはジクロロシラン(DCS))のような前駆体をシリコンソースとして、n型ドーパントソース(例えばアルシン(AsH_3))やフォスフィン(PH_3))と組み合わせて行われる。CVD成長が行われる温度は、使用されるシリコンソースに依存し、例えば700(シリコンソースとしてシランを用いた場合)と1175(シリコンソースとしてTCSSを用いた場合)の間となる。

30

40

【0032】

例えば第1nドーパシリコン層20のような第1ドーパント型の第1半導体層を形成した後、例えば第1nドーパシリコン層20の表面のような、この層の表面がテクスチャされ、これにより、第1エミッタ領域11と第1テクスチャ面21を形成する(図2(b))。表面のテクスチャは、入射光の反射を低減し、これにより光起電デバイスの短絡電流(J_{sc})を増加させる。これは、光起電デバイスの活性層の光学膜厚を大きくする光トラッピング法(light trapping method)である。図では、テクスチャ面はピラミッド形状を含む面として記載されているが、表面をテクスチャするために用いられる方法に依存して、他の表面テクスチャも可能である(例えば、図7(a))。テクスチャ

50

ュアは、第1半導体層の表面における、規則性または不規則性の面でも良い。テクスチュアは、例えばウエットまたはドライエッチング等のエッチングのような、適した半導体除去方法で行われる。テクスチュア工程は、先に成長させた第1シリコン層20の一部を除去する。本発明の具体例では、テクスチュア工程は、下部の層から如何なる材料も除去しない。即ち、テクスチュアプロセスで除去される材料の量は、エミッタ構造5が形成される第1テクスチュア面21全体において少なくとも第1シリコン層20の一部が残り、エミッタ構造5が形成される全表面において、第1エミッタ領域11が得られる量である。エピタキシャル成長は高価なプロセスであるため、テクスチュア工程中の、例えばシリコンの除去のような半導体材料の除去は制限される(例えば、 $0.5\mu\text{m}$ から $2.5\mu\text{m}$ の半導体材料の除去)。更に、テクスチュアプロセスは、平坦なエピタキシャル表面上の、信頼性があり再現性のあるプロセスでも良い。理想的には、テクスチュアされた表面はランパート屈折器である。

10

【0033】

ハロゲン化学に基づくプラズマエッチング(フッ素または塩素プラズマ)が、例えばそれらの目的を達成するために使用される。この技術を用いることで、10%と15%の間(テクスチュア前は30-35%)の表面反射が、半導体材料を非常に限定された量だけ除去($0.5\mu\text{m}$ から $2\mu\text{m}$ の除去)することで達成できる。プラズマテクスチュアは、非テクスチュアデバイスと比較して、光起電セルのレベルに、例えばより低い反射、斜め光結合、および(半導体材料と金属との間により高いコンタクト領域があるため)より低いコンタクト抵抗のような多くの長所をもたらす。短絡電流の改良は、 $1.0\text{mA}/\text{cm}^2$ と $1.5\text{mA}/\text{cm}^2$ との間で定まる。

20

【0034】

プラズマエッチングの他に、例えばウエット化学エッチング(例えばフッ化水素(HF)および/または硝酸(HNO_3)および選択的に他の酢酸(CH_3COOH)および/または水を含む溶液に基づく酸エッチング、水酸化カリウム(KOH)および水、または水酸化ナトリウム(NaOH)および水を含む溶液に基づくアルカリエッチングのような)他のテクスチュア技術が、必要であればリソグラフィマスクと組み合わせて用いられても良い。更に、アルカリエッチングのためのイソプロピルアルコールのような、添加物が用いられても良い。しかしながら、一般に、プラズマエッチングに比較して、より多くの、例えばシリコンのような半導体材料が、それらのエッチング方法では除去される。

30

【0035】

第1エミッタ領域11の表面をテクスチュアした後、第1テクスチュア面21に、高いドーピング濃度の半導体材料の薄層を形成することにより、第2エミッタ領域12が形成される。半導体材料の第2層のドーピングは、例えばn型のような第1ドーパント型のドーパントを用いて行われる。本発明の一の具体例では、図2(c)に示すように、第2エミッタ領域12は、例えば化学気相堆積のような半導体材料の堆積手段を用いて、第1エミッタ領域11の上の形成される。ドーピングは、半導体材料の第2層の堆積中に、その場(in-situ)で行われる。代わりに、ドーピングは、半導体材料の第2層を形成した後に行っても良い。本発明の他の具体例では、図2(d)に示すように、例えばn型のような第1ドーパント型のドーパントの拡散手段により、第2エミッタ領域12は、第1エミッタ領域11の中の上部に形成されても良い。第1エミッタ領域11の上部は、第1テクスチュア面21に隣接する第1エミッタ領域11の部分である。第2エミッタ領域12を形成した後、第2テクスチュア面22が、表面において得られる。第1エミッタ領域11と第2エミッタ領域12との間の界面は、テクスチュア界面14である。第2エミッタ領域12が第1エミッタ領域11の中の上部に形成された本発明の具体例では、第2テクスチュア面22は、第1テクスチュア面21と一致する。

40

【0036】

第1エミッタ領域11を形成する工程は、少なくとも1つの第1エミッタ層を含む第1エミッタスタックを形成する工程を含んでも良い。第1エミッタスタックは、1つのエミッタ層からなっても良い。

50

【0037】

第1エミッタ領域11（または少なくとも1つの第1エミッタ層を含む第1エミッタスタック）は、 $0.2\mu\text{m}$ と $10\mu\text{m}$ の間、 $0.2\mu\text{m}$ と $7\mu\text{m}$ の間、または $0.2\mu\text{m}$ と $4\mu\text{m}$ の間の全平均厚さを有する。第1エミッタ領域11のドーピング濃度は、 10^{15}cm^{-3} と 10^{19}cm^{-3} の間である。第1エミッタスタックが、1つの第1エミッタ層からなる場合、ドーパントプロファイルは、1つの第1エミッタ層中で、基板10の表面に実質的に垂直な方向に、基板10の裏面から表面に向かって次第にドーピング濃度が増加するように提供されても良い。本発明の具体例では、次第に増加するドーパント濃度の、最も低いドーピング濃度は 10^{15}cm^{-3} であり、最も高いドーパント濃度は、 10^{19}cm^{-3} より高くはない。即ち、ドーピングプロファイルのドーピング濃度は、 10^{15}cm^{-3} と 10^{19}cm^{-3} の間となる。第1エミッタスタックが1より多くの第1エミッタ層からなる場合、次第に増加するドーピング濃度は、第1エミッタスタックの異なる層の中で、基板10の表面に実質的に垂直な方向に、基板10の裏面から表面に向かって次第にドーピング濃度が増加するように提供されても良い。それぞれの層のドーピング濃度は、一定、または、基板10の表面に実質的に垂直な方向に、基板10の裏面から表面に向かって次第にドーピング濃度が増加するように、提供されても良い。本発明の具体例では、エミッタスタック中の層の、より低いドーピング濃度は、 10^{15}cm^{-3} であり、エミッタスタック中の層の、最も高いドーパント濃度は、 10^{19}cm^{-3} より高くはない。即ち、スタック中の層のドーピング濃度は、 10^{15}cm^{-3} と 10^{19}cm^{-3} の間となる。

10

20

【0038】

本発明の具体例では、第1テクスチャ面21に第2エミッタ領域12を形成する工程は、例えばCVD成長の手段のような、適した方法により、第1テクスチャ面21の上に第2エミッタ領域12を形成する工程を含む。第2エミッタ領域12を形成する工程は、少なくとも1つの第2エミッタ層を含む第2エミッタスタックを形成する工程を含んでも良い。第2エミッタスタックは、1つの第2エミッタ層からなっても良い。

【0039】

本発明の具体例では、第1テクスチャ面21の上に形成された第2エミッタ領域は、 5nm より大きく 250nm より小さい、または 200nm より小さい、または 150nm より小さい、または 100nm より小さい、または 50nm より小さい、または 40nm より小さい、または 25nm より小さい全平均厚さを有する。第2エミッタ領域12は、第1エミッタ領域11の厚さより、小さな厚さを有しても良い。第2エミッタ領域12（または少なくとも1つの第2エミッタ層を含む第2エミッタスタック）は、第1エミッタ領域11のドーピング濃度より実質的に高いドーピング濃度を有する。特長的には、第1エミッタ領域11と第2エミッタ領域12の間の界面14におけるドーピング濃度は、少なくとも1桁の大きさだけ異なる、即ち、少なくとも10倍である。特定の具体例では、ドーピング濃度の違いは100倍である。特定の具体例では、ドーピング濃度の違いは1000倍、10000倍、または100000倍異なる。第1テクスチャ面21の上に形成された第2エミッタ領域12の濃度は、 $5 \times 10^{18}\text{cm}^{-3}$ と $5 \times 10^{21}\text{cm}^{-3}$ の間である。

30

40

【0040】

第2エミッタ領域12または少なくとも1つの第2エミッタ層を含む第2エミッタスタックは、例えば、CVD、電子ビーム（e-beam）蒸着、またはスパッタ技術のような、適した半導体材料堆積技術の手段により形成される。CVDを用いる長所は、高い材料品質が得られることである。堆積されたエピタキシャル層の品質は、セッコエッチ（Secco etch）またはシンメルエッチ（Schimmel etch）のような欠陥エッチ後の、単位面積当たりの欠陥の量を数えることにより決定される。エピタキシャル層中の欠陥は、リーク源として働き、光起電デバイスの開回路電圧の低下を招く。第2エミッタ領域12の形成にCVDを用いる追加の長所は、到達ドーピング濃度（例えばヒ素やホウ素）が非常に高いことである（最大で 10^{21}cm^{-3} ）。第2エミッタ領域12は比較的薄いため、例えばス

50

パッタのような、この層を形成するための（例えばより安価な）他の方法を用いても良い。双方のエミッタ領域の間の界面 1 4 における、第 1 エミッタ領域 1 1 と第 2 エミッタ領域 1 2 の間のドーピング濃度の違いは大きく、鋭い変化（即ち、ドーピング濃度のステップ）が、双方の領域の間の界面 1 4 で得られ、表面場（Front Surface Field）が形成される。表面場は部分的な電場であり、本発明ではエミッタ領域の内部に形成され、特に第 1 エミッタ領域 1 1 と第 2 エミッタ領域 1 2 との間に形成される。この電場は、エミッタ構造中の少数キャリアが、デバイスの表面 2 2 に向かって移動する可能性を減らす。それゆえに、表面場は表面パッシベーション効果を有する。第 1 エミッタ領域 1 1 と第 2 エミッタ領域 1 2 との間のドーピング濃度の違いが大きくなるほど、電場はより強くなり、パッシベーション効果はより良好になるであろう。

10

【 0 0 4 1 】

第 1 テクスチャ面 2 1 の上に形成された第 2 エミッタ領域 1 2 のドーピング濃度は、 $5 \times 10^{18} \text{ cm}^{-3}$ と $5 \times 10^{21} \text{ cm}^{-3}$ の間である。第 2 エミッタスタックが 1 つの第 2 エミッタ層からなる場合、第 1 エミッタ領域 1 1 の面に実質的に垂直な方向に、第 1 エミッタ領域 1 1 から第 2 テクスチャ面 2 2 に向かって次第にドーピング濃度が増加するように提供されても良い。ドーピングは、例えばドーピングガスのガス流量を変化させて行われ、それゆえにドーピング濃度の傾きは、テクスチャ面に垂直となる。

【 0 0 4 2 】

第 2 エミッタスタックが 1 つより多くの第 2 エミッタ層を含む場合、第 2 エミッタスタックの異なる第 2 エミッタ層中で（上述の方法で）、第 1 エミッタ領域 1 1 の面に実質的に垂直な方向に、第 1 エミッタ領域 1 1 から第 2 テクスチャ面 2 2 に向かって次第に増加するドーピング濃度が提供されても良い。それぞれの第 2 エミッタ層のドーピング濃度は、一定、または第 1 エミッタ領域 1 1 の面に実質的に垂直な方向に、第 1 エミッタ領域 1 1 から第 2 エミッタ領域 1 2 に向かって次第に増加する。

20

【 0 0 4 3 】

第 2 エミッタ領域 1 2 が C V D の手段により形成された場合、層中の次第に増加するドーピング濃度は、例えば、層の形成中にドーピングガスの流量を連続的に増加させることにより得ることができる。

【 0 0 4 4 】

第 1 エミッタ領域 1 1 を形成するために、シリコン含有半導体層の場合、シリコン前駆体として、トリクロロシラン（T C S）、ジクロロシラン（D C S）、またはシランが、例えば 700 から 1150 の範囲の成長温度で使用される。ドーピングガスとして例えばアルシンやフォスフィンを用いることができる。第 2 エミッタ領域 1 2 を形成するための成長温度は第 1 エミッタ領域 1 1 より低い。これにより、高いドーピング濃度が得られ、（低温において成長速度が遅いため）非常に薄い層の成長プロセスを良好に制御できる。例えば、第 2 エミッタ領域は、高い流量（例えば最大で 800 sccm ）の例えばアルシンのようなドーピング元素と組み合わせて、前駆体として D C S を用いて、約 700 で成長される。

30

【 0 0 4 5 】

本発明の代わりの具体例では、第 1 テクスチャ面 2 1 に第 2 エミッタ領域 1 2 を形成する工程は、第 1 エミッタ領域 1 1 の中の上部に、即ち第 1 テクスチャ面 2 1 に隣接する第 1 エミッタ領域 1 1 の部分に、第 2 エミッタ領域 1 2 を形成する工程を含む。これは、例えば拡散プロセスの手段により行われ、これによりドーパントは、例えば注入プロセスの手段、またはレーザードーピングプロセスの手段のような、適した手段により、第 1 エミッタ領域 1 1 の上部に拡散される。

40

【 0 0 4 6 】

本発明のそれらの具体例では、第 1 エミッタ領域 1 1 の上部に形成される第 2 エミッタ領域 1 2 は、第 1 エミッタ領域 1 1 の残り、即ち第 2 エミッタ領域 1 2 が形成されない第 1 エミッタ領域 1 1 の下部のドーピング濃度より実質的に高いドーピング濃度を有する。特定の具体例では、界面 1 4 におけるドーピング濃度は、少なくとも一桁の大きさで、即

50

ち少なくとも10倍の大きさに異なる。特定の具体例では、ドーピング濃度は、100倍異なる。特定の具体例では、ドーピング濃度は、1000倍、10000倍、または100000倍異なる。

【0047】

第1エミッタ領域11の上部に形成された第2エミッタ領域12と、第1エミッタ領域11の残りとの間の界面は、テクスチャまたは実質的にテクスチャ界面14である。第2エミッタ領域12を形成するのに使用されるプロセス、即ち、拡散プロセス、注入プロセス、またはレーザードーピングプロセスに依存して、第1エミッタ領域11と第2エミッタ領域12の間のテクスチャ界面のテクスチャが、より不明確またはより明確になるが、本発明の具体例では、それはいつもテクスチャ面である。

10

【0048】

界面14のテクスチャは、第2テクスチャ面または表面22に存在するテクスチャに対応する。第1エミッタ領域11の中の上部に形成された第2エミッタ領域12と、第1エミッタ領域の残りとの間の界面14は、このようにテクスチャ面または表面22に対して実質的に平行に形成される。換言すれば、第2エミッタ領域12と第1エミッタ領域11との間の界面14は、表面22に存在するテクスチャプロファイルに実質的に従う。更に換言すれば、第1エミッタ領域11の上部に形成された第2エミッタ領域12と、第1エミッタ領域の残りとの間の界面14は、テクスチャ表面22から一定の距離または深さ(図1にdで表示)に形成される。この深さdの拡がりは、例えば50%より小さく、40%より小さく、30%より小さく、20%より小さく、または10%より小さい。

20

【0049】

第1テクスチャ面21に第2エミッタ領域12を形成する工程が、第1エミッタ領域11の中の上部に第2エミッタ領域12を形成する工程を含む本発明の具体例では、第1エミッタ領域11の上部に形成された第2エミッタ領域12は、5nmと1μmとの間、または5nmと500nmとの間、または5nmと250nmとの間の全平均厚さと、 $5 \times 10^{18} \text{ cm}^{-3}$ と 10^{22} cm^{-3} との間のドーピング濃度を有する。

【0050】

拡散された第2エミッタ領域12が第1エミッタ領域11中に形成される具体例では、第2エミッタ領域12中の全ドーピング濃度は、第1エミッタ領域11の上に第2エミッタ領域21が、例えばCVDの手段を用いて形成される具体例より高くなる。

30

【0051】

第2エミッタ領域12が、第1エミッタ領域11の中の上部に形成される具体例では、第2エミッタ領域12と第1エミッタ領域11との間の、界面14でのドーピング濃度の変化は、第2エミッタ領域12が第1エミッタ領域11の上に形成された具体例と同じ程度には鋭くない。それゆえに、第1エミッタ領域の中の上部に形成された第2エミッタ領域12の場合、表面場の局所的な電場強度は、第1エミッタ領域11の上に形成された第2エミッタ領域12の場合に比較して、弱くなる。第2エミッタ領域12が第1エミッタ領域11の中の上部に形成された領域の場合、第1エミッタ領域11の上部に、薄くて高ドーパされた第2エミッタ領域12を形成するために、注入が用いられても良い。注入により得られた活性化されたドーピング濃度は非常に高いが、ドーピングプロファイルは、拡散の場合に比較して正確には制御できない。

40

【0052】

本発明の具体例では、エミッタ領域11を形成する前に、例えばシリコン層のような半導体層のようなアンドープまたは意図せずにドーパされた層30が形成され、その上に第1エミッタ領域11を形成しても良い。そのようなアンドープまたは意図しないドーパ層30の厚さは、0nmと1000nmの間、または0nmと500nmの間、または0nmと300nmの間、または0nmと250nmの間、または0nmと100nmの間である。そのようなアンドープまたは意図しないドーパ層30の存在は、光起電セルの短絡電流を増加させる。アンドープまたは意図しないドーパ層30は堆積され、例えば常圧C

50

V D、減圧C V D、低圧C V D、またはプラズマC V Dのような化学気相堆積(C V D)の手段により形成される。

【0053】

第1エミッタ領域11と第2エミッタ領域12とを含み、第1エミッタ領域11と第2エミッタ領域12との間にテクスチャ界面14を有する、本発明の具体例にかかるエミッタ構造5は、光起電デバイスに使用するのに優れている。

【0054】

第3の形態では、本発明は、本発明の具体例にかかるエミッタ構造5を含む光起電デバイス6と、そのような光起電デバイス6を作製する方法に関する。方法の態様の記載から来るデバイス6の特徴は、それゆえに第3の形態の記載中に含まれることを意味する。

10

【0055】

本発明にかかる光起電デバイス6は、本発明の具体例にかかるエミッタ構造5を含む。それは、更に、ベース領域13および/または基板10を含んでも良い。ベース領域13は、例えばセラミック基板、ガラス基板、またはシリコンのような半導体基板10のような基板10の上の、例えばシリコン層のような単結晶または多結晶の半導体層を含む。半導体基板10の純度のレベルは様々であり、例えばシリコン基板10の場合は、金属グレードシリコン(MG-Si)から電子グレードシリコン(EG-Si)までと、その間の全ての純度レベルである(例えば、オフスペックシリコン材料、即ち光起電性の製品のための現状の工業ラインで使用される範囲外の仕様を有する多結晶材料、または改良されたMG-Si)。基板10は、また、シリコンウエハ(例えばCz-単結晶ウエハ、Fz-単結晶ウエハ、または多結晶ウエハ)や、いずれかのリボン材料(例えば、これらに限定されないが、エッジ規定膜供給成長(EEG: Edge-defined Film-fed Growth)リボン、基板上リボン成長(RGS)リボン、ストリングリボン(String Ribbon)犠牲カーボンテンプレート上リボン(RST)リボン)のようなバルクウエハでも良い。

20

【0056】

本発明の第3の形態にかかる光起電デバイス6は、(図3に示すように)エピタキシャルセルであり、バルク領域13と第1エミッタ領域11は、基板10(例えば、リボン基板、セラミック基板、シリコンのような高ドーブ半導体(単結晶または多結晶または低価格多結晶)基板)の上にエピタキシャル成長される。この場合、基板10は光起電デバイスの活性な部分ではなく、エピタキシャル層の機械的サポートとして提供される。エピタキシャル層は、例えばBSF(裏面電界)層15、ベース領域13、およびエミッタ領域11、12を含む。エピタキシャルセルの場合、pn接合は、エピタキシャル成長ベース領域13とエピタキシャル成長第1エミッタ領域11との界面に形成される。金属コンタクト16は、光起電デバイス6の表面22と裏面23の双方に形成される。

30

【0057】

本発明の具体例にかかる光起電デバイス6は、(図4に示すように)バルク光起電セルであり、基板10は光起電デバイスの活性な部分である。特に、基板10は、光起電デバイス6のベース領域13を形成する。この場合、エミッタ領域のみが、(ベース領域13の上に)エピタキシャル成長される。PN接合は、基板10(ベース領域13)とエピタキシャル成長した第1エミッタ領域11の間の界面に形成される。

40

【0058】

本発明の具体例にかかる光起電デバイス6の製造方法は、ベース領域13の上に、本発明の具体例にかかるエミッタ構造5を形成する工程を含む。本発明の具体例にかかるエミッタ構造5を形成した後に、例えばパッシベーション層または層のスタックを用いて表面22のパッシベーションが行われる(図示せず)。そのようなパッシベーション層や層のスタックは、誘電体層または誘電体層のスタックを含む。そのような層は、例えば熱酸化またはプラズマ誘起CVD(PECVD)のような手段で形成された例えば酸化シリコン、例えばプラズマ誘起CVD(PECVD)または低圧CVD(LPCVD)のような手段で形成される窒化シリコン、または常圧CVD(APCVD)の手段で形成される酸化チタン(TiO₂)を含む。パッシベーション層または層のスタックを、光起電セル6の

50

表面のパッシベーションに適用すると、光起電セルの性能が改良される。

【 0 0 5 9 】

パッシベーション後に、例えば ZnS および / または MgF_2 、 MgF_2 と組み合わせた窒化シリコン (SiN_x) を含みまたはこれらからなる反射防止コーティングのような、単層または層のスタックを含む反射防止コーティングが適用される (図示せず)。しかしながら、当業者に知られた他の材料を、反射防止コーティングの形成に使用しても良い。

【 0 0 6 0 】

本発明の具体例にかかる光起電デバイス 6 を作製する方法は、更にコンタクト形成プロセス、即ちデバイスの表面 22 および / または裏面 23 にコンタクト 16 を形成するプロセスを含む。特別な具体例では、金属コンタクト 16 は、スクリーン印刷、ディスペンジング、インクジェット印刷、めっき、蒸着またはこれらの技術のいずれかの組み合わせの手段により形成される。代わりに、例えば、実験室規模では、例えば、銀層を厚くするために、めっき (電解メッキまたは無電解めっき) と組み合わせて、チタン / パラジウム / 銀スタック (例えば $50\text{ nm} / 70\text{ nm} / 2000\text{ nm}$) を含む、またはこれらからなるような、(例えば電子ビーム蒸着により形成された) 蒸着コンタクトが使用される。しかしながら、当業者に知られた他の方法または材料が用いられても良い。

【 0 0 6 1 】

本発明の第 3 の形態にかかる具体例では、光起電デバイス 6 は、更に、図 5 に示すように、第 1 エミッタ領域 11 とベース領域 13 との間に、アンドープ層または意図しないドーブ層 30 を含んでも良い。そのようなアンドープ層または意図しないドーブ層 30 の厚さは、 0 nm と 1000 nm の間、または 0 nm と 500 nm の間、または 0 nm と 300 nm の間、または 0 nm と 250 nm の間、または 0 nm と 100 nm の間である。アンドープまたは意図しないドーブ層 30 は、例えばシリコンのような半導体材料を含みまたはこれらからなる。そのようなアンドープ層または意図しないドーブ層 30 の存在は、結果の光起電セルの性能に有利であることが示される。

【 0 0 6 2 】

表 1 は、ベース領域 13 とエミッタ領域 11 との間のアンドープ層または意図しないドーブ層 30 の、光起電セル 6 の性能への影響を示す実験結果を示す。光起電セルの第 1 のグループ (ラベル SC_i) は p 型ベース領域 13 / n^+ 型第 1 エミッタ領域 11 / n^+ 型第 2 エミッタ領域 12 を含み、中間のアンドープ層 30 は有さない。光起電セルの第 2 のグループ (ラベル SC_{undop_i}) は、厚さ 400 nm のアンドープまたは意図しないドーブ層 30 を、ベース領域 13 とエミッタスタック 11、12 との間に有する。表 1 に示された光起電セル 6 は、テクスチャでは無い。結果から、ベース領域 13 とエミッタ構造 5 との間にアンドープまたは意図しないドーブ層 30 が存在することは、短絡電流 (J_{sc}) を増加させ、曲線因子 (FF) を増加させ、変換効率を増加させる。

【 0 0 6 3 】

10

20

30

【表 1】

セル Id	J_{sc} [mAcm ⁻²]	V_{oc} [mV]	FF [%]	効率 [%]
SC_1	30.1	626	77	14.4
SC_2	29.7	628	76	14.2
SC_3	29.8	628	77	14.5
SC_undop_1	29.9	630	78	14.7
SC_undop_2	30.8	628	77	14.9
SC_undop_3	30.3	629	77	14.7

表1

【0064】

理由を比較するために、高ドーピングされた第2エミッタ領域の形成前のテクスチャを表すために、実験が行われた。プラズマテクスチャ実験が行われ、テクスチャは、第2エミッタ領域12の形成後のみに行われた（これは、第2エミッタ領域12の形成前にテクスチャが行われる本発明の具体例とは異なる）。平均厚さが約500nmである第2エミッタ領域12は、形成され、プラズマテクスチャされた。例えばシリコンである、平均450nmの半導体材料が、テクスチャプロセスで除去され、平均厚さ50nmの高ドーピング第2エミッタ層が残された。しかしながら、テクスチャプロセスの有効性は、450nmの例えばシリコンのような半導体材料が除去された場合に限定され、即ち、テクスチャ表面での光の反射の低減は、光起電デバイス6の短絡電流に実質的に影響するには不十分である。更に、数10nmの精度でこのテクスチャプロセスを制御することは困難である。結果として、多くドーピングしすぎた第2エミッタ領域12の材料がいくつかの場所に残り、表面の貧弱なテクスチャと組み合わせられて、高いオーグジュ損失（Auger-loss）や、光起電デバイスの低い J_{sc} （短絡電流）値となる。他の場所では、（例えば図6の左図に示すように）第2エミッタ領域12中に「正孔」が形成される。それらの正孔はFSF（表面場）を部分的に破壊し、低い V_{oc} （開回路電圧）値にする。

【0065】

表2は、そのようなテクスチャアプローチ（即ち、第2エミッタ領域12の形成後のテクスチャ）を用いて得られた結果を示す。表2に示された最初の3つの試料では、第1エミッタ領域11と第2エミッタ領域12が形成され第2エミッタ領域12はテクスチャ中に部分的にエッチングされる。3つの最後の試料は、最初の3つの試料より長時間テクスチャされ、第1エミッタ領域11のみを有する。表2に示された結果から結論づけられるように、最初の試料の短絡電流 J_{sc} は、第1エミッタ領域のみを備えた試料で得られた短絡電流より低い。第2エミッタ領域12の形成後にテクスチャが行われた試料の低い短絡電流は、主に、残った高ドーピング第2エミッタ領域12中でのオーグジュ再結合（Auger recombination）によるものであり、第2エミッタ領域12は幾つかの場所でおも厚い。

【0066】

【表 2】

第2エミッタ領域(nm)／ 第1エミッタ領域(nm)	テクスチャ 時間 [s]	シリコン 除去 [nm]	J_{sc} [mA/cm ²]	V_{oc} [mV]	FF [%]	効率 [%]
550 / 2000	30	310	16.2	596	64	6.2
550 / 2000	35	430	15.9	599	67	6.4
750 / 2000	30	275	15.7	593	67	6.2
0 / 3000	75	1270	17.7	600	66	7.0
0 / 3000	85	1650	18.8	612	72	8.3
0 / 3000	85	1400	18.1	606	66	7.3

表2

【 0 0 6 7 】

図 6 は、完全なエミッタスタックがテクスチャされる、即ち、第 2 エミッタ領域 1 2 の形成後にテクスチャされるプロセス（上述のように、この直接的なプロセスはうまくいかない）と、本発明の具体例にかかる、第 1 エミッタ領域 1 1 がテクスチャされ、第 2 エミッタ領域 1 2 がテクスチャ後に形成されるプロセスとの間の違いを示す。

【 0 0 6 8 】

テクスチャされた表面との組み合わせで良好な F S F を有するように、高ドープ第 2 エミッタ領域 1 2 の成長は、第 1 エミッタ領域 1 1 のテクスチャ後に行われる。本発明の具体例にかかるこのプロセスシーケンスは、プラズマエッチングのような、適したテクスチャ方法により、第 1 エミッタ領域 1 1 からシリコンのような半導体材料を、約 1 μ m のような予め決められた厚さだけ除去し、表面において、例えば 1 5 % より低いような低い光反射を得る。テクスチャ表面上でのエピタキシャル成長は、例えば高欠陥層のような低品質となり、これは図 7 a および図 7 b の S E M 写真に見られる。それにもかかわらず、（第 2 エミッタ領域 1 2 に対応する）それらの層の厚さが比較的小さい場合、（欠陥の増加による）開回路電圧の損失を、（テクスチャ表面による）短絡回路電流により補填することが可能である。テクスチャ表面上にエピタキシャル成長された層の欠陥エッチングは、約 1×10^{-8} a t / c m³ の欠陥密度を表した。

【 0 0 6 9 】

実験の最初のセットでは、本発明の具体例にかかる光起電セル、即ち、第 1 エミッタ領域 1 1 および第 2 エミッタ領域 1 2 の間にテクスチャを有する光起電セルが、実験室規模のプロセスで作製された。表 3 に結果を示す。約 6 3 5 m V の開回路電圧が得られ、それらの結果は、テクスチャの無い光起電セルで得られた開回路電圧と比較した。（約 7 7 % の）良好な曲線因子と最大で 2 3 . 5 m A / c m² の短絡電流が、（反射防止コーティング無しに）得られた。第 1 エミッタ領域 1 1 と第 2 エミッタ領域 1 2 の間にテクスチャを有さない同等の光起電セルと比較して、4 . 5 m A / c m² の絶対的な電流の増加である。

【 0 0 7 0 】

【表 3】

テクスチャ時間 [s]	シリコン除去 [nm]	J_{sc} [mA/cm ²]	V_{oc} [mV]	FF [%]	Eff [%]
50	850	23.3	633	77	11.3
50	850	23.5	633	77	11.4
65	1100	21.9	627	77	10.6
65	1100	22.3	628	77	10.8
65	1100	21.9	627	77	10.5
65	1100	21.8	628	77	10.6
テクスチャ無し セルの平均		18.8	632	78	9.3

表3

【 0 0 7 1 】

第2のセットの実験では、本発明の具体例にかかる光起電セルは、スクリーン印刷プロセスでコンタクト形成する、一般的な工業規模のプロセスを用いて形成された。多結晶低価格オプスベック材料が、基板材料として使用された。 $5 \times 10^{18} \text{ cm}^{-3}$ のドーピング濃度を有する、厚さ2000 nmのnドープ第1シリコン層20を形成した後、プラズマテクスチャの手段により表面がテクスチャされ、これにより、0.5 μm から0.7 μm のシリコンが除去され、第1エミッタ領域11を形成する。プラズマテクスチャ後に、高ドープ第2エミッタ領域12が、厚さ50 nmで、活性ヒ素ドーピング濃度が $4 \times 10^{19} \text{ cm}^{-3}$ で成長された。この試料の一部の上に、ドライ酸化プロセスにより17 nmの薄い酸化層が形成された、 SiN_x 堆積工程が、反射防止コーティングを形成するために全ての試料上で行われた。スクリーン印刷は、試料にコンタクトするために使用された。表4に結果を示す。

【 0 0 7 2 】

【表 4】

条件	J_{sc} [mA/cm ²]	V_{oc} [mV]	Eff [%]
酸化無し	19.1 – 20.3	586 - 607	7.5 – 8.9
酸化有り	21.9 – 24.1	577 - 609	8.9 – 10.3

表4

【 0 0 7 3 】

表4に見られるように、 J_{sc} への酸化の影響は大きい。これは、 V_{oc} に対しては、同様の影響とはならない。効率は、酸化されたセルの方が明らかに良くなっている。図8は、以下の試料についてのIQE（内部量子効率）を示すグラフである。

セル1：酸化を行わない試料

セル2：酸化された試料

セル 3：最良の酸化された試料

セル 4：拡散エミッタ構造を有するスクリーン印刷されたエピセル（IQEのみ）

【0074】

IQEに対する酸化の影響は明らかであるとともに、反射に対して負の影響を与えていない。長波長では、全てのIQEが一致する。非常に短波長（350nm～400nm）では、エミッタCVDセルのIQEは、拡散セルより良くなっている。これは、酸化物の良好なパッシベーション品質に関連するものと思われる。

【図1】

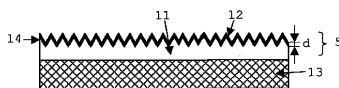
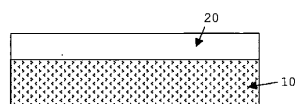


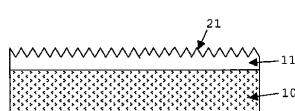
FIG. 1

【図2(a)】



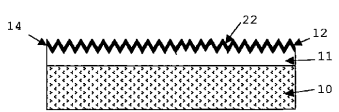
2(a)

【図2(b)】



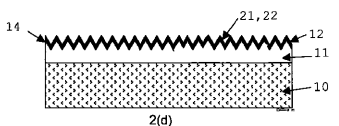
2(b)

【図2(c)】



2(c)

【図2(d)】



2(d)

【図3】

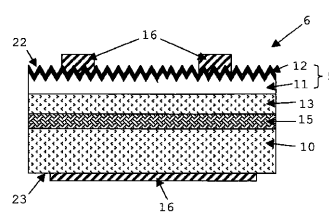


FIG. 3

【図4】

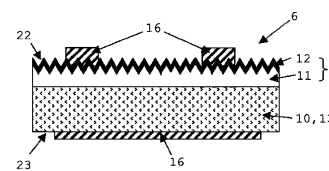


FIG. 4

【図5】

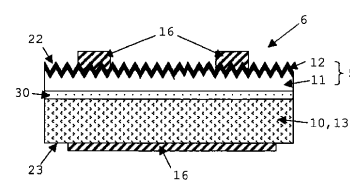


Fig. 5

【図 6】

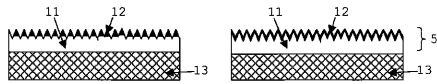


FIG. 6

【図 7 a】

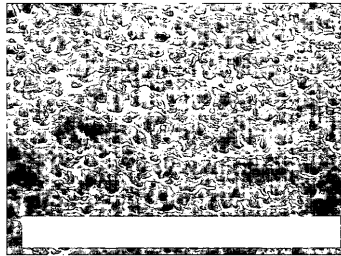
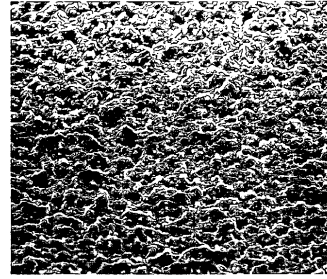


FIG. 7a

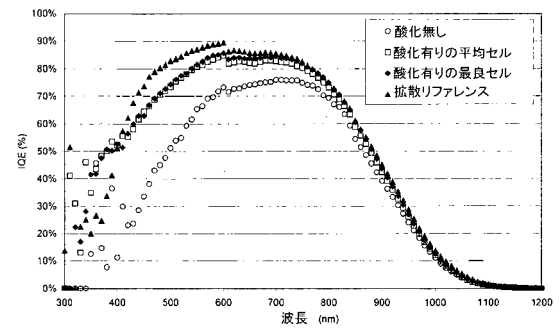
Acc V Spot Magn Det WD Exp
5.00 kV 2.0 10000x TLD 3.2 1

【図 7 b】



3/30/2007 HV mag FIG. 7b WD tilt
9:51:11 AM 5.00 kV 24 000 x 4.1 mm 1 ° R0537_5_plasma

【図 8】



フロントページの続き

- (72)発明者 クリス・ファン・ニーウェンハイセン
ベルギー、ペー - 3 3 9 1 メーンセル・キーゼヘム、ピンコムストラート 2 1 番
- (72)発明者 フィリップ・デュエリンクス
ベルギー、ペー - 3 0 1 0 ケッセル - ロ、ブレンクレイフラーン 5 4 番

審査官 眞壁 隆一

- (56)参考文献 特開昭 5 5 - 0 8 2 4 7 2 (J P , A)
特開平 0 6 - 1 6 3 9 5 4 (J P , A)
特開平 0 4 - 2 4 5 6 8 3 (J P , A)
特開平 0 5 - 0 9 5 1 2 4 (J P , A)
特開 2 0 0 7 - 1 4 2 4 7 1 (J P , A)
特開 2 0 0 4 - 3 2 7 5 7 8 (J P , A)
特開 2 0 0 6 - 2 2 2 2 7 2 (J P , A)
特開 2 0 0 7 - 2 3 5 1 7 4 (J P , A)
特開昭 6 4 - 0 7 3 6 8 1 (J P , A)
特開 2 0 0 6 - 3 1 0 3 6 8 (J P , A)
特開昭 6 3 - 0 5 8 9 7 4 (J P , A)
特開昭 6 2 - 0 3 5 6 8 0 (J P , A)
特開 2 0 0 0 - 3 3 2 2 8 2 (J P , A)
特開平 1 0 - 3 0 3 4 4 2 (J P , A)
特開平 0 6 - 0 4 5 6 2 2 (J P , A)

- (58)調査した分野(Int.Cl. , D B 名)
H 0 1 L 3 1 / 0 4 - 3 1 / 0 7 8