[19] 中华人民共和国国家知识产权局

[51] Int. Cl[7]
G06F 17/00
G06F 13/00

[12] 发明专利说明书

[21] ZL 专利号 96117391.2

[43] 授权公告日 2003 年 5 月 14 日

[11] 授权公告号 CN 1108574C

[22] 申请日 1996.11.30 [21] 申请号 96117391.2

[30] 优先权

[32] 1995.12.25 [33] JP [31] 337581/1995

[71] 专利权人 松下电工株式会社

地址 日本大阪府

[72] 发明人 福田敦男 增尾泰央

审查员 洪 岩

[74] 专利代理机构 中国专利代理(香港)有限公司

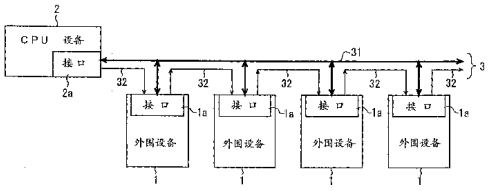
代理人 王忠忠 董江雄

权利要求书 1 页 说明书 20 页 附图 20 页

[54] 发明名称 外围设备选择系统

[57] 摘要

在外围设备中自动地设置设备地址。多个外围设备 1 经信号线 3 连接到 CPU 设备。通过单独地选择外围设备，CPU 设备存取每个外围设备 1。信号线 3 提供一个第一信号线 31，用于通过外围设备的总线连接发送一个地址，而第二信号线 32 通过外围设备 1 的级联连接发送一个写入命令信号。写入命令信号是以外围设备 1 被连接的次序顺序地发送，而仅已接收了写入命令信号的外围设备 1 接收一个设备地址，并保存在闩锁电路 11a 中。



ISSN1008-4274

1．一种外围设备选择系统，该系统具有多个外围设备和一个ＣＰＵ设备，所述外围设备选择系统包括:

第一信号线，用于连接ＣＰＵ设备与多个外围设备;

第二信号线，用于级联连接ＣＰＵ设备和多个外围设备;

第一接口装置，安装在ＣＰＵ设备内，用于发送选择的信号和写地址至第一信号线，并发送写命令信号至第二信号线，用于为每个外围设备设置一个地址，和发送一个呼叫地址至第一信号线，以便单独地选择外围设备；和

第二接口装置，配置在每个外围设备内，包括:

地址设置装置，用于存储通过第一信号线从ＣＰＵ设备与选择信号一起发送的写入的地址，作为设备地址;

信号发送装置，每当接收到选择信号时，用于传输通过第二信号线从ＣＰＵ设备顺序地向随后级的外围设备转移的写入命令信号;

选通装置，用于响应写入命令信号到随后级的外围设备的传输，禁止接收选择信号；和

存取允许装置，用于比较通过第一信号线从ＣＰＵ设备发送的呼叫地址与在地址设置装置中设置的设备地址，当该地址相互一致时，允许存取ＣＰＵ设备，以及当所述地址相互不一致时，禁止存取ＣＰＵ设备。

2．根据权利要求1的外围设备选择系统，其特征在于，所述地址设置装置包括:

串/并变换器电路，用于变换从串行传输线输入的串行数据的写入地址为并行数据；和

第一闩锁电路，当输入选择信号时，用于闩锁从串/并变换器电路输出的并行数据的写入地址。

外围设备选择系统

本发明涉及通过信号线路，例如计算机系统或可编程的控制器连接外围设备构成的外围设备选择系统，其中CPU设备选择地存取外围设备。

一般地，计算机系统或可编程的控制器系统通过组合CPU设备构成，该CPU设备由一个处理器和外围设备组成，该处理器根据程序工作，该外围设备辅助CPU工作，用于进行数据输入/输出和复杂的计算的运算。提供多个外围设备是有益的，如图2 3 所示，外围设备1 经信号总线3 连接到CPU设备2 。为了CPU设备2 和单个的外围设备1 之间实现通信，需要单个地选择外围设备1 。为了满足这个需求，已考虑到如下结构。

在CPU设备2 和每个外围设备1 之间提供用于选择每个外围设备1 的信号线，以便经每个信号线一侧从用于传送数据的信号线3 选择每个外围设备1 。但是，这种结构需要的信号线数目相应于外围设备1 的数目，产生的问题是，随着系统规模增大和外围设备1 数目的增加，布线数目也增加。

与上述相反，已经有了这样的一种结构，在这种结构中，每个外围设备1 准备提供单独的设备地址，并发送一个呼叫地址，从CPU设备2 至信号线3 ，选择与呼叫地址相符的设备地址的外围设备1 。根据这种结构，时间共享地选择外围设备1 ，而且这种安排有这样的优点，即当随着系统规模增大而增加外围设备1 的数目时，布线数目不增加。

但是，根据现有技术的结构，每个外围设备1 的设备地址用一个开关设置，因此设备地址的设置工作是复杂的。而且，设备地址已被单独地设置在外围设备1 中。因此，在增加外围设备1 的数目时或是在相继并入附加外围设备1 的情况下，出现的问题是，存在错误设置的倾向，例如重叠设备地址设置。

在基于美国专利申请序号N .08/365.665(1994年12月29日申请) 于1996年7月11日公开的国际申请 (Wo 9 6 /2 1 1 8 1) 中，公开了一种扩展模块地址的方法和装置，其中可编程的控制器 (PLC) 基本单元发送一个地址号码到扩展I /O 模块和附在其上的模块， 每个扩展模块取其接收的号码并考虑该号码是否自己的地址号码，并且该扩展模块降低该号码并传送它到下一个模块，

除非该号码是零。这个方法和装置可解决上述的问题。

本发明的目的是提供改进了的外围设备选择系统，该系统基于与上述国际申请公开的方法和装置不同的思想，能够解决上述问题。为了避免上述问题，本发明能够使得在多个外围设备之间选择，通过适配结构降低布线数量，在每个外围设备内设置设备地址，并通过来自CPU设备的呼叫地址选择每个外围设备，而且通过自动设置的设备地址，进行设置工作较容易，同时防止出现错误设置问题。

根据本发明，甚至如果外围设备被安装在任何希望的槽内，CPU设备自动地设置每个外围设备的地址，因此，外围设备选择系统的用户不需要通过开关等为每个外围设备设置地址。因此，将占用较少时间构成一个系统，而且防止出现错误设置。

下面将描述本发明的各个方案。

根据本发明的第一方案，提供一种具有多个外围设备和CPU设备的外围设备选择系统，所述外围设备选择系统包括:

第一信号线，用于连接CPU设备与多个外围设备;

第二信号线，用于级联地连接CPU设备和多个外围设备;

第一接口装置，安装在CPU设备内，用于发送选择的信号和写地址至第一信号线，并发送写命令信号至第二信号线，用于为每个外围设备设置一个地址，和发送一个呼叫地址至第一信号线，以单独地选择外围设备；和

第二接口装置，安装在每个外围设备内，包括:

地址设置装置，用于存储通过第一信号线从CPU设备与选择信号一起发送的写入的地址，并将其作为设备地址;

信号发送装置，每当接收到选择信号时，用于发送通过第二信号线从CPU设备顺序地向随后级的外围设备转移的写入的命令信号;

选通装置，用于响应写入命令信号的传输禁止接收的选择信号到随后级的外围设备；和

存取允许装置，用于比较通过第一信号线从CPU设备发送的呼叫地址与在地址设置装置中设置的设备地址，并且当该地址相互一致时允许从CPU设备存取。

根据上述的安排，外围设备被置于地址写入状态，以便在这种状态下，当

地址被置于每个外围设备时，外围设备被连接起来，以便设备地址被单独地写入到每个外围设备。因此，只要在CPU设备产生的写入地址中没有错误，就没有可能出现错误的设置。而且，通过从CPU设备设置每个外围设备的设备地址，设备地址的设置工作比较现有技术结构更容易进行，在现有技术结构中单独操作外围设备用于设置。

根据本发明的第二个方案，它基于本发明的第一个方案，提供一种外围设备，

其中第一信号线包括：一个并行传输线，用于发送作为并行数据的呼叫地址；和一个串行传输线，用于发送作为串行数据的写入地址；

地址设置装置包括：

串/并变换器电路，用于变换从第二信号线输入的串行数据的写入地址为并行数据，和

第一闩锁电路，用于当输入选择信号时闩锁从串/并变换器电路输出的并行数据的写入地址；

信号发送装置包括一个第二闩锁电路，用于当输入选择信号时闩锁从CPU设备发送的写入命令信号；和

选通装置，包括一个选通电路，用于根据接收的在第二闩锁电路内闩锁的写入命令信号禁止选择信号被输入到第一和第二闩锁电路。

根据上面的安排，仅用一条信号线就能实现写入地址的传输，因此降低了信号线的数目。

根据本发明的第三个方案，提供一种具有多个外围设备和一个CPU设备的外围设备的选择系统，所述外围设备选择系统包括：

第一信号线，用于连接CPU设备与多个外围设备；

第二信号线，用于级连连接CPU设备和多个外围设备；

第一接口装置，装在CPU设备内，用于发送选择信号和与选择信号同步的脉冲信号至第一信号线和发送写入命令信号至第二信号线，为每个外围设备设置地址，并用于发送一个呼叫地址至第一信号线，以便单独地选择外围设备；和

第二接口装置，安装在每个外围设备内，包括：

计数器，用于计算从CPU设备发送的脉冲信号；

闩锁电路，用于当选择信号输入时，对作为设备地址的计数器的输出值起闭锁作用，和用于闭锁从CPU设备发送的写入命令信号，并输出闭锁的信号至随后级的外围设备，作为写入命令信号；

选通电路，当写入命令信号被发送到随后级的外围设备时，根据接收的闩锁在闩锁电路中的写入命令信号，禁止选择信号被输入到闩锁电路；和

存取允许装置，用于比较从CPU设备发送的呼叫地址与在闩锁电路中设置的设备地址，并且当该地址相互一致时，允许与CPU设备进行存取操作。

根据上述的安排，计数器的计数值变为设备地址。因此，用于发送写入信号要求的信号线数减少，而且自动地产生写入地址。因此，设置设备地址出现错误的可能性明显地降低。

根据本发明的第四个方案，提供一种具有多个外围设备和一个CPU设备的外围设备选择系统，所述外围设备选择系统包括：

第一信号线，用于连接CPU设备与多个外围设备；

第二信号线，用于级联地连接CPU设备和多个外围设备；

第一接口装置，装在CPU设备内，用于发送选择信号至第一信号线，为每个外围设备设置地址，和用于发送一个地址至第二信号线，为每个外围设备设置一个地址，并单独地选择外围设备；

第二接口装置，安装在每个外围设备内，包括：

闩锁电路，每当输入从CPU设备发送的选择信号时，用于闩锁从CPU设备发送的地址作为设备地址；

运算电路，当在闩锁电路内未设置设备地址时，用于输出通过从CPU设备转移的地址得到的值与规定值相加或相减至随后级的外围设备，作为一个地址，并且当设置一个设备地址时，输出从CPU设备转移的址址到随后级的外围设备；和

存取允许装置，用于比较通过第二信号线从CPU设备转移的地址和在闩锁电路中设置的设备地址，并且当该地址相互一致时，允许与CPU设备进行存取操作。

根据本发明的第五个方案，提供一种具有多个外围设备和一个CPU设备的外围设备选择系统，所述外围设备选择系统包括：

第一信号线，用于连接CPU设备与多个外围设备；

第二信号线，用于级联连接CPU设备和多个外围设备；

第一接口装置，安装在CPU设备内，用于发送重置信号至第一信号线，以启动外围设备的选择操作，和用于发送选择信号号数相应于被选择的外围设备号数至第一信号线，并发送一个选择命令信号至第二信号线，以便单独地选择外围设备；

第二接口装置，安装在每个外围设备内，包括：

信号发送装置，用于根据接收从CPU设备发送的选择信号发送选择命令信号经第二信号线到随后级的外围设备，同时从CPU设备侧经第二信号线输入选择命令信号；

存取允许装置，在发送选择命令信号至随后级的外围设备之前，根据选择信号允许与CPU设备进行存取操作和在发送选择命令信号之后输入选择信号时，禁止存取CPU设备；

选通装置，用于在发送选择命令信号至随后级的外围设备之后，当输入选择信号时，禁止接收选择信号；和

重置装置，用于通过重置信号重置每个信号发送装置，存取允许装置和选通装置。

根据上述安排，单独地选择外围设备，无需设置任何外围设备的地址，因此实现允许存取CPU设备。即通过按次序发送相应于外围设备号码的选择信号至该外围设备，外围设备串行地与CPU连接，允许每个外围设备存取CPU设备。因此，当改变外围设备进行存取时，通过重置信号重复同样的程序。但是，当有相对小量外围设备时，为了存取要求时间延迟是没有问题的，而且这种安排的另一个优点是能减少信号线的数目。

根据本发明的第六个方案，它基于本发明的第一个方案，提供一种外围设备选择系统的主板，其中在主板上提供的多个安装槽内可移动地安装多个外围设备经信号线连接到一个CPU设备，而且该CPU设备通过单独地选择外围设备存取每个外围设备，主板包括：

级联连接信号线，用于级联连接CPU设备和安装在安装槽内的外围设备；和

路径选择装置，提供给每个安装设备，用于在一种状态和另一种状态之间进行选择，一种状态是从CPU设备侧级联连接信号线，通过安装在每个安装

在设备内的外围设备被连接到随后级侧，另一种状态是级联连接信号线通过任何外围设备无需移动被连接到随后级。

根据上述安排，在在主板上安装的多个设备安装槽内安装外围设备的情况下，当外围设备包括单条线串行连接时，甚至不通过在设备安装槽内安装的外围设备，通过选择路径选择装置的状态，能够实现信号传输到下一级的外围设备。即，为了在设备安装槽之间不留下空槽，不需要的外围设备被安装，这就保证了在安装和除去每个外围设备中的高度自由度。

根据本发明的第七个方案，提供具有多个外围设备和一个CPU设备的外围设备选择系统，所述外围设备选择系统包括:

一个主板；包括:

多个安装槽，在安装槽内可移动地安装多个外围设备;

第一信号线，用于连接CPU设备与多个外围设备；和

第二信号线，用于级联连接CPU设备和多个外围设备;

第一接口装置，安装在CPU设备内，用于发送选择信号和写入地址至第一信号线，并发送写入命令信号至第二信号线，为多个外围设备的每个设备设置地址，并用于发送呼叫地址至第一信号线，以单独地选择外围设备;

第二接口装置，安装在每个外围设备内，该装置包括:

地址设置装置，用于存储通过第一信号线从CPU设备与选择信号发送的写入地址，将其作为设备地址；和

存储允许装置，用于把通过第一信号线从CPU设备发送的呼叫地址与在地址设置装置中设置的地址进行比较，并且当该地址相互一致时允许存取CPU设备;

信号发送装置，安装在主板上的每个安装槽内，每当接收到选择信号时，用于发送通过第二信号线从CPU设备顺序地转移写入命令信号到随后级的外围设备；和

选通装置，安装在主板上的每个安装槽内，用于禁止根据发送写入命令信号接收的选择信号到随后级的外围设备。

根据上述安排，类似于本发明的第六个方案，使在设备安装槽内安装和移动每个外围设备的自由度增加。而且，通过在主板上安装用于设备地址设置的电路，能够省略路径选择装置，而这就导致每个外围设备的小型化。

附图的简单描述:

图1 是说明实施本发明的外围设备选择系统的方框图;

图2 A -2 D是说明在实施本发明的外围设备选择系统中CPU设备的各种接口电路的方框图;

图3 是说明根据本发明的第一实施例的一个外围设备的接口电路;

图4 A -4 H表示根据第一实施例的外围设备选择系统工作的信号波形;

图5 是表示根据本发明的第二实施例的外围设备的接口电路;

图6 是表示根据本发明的第三实施例的外围设备的接口电路;

图7 是表示根据本发明的第四实施例的外围设备的接口电路;

图8 A, 8 B是说明根据本发明的第五实施例的外围设备选择系统中外围设备和CPU设备的接口电路;

图9 A, 9 B是说明根据本发明的第六实施例的外围设备选择系统中外围设备和CPU设备的接口电路;

图10 A -10 I 是表示根据第六实施例的外围设备选择系统工作的信号波形;

图11 是表示根据本发明的第七实施例的外围设备的接口电路;

图12 A -12 H表示根据第七实施例的外围设备选择系统工作的信号波形;

图13 是表示根据本发明的第八实施例的外围设备的接口电路;

图14 A -14 B是说明根据本发明的第九实施例的外围设备选择系统中外围设备和CPU设备的接口电路的电路图;

图15 A -15 H表示根据第九实施例的外围设备选呼系统工作的信号波形;

图16 是表示根据本发明的第十实施例的外围设备的接口电路;

图17 A -17 K表示根据第十实施例的外围设备选择电路工作的信号波形;

图18 是表示第十一实施例的电路图;

图19 是表示根据第十一实施例的外围设备选择系统的方框图;

图20 是表示本发明的第十二实施例的电路图;

图21 是表示本发明第十三实施例的电路图;

图2 2 是表示本发明的第十四实施例的电路图；和

图2 3 是说明现有技术的外围设备选择系统的方框图。

最佳实施例的详细描述

如下的实施例中每一个都假定为类似于图2 3 所示现有技术结构，多个外围设备1 经信号线3 连接到C P U设备。但是，在如下的每个实施例中，该信号线3 包括第一信号线3 1 ，用于进行C P U设备和多个外围设备之间的总线连接；和第二信号线3 2 用于进行多个外围设备之间的级联连接；和连接C P U设备至图1 所示的多个外围设备的第一级。在这方面，每个实施例的信号线3 不同于图2 3 所示的常规外围设备选择系统的信号线3 。

在如下的本发明的每个实施例中，接口电路2 a 是用于从C P U设备2 发送一些信号到信号线3 1 和3 2 。在C P U设备2 中的接口电路2 a 能够以图2 A －2 D所示的方式实现。即，例如，第一信号线3 1 和第二信号线3 2 的每个信号导线连接到输出端口0 －4 的每一个端口，在C P U设备2 中安装C P U，如图2 A，2 B 所示，而且该C P U能够执行一定的程序，用于经输出端口输出一定的信号，因此C P U设备2 能够发送如下所述的信号，用于存取每个外围设备1 。可替代地，信号线3 1 和3 2 的信号导线可以连接到地址信号端子和存储控制信号（即读信号或写信号）端子代替或附加到输出端口。而且，数据信号端子可用于替代地址信号端子和写入信号端子可能用于替代读信号端子，如图2 a 和2 D所示。

每个外围设备1 的接口电路1 a 接收经信号线3 1 和3 2 从C P U设备2 发送的信号，并转移该信号至随后级外围设备2 ，而因此接口电路1 a 控制从C P U设备2 至外围设备1 之间的存取。外围设备1 的接口电路1 a 的详细布置和工作取决于下面描述的每个实施例。

而且，在如下每个实施例中，省略了C P U设备2 和外围设备1 之间传送数据的路径，而只表示了在每个外围设备1 中用于设置设备地址的结构和通过来自C P U设备2 的呼叫地址和在每个外围设备1 中设置的设备地址在外围设备1 和C P U设备2 之间能够进行数据通信的结构。

第一实施例

如图3 所示，本发明的外围设备1 内的接口电路1 a 装有一个闩锁电路

1 1 a ，它用作地址设置装置，用于在其内存储设备地址；一个地址比较电路1 2 ，当从CPU设备2 发送的呼叫地址与在闩锁电路1 1 a 中设置的设备地址相符合时，输出符合信号；一个第一选通电路1 3 ，当从地址比较电路1 2 输出符合信号时，它允许选择信号CS 经CPU设备2 传送通过；和一个第二选通电路1 4 ，该电路根据来自CPU设备2 的选择信号USP 产生一个写入信号，用于闩锁电路1 1 a 。

在这种情况下，来自CPU设备2 的呼叫地址有三比特。经过信号线3 1 与选择信号CS ，选择信号USP 和重置信号RESET （每个具有1 比特）一起发送3 比特的地址信号（呼叫地址）USO，US1 ，US2 和3 比特的写入地址SD0 ，SD1 ，SD2 。经信号线3 2 发送1 比特的写命令信号US 。在这些信号中间，仅写入命令信号US 是按处于靠近CPU设备2 的外围设备1 顺序地发送（术语“近”意思是信号路径靠近，而不是空间距离），而同时其它信号也发送到所有外围设备1 。即，用于发送写入命令信号US 的信号线3 2 连接级联的多个外围设备1 和连接外围设备的第一级到CPU设备2 ，同时，其它信号线通过总线连接外围设备1 至CPU设备2 。

为了输入或输出上述信号，本发明的外围设备装有如下终端：

（1 ）总线连接终端1 0 1 ，1 0 5 和1 0 7 ，连接到信号线3 1 ，用于分别输入选择信号CS ，选择信号USP 和重置信号RESET ，

（2 ）总线连接终端1 1 0 ，1 1 1 ，1 1 2 ，连接到信号线3 1 ，用于分别输入呼叫地址US0 ，US1 ，US2 ，

（3 ）总线连接终端1 3 0 ，1 3 1 ，1 3 2 ，连接到信号线3 1 ，用于分别输入写入地址SD0 ，SD1 ，SD2 ，

（4 ）输入和输出终端1 0 3 ，1 0 4 ，连接到信号线3 2 ，用于分别输入和输出写入命令信号US 。

在图3 所示的外围设备1 中，闩锁电路1 1 a 被设计为闩锁4 比特数据，而4 比特中间的3 比特被用于作为设备地址，另1 比特用于发送写入命令信号US 。该闩锁电路1 1 a 每当出现从第二选通电路1 4 输到时钟终端CK 输入信号时，闭锁输入到其输入端D0 至D3 的比特值，并且继续从其输出端Q0 至Q3 输出每次输入的比特值，直到随后该信号出现在时钟终端CK 或者重置信号RESET 被输入到其重置终端R 。用于发送写入命令信号US 的输入终

端D3 和输出端Q3 被串行连接（即设备接设备）至CPU设备2 。详细地，处在最近于CPU设备2 的第一级的外围设备1 中闩锁电路1 1 a 的输入端D3 连接到CPU设备2 ，最接近于CPU设备2 的第二级的外围设备1 的闩锁电路1 1 a 的输入端D3 连接到第一级外围设备1 内的闩锁电路1 1 a 的输出端Q3 。闩锁电路1 1 a 的其它输入端D0 ，D1 ，D2 通过每个外围设备1 的总线连接并行连接。

第二选通电路1 4 的一个输入端是闩锁电路1 1 a 的输出端Q3 的输出，并当输出端Q3 的输出是在低电平（“低电平”以后称为“L －电平”），第二选通电路1 4 的其它输入被输入到闩锁电路1 1 a 的时钟端子CK。第二选通电路1 4 的另一个输入是来自CPU设备2 的选择信号USP，同时，选择信号USP 被输入作为在规定时间期间来的L －电平。因此，当在闩锁电路1 1 a 的输出端Q3 的输出是处于L －电平期间，产生选择信号USP，随着选择信号USP 的提高，同时至闩锁电路1 1 的时钟端CK 的输入提高，以便输入到闩锁电路1 1 的输入端D0 至D3 的比特值分别出现在输出端Q0 至Q3 上。

而且，地址比较电路1 2 是3 比特数字比较器，并且对于输入到输入端A0 至A2 和B0 至B2 的比特值，该比较器工作输出符合信号至第一选通电路1 3 ，每个信号具有相互一致的3 比特。符合信号是用于产生以L 电平的第一选通电路1 3 的一个输入信号，而在这种状态下，第一选通电路1 3 的另一个输入出现在输出端。第一选通电路1 3 的另一个输入是来自CPU设备2 的选择信号CS。当L 电平（有效的）选择信号CS 被输入是在符合信号从地址比较电路1 2 输出的状态时，来自第一选通电路1 3 的输出具有L 电平（有效的），允许外围设备1 和CPU设备2 之间进行数据通信。

下面将描述其工作。当CPU设备2 命令每个外围设备1 的闩锁电路1 1 a 写入设备地址时，CPU设备2 输入写入地址SD0 ，SD1 ，SD2 ，经外围设备1 的终端1 3 0 ，1 3 1 ，1 3 2 至闩锁电路1 1 a 的输入端D0 ，D1 ，D2 ，如图4 A 所示，并且如图4 B 所示，每当改变写入地址SD0 ，SD1 ，SD2 时，在规定的时间期间发送具有L 电平的选择信号USP。而且，CPU设备2 经外围设备1 的终端1 0 3 发送高电平（“高电平”此后称为H 电平）的写入命令信号US 至闩锁电路1 1 a 的输入端D3 。以图2 D 所

示前面的方式，可实现来自CPU设备的写入地址SD0，SD1，SD2 的传输，选择信号USP 和写入命令信号US 的发送。

在这种情况下，当设备地址的写入开始时，输入到最靠近CPU设备2 的外围设备1 的闩锁电路1 1 a 终端D3 的输入信号US -IN （参见图4 C）是H电平，同时在第2 和随后级内，外围设备1 的闩锁电路1 1 a 的输入端D3 的输入信号是L 电平。当选择信号USP 输入时，选通电路1 4 的输出改变，然后闩锁电路1 1 a 的时钟终端CK 的输入信号出现。因此，写入地址SD0，SD1，SD2 和写入命令信号US 保持在闩锁电路1 1 a 内。这时，来自闩锁电路1 1 a 的输出端Q3 的输出信号US -OUT 变为具有H电平，如图4 D所示，因此甚至当输入选择信号时，选通电路1 4 的输出也不改变。同时，输入到下一级的外围设备1 的闩锁电路1 1 a 的输入端D3 的输入信号US -IN变为具有H电平（参见图4 E）。因此，以上面所描述的方式（参见图4 F，4 G，4 H），每个外围设备1 顺序地发送写入命令信号US 。

根据前述的操作，写入地址SD0，SD1，SD2 和选择信号UPS 同时地发送到所有外围设备1 。但是，因为写入命令信号US 顺序地发送到每个外围设备1 ，写入地址SD0，SD1，SD2 能单独地发送到外围设备1 的闩锁电路1 1 a 。最主要的是外围设备同CPU设备2 连接的次序是用于识别在初始状态的每个外围设备1 没有设置设备地址。换句话说，逐一输入外围设备1 至允许写写入地址SD0，SD1，SD2，至每个外围设备1 的信息传输无需使用任何地址进行启动。而且，外围设备1 的设备地址自动地从CPU设备2 写入，而且根据外围设备1 的连接次序写入设备地址。因此，能够避免设备地址的错误设置。

在以上述方式设备地址被设置在闩锁电路1 1 a 之后，通过发送地址信号（呼叫地址）US0，US1，US2，至信号线3 1 和发送L 电平选择信号CS，在外围设备1 内地址比较电路1 2 的输出变为有效的，在外围设备1 中设置3 与呼叫地址相符的设备地址，而且选呼信号CS 通过选通电路1 3 传送到被寻址的允许的外围设备。

在前述的实施例中，呼叫地址和设备地址每一个为3 比特。但是，当外围设备1 数量增加时，通过增加地址的比特数也容易增加。

第二实施例

在第一实施例中，写入地址SD0，SD1，SD2 和呼叫地址US0，US1，US2 在不同的路径内发送。与上面的相反，如图5 所示，在本实施例中上述两种地址在相同路径中发送。在设置的设备地址中，闩锁电路11a 一旦被重置，输出值是“000”。因此通过使用写地址而不是“000”，选择信号CS 不通过选通电路13，允许类似于第一实施例的操作。通过采用这种结构，可使用于信号线3 (线31) 的导线数低于第一实施例，这就导致成本降低。其它结构和操作类似于第一实施例。

第三实施例

如图6 所示，本实施例的外围设备1 具有这样一种结构，即将第一实施例的闩锁电路11a 由D 型触发器11b 代替。其它结构和操作类似于第一实施例。

第四实施例

如图7 所示，本实施例的外围设备1 具有这样的一种结构，即在这样的结构中，通过替代第一实施例的闩锁电路11a 的功能，分离地提供用于保持设备地址的3 比特闩锁电路11c 和用于转移写命令信号的1 比特闩锁电路11d。其它结构和操作类似于第一实施例。

第五实施例

如图8 A 所示，本实施例的外围设备1 具有这样的结构，即在这样的结构中，写地址SD 作为串行数据经端子150 通过信号线31 从CPU 设备2 发送到每个外围设备1。另一方面，该闩锁电路11a 保持不变，地址为并行数据，和因此是串行数据的写地址SD 要求被变换为并行数据。因此，串/并变换器15 安装在闩锁电路11a 的输入侧，用于变换写地址SD 为并行数据。

如图8 B 所示，以这种方式，可实现本实施例中呼叫地址US0，US1，US2，写地址SD，写命令信号US 和来自CPU 设备2 的选择信号USP 的传输。在图8 B 中，“SIO”标示在CPU 设备2 中包括的串行I/O 器件的输入/输出端。串行I/O 器件产生写地址SD，它作为串行数据并经端子

SIO发送。

其它结构及其操作类似于第一实施例。

第六实施例

如图9A所示，本实施例的外围设备1具有这样的结构，即在这种结构中提供一个计数器16，用于替代第五实施例中的串/并变换器15。在第五实施例中，CPU设备2产生串行数据形式的写地址。同上述方案相反，在本实施例中，如图10A所示的脉冲信号PD从CPU设备2经端子160通过信号线31输出，并传输到每个外围设备1，由计数器16对脉冲信号PD计数，并且作为写地址给出由计数器16获得的计数值，如图10B所示，该数值送至闩锁电路11a。详细地，通过从CPU2发送如图10C所示的选择信号USP，与脉冲信号PD同步（在从脉冲信号PD传输时规定时间期间过去之后发送选择信号USP），计数器16的计数值能被保持在闩锁电路11a。图10D至10I表示与图4C至4H所示信号相同的信号。

在本实施例中，以图9B所示的方式，可实现来自CPU设备2的呼叫地址US0，US1，US2，脉冲信号PD，写命令信号US和选择信号USP的传输。

根据本实施例的结构，在CPU设备2中不需要形成写地址，而是在每个外围设备1中自动地产生写地址。因此，在外围设备1中设置的设备地址不重叠，能够防止可能出现的设备地址的错误设置。本实施例的其它结构和操作类似于第一实施例。

第七实施例

如图11所示，本实施例的外围设备1具有大多数与第四实施例相同的结构，在这种结构中，使用闩锁电路的输入作为选通电路14的一个输入，替代使用闩锁电路11d的输出作为选通电路14的一个输入。用这种安排，与第四实施例相反，其中选通电路14的输入是负逻辑输入，连接到闩锁电路11d的输入端的一个输入端在本实施例中接收正逻辑输入。而且，用于闩锁电路11d的时钟端CK，没有使用选通电路14的输出，而是使用选择信号USP。

在本实施例的情况下，如果写命令信号US 保持在H 电平，每当输入选择信号USP 时，选通电路14 将改变其输出，和每当选择信号USP 从CPU 设备2 输出时，该闩锁电路11C 将改变设备地址。这意味着在外围设备1 内不能单独设置设备地址。因此，如图12C 所示，在写一个写地址到一个外围设备1 之后，CPU设备2 使写命令信号US 消失（使其无效）（参见图12A和12B）。当接收选择信号UPS 时，如图12D所示，这时闩锁电路11d 的输出是H电平，而且因此写命令信号US 能被发送到下一级的外围设备1 。

而且，随着选择信号USP 输入到闩锁电路11d 的时钟端子CK，当设备地址被设置在下一级的外围设备1 内时，闩锁电路11d 的输出变为具有L电平，如图12D所示，和在下一级的外围设备1 的闩锁电路11d 的输入变为具有L 电平，如图12E所示。在这里，下一级的外围设备1 的闩锁电路11d 的输出是在H电平，如图12F所示。以便写命令信号US 能顺序地被发送到外围设备1 ，如图12G和12H所示。本实施例的其它结构和操作类似于第一实施例。

第八实施例

如图13 所示，本发明的外围设备1 具有这样的结构，在这种结构中，取消了第二实施例的选通电路14 ，而且，H电平（有效）信号总是输入到闩锁电路11a 的输入端D3 。闩锁电路11a 的输出端Q3 的输出作为开关信号，通过延迟电路19 输入到加法器电路17 。地址信号US0，US1，US3 不仅被输入到闩锁电路11a 和地址比较电路12 ，而且输入到加法器电路17 。当L 电平信号从延迟电路19 输入作为开关信号时，加法器电路17 变为有效的，并且操作使地址信号US0，US1，US2 增加1 （通过+1 标示指示）并经端子120，121，122 输出。当H电平信号被输入作为开关信号时，它进入通过状态（通过PO标示指示），使地址信号US0，US1，US2 经过端子120，121，122 通过。甚至当根据选择信号USP 从闩锁电路11a 的输出端Q3 的输出变为具有H电平时，延迟电路19 的输出保持在L 电平，并且在过去的时间不短于选择信号USP 产生的间隔之后，它就变为具有H电平。

接着设置每个外围设备1 的设备地址，例如，“０００”从ＣＰＵ设备2 作为地址信号ＵＳ０，ＵＳ１，ＵＳ２ 输出，类似于第一实施例间断地产生选择信号。提供选择信号ＵＳＰ 的闩锁电路1 1 a 保持地址信号ＵＳ０，ＵＳ１，ＵＳ２ 作为设备地址，并从输出端Ｑ３ 输出Ｈ电平信号。这时，通过使用加法器电路1 7 加1 到地址信号ＵＳ０，ＵＳ１，ＵＳ２，得到的信号被发送到下一级的外围设备1 。在输入下一个选择信号ＵＳＰ 之后，并且设置通过相加得到的值作为下一级外围设备1 的设备地址，即延迟电路1 9 的输出变为具有Ｈ电平，使加法器电路进入通过状态，也就是说使加法器电路1 7 进入使来自ＣＰＵ设备2 的地址信号通过的状态。

这样，发送地址信号ＵＳ０，ＵＳ１，ＵＳ２，并且连续地加到下一级的外围设备1 ，设置每个设备的地址。在设备地址设置之后，信号线起着类似于没有安装加法器电路1 7 的信号线的作用，因为加法器电路1 7 已进入到通过状态。

在上述的例子中，地址信号ＵＳ０，ＵＳ１，ＵＳ２ 在加法器电路1 7 中增加。但是，可接受的采用的结构是信号减1 ，例如输出“１１１”，作为来自ＣＰＵ设备2 的地址信号ＵＳ０，ＵＳ１，ＵＳ２，并且设置减少外围设备1 的设备地址，以便增加距ＣＰＵ设备2 的距离。

第九实施例

本实施例的外围设备1 具有这样的结构，即选择外围设备1 ，以便外围设备无需设置外围设备1 的任何地址而连接到ＣＰＵ设备2 。即如图1 4 Ａ所示，每个外围设备1 安装两个闩锁电路2 1 和2 2 ，而闩锁电路2 1 是边沿触发双稳态电路。每个外围设备1 进一步安装一个“与”门电路2 3 ，该“与”门电路获得Ｈ电平，选择命令信号ＸＳ 和闩锁电路2 1 的反相输出的逻辑乘，Ｈ电平选择命令信号ＸＳ 是从ＣＰＵ设备2 经终端1 7 1 转移到外围设备1 的信号:和“与”门电路2 4 ，该“与”门电路获得闩锁电路2 1 的反相输出和闩锁电路2 2 的未反相输出的逻辑乘。“与”门电路2 4 的输出输入到选通电路2 5 ，并且当“与”门电路2 4 的输出是处在Ｌ电平，从ＣＰＵ设备2 发送的选择信号ＵＳＰ 通过选通电路2 5 。选通电路2 5 的输出被输入到闩锁电路2 1 和2 2 的时钟端子ＣＫ。而且，闩锁电路2 1 的反相输出和选择信号ＣＳ 被输入到

提供的选通电路26，而且当闩锁电路21的反相输出是处在L电平时，选通电路26使选择信号CS通过它。选通电路26具有类似于第一实施例的选通电路13的功能，而且当选通电路26的输出变为具有L电平（有效的）时，允许存取外围设备1。

然后，在重置信号RESET输出之后，H电平选择命令信号XS从CPU设备2输出到闩锁电路22和“与”门电路23。这时闩锁电路22的非反相输出是处在L电平，而“与”门电路24的输出也是处在L电平。因此，当如图15A所示的选择信号USP从CPU设备2发送时，该选择信号USP通过选通电路25。即，当选择信号USP输出时，选通电路25的输出改变，而同时当至闩锁电路21和22的时钟端的输入出现时，闩锁电路21和22的每一个电路闩锁H电平，如图15C和15D所示。因此，闩锁电路21的非反相输出变为具有L电平，和选通电路26允许选通信号CS通过它。这时，被转移的闩锁电路22的非反相输出经端子172输入到下一级外围设备1的闩锁电路22。

这时，“与”门电路24的输出是处在L电平，而因此选通电路25仍允许选择信号USP通过它。当在此后时间该选择信号USP被输入到选通电路25时，至闩锁电路21和22的时钟端子CK的信号出现。因为闩锁电路21的反相输出是处于L电平，“与”门电路23的输出也处于L电平。随着选择信号USP的输入，闩锁电路21的反相输出变为具有H电平（参见图15C）。即“与”门电路24的输出变为具有H电平，而选通电路25和26二者阻止选择信号CS和选择信号USP通过它们。

而且，在下一级的外围设备1内，因为这时执行前述的操作，选通电路26是打开的（参见图15E和15F），允许选择信号CS通过它。即，当在第二级的外围设备1内能够使选择信号CS通过时，选择信号CS不通过第一级的外围设备1，而接着仅只级的次序号等于选择信号USP号的外围设备允许选择信号CS通过它，在替换的方式中以类似方式操作（第3级的外围设备变为具有如图15G和15H所示的状态）。

在该实施例中，以图14B所示的方式，可实现来自CPU设备2的选择命令信号XS，选择信号US和重置信号RESET的传输。

如上所述，在本实施例中，根据选择信号USP的号码指定外围设备1。

因此，不需要设置每个外围设备1 的地址，而且信号线的数目少于执行地址设置的情况。当在选择外围设备1 之后选择另一个外围设备1 时，在发送如图15 B 所示的重置信号RESET之后重复前面的操作是适当的。而且，在前述的实施例中，H 电平被假定对于选择命令信号是有效的，在L 电平被假定是有效的电路是可接受的。而且，可由D 型双稳态触发器替代闩锁电路21 和22 。

第十实施例

本实施例工作几乎类似于第九实施例，而且它包括两个闩锁电路21b 和22b，两个选通电路25b 和26b，和一个“或”门电路27，如图16 所示。

闩锁电路226 在选择信号USP 出现时闩锁来自CPU设备2 的选择命令信号 (H 电平) XS，并且它的非反向输出发送到下一级外围设备1 的闩锁电路22b，而且，闩锁电路21b 闩锁闩锁电路22b 的非反相输入。输入到闩锁电路21b 时钟端子CK 的选通电路25b 的输出，闩锁电路22b 的反相输出和选择信号USP 输入到选通电路25b 。当闩锁电路22b 的反相输出是处于L 电平时，选通电路25b 允许选择信号USP 通过它。而且，闩锁电路21b 的非反相输出和闩锁电路22b 的反相输出被输入到“或”门电路27 。当“或”门电路27 的输出是处于L 电平时，选通电路26b 使电信号CS 通过它。

现在假定选择信号USP 间断地从CPU设备2 输出，如图17A 所示，在第一级的外围设备1 内，在选择信号USP 被输入之前，闩锁电路21b 的非反相输出是处于L 电平和闩锁电路22b 的反相输出是H 电平，如图17D 和17E 所示。因此，如图17C 所示，“或”门电路27 的输出Se1 是处于H 电平，而选通电路26b 是被置于防止选择信号USP 通过它们状态。接着，当输入选择信号USP 时，闩锁电路22b 的非反相输出变为具有H 电平，经端子172 发送选择命令信号XS 到下一级的外围设备1 。而且，选择信号USP 不通过选通电路25b，而因此闩锁电路21b 的输出不变。但是，当闩锁电路22b 的反相输出变为具有L 电平时，选通电路25b 允许下一个选通信号USP 通过它。因此，闩锁电路21b 的非反相输出和闩锁电路22b 的反相输出变为具有L 电平。因此，“或”门电路27 的输出Se1 变为具有

L 电平，选通电路2 6 b 允许选择信号C S 通过它。

根据下一个选择信号U S P，当选择信号U S P 连续地从C P U 设备2 输出时，选择信号U S P 通过选通电路2 5 b 被输入到闩锁电路2 1 b 的时钟端子C K。这时，闩锁电路2 2 b 的输出被输入到闩锁电路2 1 b 的输入端子D，该信号是处于H 电平。因此，闩锁电路2 1 b 的非反相输出变为具有H 电平，并且“或”门电路2 7 的端出S e 1 变为具有H 电平，以便选通电路2 6 b 防止选择信号C S 通过它。

而且，下一级的外围设备1 工作如图1 7 F，1 7 G 和1 7 H 所示，由这个选择信号U S P 允许选择信号C S 通过它。而且，第三级的外围设备1 工作如图1 7 I，1 7 J 和1 7 K 所示。这样仅处在相应于选择信号U S P 号码的位置的外围设备1 允许选择信号C S 通过它。本实施例的其它结构和工作类似于第九实施例。

第十一实施例

如图1 8 所示，本实施例具有基于图1 1 所示第七实施例的结构，在这种结构中，在闩锁电路1 1 d 的输入端D 和输出端Q 之间并入一个开关S W。在图1 9 所示的本实施例中，在主板B 上形成用于连接C P U 设备2 和每个外围设备的信号线3 。即如图1 9 所示，在主板上形成用于总线连接的第一信号线3 1 和用于级联连接的第二信号线3 2，例如通过在主板B 上安装外围设备1 到设备安装槽3 5 内构成的可能的系统。开关S W 安装在主板B 上，并且开关S W 在外围设备没有安装上的状态时保持开或导通，以便能转移写命令信号U S 。

即，用于发送写命令信号U S 的第二信号线3 2 不是通过总线连接连接的。因此没有安装外围设备1 的设备安装槽3 5 存在如图1 9 所示的结构，即使外围设备1 被安装在随后级侧上设备安装槽内，在第七实施例的结构中，写命令信号U S 不能被发送。从上面的观点，通过提供开关S W，写命令信号U S 允许发送，在没有安装外围设备1 的部分内无需通过外围设备。其它结构和工作类似于第七实施例。

第十二实施例

如图2 0 所示，该实施例具有这样的结构，在该结构中，提供一个选择器1 8 代替第十一实施例中的开关S W。当输入到其端子S E L 的开关信号是处于L 电平时，这个选择器1 8 输出在其输入端A 的信号；并且当开关信号是处于H 电平时，输出在其输入端B 的信号。降压电阻R 连接到端子S E L，并且当安装外围设备1 时，施加电源电压（即H 电平）作为开关信号，经端子 180 到降压电阻R 的一端。

因此，当在主板B 上在相应的设备安装槽3 5 内没有安装外围设备时，通过降压电阻R，开关信号至端子S E L 变为具有L 电平，并且输出在输入端A 的输入信号。换句话说，在相应的设备安装槽3 5 内没有安装外围设备的状态下，命令信号U S 通过选择器1 8 。当在设备安装槽3 5 内安装外围设备1 时，H 电平开关信号被输入到端子S E L，并且已经通过外围设备1 的写命令信号U S 也通过选择器1 8 。其它结构和工作类似于第七实施例。

第十三实施例

如图2 1 所示，本实施例具有这样的结构，即在这种结构中，用一个逻辑电路实现与第十二实施例的选择器1 8 相同的功能，该逻辑电路包括4 个“与非”门电路4 1 至4 4 。一个“与非”电路4 4 通过短路其输入端起着如像反相电路的作用。写命令信号U S 和“与非”门电路4 4 的输出被输入到“与非”门电路4 1 。降压电阻R 的一端连接至“与非”门电路4 2 ，并接收闩锁电路1 1 d 的输出信号。即“与非”门电路4 1 的一端起着如像输入端A 的作用，“与非”门电路4 2 的一端起着输入端B 的作用，而且“与非”门电路4 2 的其它端子起着端子S E L 的作用。“与非”门电路4 1 和4 2 的输出输入到“与非”门电路4 3 ，并且“与非”门电路4 3 形成输出到下一级外围设备1 。“与非”门电路4 4 的输入端连接到“与非”门电路4 2 的一个输入端，并起着端子S E L 的作用。

因此，在主板B 上相应的设备安装槽3 5 内没有安装外围设备1 的状态下，“与非”门电路4 2 和4 4 的输出处于H 电平。因此，写命令信号U S 在“与非”门电路4 1 内反相，并在“与非”门电路4 3 再反相，它就通过。另一方面，当安装外围设备1 时，“与非”门电路4 4 的输出变为具有L 电平。因此，写命令信号U S 不能通过“与非”门电路4 1 ，并且“与非”门电路4 2 使闩

锁电路1 1 d 的输出通过它。因此，用这种安排，闩锁电路1 1 d 的输出在“与非”门电路4 2 内反相，并且在“与非”门电路4 3 中再反相，闩锁电路1 1 d 的输出能被发送到下一级的外围设备。其它结构和工作类似于第七实施例。

第十四实施例

如图2 2 所示，本实施例具有与如图1 1 所示第七实施例相同的电路结构，在这种结构中，选通电路1 4 和闩锁电路1 1 d 安装在主板B 上。根据这种结构，当在外围设备1 中还没有设置外围设备地址时，单独地选择外围设备1 的功能在外围设备1 上不能提供，但在主板B 上已安装。因此，写命令信号U S 能经过闩锁电路1 1 d 顺序地发送，而不考虑出现或不出现任何外围设备1 。而且，因为闩锁电路1 1 d 安装在每个外围设备1 被安装的部分，根据闩锁电路1 1 d 的输出，能够知道主板B 选择的位置。即，当选择每个位置的设备安装槽3 5 时，通过回送每个外围设备1 的连接状态，能够检测出是否安装了外围设备1 。其它的结构和工作类似于第七实施例。

值得注意的是：在第七实施例至第十四实施例中，连接信号线3 1 是通过总线被连接到C P U 设备2 ，而不考虑每个外围设备1 的存在或不存在。

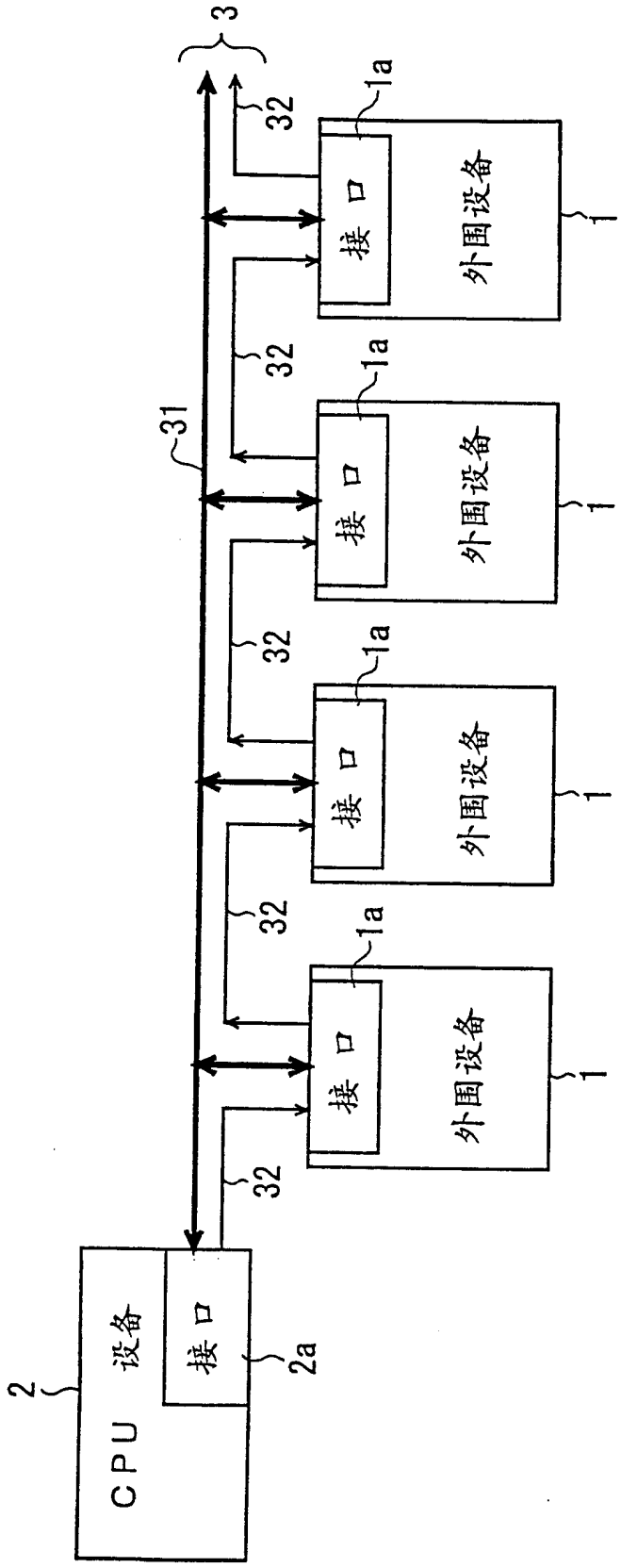


图 1

图 2A

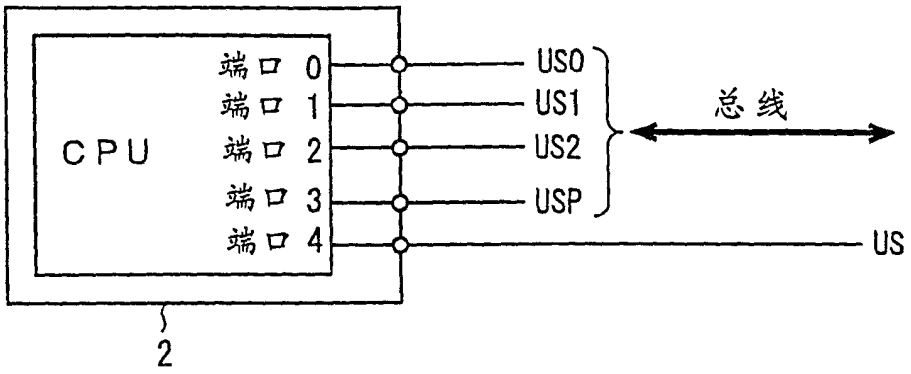


图 2B

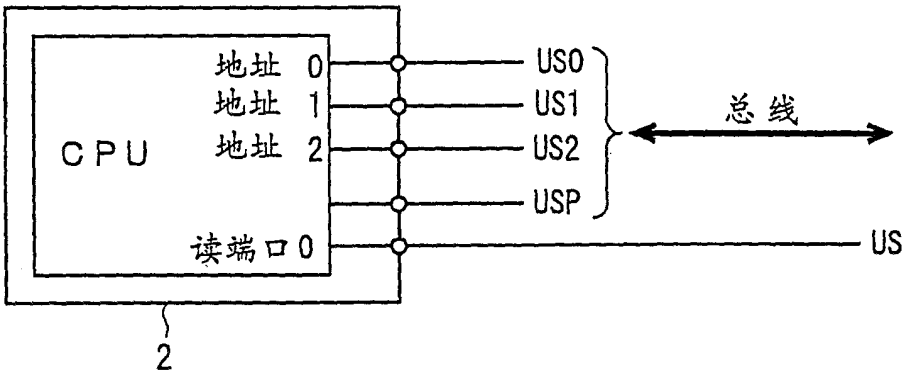


图 2C

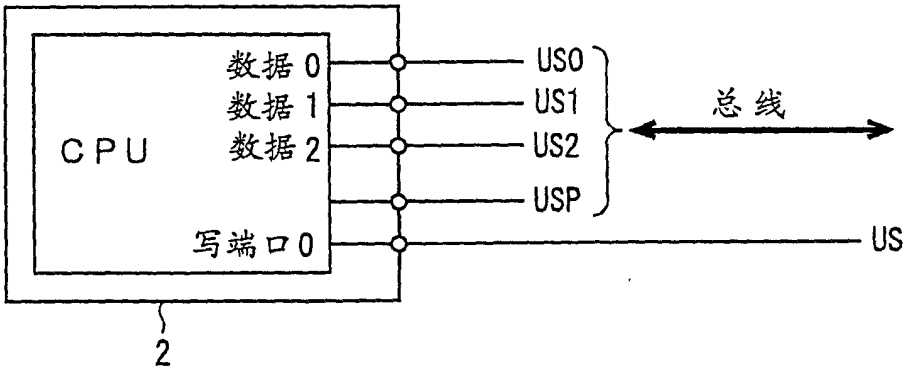
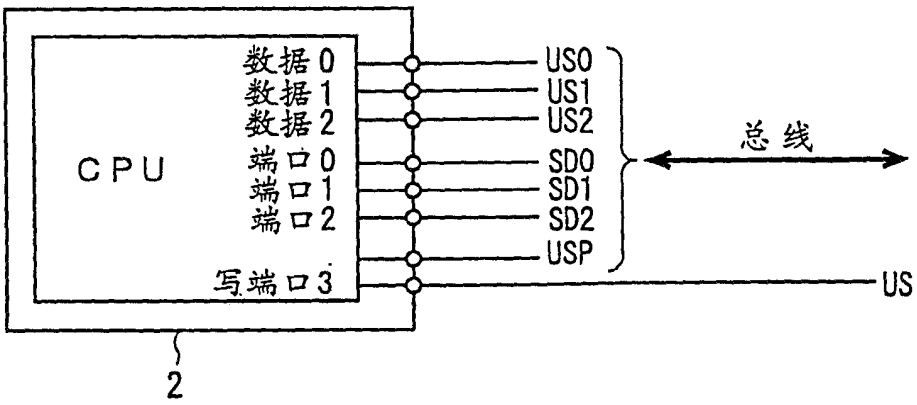


图 2D



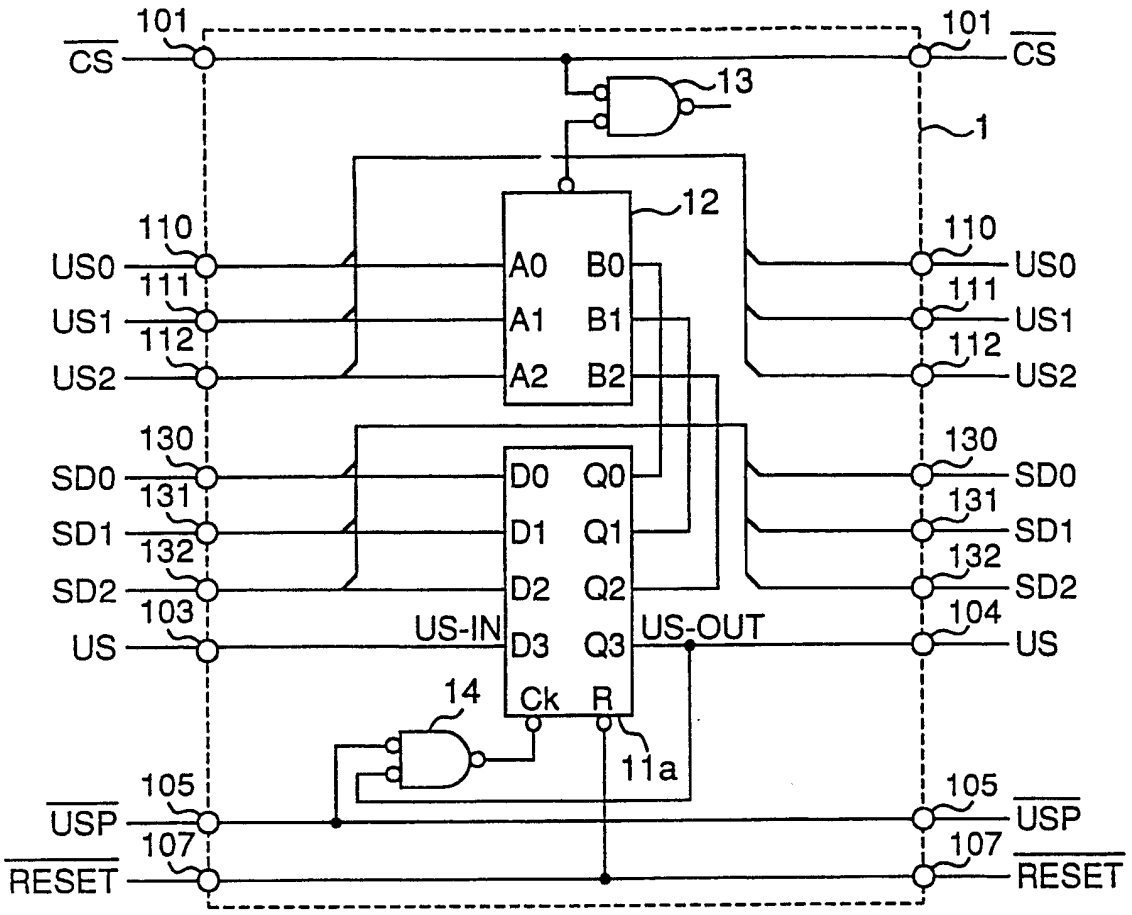
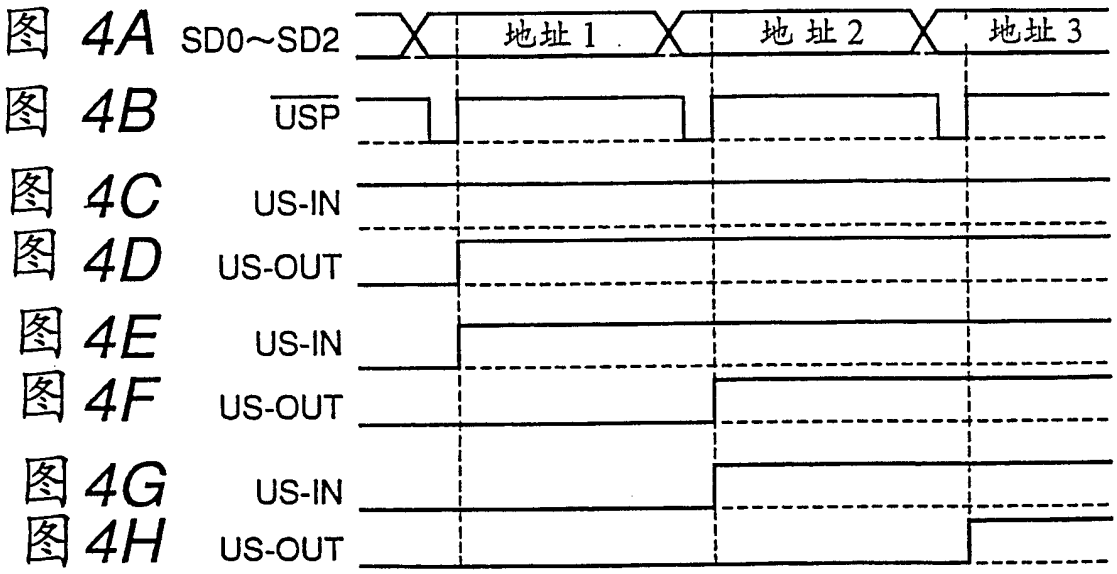

101
CS
101
CS
13
1
12
110
US0
111
US1
112
US2
A0
B0
A1
B1
A2
B2
110
US0
111
US1
112
US2
130
SD0
131
SD1
132
SD2
103
US
D0
Q0
D1
Q1
D2
Q2
US-IN
D3
Q3
US-OUT
Ck
R
14
11a
130
SD0
131
SD1
132
SD2
104
US
105
USP
107
RESET
105
USP
107
RESET

图 3


图 4A
SD0~SD2
地址 1
地址 2
地址 3
图 4B
USP
图 4C
US-IN
图 4D
US-OUT
图 4E
US-IN
图 4F
US-OUT
图 4G
US-IN
图 4H
US-OUT

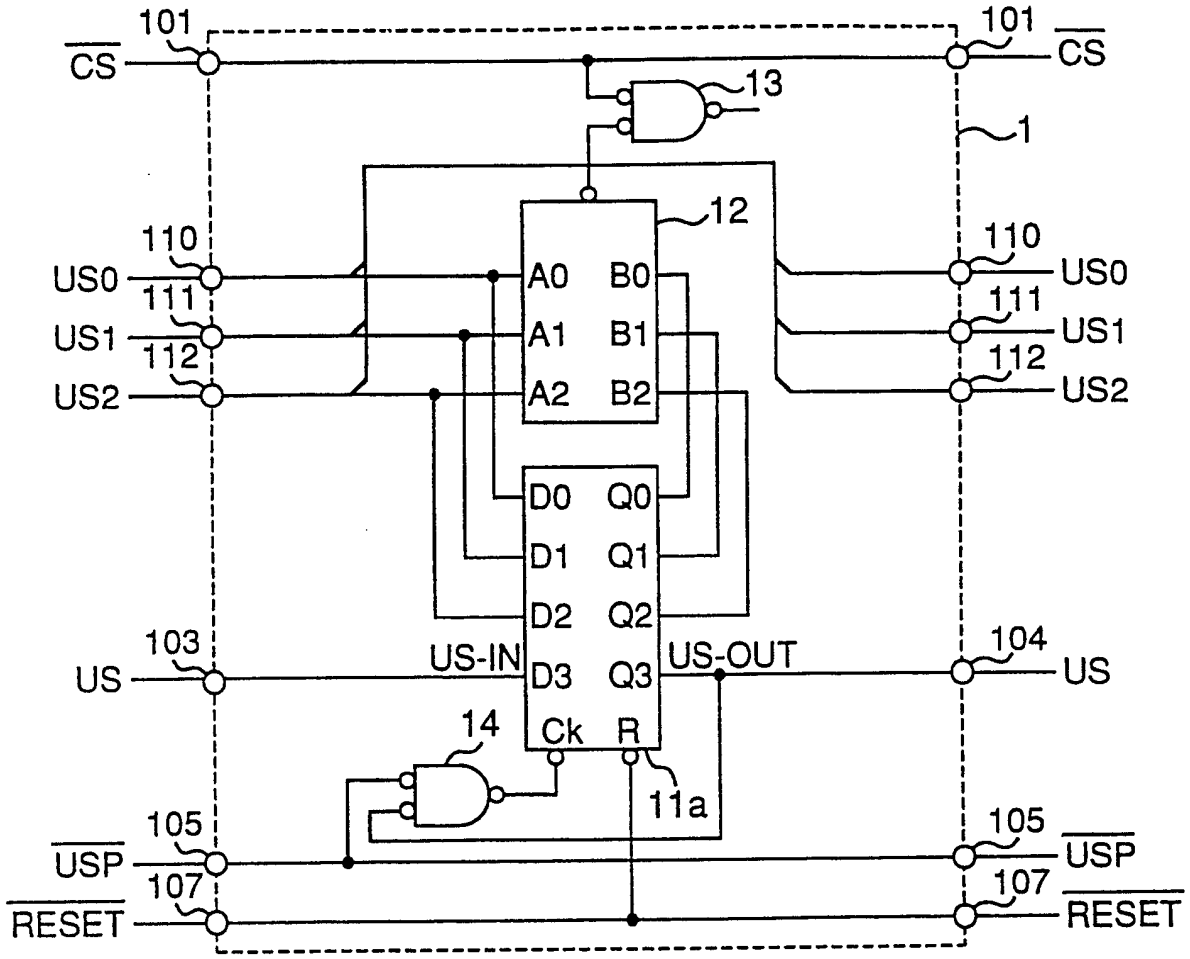

101
CS
101
CS
13
1
12
110
US0
111
US1
112
US2
A0
B0
A1
B1
A2
B2
110
US0
111
US1
112
US2
D0
Q0
D1
Q1
D2
Q2
103
US
US-IN
D3
Q3
US-OUT
104
US
14
Ck
R
11a
105
USP
107
RESET
105
USP
107
RESET

图 5

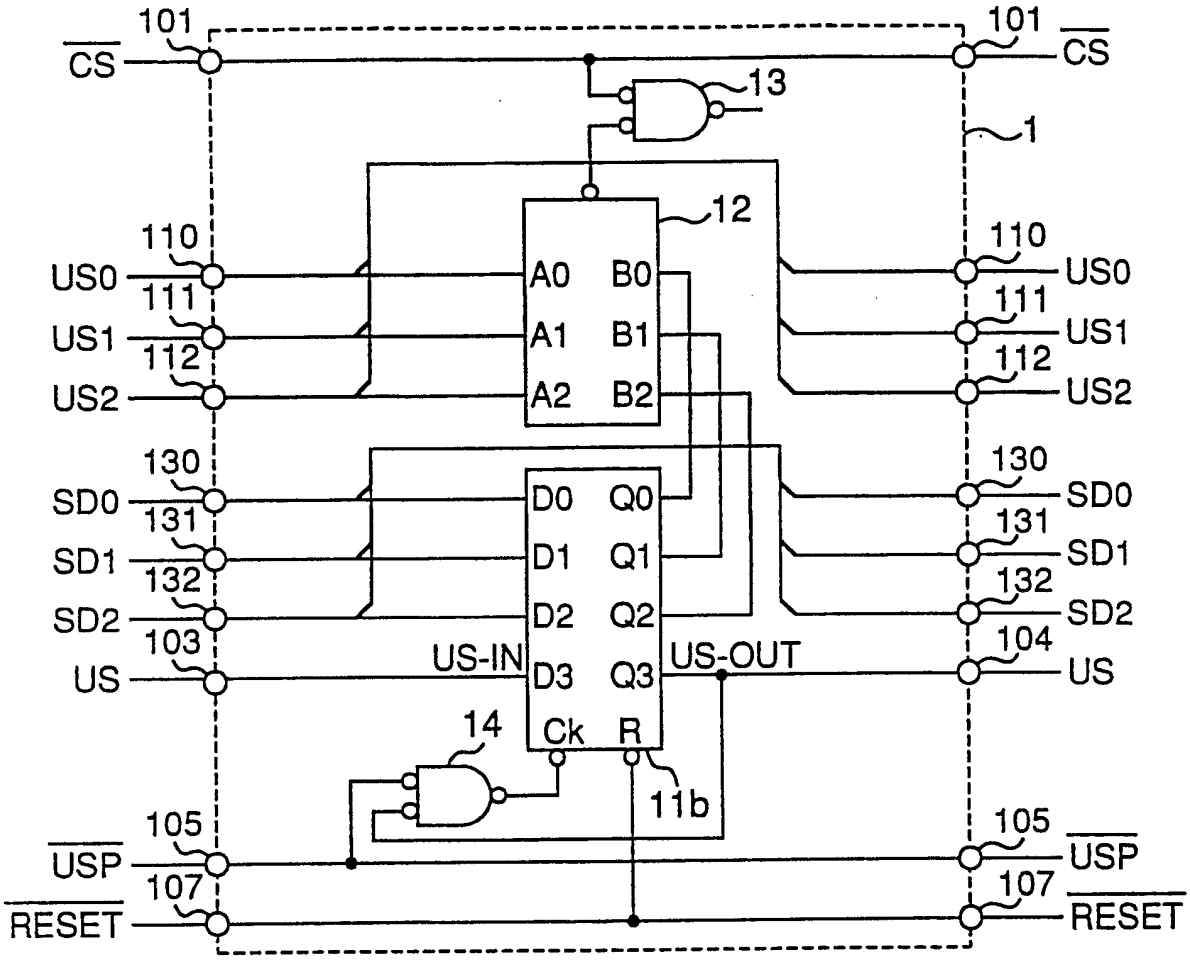

101
CS
101
CS
13
1
12
110
US0
111
US1
112
US2
A0
B0
A1
B1
A2
B2
110
US0
111
US1
112
US2
130
SD0
131
SD1
132
SD2
D0
Q0
D1
Q1
D2
Q2
130
SD0
131
SD1
132
SD2
103
US
US-IN
D3
Q3
US-OUT
104
US
14
Ck
R
11b
105
USP
107
RESET
105
USP
107
RESET

图 6

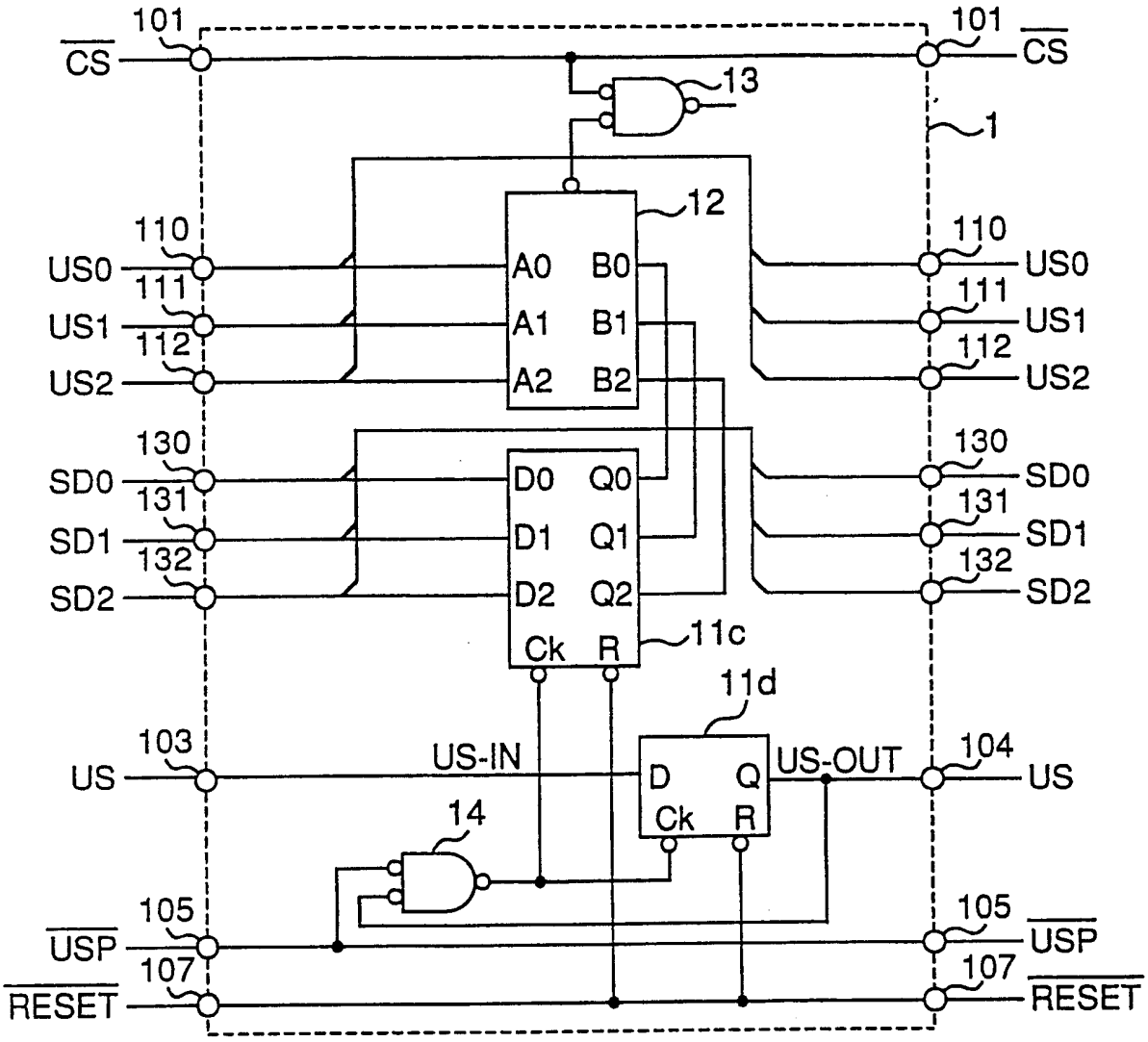

101
CS
101
CS
13
1
12
110
US0
111
US1
112
US2
A0
B0
A1
B1
A2
B2
110
US0
111
US1
112
US2
130
SD0
131
SD1
132
SD2
D0
Q0
D1
Q1
D2
Q2
Ck
R
11c
130
SD0
131
SD1
132
SD2
11d
103
US
US-IN
D
Q
Ck
R
US-OUT
104
US
14
105
USP
107
RESET
105
USP
107
RESET

图 7

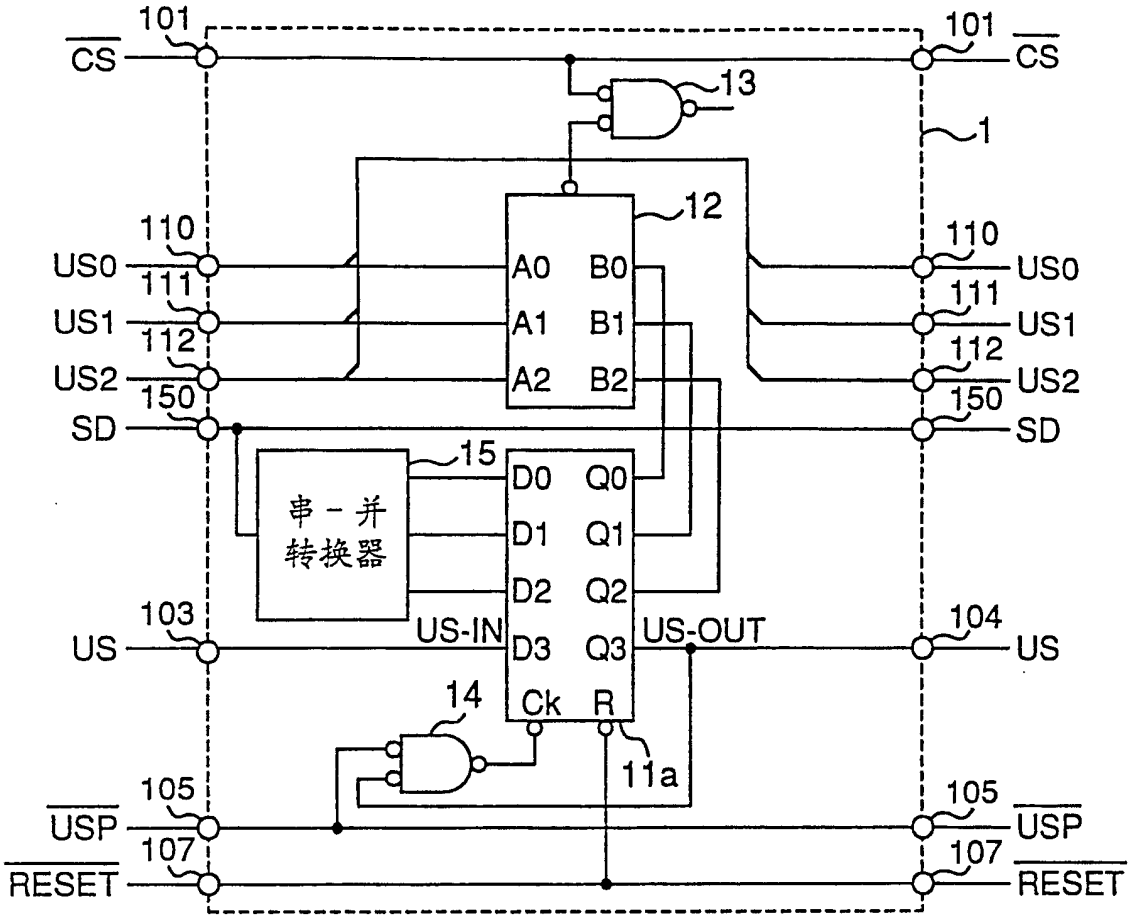

101
CS
101
CS
13
1
12
110
US0
111
US1
112
US2
150
SD
A0
B0
A1
B1
A2
B2
110
US0
111
US1
112
US2
150
SD
15
串－并
转换器
D0
Q0
D1
Q1
D2
Q2
103
US
US-IN
D3
Q3
US-OUT
104
US
14
Ck
R
11a
105
USP
107
RESET
105
USP
107
RESET

图 8A

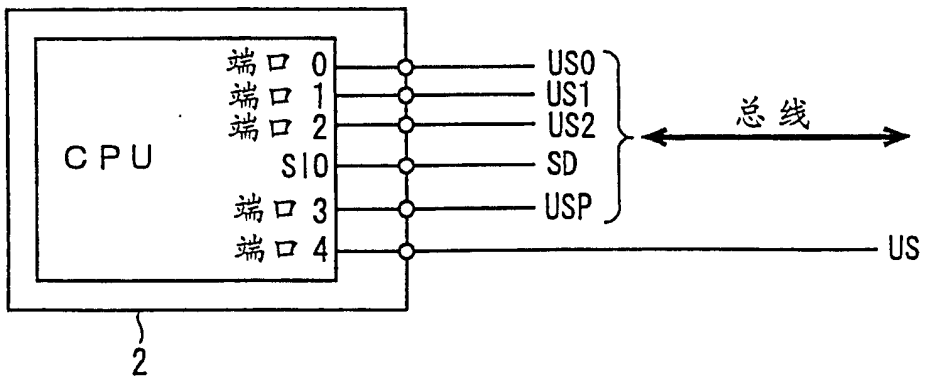

CPU
端口 0
端口 1
端口 2
SIO
端口 3
端口 4
US0
US1
US2
SD
USP
US
总线
2

图 8B

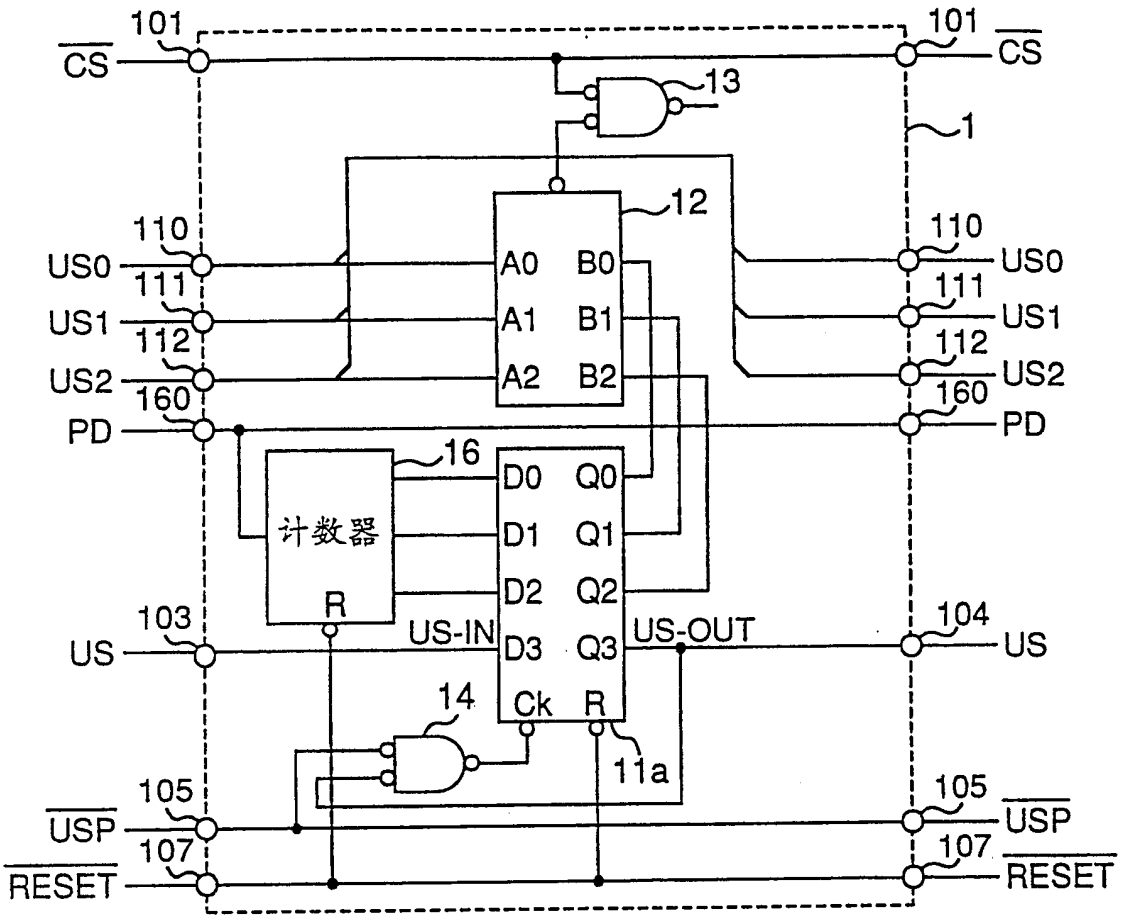

101
CS
101
CS
13
1
12
110
US0
111
US1
112
US2
160
PD
A0
B0
A1
B1
A2
B2
110
US0
111
US1
112
US2
160
PD
16
计数器
R
D0
Q0
D1
Q1
D2
Q2
D3
Q3
Ck
R
US-IN
US-OUT
103
US
104
US
14
11a
105
USP
107
RESET
105
USP
107
RESET

图 9A

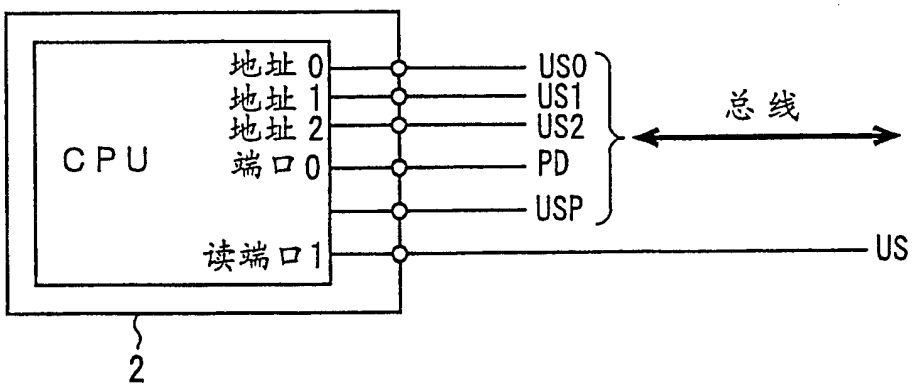
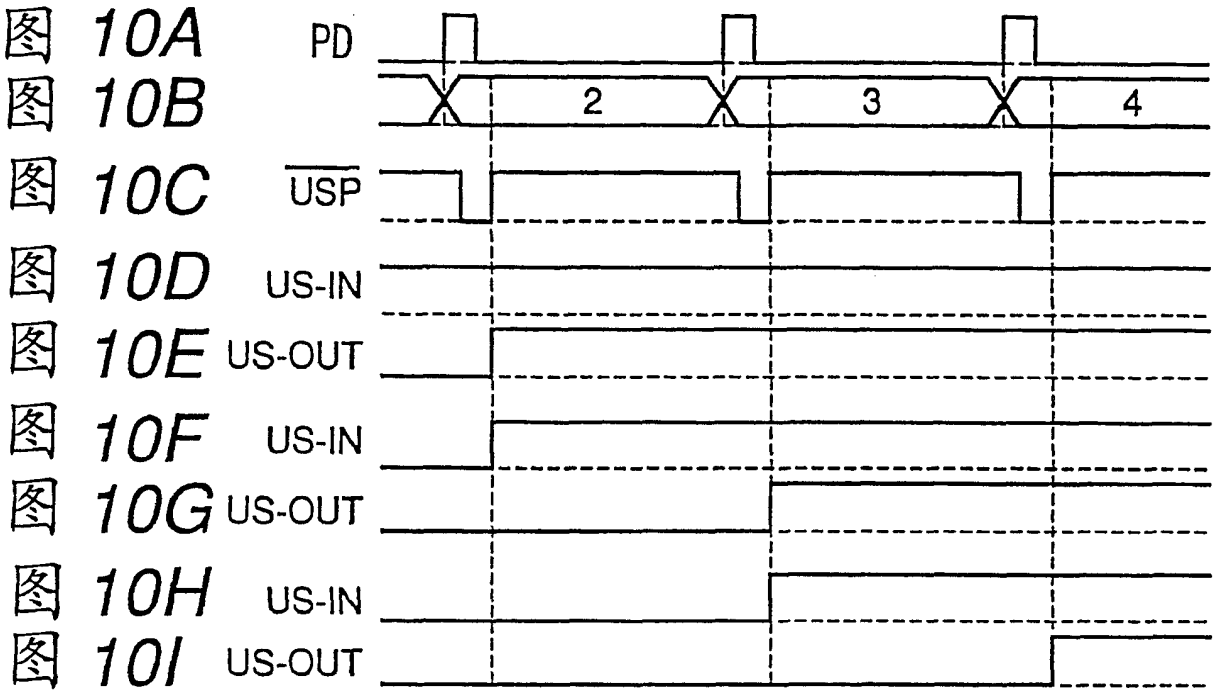

CPU
地址 0
地址 1
地址 2
端口 0
读端口 1
USO
US1
US2
PD
USP
US
总线
2

图 9B


图 10A
PD
图 10B
2
3
4
图 10C
USP
图 10D
US-IN
图 10E
US-OUT
图 10F
US-IN
图 10G
US-OUT
图 10H
US-IN
图 10I
US-OUT

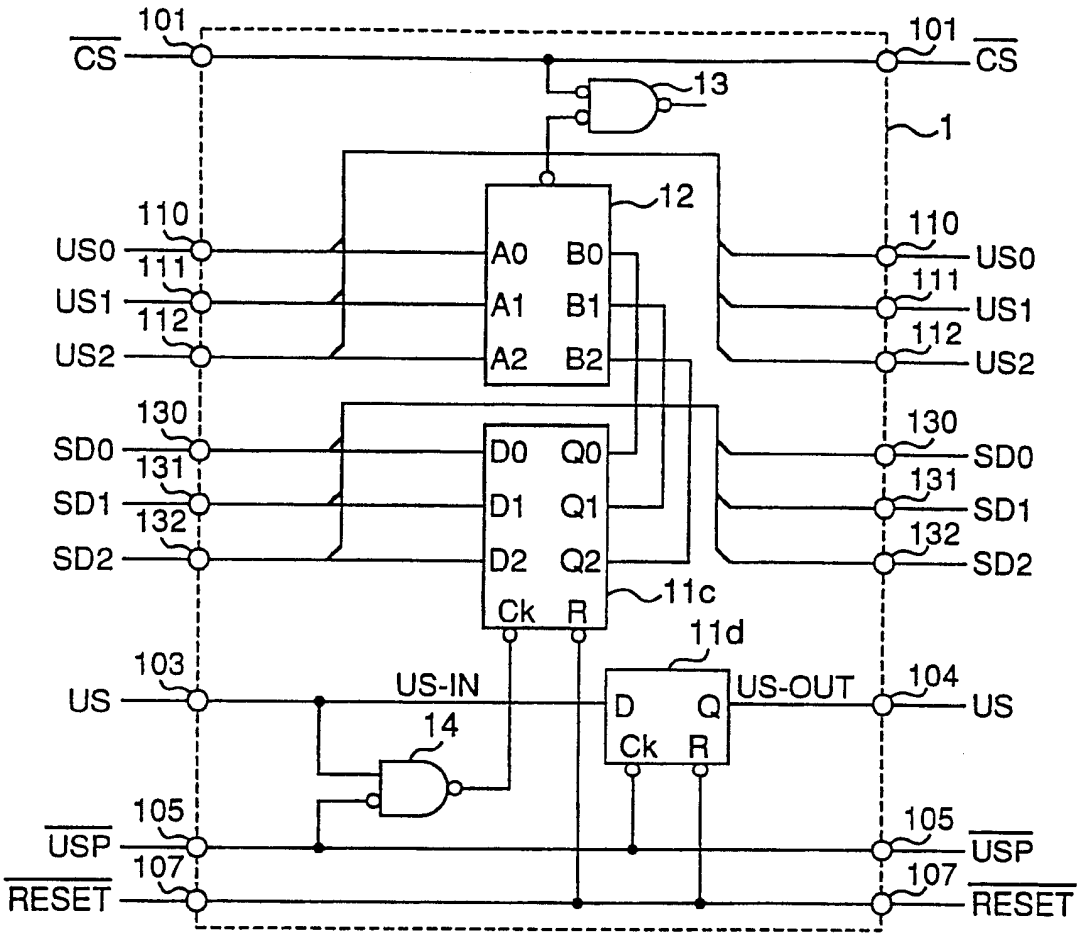
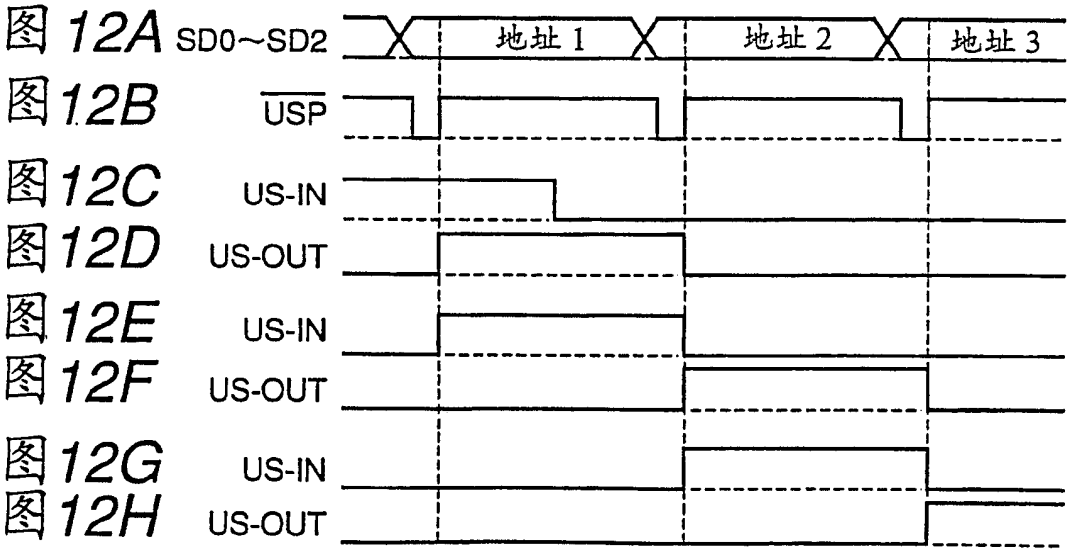

101
CS
101
CS
13
1
12
110
US0
111
US1
112
US2
A0 B0
A1 B1
A2 B2
110
US0
111
US1
112
US2
130
SD0
131
SD1
132
SD2
D0 Q0
D1 Q1
D2 Q2
Ck R
11c
130
SD0
131
SD1
132
SD2
11d
103
US
US-IN
D Q
Ck R
US-OUT
104
US
14
105
USP
107
RESET
105
USP
107
RESET

图 11


图 12A SD0~SD2
地址 1
地址 2
地址 3
图 12B USP
图 12C US-IN
图 12D US-OUT
图 12E US-IN
图 12F US-OUT
图 12G US-IN
图 12H US-OUT

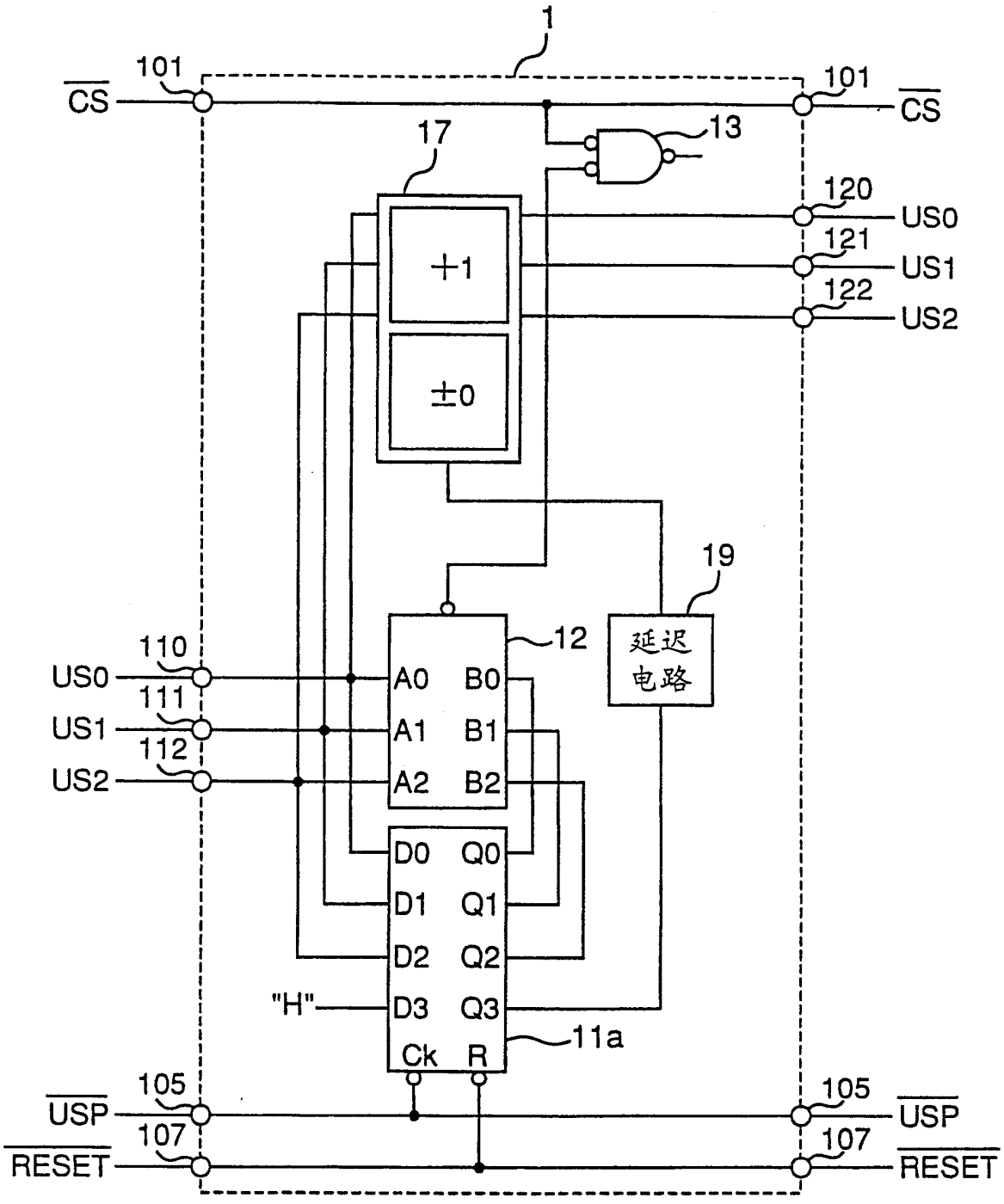

1
101
CS
101
CS
17
13
120
US0
121
US1
122
US2
+1
±0
19
延迟
电路
12
110
US0
111
US1
112
US2
A0 B0
A1 B1
A2 B2
D0 Q0
D1 Q1
D2 Q2
"H"
D3 Q3
Ck R
11a
105
USP
107
RESET
105
USP
107
RESET

图 13

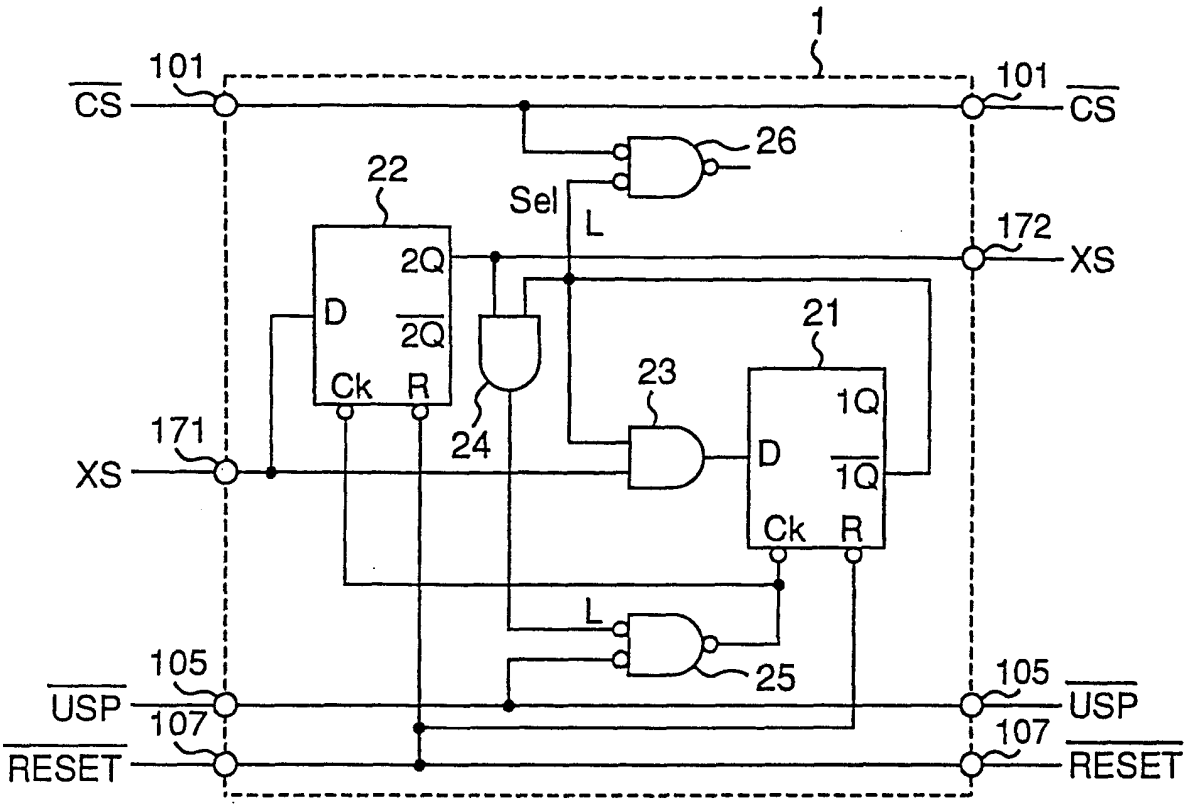

1
101
CS
101
CS
26
22
Sel
L
172
XS
2Q
D
2Q
Ck R
21
23
1Q
24
171
XS
D
1Q
Ck R
L
105
USP
25
105
USP
107
RESET
107
RESET

图 14A

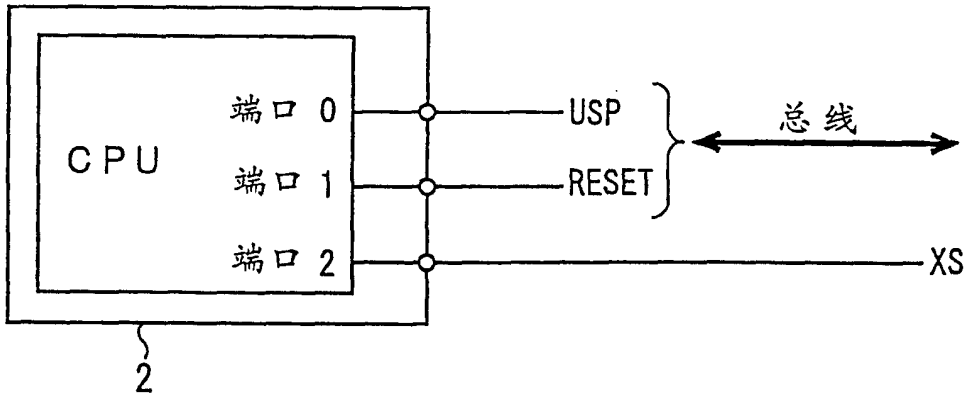
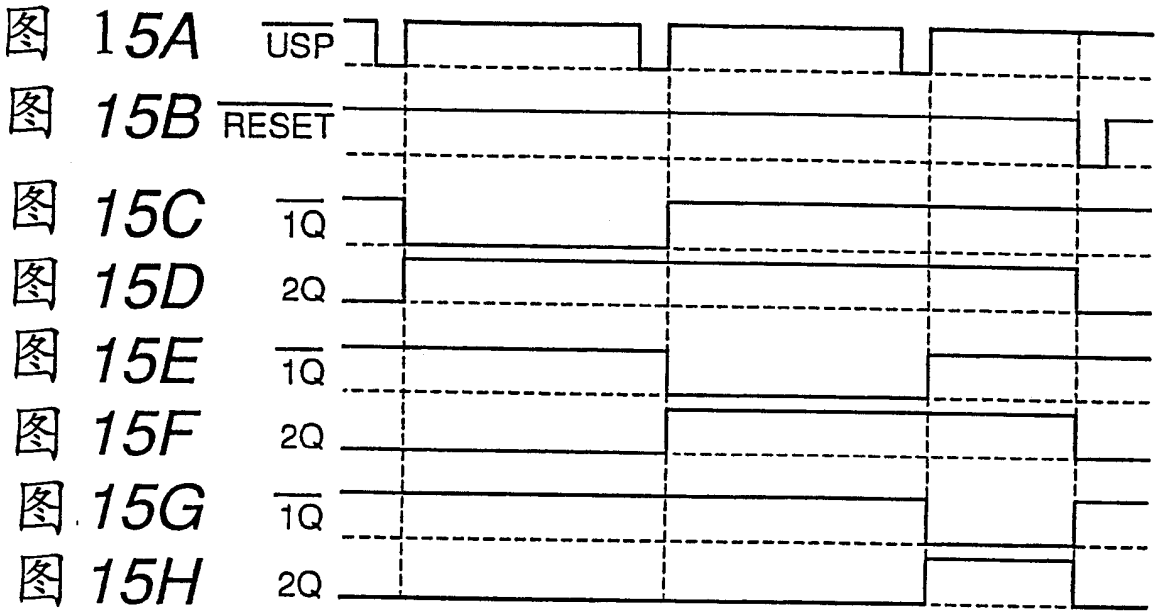

CPU
端口 0
端口 1
端口 2
USP
RESET
XS
总 线
2

图 14B


图 15A
图 15B
图 15C
图 15D
图 15E
图 15F
图 15G
图 15H
USP
RESET
1Q
2Q
1Q
2Q
1Q
2Q

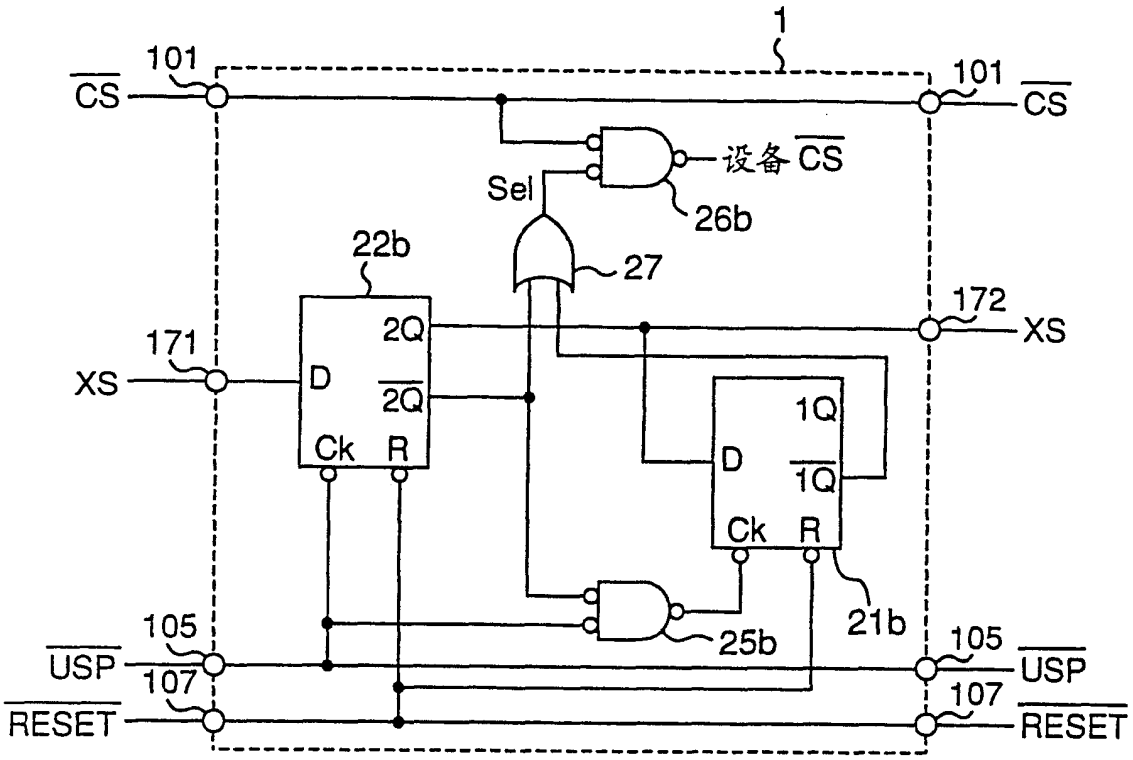
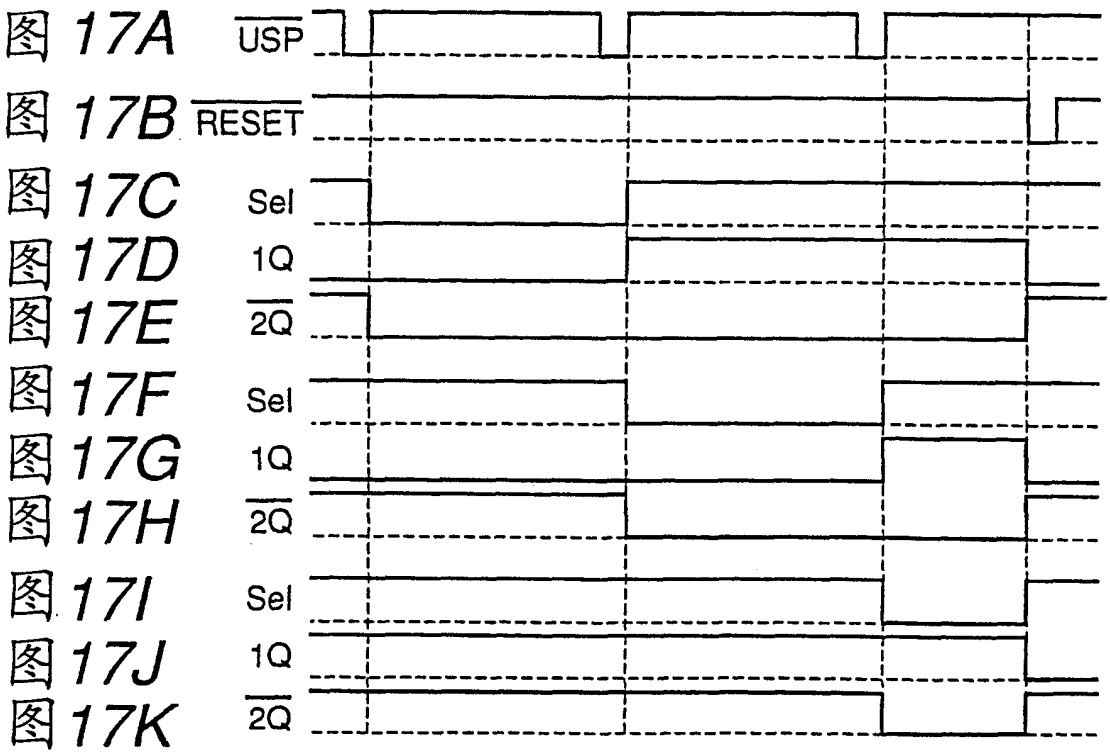

1
101
CS
101
CS
设备 CS
Sel
26b
27
22b
2Q
D
2Q
Ck
R
172
XS
171
XS
1Q
D
1Q
Ck
R
21b
25b
105
USP
107
RESET
105
USP
107
RESET

图 16


图 17A USP
图 17B RESET
图 17C Sel
图 17D 1Q
图 17E 2Q
图 17F Sel
图 17G 1Q
图 17H 2Q
图 17I Sel
图 17J 1Q
图 17K 2Q

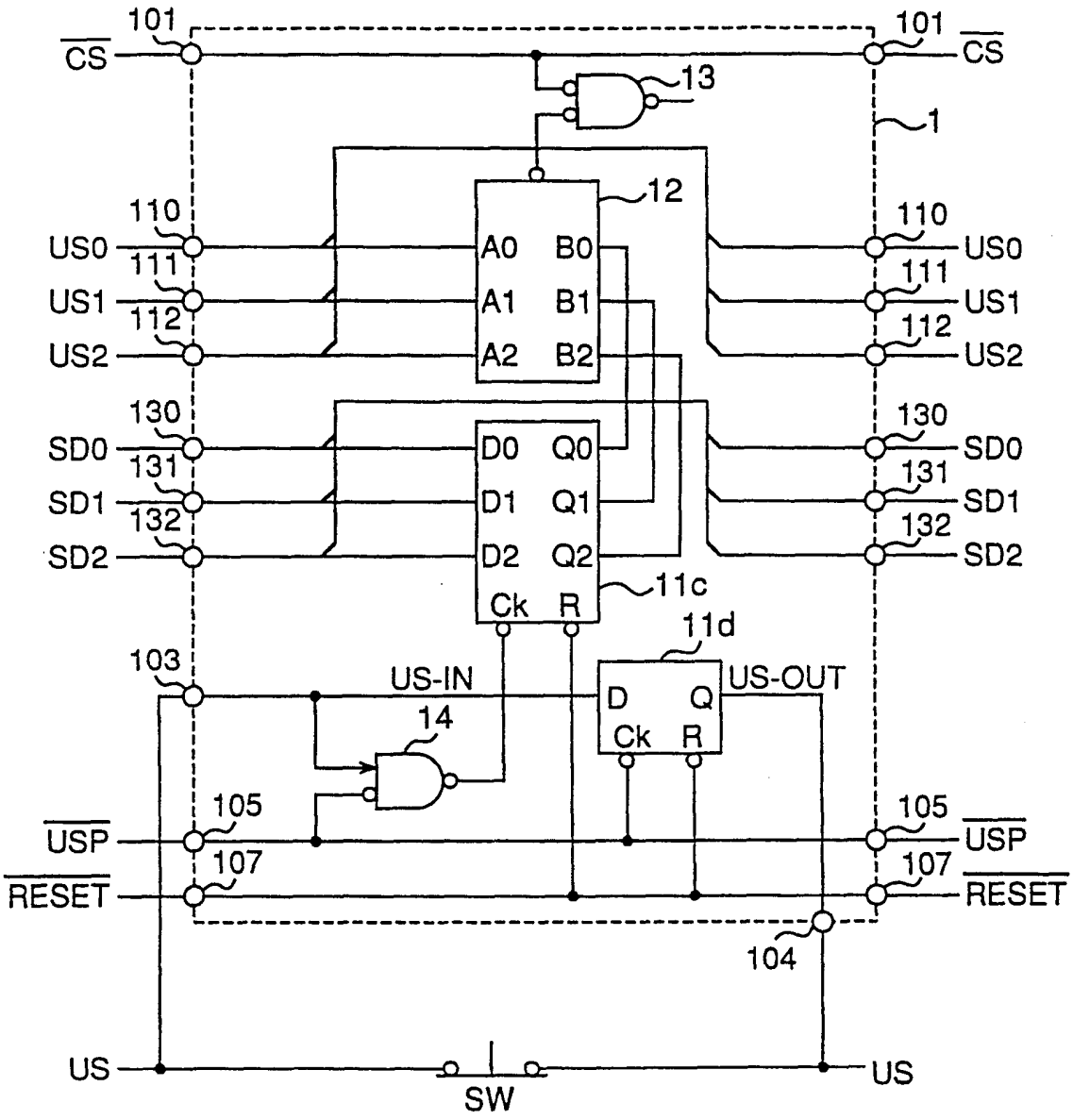

101
CS
101
CS
13
1
12
110
US0
111
US1
112
US2
A0
B0
A1
B1
A2
B2
110
US0
111
US1
112
US2
130
SD0
131
SD1
132
SD2
D0
Q0
D1
Q1
D2
Q2
Ck
R
11c
130
SD0
131
SD1
132
SD2
11d
103
US-IN
D
Q
Ck
R
US-OUT
14
105
USP
107
RESET
105
USP
107
RESET
104
US
SW
US

图 18

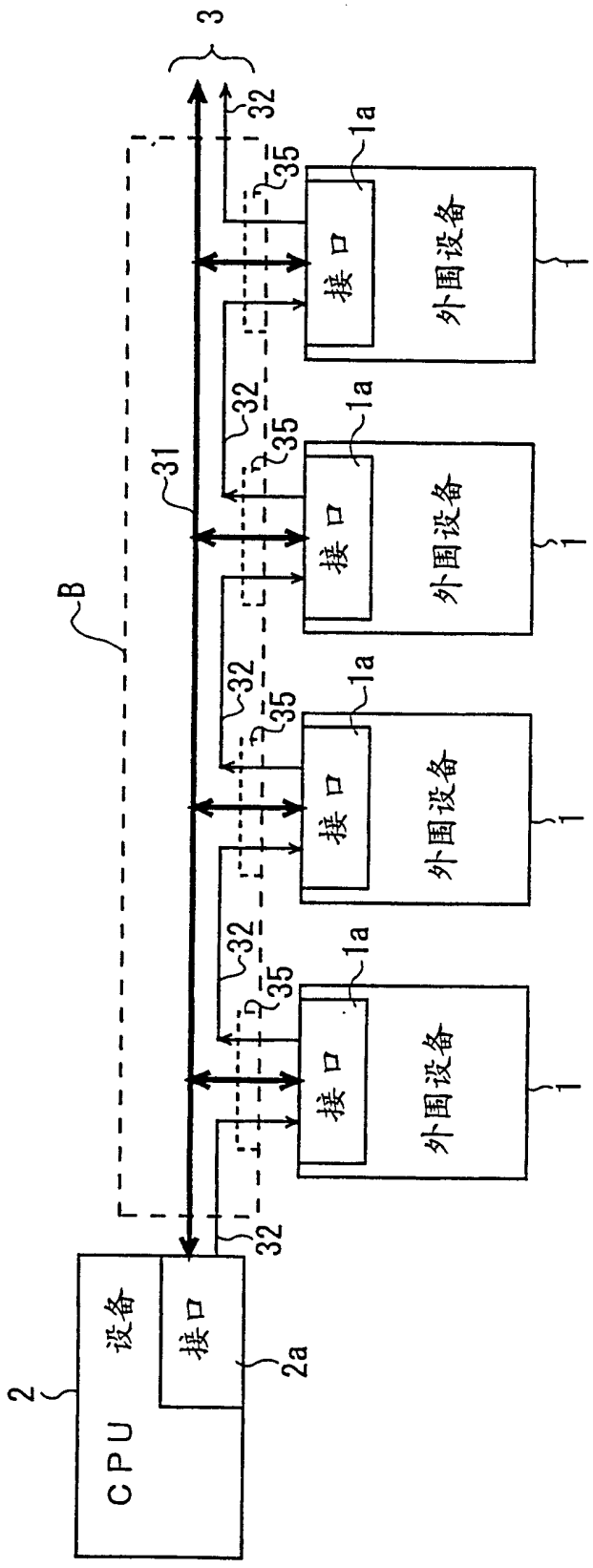


图 19

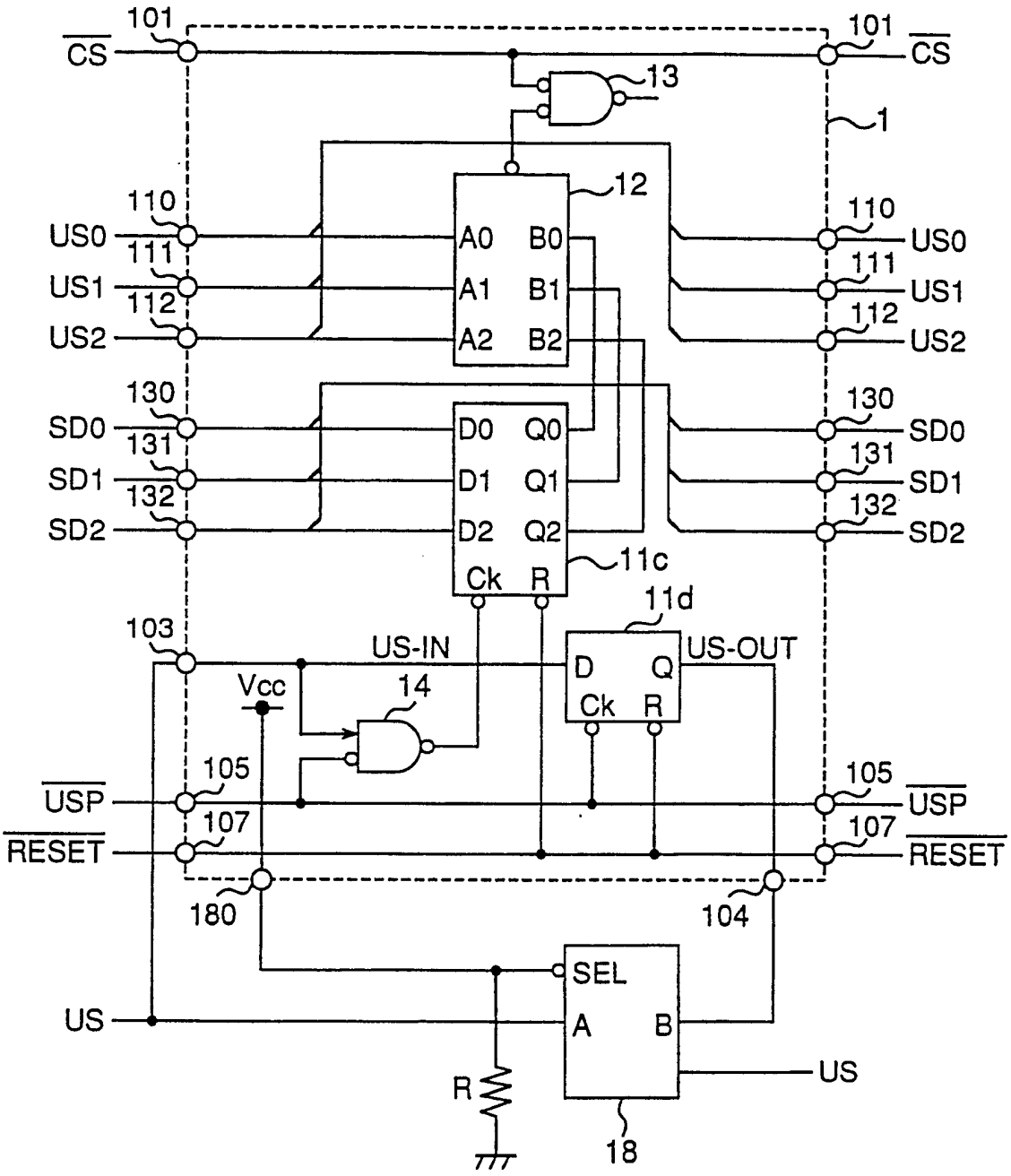

101
CS
101
CS
13
1
12
110
US0
111
US1
112
US2
A0 B0
A1 B1
A2 B2
110
US0
111
US1
112
US2
130
SD0
131
SD1
132
SD2
D0 Q0
D1 Q1
D2 Q2
Ck R
11c
130
SD0
131
SD1
132
SD2
11d
103
US-IN
D Q
Ck R
US-OUT
Vcc
14
105
USP
107
RESET
105
USP
107
RESET
180
104
SEL
US
A B
US
R
18

图 20

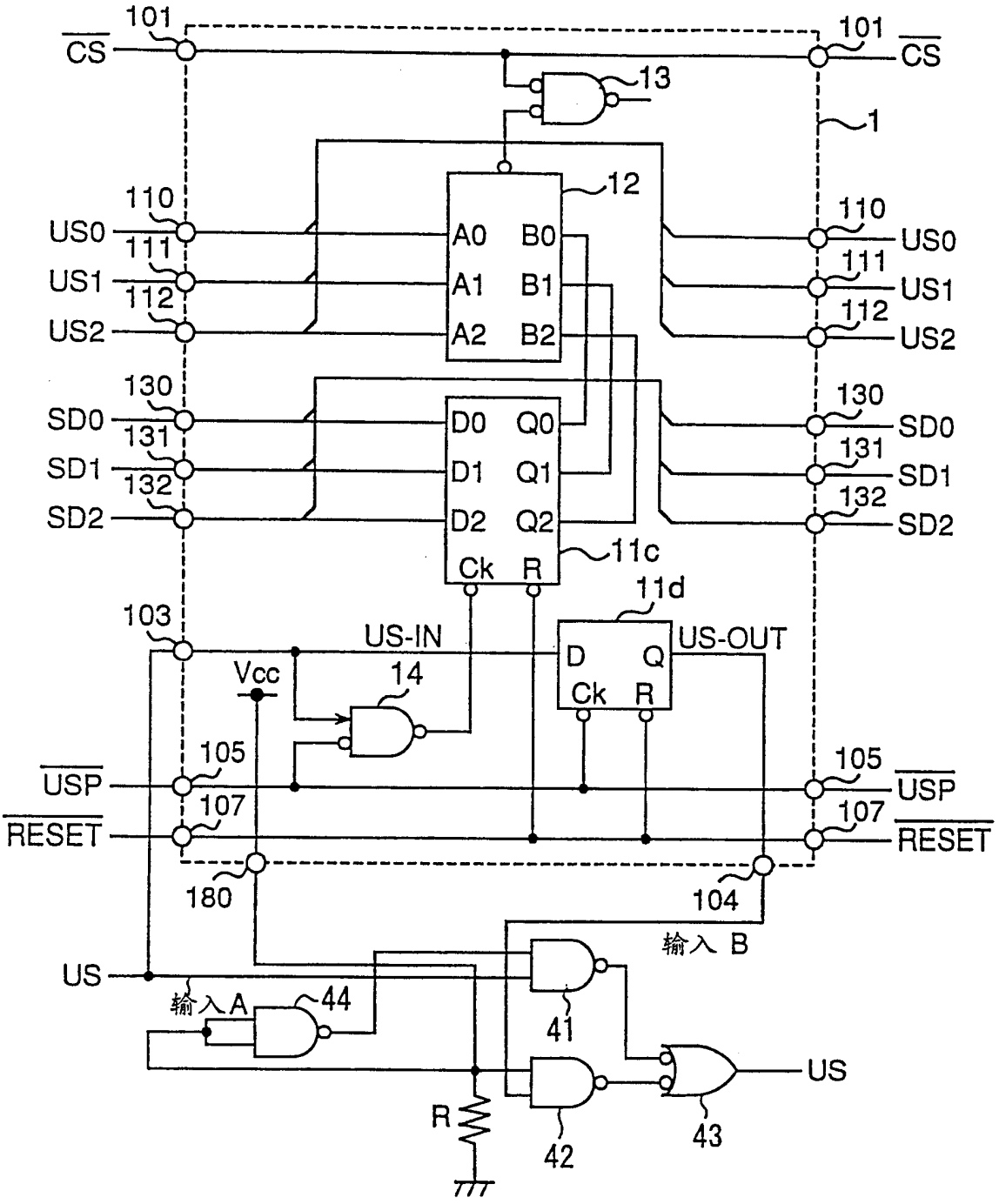

101
CS
13
1
12
110
US0
111
US1
112
US2
A0 B0
A1 B1
A2 B2
130
SD0
131
SD1
132
SD2
D0 Q0
D1 Q1
D2 Q2
Ck R
11c
11d
103
US-IN
D Q
Ck R
US-OUT
Vcc
14
105
USP
107
RESET
180
104
输入 B
US
输入A
44
41
42
43
R

图 21

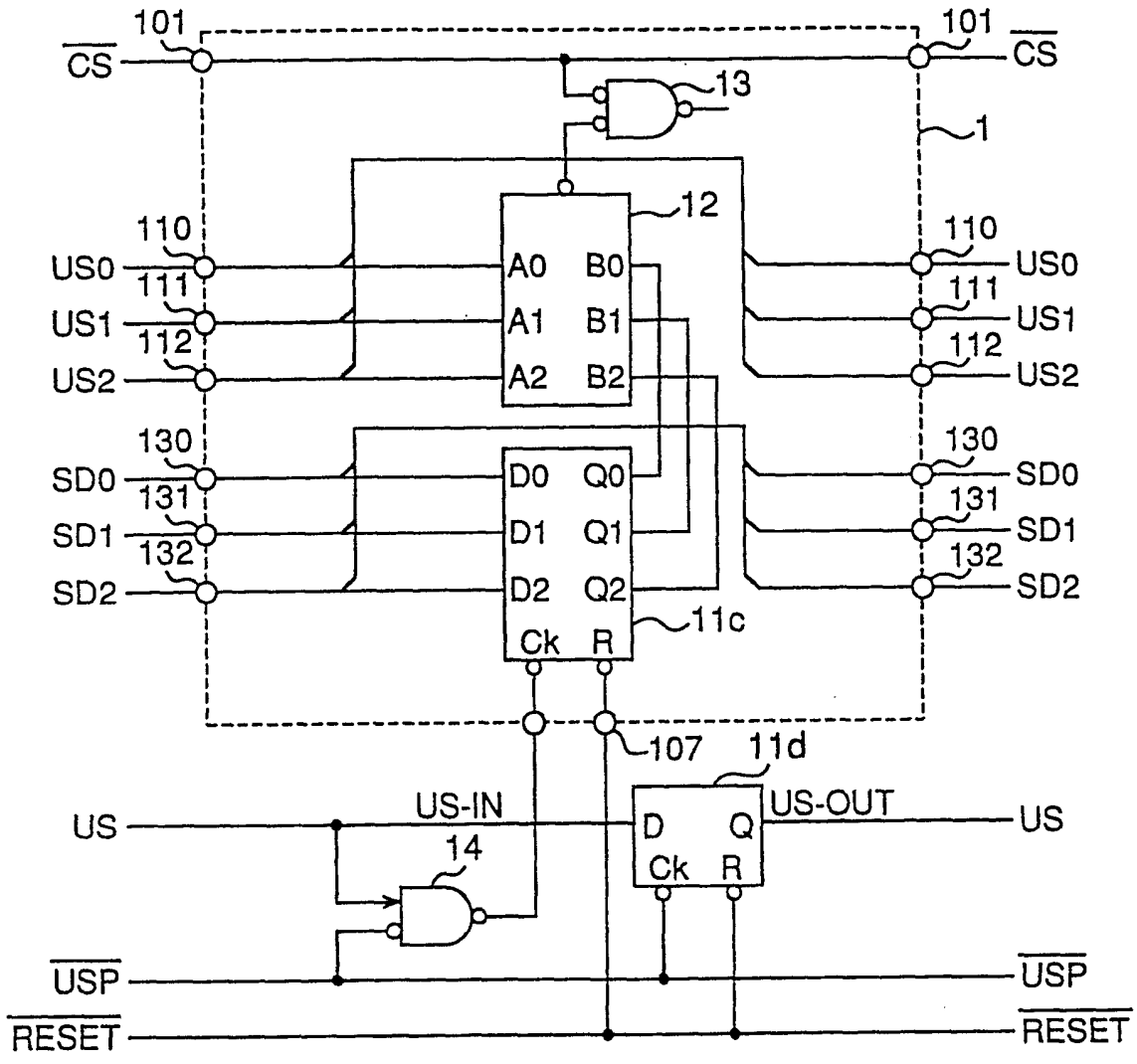

101
CS
101
CS
13
1
12
110
US0
111
US1
112
US2
A0
B0
A1
B1
A2
B2
110
US0
111
US1
112
US2
130
SD0
131
SD1
132
SD2
D0
Q0
D1
Q1
D2
Q2
Ck
R
11c
130
SD0
131
SD1
132
SD2
107
11d
US
US-IN
14
D
Q
Ck
R
US-OUT
US
USP
USP
RESET
RESET

图 22

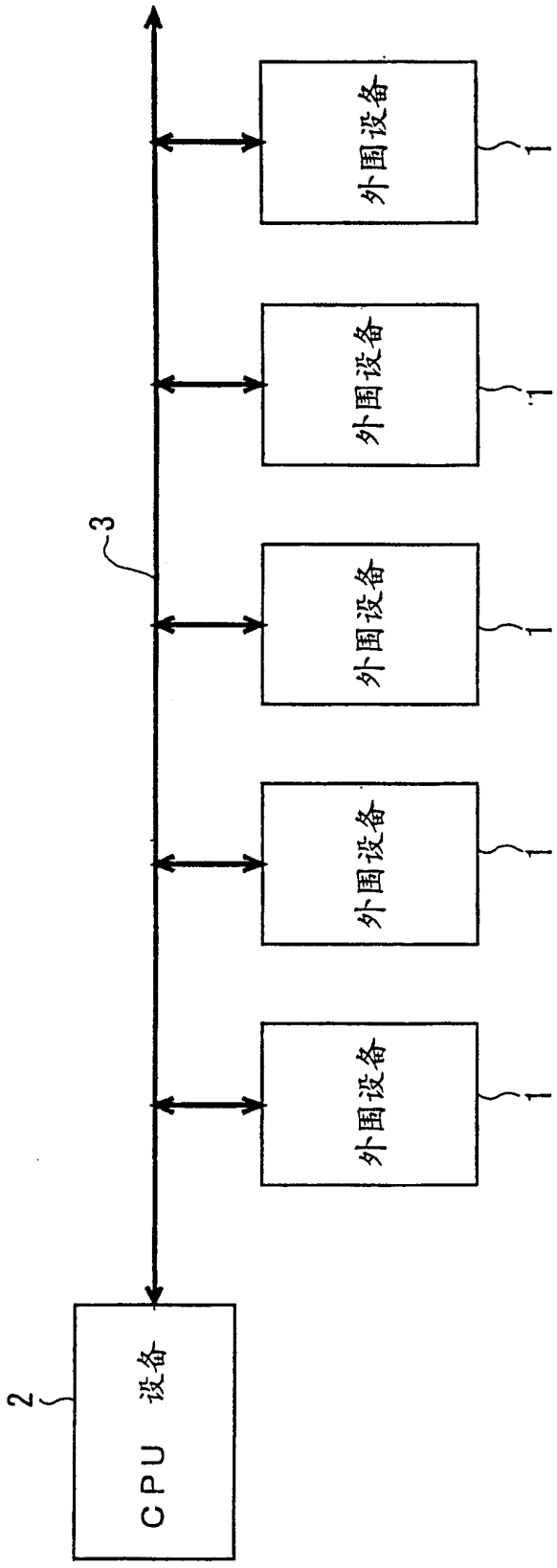


图 23